(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G11C 11/413

(45) 공고일자 2000년03월15일
(11) 등록번호 10-0248172
(24) 등록일자 1999년12월16일

(21) 출원번호 10-1996-0040094
(22) 출원일자 1996년09월16일
(65) 공개번호 특1997-0029739
(43) 공개일자 1997년06월26일
(30) 우선권주장 95-298252 1995년11월16일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고미쓰비시덴키 가부시키가이샤 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 우키타 모토무
일본 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키가부시끼가이샤 내
(74) 대리인 김창세

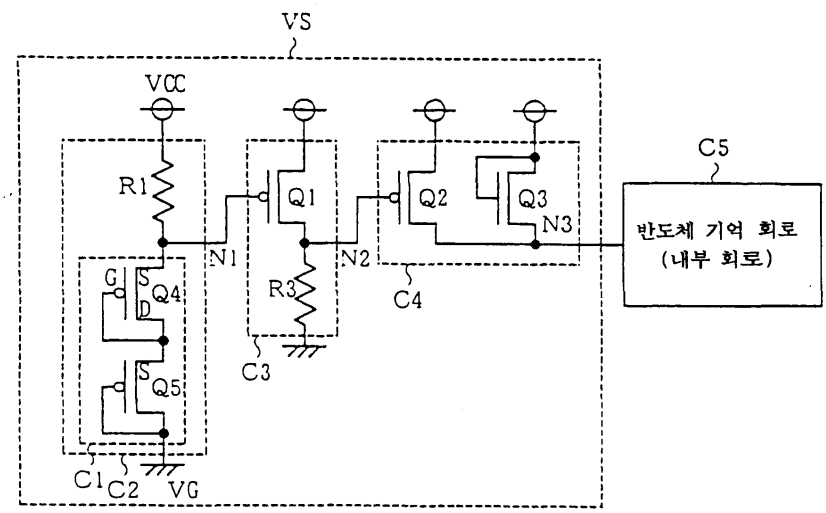
심사관 : 김종찬

(54) 반도체 전위 공급 장치 및 이를 이용한 반도체 기억 장치

요약

본 발명은 제1전원 라인에 접속된 저항과, 제2전원 라인에 접속된 정전압 트랜지스터 회로가 제1노드에 직렬 접속되어 이루어진 정전압 회로 수단과, 상기 제1전원 라인에 접속되어 제어 전극에 상기 제1노드로부터의 전위를 공급받는 제1트랜지스터회로와, 상기 제2전원 라인에 접속된 저항이 제2노드에 직렬 접속되어 이루어진 입력 회로 수단과, 상기 제1전원 라인과, 외부에 전위를 공급하는 제3노드 사이에 접속되어 제어 전극에 상기 제2노드로부터의 전위를 공급받는 제2트랜지스터 회로와, 이 제2트랜지스터 회로에 병렬 접속된 제3트랜지스터 회로를 갖는 출력 회로 수단을 구비한 것을 특징으로 하는 반도체 전위 공급 장치 및 이를 이용한 반도체 기억 장치를 제공한다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시예에 따른 반도체 전위 공급 장치 및 이를 이용한 반도체 기억 장치의 회로도.

제2도는 본 발명의 제1실시예에 따른 장치의 동작을 설명하기 위한 도면.

제3도는 본 발명의 제1실시예에 따른 장치의 동작을 설명하기 위한 도면.

제4도는 본 발명의 제2실시예를 도시한 회로도.

제5도는 본 발명의 제3실시예를 도시한 회로도.

제6도는 본 발명의 제4실시예를 도시한 회로도.

제7도는 본 발명의 제5실시예를 도시한 회로도.

제8도는 본 발명의 제6실시예를 도시한 회로도.

제9도는 본 발명의 제6실시예에 따른 장치의 동작을 설명하기 위한 도면.

제10도는 본 발명의 제7실시예를 도시한 회로도.

제11도는 본 발명의 제8실시예를 도시한 회로도.

제12도는 본 발명의 제9실시예를 도시한 회로도.

제13도는 본 발명의 제10실시예를 도시한 회로도.

제14도는 종래의 반도체 전위 공급 장치의 회로도.

제15도는 종래의 반도체 전위 공급 장치의 동작을 설명하기 위한 도면.

제16도는 종래의 반도체 전위 공급 장치의 동작을 설명하기 위한 도면.

* 도면의 주요부분에 대한 부호의 설명

VS : 반도체 전위 공급 장치 R1, R2, R3 : 저항

VCC : 제1전원 라인(또는, 제2전원 라인)

VG : 제2전원 라인(또는, 제1전원 라인)

C1 : 정전압 트랜지스터 회로 C2 : 정전압 회로 수단

C3 : 입력 회로 수단 C4 : 출력 회로 수단

C5 : 반도체 기억 회로부

Q1 : 제1트랜지스터 회로(MOS 트랜지스터)

Q2 : 제2트랜지스터 회로(MOS 트랜지스터)

Q3 : 제3트랜지스터 회로(MOS 트랜지스터)

G : 제어 전극(게이트) D : 드레인

S : 소스 N1 : 제1노드

N2 : 제2노드 N3 : 제3노드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 특히, 반도체 기억 장치에 일정 범위의 전위를 공급하는 반도체 전위 공급 장치 및 이를 이용한 반도체 기억 장치에 관한 것이다. 또, 본 발명은 저소비 전력형의 반도체 기억 장치에 바람직하게 이용할 수 있다.

먼저, 반도체 기억 장치에 이용되고 있는 종래의 반도체 전위 공급 장치에 대하여 설명한다.

제14도는 종래의 스태틱 랜덤 액세스 메모리(static random access memory; SRAM)장치에 일정 범위의 전위를 공급하기 위해 사용되고 있는 반도체 전위 공급 장치(전압 강하 회로)를 도시한다(일본 특허 공개 평성 3-2070091호 공보 참조). 제15도는 이 전압 강하 회로에 의해서 결정되는 외부 전원 전압과 내부 전원 전압과의 관계를 도시한 도면이다.

제14도에 있어서, VCC는외부 전원 라인(전위 VCC), VG는 접지 라인, R1, R2 및 R3은 저항, Q1, Q2는 P채널형 MOS 트랜지스터, Q3은 N채널형 MOS 트랜지스터, N1, N2 및 N3은 노드, C는 SRAM 등의 반도체 기억 회로로서의 내부 회로를 나타낸다.

이와 같은 종래의 전압 강하 회로의 동작에 대해 설명한다.

외부 전원 라인(VCC)이 저전압,예를 들면, 3V일 경우는, 저항(R1) 및 저항(R2)이 비에 따라서 결정되는 노드(N1)의 전압에 의해 P채널형 MOS 트랜지스터(Q1)가 오프(OFF)되고, 저항(R3)에 의해 노드(N2)는 0V근처까지 내려간다. 그 결과, P채널형 MOS 트랜지스터(Q2)가 온(ON)되어, 내부 회로(C)에 공급되는 노드(N3)의 전압(VINT)은 외부 전압(VCC)과 동일한 3V로 된다.

한편, 외부 전압(VCC)이 동작점보다 높은 전압, 예를 들면, 5V로 되었을 때에는 노드(N1)에 의해 P채널형 MOS 트랜지스터(Q1)가 온되어, 노드(N2)가 전원 전압(VCC) 근처까지 상승하며, P채널형 MOS 트랜지스터

(Q2)는 오프된다. 따라서, 내부 회로(C)에 공급되는 전류는 모두 N채널형 MOS 트랜지스터(Q3)를 통과하게 되어, 그의 내부 전원 전압(VINT)은 5V의 외부 전원 전압(VCC)으로부터 백게이트 효과(back gate effect)가 나타나는 트랜지스터(Q3)의 임계 전압(Vtn') 만큼, 즉, 약1.5V만큼 강화된 전압(약 3.5V)이 된다.

이와 같이 함으로써, 내부 회로(C)에 고전압이 걸리지 않도록 하여 신뢰성을 확보함과 동시에, 외부 전압(VCC)이 하강하였을 때에도 내부 회로(C)내 메모리 셀의 데이터가 손실되지 않도록 할 수 있다. 내부 회로(C)에 공급되는 전위가 직접 외부 전위(VCC)로 직결될 것인지 또는 전압 강하 회로에서 강화될 것인지를 결정하는 동작점은 주로 저항(R1)과 저항 (R2)의 비에 의해 결정된다.

제16도는, 종래 기술에 있어서, 전압 강화 회로내 노드(N1)의 전위와 외부 전압(VCC)과의 관계를 도시한 것이다. 외부 전압을 VCC, 노드(N1)의 전위를 VN1로 하고, P채널형 MOS 트랜지스터(Q1)의 백게이트 효과 없는 임계 전압을 Vtp라 하면, VCC-VN1 = Vtp가 되었을 경우, P채널형 MOS트랜지스터(Q1)는 온되어 전압 강하와 직접 결합 상태가 전환된다. 이 때의 전압(VCC)을 동작점(Vsp)이라고 한다. 즉,

Vsp - VN1= Vtp

Vsp = VN1 + Vtp

가 된다.

그러나, 종래의 전압 강하 회로에서는, 노드(N1)의 전위가 저항(R1, R2)의 비(R1 :R2)에 의해 결정되므로, 이 비가 제조 공정의 변동 등으로 인해 변하거나 편차가 생긴 경우 동작점이 의도한 전압으로부터 어긋나 버리는 경우가 있었다.

제16도의 그래프에서, 점선(b)은 외부 전원 전압의 크기를 나타내고, 실선(c)은 소정의 저항비(R1 : R2)에서 노드(N1)의 전위를 나타낸다고 하면, (VCC-VN1)이 (Vtp)로 되었을 때 원하는 동작점(Vsp)이 얻어지지만, 저항비(R1 : R2)가 변하면, 예를 들면, 노드(N1)의 전위가 직선(d)과 같이 되어 동작점은 어긋나 버리게 된다.

이와 같이, 종래의 전압 강하 회로는 상기와 같은 문제점 및 이하에 서술되는 문제점을 갖는다.

우선, 전압 강하 회로내에서 사용되고 있는 저항은, 특히 저소비 전력을 목적으로 하는 저소비 전력형 SRAM의 경우는, 이 전압 강하 회로 자체에서 소비하는 전류를 줄이기 위해 수백 MΩ 정도의 높은 저항이 이용된다. 이 저항은 저항값을 크게하기 위해서 매우 얇은 박막으로 이루어지는 경우가 많은데, 막이 얇기 때문에 결정의 형성, 방위 등에 따라 저항값이 크게 변동한다. 따라서, 전압을 저항에 의해, 예를 들면, 1:4로 분할해도 실제로는 1:4가 되지 않는 문제가 발생한다.

또, 상기와 같이 저항값이 매우 크기 때문에 흐르는 전류가 상당히 미소하고, 예를 들면, 전원 전압이 5V에서도 흐르는 전류는 기껏해야 50nA(5×10^{-8}A) 정도 밖에 되지 않는다. 이 때문에, 저항 분할에 의해 전위가 결정되는 노드(N1)가 원하는 전위까지 변화하는 데에는 상당한 시간을 필요로 한다. 따라서, 외부 전압(VCC)의 급격한 변화에 대응하지 못하고, 노드(N1)의 전위가 확정될 때까지 전압 강화 회로는 의도하지 않은 전압을 내부에 공급하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기와 같은 문제를 해결하기 위한 것으로서, 외부 전원 전압이 변동해도 정해진 동작점에서 전압 강하를 발생시켜 일정한 범위의 전위를, 예를 들면, 반도체 기억 회로부에 공급하도록 한 반도체 전위 공급 장치 및 이를 이용한 반도체 기억 장치를 제공하는 데에 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 전위 공급 장치는, 제1전원 라인에 접속된 저항과 제2전원 라인에 접속된 정전압 트랜지스터 회로가 제1노드에 직렬 접속되어 이루어진 정전압 회로 수단과, 상기 제1전원 라인에 접속되어 제어 전극에 상기 제1노드로부터의 전위를 공급받는 제1트랜지스터 회로와, 상기 제2전원 라인에 접속된 저항이 제2노드에 직렬 접속되어 이루어진 입력 회로 수단과, 상기 제1전원 라인과 외부에 전위를 공급하는 제3노드 사이에 접속되어 제어 전극에 상기 제2노드로부터의 전위를 공급받는 제2트랜지스터 회로와, 이 제2트랜지스터 회로에 병렬 접속된 제3트랜지스터 회로를 갖는 출력 회로 수단을 구비한 것을 특징으로 한다.

본 발명에 따른 다른 반도체 전위 공급 장치는, 상기 정전압 트랜지스터 회로를 게이트와 드레인이 단락된 하나 또는 직렬접속된 복수의 MOS 트랜지스터로 구성한 것을 특징으로 한다.

본 발명에 따른 또 다른 반도체 전위 공급 장치는, 상기 정전압 트랜지스터 회로를 백게이트가 걸리지 않는 적어도 하나의 MOS 트랜지스터를 포함하도록 구성한 것을 특징으로 한다.

본 발명에 따른 또 다른 반도체 전위 공급 장치는, 상기 정전압 트랜지스터 회로를 각각 게이트와 드레인이 단락된 하나 또는 복수의 P채널형 MOS 트랜지스터와 N채널형 MOS 트랜지스터를 직렬접속하여 구성한 것을 특징으로 한다.

본 발명에 따른 또 다른 반도체 전위 공급 장치는, 상기 정전압 트랜지스터 회로를 구성하는 MOS 트랜지스터의 적어도 하나를 휴즈로 단락한 것을 특징으로 한다.

본 발명에 따른 또 다른 반도체 전위 공급 장치는, 상기 정전압 트랜지스터 회로를 백게이트가 걸리지 않는 MOS 트랜지스터 중 적어도 하나를 휴즈로 단락하여 구성한 것을 특징으로 한다.

본 발명에 따른 또 다른 반도체 전위 공급 장치는, 상기 제3트랜지스터 회로를 게이트와 드레인이 단락된 MOS 트랜지스터로 구성한 것을 특징으로 한다.

또, 본 발명에 따른 반도체 기억 장치는, 제1전원 라인에 접속된 저항과 제2전원 라인에 접속된 정전압 트랜지스터 회로가 제1노드에 직렬 접속되어 이루어진 정전압 회로 수단과, 상기 제1전원 라인에 접속되어 제어 전극에 상기 제1노드로부터의 전위를 공급받는 제1트랜지스터 회로와, 상기 제2전원 라인에 접속된 저항이 제2노드에 직렬 접속되어 이루어진 입력 회로 수단과, 상기 제1전원 라인과 제3노드 사이에 접속되어 제어 전극에 상기 제2노드로부터의 전위를 공급받는 제2트랜지스터 회로와, 이 제2트랜지스터 회로에 병렬 접속된 제3트랜지스터 회로를 갖는 출력 회로 수단 및 상기 제3노드에 접속되어 전위를 공급받는 반도체 기억 회로부를 구비한 것을 특징으로 한다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

[제1실시예]

제1도는 본 발명의 제1실시예에 따른 반도체 전위 공급 장치 및 이를 이용한 반도체 기억 장치의 회로도를 도시한다. 도면에서, VS는 반도체 전위 공급 장치(이하, "전압 강하 회로"라 칭한다), VCC는 제1전원 라인, VG는 제2전원 라인, R1, R3은 저항, C1은 정전압 트랜지스터 회로, C2는 정전압 회로 수단, C3은 입력 회로 수단, C4는 출력 회로 수단, C5는 반도체 기억 회로부(이하, "내부 회로"라 칭한다)를 나타내고, Q1은 제1트랜지스터 회로인 P채널형 MOS 전계 효과 트랜지스터(FET), Q2는 제2트랜지스터 회로인 P채널형 MOS 전계 효과 트랜지스터(FET), Q3은 제3트랜지스터 회로인 N채널형 MOS 전계 효과 트랜지스터(FET), Q4, Q5는 P채널형 MOS 전계 효과 트랜지스터(FET), N1은 제1노드, N2는 제2노드, N3은 제3노드를 나타내며, 또 각 트랜지스터의 S, D 및 G 는 각각 소스, 드레인 및 게이트를 나타낸다.

본 발명의 제1실시예에서, 정전압 회로 수단(C2)은, 제1전원 라인인 전원 전위 라인(VCC)에 접속된 고저항(R1)과 제2전원 라인인 접지 전위 라인(VG)에 접속된 정전압 트랜지스터 회로(C1)가 제1노드(N1)에 직렬 접속되어 이루어진다. 또한, 이 정전압 트랜지스터 회로(C1)는 게이트와 드레인이 단락된 P채널형 MOS 트랜지스터(Q4)와 P채널형 MOS 트랜지스터(Q5)가 직렬 접속되어 구성된다.

다음으로, 입력 회로 수단(C3)은, 전원 전위 라인(VCC)에 접속되어 제어 전극인 게이트(G)에 상기 제1노드(N1)로부터의 전위를 공급받는 제1P채널형 MOS 트랜지스터(Q1)가 접지 전위 라인(VG)에 접속된 저항(R3)과 제2노드(N2)에 직렬 접속되어 구성된다.

또, 출력 회로 수단(C4)은, 전원 전위 라인(VCC)과 외부에 전위를 공급하는 제3노드(N3) 사이에 접속되어 제어 전극인 게이트(G)에 상기 제2노드(N2)로부터의 전위를 공급받는 제2P채널형 MOS 트랜지스터(Q2)와, 이 제2P채널형 MOS 트랜지스터(Q2)와 병렬 접속된 제3N채널형 MOS 트랜지스터(Q3)로 구성된다.

다음에, 본 발명의 제1실시예에 따른 반도체 전위 공급 장치의 동작에 대해서 설명한다. 제2도는 외부 전원 전압(이하, "외부 전압"이라 칭한다)(VCC)과, 전압 강하 회로(VS)를 통해서 내부 회로(C5)에 인가되는 내부 전원 전압(이하, "내부전압"이라 칭한다)(VINT)과의 관계를 도시한다. 종래예와 마찬가지로, 외부 전압(VCC)이 저전압일 경우는 외부 전압을 강하시키지 않고 내부 회로(C5)에 공급하고, 외부 전압(VCC)이 고전압일 경우에는 외부 전압을 강하하여 공급한다. 예를 들면, 제2도에 도시한 바와 같이, 외부 전압(VCC)이 3V일 경우는 내부 전압(VINT)도 3V로 되고, 외부 전압(VCC)이 5V일 경우는 내부 전압(VINT)은 3.5V로 된다. 이와 같이 함으로써, 외부 전압이 고전압일 경우에는 내부 회로(C5)내 트랜지스터의 신뢰성을 확보하고, 외부 전압이 저전압일 경우에는 전압을 강하하지 않고 메모리 셀에 기억된 데이터의 파괴를 방지한다.

제3도는 본 발명의 제1실시예에 따른 전압 강하 회로(VS)내 노드(N1)의 전위와 외부 전압(VCC)과의 관계를 도시한다. 도면에서, 직선(b)은 외부 전압(VCC)의 크기를 나타내고, 접혀진 선(e)은 노드(N1)의 전위를 나타낸다. 외부 전압을 VCC, 노드(N1)의 전위를 VN1이라 하고, Vtp를 P채널형 MOS 트랜지스터(Q1)의 백게이트 효과없는 임계 전압이라 하면, VCC-VN1 = Vtp로 되었을 경우, P채널형 MOS 트랜지스터(Q1)는 온되어 외부 전압(VCC)의 전압 강하와 외부 전압(VCC)으로부터의 직접 결합이 전환된다. 이 때의 VCC를 동작점(Vsp)이라 하면,

Vsp - vn1 = Vtp

Vsp = VN1 +Vtp

가 된다.

종래의 전압 강하 회로에서는, 노드(N1)의 전위가 저항의 비(R1 : R2)에 의해 결정되므로 저항값의 변동 등에 의해 동작점이 의도한 전압으로부터 어긋나게 되는 경우가 있었는데, 본 발명의 제1실시예에서는, 저항값이 변동된 경우 노드(N1)의 전위가 트랜지스터(Q4, Q5)의 임계 전압의 합으로 결정된다. 즉, Vtp'을 P채널형 MOS 트랜지스터의 백게이트 효과있는 임계 전압이라 하면, 외부 전원 전압(VCC)이 2Vtp'+Vtp로 되었을 때가 동작점이 된다.

외부 전압(VCC)이 2Vtp'+Vtp 이하인 때에는, 트랜지스터(Q4, Q5)는 오프되어, 노드(N1)는 저항(R1)에 의해 충전되므로 전위가 외부 전압(VCC)으로 된다. 따라서, P채널형 MOS 트랜지스터(Q1)는 오프되고, P채널형 MOS 트랜지스터(Q2)는 온되어 외부 전압(VCC)이 내부에 직접 결합된다.

한편, 외부 전압(VCC)이 2Vtp'+Vtp보다 클 때에는 P채널형 MOS 트랜지스터(Q4, Q5)가 온되고, 노드(N1)는 2Vtp'로 고정된다. 그리고, P채널형 MOS 트랜지스터(Q1)는 온되어 노드(N2)가 충전되며, P채널형 MOS 트랜지스터(Q2)는 오프된다. 따라서, 내부의 반도체 기억 회로부(C5)로의 전원 공급은 N채널형 MOS 트랜지스터(Q3)를 통해서만 이루어지고, 내부 회로(C5)에는 N채널형 MOS 트랜지스터(Q3)의 임계 전압(Vtn)만큼 강화된 전위가 공급된다.

제1실시예에서는, 동작점이 항상 2Vtp'+Vtp로 규정되므로, 저항(R1) 값이 변동하여도 동작점은 크게 변동하지 않는다. 통상, Vtp=0.7V, Vtp'=1.4V 정도이므로, 동작점은 약 3.5V가 된다. 즉, 통상의 5V의 외부 전원에서의 동작시에는 전압 강하 회로(VS)에 의해 강하되며, 데이터 유지만 할 경우는 전압 강화되지 않고 내부 회로(C5)내 메모리 셀의 데이터를 유지한다.

또, 외부 전압(VCC)이 급격히 상승한 경우, 예를 들면, 데이터 유지 모드인 3V로부터 통상의 5V로 전환된 경우, 종래예에서는 노드(N1)의 전위가 하강하는데 상당한 시간이 걸렸다. 그러나, 본 발명의 제1실시예에서는, P채널형 MOS 트랜지스터(Q4, Q5)가 온되는 즉시, 노드(N1)의 전위를 고정함으로써 외부 전원의 변화에 따라 내부 전압이 변경된다.

[제2실시예]

제4도는 본 발명의 제2실시예를 도시한 회로도이다. 도면에서, VCC는 제1전원 라인, VG는 제2전원 라인, R1, R3은 저항, C1은 정전압 트랜지스터 회로, C2는 정전압 회로 수단, C3은 입력 회로 수단, C4는 출력 회로 수단, C5는 반도체 기억 회로부로서의 내부 회로를 나타내고, Q1은 제1트랜지스터 회로인 P채널형 MOS 트랜지스터 , Q2는 제2트랜지스터 회로인 P채널형 MOS 트랜지스터 , Q3은 제3트랜지스터 회로인 N채널형 MOS 트랜지스터, N1은 제1노드, N2는 제2노드, N3은 제3노드를 나타낸다. 또, 각 트랜지스터의 S, D, G는 각각 소스, 드레인, 게이트를 나타낸다. 이들은 각각 제1도에 도시한 제1실시예와 동일하거나 유사하다.

그러나, 본 발명에 따른 제2실시예에서는, 노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터 회로(C1)는 N채널형 MOS 트랜지스터(Q4, Q5, Q6)가 직렬로 접속되어 구성되어 있다. 또, 트랜지스터(Q4, Q5, Q6)는 각각 드레인(D)과 게이트(G)가 단락되어 있다. 이러한 구성에 의하면, 트랜지스터(Q4, Q5)에는 백게이트가 걸리는데, 트랜지스터(Q6)에는 백게이트가 걸리지 않는다.

이 경우, 백게이트 효과없는 N채널형 MOS 트랜지스터의 임계 전압을 Vtn, 백게이트 효과있는 N채널형 MOS 트랜지스터의 임계 전압을 Vtn'이라 하면, 동작점을 결정하는 노드(N1)의 전위는 2Vtn'+Vtn이 된다. N채널형 MOS 트랜지스터의 임계 전압은, 백게이트 효과가 없을 때 Vtn이 약 0.7V, 백게이트 효과가 있을 때 Vtn'이 약 1.4V이므로, 백게이트 효과없는 N채널형 MOS 트랜지스터를 직렬로 삽입함으로써 노드(N1)의 전위의 설정을 작은 폭으로 조정할 수 있는 장점이 있다.

또한, 제4도에서는, 정전압 트랜지스터 회로(C1)가 3개의 트랜지스터로 구성되어 있지만, 이것은 필요한 전위에 따라서 갯수를 적당히 조정하면 된다.

통상, 반도체 기억 장치인 SRAM은 메모리 셀로 N채널형 MOS 트랜지스터를 이용하며, N채널 트랜지스터의 임계 전압은 엄밀하게 관리 제어된다. 따라서, 각 파라메터 중 웨이퍼 제조 공정상에서의 편차나 변동이 가장 작은 것이 N채널 트랜지스터의 임계 전압이 된다.

즉, 노드(N1)의 전위를 규정하는 전압 2Vtn'+Vtn은 변동이나 편차가 상당히 작으므로, 동작점의 변동을 최소화할 수 있는 효과가 있다.

[제3실시예]

제5도는 본 발명의 제3실시예를 도시한 회로도이다. 도면에서, VCC는 제1전원 라인, VG는 제2전원 라인, R1, R3은 저항, C1은 정전압 트랜지스터 회로, C2는 정전압 회로 수단, C3은 입력 회로 수단, C4는 출력 회로 수단, C5는 반도체 기억 회로부로서의 내부 회로를 나타내고, Q1은 제1트랜지스터 회로인 P채널형 MOS 트랜지스터, Q2는 제2트랜지스터 회로인 P채널형 MOS 트랜지스터, Q3은 제3트랜지스터 회로인 N채널형 MOS 트랜지스터, N1은 제1노드, N2는 제2노드, N3은 제3노드를 나타낸다. 또, 각 트랜지스터의 S, D, G는 각각 소스, 드레인, 게이트를 나타낸다. 이들은 각각 제1도에 도시한 제1실시예와 동일하거나 유사하다.

그러나, 본 발명에 따른 제3실시예에서는, 노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터 회로(C1)는 P채널형 MOS 트랜지스터(Q4, Q5)와 N채널형 MOS 트랜지스터(Q6)가 직렬로 접속되어 구성되어 있다. 또, 트랜지스터(Q4, Q5, Q6) 각각의 드레인(D)과 게이트(G)가 단락되어 있다. 이러한 구성에 의하면, 트랜지스터(Q4, Q5)에는 백게이트가 걸리지만, 트랜지스터(Q6)에는 백게이트가 걸리지 않는다.

제1도에 도시한 제1실시예에서는 동작점이 약 3.5V이었다. 이 경우는 외부 전압(VCC)이 5V 이하의 영역에서는 내부 회로(C5)에 공급되는 전위는 3.5V 이상으로 되지 않는다. 이렇게 함으로써, 내부 회로(C5)의 신뢰성이 확보되지만, 소프트웨어 에러를 초래하기 쉽다. 이것은 내부 회로(C5)내 메모리 셀의 전원 전위가 전압 강하되어 있기 때문에, 셀의 기억 노드에 유지되어 있는 전하량이 메모리 셀의 전원 전위를 전압 강하하지 않는 경우 보다도 감소되어 버리기 때문이다. 내부 회로(C5)의 신뢰성을 4.5V까지 보장할 수 있는 SRAM에 본 발명의 제1실시예에 따른 전압 강하 회로(VS)를 이용한 경우, 4.5V까지 전압을 걸어도 무방한 회로에 대해 전압이 3.5V까지 전압 강하되므로, 소프트웨어 에러를 초래하기 쉽다. 이러한 단점을 해결하기 위해 동작점(VSP=VN1=Vtp)을 4.5V로 하면, 신뢰성을 확보할 수 있고, 또 소프트웨어 에러를 줄일 수 있다.

본 발명에 따른 제1실시예에서, 동작점(VSP)을 높이는 가장 간단한 방법은 고저항(R1)에 연결되는 P채널형 MOS 트랜지스터의 갯수를 증가시키는 것이다. 그러나, 단순하게 P채널형 MOS 트랜지스터를 3개 직렬로 접속하면, 동작점(VSP)은 VSP=VN1+Vtp=3Vtp'+Vtp=4.9V로 되어, 신뢰성을 유지할 수 있는 한계 전압 4.5V 이상의 전압이 내부에 걸리게 된다. 즉, 순식간에 한계를 초과하게 된다.

따라서, 제5도에 도시한 본 발명에 따른 제3실시예에서는, 백게이트가 걸리는 P채널형 MOS 트랜지스터가 아니라, 백게이트가 걸리지 않는 N채널형 MOS 트랜지스터를 트랜지스터(Q6)로서 추가한다. 제3실시예의 N채널형 MOS 트랜지스터(Q6)는 소스 전극(S)이 전원 전위(VG)에 접속되어 있기 때문에, 백게이트가 걸리지 않는다. 따라서, 임계 전압(Vtn)은 비교적 작으며 약 0.7V이다. P채널형 MOS 트랜지스터의 백게이트 효과있는 임계 전압(Vtp')은 통상 1.4V 정도, 백게이트 효과없는 임계 전압(Vtp)은 0.7V이므로, 제3실시예의 동작점(VSP)은 VSP = VN1+Vtp = 2Vtp'+Vtn+Vtp =약 4.2V로 된다. 따라서, 이 전압은 내부 회로(C5)내 SRAM의 신뢰성이 4.5V까지 보장될 수 있는 경우 가장 알맞는 전위가 되며, 내부 회로의 신뢰성이 손실되는 일없이, 소프트웨어 에러에 대한 내성을 향상시킬 수 있다.

또한, 제5도의 정전압 트랜지스터 회로(C1)에 있어서는, P채널형 MOS 트랜지스터가 2개, N채널형 MOS 트랜지스터가 1개 직렬로 접속된 예를 도시하였지만, 이 갯수의 조합은 원하는 동작점의 전위에 따라서 적당하게 선택할 수 있다.

[제4실시예]

제6도는 본 발명에 따른 제4실시예를 도시한 회로도이다. 도면에서, VCC는 제1전원 라인, VG는 제2전원라인, R1, R3은 저항, C1은 정전압 트랜지스터 회로, C2는 정전압 회로 수단, C3은 입력 회로 수단, C4는 출력 회로 수단, C5는 반도체 기억 회로부로서의 내부 회로를 나타내고, Q1은 제1트랜지스터 회로인 P채널형 MOS 트랜지스터, Q2는 제2트랜지스터 회로인 P채널형 MOS 트랜지스터, Q3은 제3트랜지스터 회로인 N채널형 MOS 트랜지스터, N1은 제1노드, N2는 제2노드, N3은 제3노드를 나타낸다. 또, 각 트랜지스터의 S, D, G는 각각 소스, 드레인, 게이트를 나타낸다. 이들은 각각 제1도에 도시한 제1실시예와 동일하거나 유사하다.

그러나, 본 발명에 따른 제4실시예에서는, 노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터 회로(C1)는 P채널형 MOS 트랜지스터(Q4, Q5, Q6)가 직렬로 접속되어 구성되어 있고, P채널형 MOS 트랜지스터(Q6)에 병렬로 휴즈(F)가 접속된다. 또, 트랜지스터(Q4, Q5, Q6)는 각각 드레인(D)와 게이트(G)가 단락되어 있다.

본 발명에 따른 제4실시예에서는, 동작점(VSP)을 결정하는 고저항(R1)에 연결되는 정전압 트랜지스터 회로(C1)의 복수의 트랜지스터 중 몇 개를 사전에 휴즈로 단락시킨다.

이와 같이 MOS 트랜지스터(Q6)가 휴즈(F)로 단락된 상태에서는, 노드(N1)의 전위가 2개의 MOS 트랜지스터(Q4, Q5)의 임계 전압에 의해 결정되지만, 휴즈(F)가 절단된 경우에는 노드(N1)의 전위가 3개의 MOS 트랜지스터(Q4, Q5, Q6)의 임계 전압에 의해서 결정된다. 이와 같이, 휴즈(F)를 절단함으로써 동작점(VSP)을 조정할 수 있다.

예를 들면, 제1도의 제1실시예에서 동작점이 약 3.5V라 하자. 제1도의 전압강하회로(VS)가 내장된 제품을 제조 기술의 발전 등에 의해 최초와 다른 제조 공정에 의해 제조하였다고 하면, 트랜지스터의 신뢰성이 이전 보다도 향상되어, 예를들면, 5V까지 전압이 인가될 수도 있다. 이 경우에도, 제1도의 전압 강하회로(VS)는 전압을 3.5V로 강하시킨다. 이 경우, 이것은 진보된 제조 공정 기술이 효과적으로 이용되지 못한다는 것을 의미하며, 강하된 전위가 내부 회로(C5)에 공급되므로, 소프트웨어 에러를 초래하게 된다.

이러한 단점을 해결하기 위해 본 발명의 제4실시예에서는, 사전에 휴즈로 단락시킨 트랜지스터를 마련해 두고, 제조 기술의 향상에 따라 이 휴즈를 절단함으로써, 내부 회로(C5)의 신뢰성을 유지하면서 소프트웨어 에러에 대한 내성을 최대한 얻을 수 있다.

또한, 이 경우의 휴즈(F)는, 예를 들면, 폴리 실리콘 막 또는 금속 배선으로 형성될 수 있다.
휴즈(F)는, 예를 들면, 레이저 광선을 조사함으로써 절단될 수도 있다.

[제5실시예]

제7도는 본 발명의 제5실시예를 도시한 회로도이다. 도면에서, VCC는 제1전원 라인, VG는 제2전원라인, R1, R3은 저항, C1은 정전압 트랜지스터 회로, C2는 정전압 회로 수단, C3은 입력 회로 수단, C4는 출력 회로 수단, C5는 반도체 기억 회로부로서의 내부 회로를 나타내고, Q1은 제1트랜지스터 회로인 P채널형 MOS 트랜지스터, Q2는 제2트랜지스터 회로인 P채널형 MOS트랜지스터, Q3은 제3트랜지스터 회로인 N채널형 MOS트랜지스터, N1은 제1노드, N2는 제2노드, N3은 제3노드를 나타낸다. 또, 각 트랜지스터의 S, D, G는 각각 소스, 드레인, 게이트를 나타낸다. 이들은 각각 제1도에 도시한 제1실시예와 동일하거나 유사하다.

그러나, 본 발명에 따른 제5실시예에서는, 제1노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터 회로(C1)는 P채널형 MOS 트랜지스터(Q4, Q5)와 N채널형 MOS 트랜지스터(Q6)가 직렬로 접속되어 구성되어 있고, N채널형 MOS 트랜지스터(Q6)에 병렬로 휴즈(F)가 접속된다. 또, 트랜지스터(Q4, Q5, Q6) 각각의 드레인(D)과 게이트(G)는 단락된다.

본 발명의 제5실시예에서는, 동작점(VSP)을 결정하는 고저항(R1)에 연결되는 정전압 트랜지스터 회로(C1)의 직렬접속된 복수의 MOS 트랜지스터를, P채널형과 N채널형의 조합으로 함과 동시에, 백게이트가 걸리지 않는 N채널형 MOS 트랜지스터(Q6)가 휴즈(F)로 단락된다.

이와 같이 하면, MOS 트랜지스터(Q6)가 휴즈(F)로 단락되어 있는 상태에서는, 노드(N1)의 전위가 2개의 P채널형 MOS 트랜지스터(Q4, Q5)의 임계 전압에 의해서 결정되지만, 휴즈(F)가 절단된 경우에는 노드(N1)의 전위가 2개의 백게이트가 걸려있는 P채널형 트랜지스터(Q4, Q5)와 1개의 백게이트가 걸리지 않은 N채널형 MOS 트랜지스터(Q6)의 임계 전압에 의해 결정된다. 백게이트가 걸리지 않은 N 채널형 MOS 트랜지스터(Q6)의 임계 전압(Vtn)은 통상, 0.7V정도로 작으므로, 동작점(VSP)의 조정 단계를 보다 세분화시킬 수 있다.

또한, 이 경우에도, 정전압 트랜지스터 회로(C1)에 내장되어 있는 MOS 트랜지스터의 갯수는 동작점의 원하는 전위에 따라서 적당하게 선택되지만, 단락된 MOS트랜지스터 중 하나는 백게이트가 걸리지 않는 MOS 트랜지스터로 한다.

[제6실시예]

제8도는 본 발명의 제6실시예에 따른 반도체 전위 공급 장치 및 이를 이용한 반도체 기억 장치를 도시한 회로도이다. 도면에서, VS는 반도체 전위 공급 장치(이하, "승압 회로"라 칭한다), VG는 제1전원 라인, VCC는 제2전원 라인, R1, R3은 저항, C1은 정전압 트랜지스터 회로, C2는 정전압 회로 수단, C3은 입력 회로 수단, C4는 출력 회로 수단, C5는 반도체 기억 회로부(이하, "내부 회로"라 칭한다)를 나타내고, Q1은 제1트랜지스터 회로인 N채널형 MOS 트랜지스터, Q2는 제2트랜지스터 회로인 N채널형 MOS 트랜지스터, Q3은 제3트랜지스터 회로인 P 채널형 MOS트랜지스터, Q4, Q5는 N채널형 MOS 트랜지스터, N1은 제1노드, N2는 제2노드, N3은 제3노드를 나타낸다. 또, 각 트랜지스터의 S, D, G는 각각 소스, 드레인, 게이트를

나타낸다.

본 발명의 제6실시예에서는, 정전압 회로 수단(C2)이, 제1전원 라인인 접지 전위 라인(VG)에 접속된 고저항(R1)과 제2전원 라인인 전원 전위 라인(VCC)에 접속된 정전압 트랜지스터 회로(C1)가 제1노드(N1)에 직렬 접속되어 있다. 그리고, 이 정전압 트랜지스터 회로(C1)는 게이트와 드레인이 단락된 복수의 N채널형 MOS 트랜지스터(Q4, Q5)가 직렬 접속되어 구성된다.

다음으로, 입력 회로 수단(C3)은, 접지 전위 라인(VG)에 접속되어 게이트(G)에 상기 제1노드(N1)로부터의 전위를 공급받는 제1N채널형 MOS 트랜지스터(Q1)가 전원 전위 라인(VCC)에 접속된 저항(R3)과 제2노드(N2)에 직렬 접속되어 있다.

또한, 출력 회로 수단(C4)은 접지 전위 라인(VG)과, 외부에 전위(VSS)를 공급하는 제3노드(N3) 사이에 접속되어 게이트(G)에 상기 제2노드(N2)로부터의 전위를 공급받는 제2N채널형 MOS 트랜지스터(Q3)로 구성되어 있다. 이 제3P채널형 MOS 트랜지스터(Q3)의 게이트와 드레인은 단락된다.

제8도에 도시한 본 발명의 제6실시예는, 제1도의 전원 전위 라인(VCC)의 전압 강하 회로와 대조되는, 제1전원 라인, 즉, 접지 전위 라인(VG)의 승압 회로를 도시한다. 상술한 제1~5실시예의 전압 강하 회로(VS)는 트랜지스터의 신뢰성을 확보하기 위해 내부 회로(C5)에 걸리는 전압을 강하시키는 것으므로, 제6실시예에서와 같이, 내부 회로(C5)에 공급되는 내부 공급 전위(VGINT)를 접지 전위(VG)로부터 승압하여도 동일한 트랜지스터의 신뢰성 확보가 가능하다. 이 상태를 제9도에 도시한다.

제9도에서, 외부 전압을 VCC, 노드(N1)의 전위를 VN1라 하고, Vtn을 N채널형 MOS 트랜지스터(Q1)의 백게이트 효과없는 임계 전압이라 하면,

VCC - VN1 = Vtn

으로 되었을 경우, N채널형 MOS 트랜지스터(Q1)가 온도어 접지 전위의 승압과 접지전위와의 직접 결합이 전환된다. 이 때의 전위(VCC)를 동작점(VSP)이라 하면,

VSP - VN1 = Vtn

VSP = VN1 + Vtn

이 된다.

본 발명의 제6실시예에서는, 저항(R1) 값이 변동된 경우에도 노드(N1)의 전위가 트랜지스터(Q4, Q5)의 임계 전압의 합으로 결정된다. 즉, Vtn'을 N채널형 MOS 트랜지스터의 백게이트 효과있는 임계 전압이라 하면, 외부 전원 전압(VCC)이 2Vtn'+Vtn으로 되었을 때가 동작점이 된다.

따라서, 외부 전압(VCC)이 2Vtn'이하일 때에는, 트랜지스터(Q4, Q5)는 오프되므로, 노드(N1)가 저항(R1)에 의해 충전되어 접지 전위(VG)가 된다. 따라서, N채널형 MOS 트랜지스터(Q1)는 오프되고, 저항(R3)에 의해 노드(N2)의 전위는 전원 전압(VCC)근처까지 상승한다. 그 결과, N채널형 MOS 트랜지스터(Q2)는 온되어 내부회로(C5)의 접지 전위(VG)를 공급하는 제3노드(N3)의 내부 공급 전위(VGINT)는 접지 전위(VG)와 같게 된다.

한편, 외부 전압(VCC)이 2Vtn'보다 클 때에는 N채널형 MOS 트랜지스터(Q4, Q5)는 온되고, 노드(N1)의 전위는 VCC-2Vtn'으로 된다. 그리고, 외부 전원 전압(VCC)이 2Vtn'+Vtn을 초과하면 N채널형 MOS 트랜지스터(Q1)는 온되어 노드(N2)의 전위는 하가하므로 N채널형 MOS 트랜지스터(Q2)는 오프된다. 따라서, 내부의 반도체 기억 회로부(C5)로의 내부 공급 전위(VGINT)의 공급은 P채널형 MOS 트랜지스터(Q3)를 통해서만 이루어지고, 내부 회로(C5)의 접지 전위는 P채널형 MOS 트랜지스터(Q3)의 임계 전압(Vtp)만큼 강압된 전위가 공급된다.

제6실시예에서는, 동작점이 항상 2Vtn'+Vtn으로 규정되므로, 저항(R1) 값이 변동하여도 동작점은 크게 변동하지 않는다. 통상, Vtn=0.7V, Vtn'=1.4V 정도이므로, 동작점은 3.5V 근처로 된다. 즉, 통상 5V의 외부 전원에서 동작시에는 승압 회로(VS)에 의해 내부 회로(C5)에 공급되는 접지 전위가 승압되며, 데이터 유지만 할 경우는 접지 전위(VG)를 승압시키지 않고 내부 회로(C5)내 메모리 셀의 데이터를 유지한다.

또, 외부 전압(VCC)가 급격하게 상승한 경우, 예를 들면, 데이터 유지 모드인 3V에서 통상의 5V로 전환된 경우, 종래예에서는 노드(N1)의 전위가 상승하는데 상당한 시간이 걸리게 된다. 그러나 본 발명의 제6실시예에 의하면, N채널형 MOS 트랜지스터(Q4, Q5)가 온되는 즉시, 노드(N1)의 전위가 상승하므로 외부 전원의 변화에 따라 내부 전압을 변경할 수 있다.

[제7실시예]

제10도는 본 발명의 제7실시예를 도시한 회로도이다. 제7실시예에서는, 노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터린지스터 회로(C1)는 P채널형 MOS 트랜지스터(Q4, Q5, Q6)가 직렬로 접속되어 구성된다. 또, 트랜지스터(Q4, Q5, Q6)의 드레인(D)과 게이트(G)는 단락된다. 이러한 구성에 의하면, 트랜지스터 (Q4, Q5)에는 백게이트가 걸리지만, 트랜지스터(Q6)에는 백게이트가 걸리지 않는다. 그 밖의 구성은 제8도의 제6실시예와 마찬가지이고, 동일 부호는 동일한 요소를 나타내므로 대응하는 부분에 대한 설명은 생략한다.

이 경우, 백게이트 효과없는 P채널형 MOS 트랜지스터의 임계 전압을 Vtp'로 하면, 동작점을 결정하는 노드(N1)의 전위는 2Vtp'+Vtp가 된다. P채널형 MOS 트랜지스터의 임계 전압은 백게이트 효과없는 Vtp는 약 0.7V, 백게이트 효과있을 때의 Vtp'은 약 1.4V이므로, 백게이트 효과없는 P채널형 MOS 트랜지스터를 직렬로 삽입함으로써, 노드(N1)의 전위 설정을 소폭으로 조정할 수 있는 이점이 있다.

또한, 제10도에서는, 정전압 트랜지스터 회로(C1)가 3개의 트랜지스터로 구성되어 있지만, 이것은 필요한 전위에 따라서 갯수를 적당하게 조정해도 무방하다.

[제8실시예]

제11도는 본 발명의 제8실시예를 도시한 회로도이다. 제8실시예에서는, 노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터 회로(C1)는 N채널형 MOS 트랜지스터(Q4, Q5)와 P채널형 MOS 트랜지스터(Q6)가 직렬 접속되어 구성된다. 또, 트랜지스터(Q4, Q5, Q6)의 드레인(D)과 게이트(G)는 단락된다. 이러한 구성에 의하면, 트랜지스터(Q4, Q5)에는 백게이트가 걸리지만, 트랜지스터(Q6)에는 백게이트가 걸리지 않는다. 그 밖의 구성은 제8도의 제6실시예와 마찬가지이며, 동일 부호는 동일한 요소를 나타내므로 대응하는 부분에 대한 설명은 생략한다.

제8도에 도시한 본 발명의 제6실시예에서는, 동작점이 약 3.5V이었다. 가령, 내부 회로(C5)의 신뢰성 확보가 4.5V까지 가능한 SRAM에 제8도에 도시된 제6실시예의 승압 회로(VS)를 이용한 경우, 4.5V까지 전압을 걸어도 무방한 회로에 대해 전압이 3.5V까지 전압 강하되므로, 소프트웨어 에러를 초래하기 쉽다.

본 발명의 제6실시예에서, 동작점(VSP)을 올리는 간단한 방법은 고저항(R1)에 연결되는 N채널형 MOS 트랜지스터의 갯수를 증가시키는 것이다. 그러나, 3개의 트랜지스터를 직렬로 접속하면, 동작점(VSP)은 약 4.9V가 되어 버리고, 신뢰성을 확보할 수 있는 한계 전압 4.5V 이상이 내부에 걸리게 된다. 따라서, 제11도의 제8실시예에서는, 백게이트가 걸리는 N채널형 MOS 트랜지스터가 아니라, 백게이트가 걸리지 않은 P채널형 MOS 트랜지스터를 트랜지스터(Q6)로서 추가한다.

제8실시예의 P채널형 MOS 트랜지스터(Q6)는 소스 전극(S)이 전원 전위(VCC)에 접속되므로 백게이트가 걸리지 않는다. 따라서, 임계 전압(Vtp)이 비교적 작아서, 약 0.7V가 된다. 따라서, 이 경우의 동작점(VSP)은 약 4.2V가 된다.

이것은, 내부 회로(C5)내 SRAM의 신뢰성 확보가 4.5V까지 가능한 경우, 바람직한 전위가 되어, 내부 회로의 신뢰성이 손실되지 않고, 소프트웨어 에러에 대한 내성을 향상시킬 수 있다.

또한, 제11도의 정전압 트랜지스터 회로(C1)에 있어서는, N채널형 MOS 트랜지스터 2개와, P채널형 MOS 트랜지스터 1개가 직렬로 접속된 예를 도시하였지만, 이 갯수의 조합은 원하는 동작점의 전위에 따라 적당히 선택될 수 있다.

[제9실시예]

제12도는 본 발명의 제9실시예를 도시한 회로도이다. 제9실시예에서는, 제1노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터 회로(C1)는 N채널형 MOS 트랜지스터(Q4, Q5, Q6)가 직렬로 접속되어 구성되며, MOS 트랜지스터(Q6)에 병렬로 휴즈(F)가 접속된다. 또, 트랜지스터(Q3, Q4, Q5) 각각의 드레인(D)과 게이트(G)는 단락된다. 그 밖의 구성은 제8도의 제6실시예와 마찬가지이고, 동일 부호는 동일한 요소를 나타내므로 대응하는 부분에 대한 설명은 생략한다.

본 발명의 제9실시예에서는, 동작점(VSP)을 결정하는 고저항(R1)에 연결되는 정전압 트랜지스터 회로(C1)를 구성하는 복수의 트랜지스터 중 몇개를 사전에 휴즈(F)로 단락시킨다.

이와 같이 하면, MOS 트랜지스터(Q6)가 휴즈(F)로 단락된 상태에서는, 노드(N1)의 전위가 2개의 MOS 트랜지스터(Q4, Q5)의 임계 전압에 의해 결정되지만, 휴즈(F)가 절단된 경우에는 노드(N1)의 전위가 3개의 MOS 트랜지스터(Q4, Q5, Q6)의 임계 전압에 의해 결정된다. 이와 같이, 휴즈를 절단함으로써 동작점(VSP)을 조정할 수 있다.

[제10실시예]

제13도는 본 발명의 제10실시예를 도시한 회로도이다. 제10실시예에서는, 제1노드(N1)의 전위를 규정하는 정전압 트랜지스터 회로(C1)의 구성이 상이하다. 즉, 정전압 트랜지스터 회로(C1)는 N채널형 MOS 트랜지스터 (Q4, Q5)와 P채널형 MOS 트랜지스터(Q6)가 직렬 접속되어 구성되며, P채널형 MOS 트랜지스터(Q6)에 병렬로 휴즈(F)가 접속된다. 또, 트랜지스터(Q4, Q5, Q6) 각각의 드레인(D)과 게이트(G)는 단락된다. 그 밖의 구성은 제8도의 제6실시예와 마찬가지이고, 동일 부호는 동일한 요소를 나타내므로 대응하는 부분에 대한 설명은 생략한다.

본 발명의 제10실시예에서는, 동작점(VSP)을 결정하는 고저항(R1)에 연결되는 정전압 트랜지스터 회로(C1)의 복수의 직렬 MOS 트랜지스터를 P 채널형 및 N 채널형의 조합으로 함과 동시에, 백게이트가 걸리지 않은 P채널형 MOS트랜지스터(Q6)를 휴즈(F)로 단락시킨다.

이와 같이 하면, MOS 트랜지스터(Q6)가 휴즈(F)로 단락된 상태에서는, 노드(N1)의 전위가 2개의 N채널형 MOS 트랜지스터(Q4, Q5)의 임계 전압에 의해 결정되지만, 휴즈(F)가 절단된 경우에는 노드(N1)의 전위가 2개의 백게이트가 걸리는 N채널형 MOS 트랜지스터(Q4, Q5)와 1개의 백게이트가 걸리지지 않은 P채널형 MOS 트랜지스터(Q6)의 임계 전압에 의해 결정된다. 백게이트가 걸리지 않은 P채널형 MOS 트랜지스터(Q6)의 임계 전압(Vtp)은 통상 0.7V정도로 작으므로, 제조 공정의 변동에 따라 동작점(VSP)의 조정 단계를 보다 세분화시킬 수 있다.

또한, 이 경우에도, 정전압 트랜지스터 회로(C1)에 내장되는 MOS 트랜지스터의 갯수는 동작점의 원하는 전위에 따라서 적당하게 선택되지만, 단락될 MOS 트랜지스터 중 하나는 백게이트가 걸리지 않는 MOS 트랜지스터로 한다.

발명의 효과

따라서, 본 발명에 의하면, 제조 공정시 변동 등으로 인한 저항값의 변화 및 외부 전원 전압(VCC)이 변동해도 정해진 동작점에서 전압 강하를 일으켜 일정한 범위의 전위를, 예를 들면, 반도체 기억 회로부에 공급할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 전위 공급 장치(semiconductor potential supply device)에 있어서,

제1전원 라인에 접속된 저항과, 제2전원 라인에 접속된 정전압 트랜지스터 회로가 제1노드에 직렬 접속되어 이루어진 정전압 회로 수단(constant voltage circuit means)과, 상기 제1전원 라인에 접속되어 제어 전극에 상기 제1노드로부터의 전위를 공급받는 제1트랜지스터 회로와, 상기 제2전원 라인에 접속된 저항이 제2노드에 직렬 접속되어 이루어진 입력 회로 수단(input circuit means)과, 상기 제1전원 라인과, 외부에 전위를 공급하는 제3노드 사이에 접속되어 제어 전극에 상기 제2노드로부터의 전위를 공급받는 제2트랜지스터 회로와, 상기 제2트랜지스터 회로에 병렬 접속된 제3트랜지스터 회로를 갖는 출력 회로 수단(output circuit means)을 구비하되, 상기 정전압 트랜지스터 회로는 상기 제1노드에 접속된 적어도 두 개의 MOS 트랜지스터 중 한 트랜지스터의 전극과, 상기 제2전원 라인에 접속된 상기 적어도 두 개의 MOS 트랜지스터 중 다른 트랜지스터의 전극이 직렬 접속된 적어도 두 개의 MOS 트랜지스터를 포함하며, 상기 적어도 두 개의 트랜지스터 각각의 게이트 및 드레인은 서로 접속되어 있는 반도체 전위 공급 장치.

청구항 2

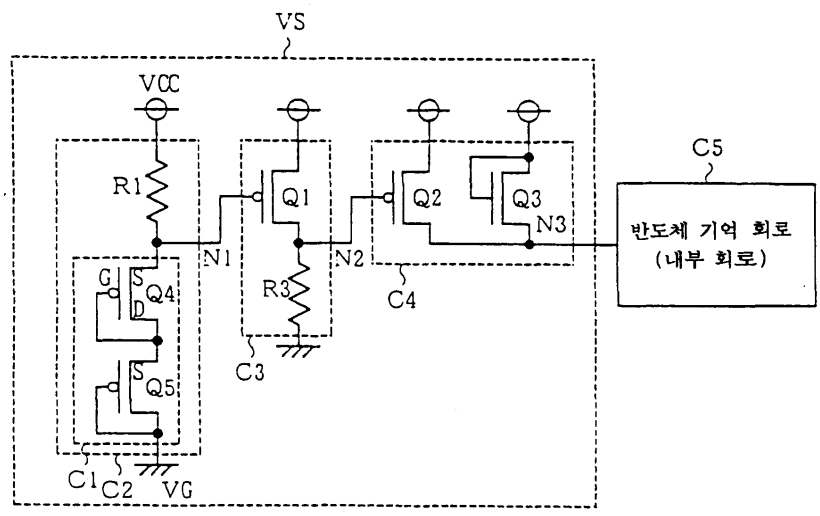
제1항에 있어서, 상기 적어도 두 개의 MOS 트랜지스터 중 적어도 하나의 백게이트 효과(backgate effect)가 없는 반도체 전위 공급 장치.

청구항 3

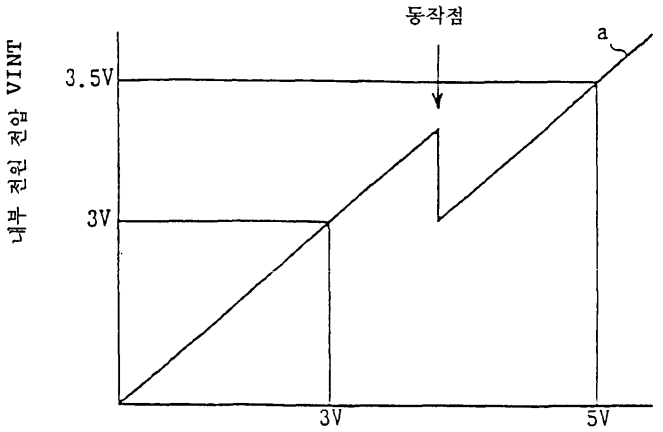
반도체 기억 장치에 있어서, 제1전원 라인에 접속된 저항과, 제2전원 라인에 접속된 정전압 트랜지스터 회로가 제1노드에 직렬 접속되어 이루어진 정전압 회로 수단과, 상기 제1전원 라인에 접속되어 제어 전극에 상기 제1노드로부터의 전위를 공급받는 제1트랜지스터 회로와, 상기 제2전원 라인에 접속된 저항이 제2노드에 직렬 접속되어 이루어진 입력 회로 수단과, 상기 제1전원 라인과, 외부에 전위를 공급하는 제3노드 사이에 접속되어 제어 전극에 상기 제2노드로부터의 전위를 공급받는 제2트랜지스터 회로와, 상기 제2트랜지스터 회로에 병렬 접속된 제3트랜지스터 회로를 갖는 출력 회로 수단과, 상기 제3노드에 접속되어, 상기 제3노드로부터의 전위를 공급받는 반도체 기억 회로를 포함하되, 상기 정전압 트랜지스터 회로는 상기 제1노드에 접속된 적어도 두 개의 MOS 트랜지스터 중 한 트랜지스터의 전극과, 상기 제2전원 라인에 접속된 상기 적어도 두 개의 MOS 트랜지스터 중 다른 트랜지스터의 전극이 직렬 접속된 적어도 두 개의 MOS 트랜지스터를 포함하며, 상기 적어도 두 개의 트랜지스터 각각의 게이트 및 드레인은 서로 접속되어 있는 반도체 기억 장치.

도면

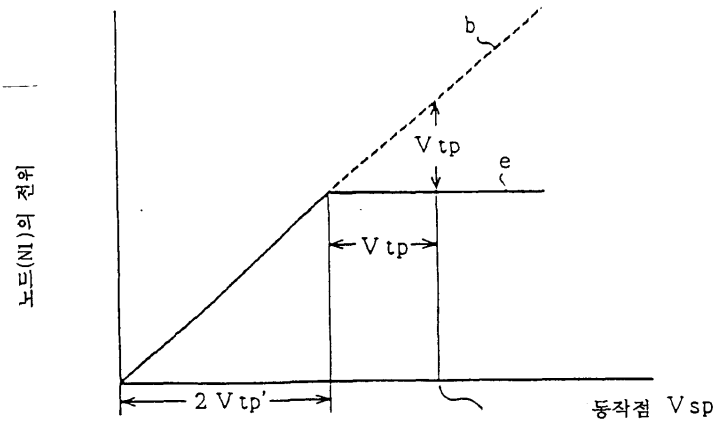
도면1



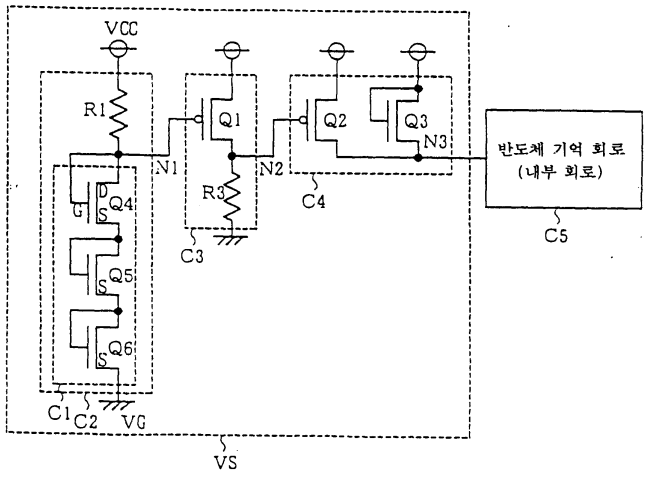
도면2


동작점
a
3.5V
3V
내부 전원 전압 VINT
3V
5V
외부 전원 전압 VCC

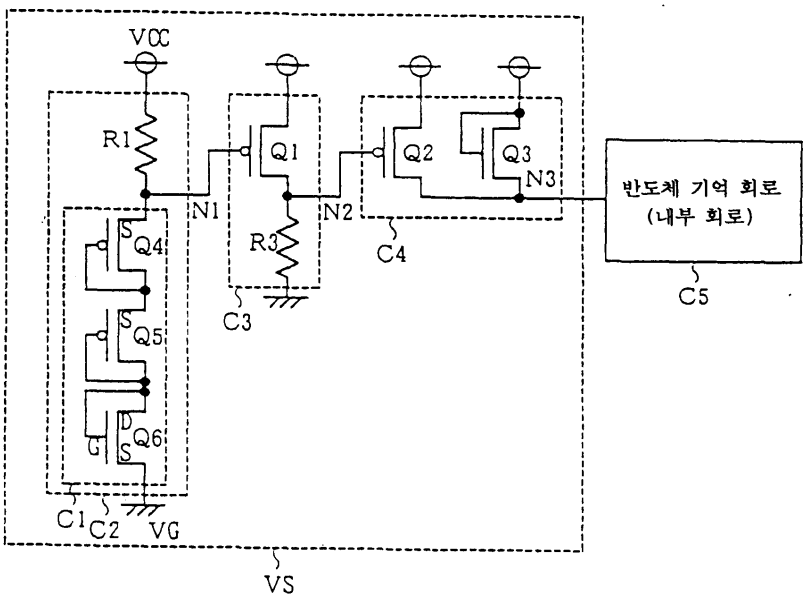
도면3


b
V tp
e
V tp
노드(N1)의 전위
2 V tp'
동작점 V sp
외부 전원 전압 VCC

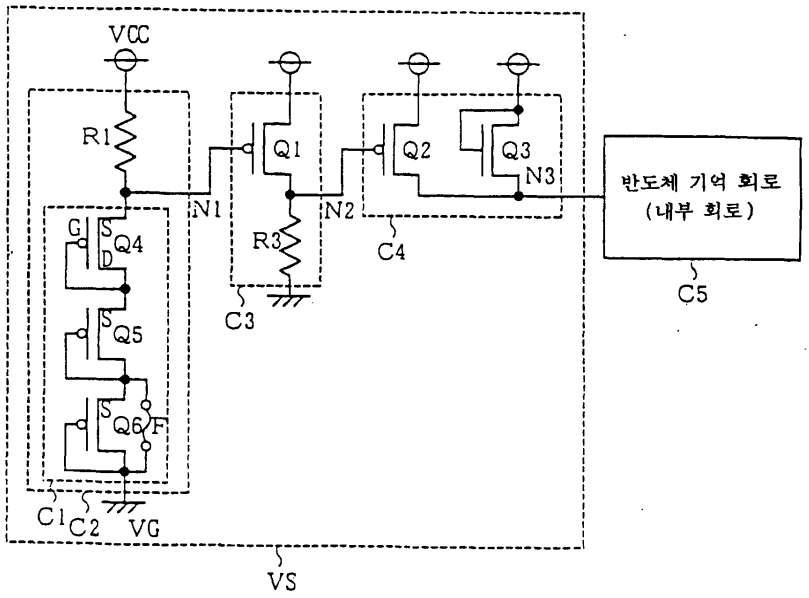
도면4


VCC
R1
Q1
Q2
Q3
N3
N1
N2
R3
C4
C3
C5
반도체 기억 회로
(내부 회로)
Q4
Q5
Q6
C1
C2
VG
VS

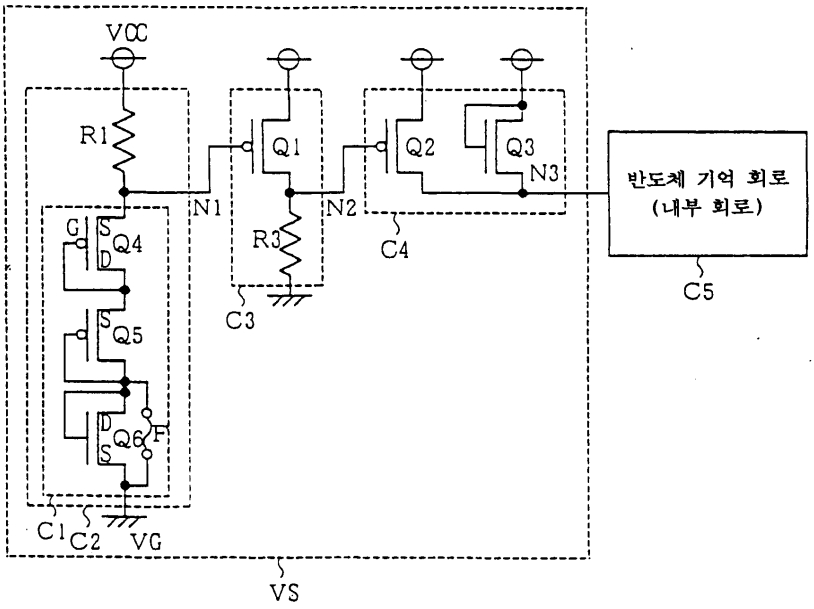
도면5


VCC
R1
Q1
Q2
Q3
N3
N1
N2
R3
C4
C3
C5
반도체 기억 회로
(내부 회로)
Q4
Q5
Q6
C1
C2
VG
VS

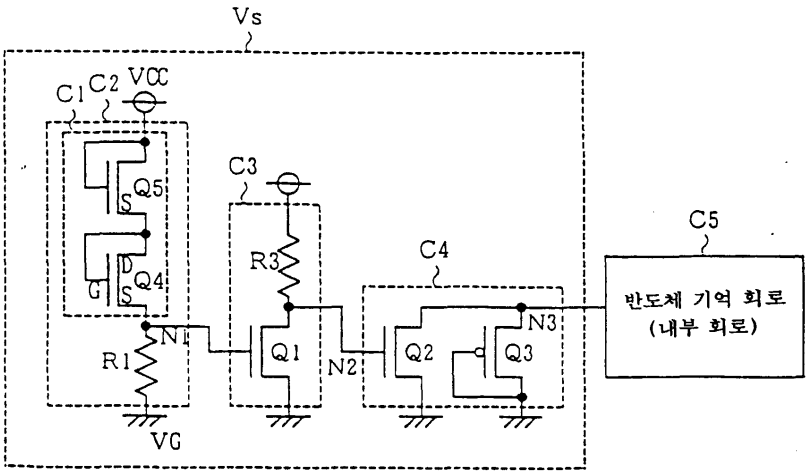
도면6


VCC
R1
Q1
Q2
Q3
N3
N1
N2
G
S
D
Q4
Q5
Q6
F
R3
C3
C4
반도체 기억 회로
(내부 회로)
C5
C1
C2
VG
VS

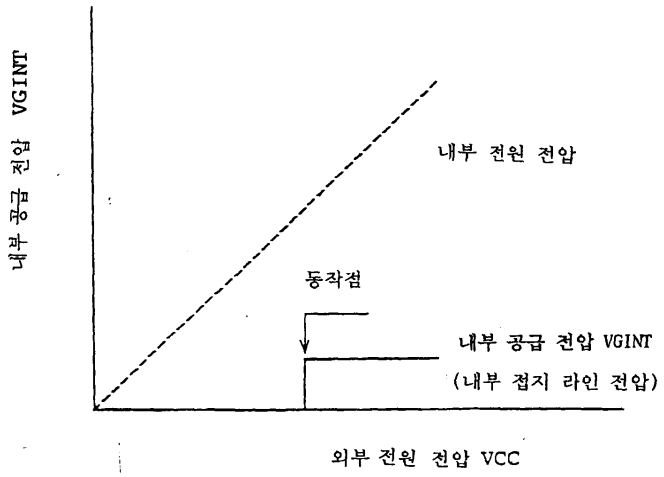
도면7


VCC
R1
Q1
Q2
Q3
N3
N1
N2
G
S
D
Q4
Q5
Q6
F
R3
C3
C4
반도체 기억 회로
(내부 회로)
C5
C1
C2
VG
VS

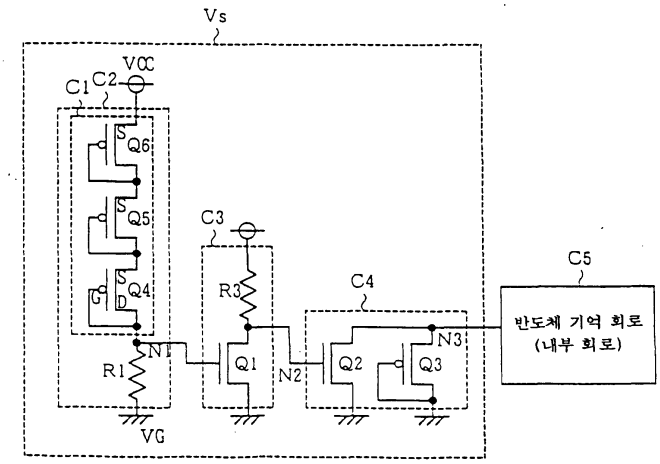
도면8


Vs
C1
C2
VCC
Q5
Q4
C3
R3
C4
C5
반도체 기억 회로
(내부 회로)
N3
N1
R1
Q1
N2
Q2
Q3
VG

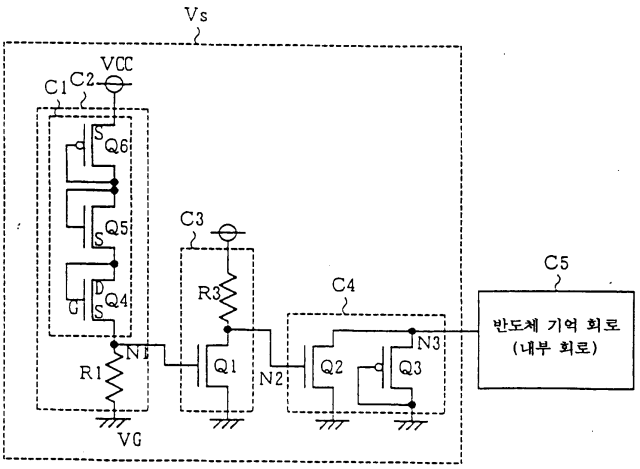
도면9


내부 공급 전압 VGINT
내부 전원 전압
동작점
내부 공급 전압 VGINT
(내부 접지 라인 전압)
외부 전원 전압 VCC

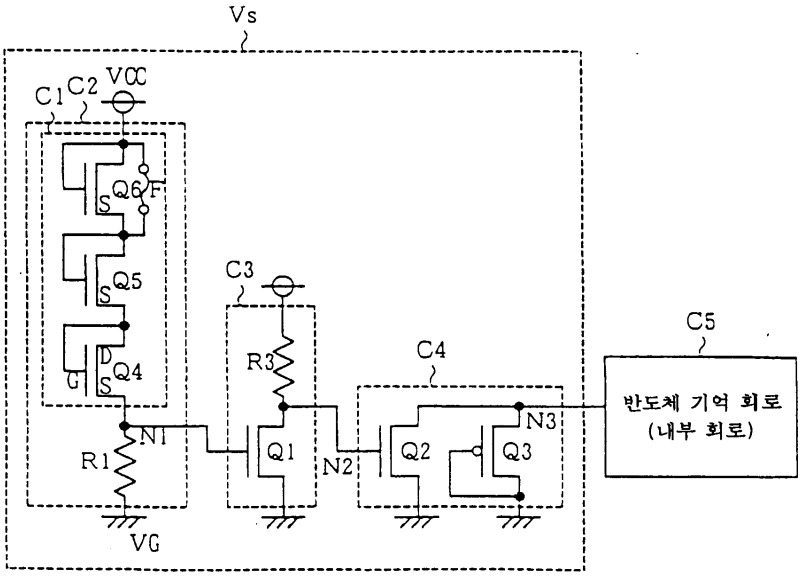
도면10


Vs
VCC
C1
C2
Q6
Q5
Q4
C3
R3
C4
C5
반도체 기억 회로
(내부 회로)
N3
N1
R1
Q1
N2
Q2
Q3
VG

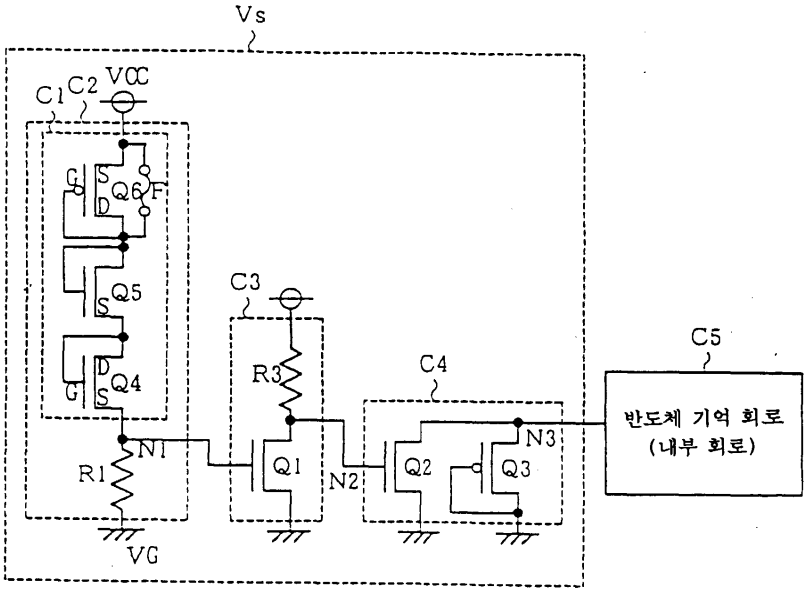
도면11


Vs
VCC
C1
C2
Q6
Q5
Q4
C3
R3
C4
C5
반도체 기억 회로
(내부 회로)
N3
N1
R1
Q1
N2
Q2
Q3
VG

도면12

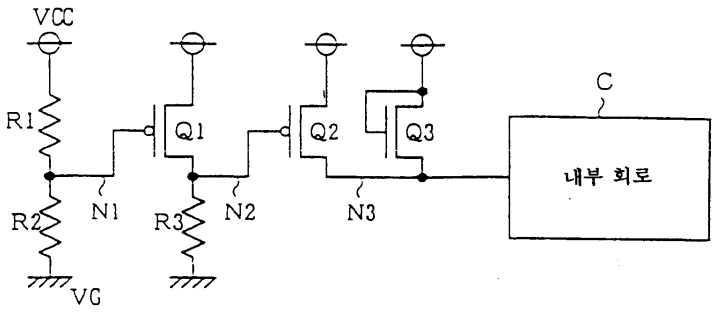

Vs
C1
C2
VCC
Q6
F
Q5
Q4
C3
R3
C4
C5
반도체 기억 회로
(내부 회로)
N3
N1
R1
Q1
N2
Q2
Q3
VG

도면13



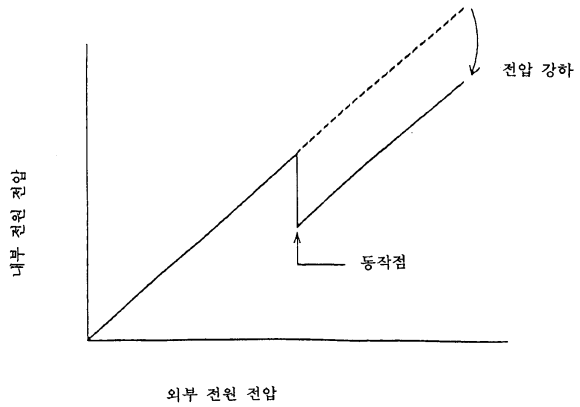
도면14

(종래 기술)



도면15

(종래 기술)



도면16

(종래 기술)

