



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0003923
(43) 공개일자 2021년01월12일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 23/498 (2006.01)
H01L 23/522 (2006.01)
(52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/31 (2013.01)
(21) 출원번호 10-2020-7035323
(22) 출원일자(국제) 2019년03월29일
심사청구일자 2020년12월29일
(85) 번역문제출일자 2020년12월08일
(86) 국제출원번호 PCT/US2019/024835
(87) 국제공개번호 WO 2019/231549
국제공개일자 2019년12월05일
(30) 우선권주장
15/991,573 2018년05월29일 미국(US)

(71) 출원인
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485
(72) 발명자
아가왈 라홀
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485
바가바트 밀런드 에스.
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485
(74) 대리인
박장원

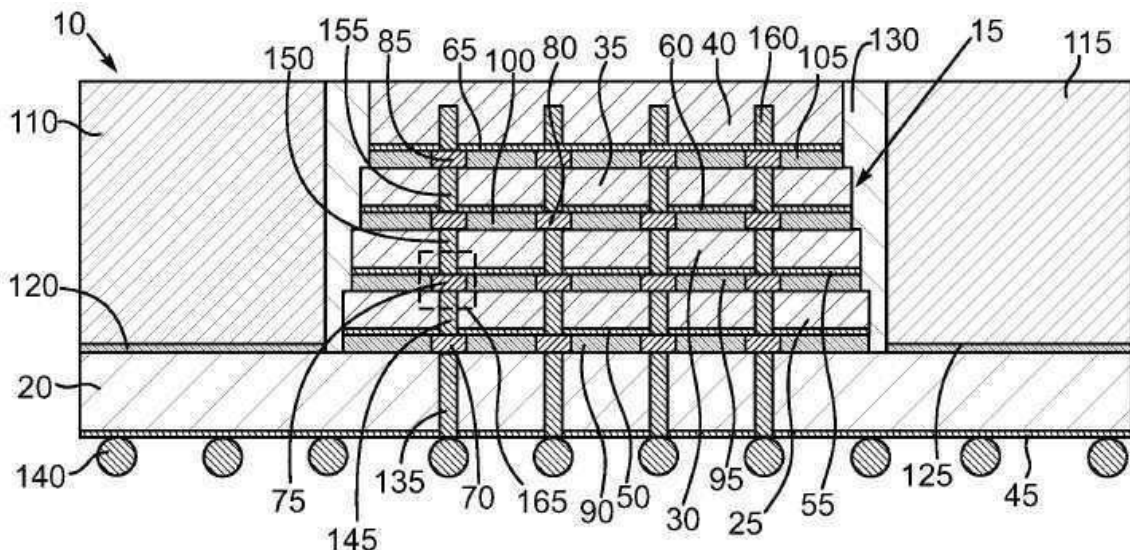
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 멀티-티어 3D 집적용 다이 적층

(57) 요약

다양한 다이 스택 및 그 생성 방법이 개시된다. 일 형태에서, 제 1 반도체 웨이퍼(185)의 제 2 반도체 다이(35) 상에 제 1 반도체 다이(40)를 장착하는 단계를 포함하는 제조 방법이 제공된다. 제 2 반도체 다이가 제 1 반도체 웨이퍼로부터 싱글레이션되어 제 1 다이 스택을 도출한다. 제 2 반도체 웨이퍼(205)의 제 3 반도체 다이(30) 상에 제 1 다이 스택의 제 2 반도체 다이가 장착된다. 제 2 반도체 웨이퍼로부터 제 3 반도체 다이가 싱글레이션되어 제 2 다이 스택을 도출한다. 제 3 반도체 웨이퍼(225)의 제 4 반도체 다이(25) 상에 제 2 다이 스택이 장착된다.

대표도 - 도1



(52) CPC특허분류

H01L 23/49827 (2013.01)

H01L 23/5226 (2013.01)

H01L 24/06 (2013.01)

명세서

청구범위

청구항 1

제 1 반도체 웨이퍼(185)의 제 2 반도체 다이(35) 상에 제 1 반도체 다이(40)를 장착하는 단계;
제 1 다이 스택을 도출하도록 제 1 반도체 웨이퍼로부터 제 2 반도체 다이를 싱글레이션하는 단계;
제 2 반도체 웨이퍼(205)의 제 3 반도체 다이(30) 상에 제 1 다이 스택의 제 2 반도체 다이를 장착하는 단계;
제 2 다이 스택을 도출하도록 제 2 반도체 웨이퍼로부터 제 3 반도체 다이를 싱글레이션하는 단계; 및
제 3 반도체 웨이퍼(225)의 제 4 반도체 다이(25) 상에 제 2 다이 스택을 장착하는 단계를 포함하는, 제조 방법.

청구항 2

제 1 항에 있어서, 제 2 다이 스택의 제 1 면에 인접하여 제 3 반도체 웨이퍼 상에 제 1 더미 구성요소(110)와, 상기 제 1 면에 대향된 제 2 다이 스택의 제 2 면에 인접하여 제 3 반도체 웨이퍼 상에 제 2 더미 구성요소(115)를 장착하는 단계를 포함하는, 제조 방법.

청구항 3

제 1 항에 있어서, 제 3 다이 스택을 도출하도록 제 3 반도체 웨이퍼로부터 제 4 반도체 다이를 싱글레이션하는 단계를 포함하는, 제조 방법.

청구항 4

제 1 항에 있어서, 제 1 캐리어 웨이퍼(200)에 제 1 반도체 웨이퍼를 장착하는 단계와, 제 2 반도체 다이 상에 제 1 반도체 다이를 장착하기 전에 제 2 반도체 다이의 복수의 관통-다이-비아(155)를 노출시키는 단계를 포함하는, 제조 방법.

청구항 5

제 4 항에 있어서, 제 2 캐리어 웨이퍼(220)에 제 2 반도체 웨이퍼를 장착하는 단계와, 제 3 반도체 다이 상에 제 2 반도체 다이를 장착하기 전에 제 3 반도체 다이의 복수의 관통-다이-비아(150)를 노출시키는 단계를 포함하는, 제조 방법.

청구항 6

제 1 항에 있어서, 제 1 반도체 다이와 제 2 반도체 다이 사이에 복수의 인터커넥트(85)를 제조하는 단계를 포함하는, 제조 방법.

청구항 7

제 1 항에 있어서, 제 2 반도체 다이에 제 1 반도체 다이를 장착하는 단계는, 제 1 반도체 다이와 제 2 반도체 다이 사이에서 제 1 반도체 다이와 제 2 반도체 다이를 본딩하는 제 1 유리층(175) 및 제 2 유리층(180)을 가진 절연 본딩층을 형성하는 단계와, 제 1 유리층을 제 2 유리층에 본딩하도록 그리고 제 1 반도체 다이의 전도체 구조 및 제 2 반도체 다이의 전도체 구조를 야금학적으로 본딩하도록 어닐링하는 단계를 포함하는, 제조 방법.

청구항 8

제 1 항에 있어서, 제 2 다이 스택을 적어도 부분적으로 덮도록 몰딩 재료(130)를 몰딩하는 단계를 포함하는, 제조 방법.

청구항 9

제 1 항에 있어서, 제 4 반도체 다이는 제 3 반도체 다이와 면하는 제 1 면과, 제 1 면에 대향된 다른 면을 가지며, 상기 다른 면 상에 복수의 I/O(140)를 제조하는 단계를 포함하는, 제조 방법.

청구항 10

제 1 캐리어 웨이퍼(200) 상에 제 1 반도체 웨이퍼(185)를 장착하는 단계;

제 1 반도체 웨이퍼의 제 1 반도체 다이(35)의 복수의 관통-다이-비아(155)를 노출시키는 단계;

관통-다이-비아의 노출 후 제 1 반도체 다이 상에 제 2 반도체 다이(40)를 장착하는 단계;

제 1 다이 스택을 도출하도록 제 1 반도체 웨이퍼로부터 제 1 반도체 다이를 싱글레이션하는 단계;

제 2 캐리어 웨이퍼(220) 상에 제 2 반도체 웨이퍼(205)를 장착하는 단계;

제 2 반도체 웨이퍼의 제 3 반도체 다이(205)의 복수의 관통-다이-비아(150)를 노출시키는 단계;

제 3 반도체 다이의 관통-다이-비아의 노출 후 제 3 반도체 다이 상에 제 1 다이 스택의 제 1 반도체 다이를 장착하는 단계;

제 2 다이 스택을 도출하도록 제 2 반도체 웨이퍼로부터 제 3 반도체 다이를 싱글레이션하는 단계;

제 3 반도체 웨이퍼(225)의 제 4 반도체 다이(25) 상에 제 2 다이 스택을 장착하는 단계를 포함하는, 제조 방법.

청구항 11

제 10 항에 있어서, 제 2 다이 스택의 제 1 면에 인접하게 제 3 반도체 웨이퍼 상에 제 1 더미 구성요소(110)를, 그리고, 제 1 면에 대향된 제 2 다이 스택의 제 2 면에 인접하여 제 3 반도체 웨이퍼 상에 제 2 더미 구성요소(115)를 장착하는 단계를 포함하는, 제조 방법.

청구항 12

제 10 항에 있어서, 제 3 다이 스택을 도출하도록 제 3 반도체 웨이퍼로부터 제 4 반도체 다이를 싱글레이션하는 단계를 포함하는, 제조 방법.

청구항 13

제 10 항에 있어서, 제 2 다이 스택의 다이를 각각 간에 복수의 인터커넥트(75)를 제조하는 단계를 포함하는, 제조 방법.

청구항 14

제 10 항에 있어서, 상기 제 1 반도체 다이에 제 2 반도체 다이를 장착하는 단계는, 제 1 반도체 다이와 제 2 반도체 다이 사이에서 제 1 반도체 다이와 제 2 반도체 다이를 본딩하도록 제 1 유리층(175) 및 제 2 유리층(180)을 가진 절연 본딩층을 형성하는 단계와, 제 2 유리층에 제 1 유리층을 본딩하도록 어닐링하는 단계를 포함하는, 제조 방법.

청구항 15

제 10 항에 있어서, 제 2 다이 스택을 적어도 부분적으로 덮도록 몰딩 재료(130)를 몰딩하는 단계를 포함하는, 제조 방법.

청구항 16

제 10 항에 있어서, 제 1 반도체 다이는 제 2 반도체 다이와 면하는 제 1 면과, 제 1 면에 대향된 다른 면을 가지며, 상기 다른 면 상에 복수의 I/O(140)를 제조하는 단계를 포함하는, 제조 방법.

청구항 17

제 1 반도체 다이(20);

상기 제 1 반도체 다이 상에 위치하는 복수의 반도체 다이()의 스택(15) - 복수의 반도체 다이의 스택의 2개의

인접한 반도체 다이 각각은 복수의 인터커넥트에 의해 전기적으로 연결됨;

반도체 다이의 스택의 제 1 면에 대향되어 위치하고, 복수의 반도체 다이의 스택으로부터 제 1 갭만큼 이격된, 제 1 더미 구성요소(110)와, 복수의 반도체 다이의 스택의 제 2 면에 대향되어 위치하고, 복수의 반도체 다이의 스택으로부터 제 2 갭만큼 이격된 제 2 더미 구성요소(115); 및

제 1 및 제 2 갭 사이에 위치하고, 복수의 반도체 다이의 스택을 적어도 부분적으로 덮는 몰딩 재료(130)를 포함하는, 반도체 다이 디바이스.

청구항 18

제 17 항에 있어서, 복수의 반도체 다이의 스택의 2개의 인접한 반도체 다이 각각은 절연 본딩층에 의해 물리적으로 연결되고, 절연 본딩층은 제 1 절연층과, 제 1 절연층에 본딩된 제 2 절연층을 포함하는, 반도체 다이 디바이스.

청구항 19

제 18 항에 있어서, 인터커넥트는 범프없는 인터커넥트를 포함하는, 반도체 다이 디바이스.

청구항 20

제 17 항에 있어서, 제 1 반도체 다이는 복수의 반도체 다이의 스택의 최하위 반도체 다이와 면하는 제 1 면과, 상기 제 1 면에 대향된 다른 면을 가지며, 상기 다른 면 상에 복수의 I/O(140)를 갖는, 반도체 다이 디바이스.

발명의 설명

기술 분야

배경 기술

- [0001] 많은 현대의 집적 회로들이 공통 웨이퍼 상에 다수의 다이로 형성된다. 다이 상에 회로를 형성하기 위한 기본 공정 단계가 완료되면, 웨이퍼로부터 개별 다이들이 싱글레이션된다. 싱글레이션된 다이들은 그 후 통상적으로 회로 보드와 같은 구조물에 장착되거나, 소정 형태의 인클로저에 패키징된다.
- [0002] 자주 사용되는 한가지 패키지는 다이를 장착한 기관으로 이루어진다. 기관의 상부 표면은 전기적 인터커넥트들을 포함한다. 다이는 복수의 본드 패드를 갖추도록 제조된다. 기관 인터커넥트와 다이의 본드 패드 사이에 솔더 조인트들의 세트가 제공되어 오옴 결합을 구축하게 된다. 다이가 기관에 장착된 후, 다이를 덮도록 기관에 리드(lid)가 부착된다. 마이크로프로세서와 같은 일부 종래의 집적 회로들이 상당한 양의 열을 생성하며, 이는 디바이스 쉷다운이나 손상을 막기 위해 날려보내야 한다. 리드는 보호 커버의 기능과 열 전달 경로의 기능을 겸한다.
- [0003] 적층 다이 배열은 베이스 반도체 칩 상에 하나 이상의 반도체 다이를 배치 또는 적층하는 과정을 포함한다. 일부 종래의 변형예에서, 베이스 반도체 다이는 마이크로프로세서와 같은 고열 소산 디바이스이다. 적층 다이는 종종 메모리 디바이스이다. 통상적인 종래의 제조 공정에서 다이는 베이스 다이 상에 한번에 하나씩 적층된다. 다이간 전기적 연결은 범프를 이용하여 그리고 관통-칩-비아를 통해 이루어진다.

도면의 간단한 설명

- [0004] 발명의 위 및 기타의 장점들은 아래의 도면을 참조하여 다음의 상세한 설명으로부터 명백해질 것이다.
- 도 1은 다이 적층된 반도체 다이 디바이스의 예시적 배열의 단면도이고,
- 도 2는 확대되어 도시되는 도 1의 부분도이며,
- 도 3은 예시 반도체 웨이퍼의 일부의 단면도이고,
- 도 4는 캐리어 웨이퍼 상에 반도체 웨이퍼의 예시적 장착을 보여주는 단면도이며,
- 도 5는 예시적 웨이퍼 시닝(thinning)을 보여주는 단면도이고,

도 6은 반도체 웨이퍼의 반도체 다이 상에 반도체 다이의 예시적 장착을 나타내는 단면도이며,
 도 7은 싱글레이션된 다이 스택의 단면도이고,
 도 8은 다른 예시적 반도체 웨이퍼의 부분 단면도이며,
 도 9는 다른 캐리어 웨이퍼 상의 반도체 웨이퍼의 예시적 장착을 나타내는 단면도이고,
 도 10은 예시적 웨이퍼 시닝을 나타내는 단면도이며,
 도 11은 반도체 웨이퍼의 반도체 다이 상의 다이 스택의 예시적 장착을 나타내는 단면도이고,
 도 12는 다른 싱글레이션된 다이 스택의 단면도이며,
 도 13은 반도체 웨이퍼의 반도체 다이 상의 다이 스택의 예시적 장착을 나타내는 단면도이고,
 도 14는 싱글레이션된 다이 스택의 단면도이며,
 도 15는 다른 예시적 반도체 웨이퍼의 부분 단면도이고,
 도 16은 다른 캐리어 웨이퍼 상의 반도체 웨이퍼의 예시적 장착을 나타내는 단면도이며,
 도 17은 예시적 웨이퍼 시닝을 나타내는 단면도이고,
 도 18은 반도체 웨이퍼의 반도체 다이 상의 다이 스택의 예시적 장착을 나타내는 단면도이며,
 도 19는 반도체 웨이퍼의 다이 상에 장착된 다이 스택을 나타내는 단면도이고,
 도 20은 예시적 더미 구성요소 마운팅을 나타내는 단면도이며,
 도 21은 예시적 몰딩 재료 몰딩을 나타내는 단면도이고,
 도 22는 예시적 I/O 마운팅을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0005] 종래의 다이 적층 기술은 제 1 다이 위에 일 다이를, 등등하여 스택의 맨 위 다이까지 이르도록 순차적으로 다이를 적층한다. 관통-다이 비아(TDV)가 다이간 전기적 연결을 위해 사용될 때, 다음 다이가 장착되기 전에 일 다이의 TDV를 드러내기 위해 노출 프로세스(reveal process)가 필요하다. 이는 통상적으로, 앞서 싱글레이션된 다이의 재구성된 웨이퍼를 생성함으로써, 그리고, 재구성된 웨이퍼 상에 노출 프로세스를 수행함으로써, 하나의 보편적인 공정으로 이루어진다. 스택의 현재 최상단 다이의 TDV의 노출 중 스택의 하위 다이에 대한 악영향을 방지하기 위해, 종종 갭 충전 공정이 필요하다. 그러나, 여기서 개시된 기술에서는 다이 스택을 생성할 수 있고, TDV 노출(TDV reveals)은 재구성에 의존할 필요없이 웨이퍼 레벨에서 항상 수행될 수 있다. 스택 생성 중 갭 충전 공정이 필요치 않다.
- [0006] 본 발명의 일 형태에 따르면, 제 1 반도체 웨이퍼의 제 2 반도체 다이 상에 제 1 반도체 다이를 장착하는 단계를 포함하는 제조 방법이 제공된다. 제 1 반도체 웨이퍼로부터 제 2 반도체 다이가 싱글레이션되어 제 1 다이 스택을 도출하게 된다. 제 1 다이 스택의 제 2 반도체 다이는 제 2 반도체 웨이퍼의 제 3 반도체 다이 상에 장착된다. 제 2 반도체 웨이퍼로부터 제 3 반도체 다이가 싱글레이션되어 제 2 다이 스택을 도출한다. 제 2 다이 스택은 제 3 반도체 웨이퍼의 제 4 반도체 다이 상에 장착된다.
- [0007] 이 방법은, 제 2 다이 스택의 제 1 면에 인접하게 제 3 반도체 웨이퍼 상에 제 1 더미 구성요소를, 그리고, 제 1 면에 대향된 제 2 다이 스택의 제 2 면에 인접하여 제 3 반도체 웨이퍼 상에 제 2 더미 구성요소를 장착하는 단계를 포함한다.
- [0008] 이 방법은, 제 3 반도체 웨이퍼로부터 제 4 반도체 다이를 싱글레이션하여 제 3 다이 스택을 도출하는 단계를 포함한다.
- [0009] 이 방법은, 제 3 다이 스택을 도출하도록 제 3 반도체 웨이퍼로부터 제 4 반도체 다이를 싱글레이션하는 단계를 포함한다.
- [0010] 이 방법은, 제 1 캐리어 웨이퍼에 제 1 반도체 웨이퍼를 장착하는 단계와, 제 2 반도체 다이 상에 제 1 반도체 다이를 장착하기 전에 제 2 반도체 다이의 복수의 관통-다이-비아를 노출시키는 단계를 포함한다.

- [0011] 이 방법은, 제 2 캐리어 웨이퍼에 제 2 반도체 웨이퍼를 장착하는 단계와, 제 3 반도체 다이 상에 제 2 반도체 다이를 장착하기 전에 제 3 반도체 다이의 복수의 관통-다이-비아를 노출시키는 단계를 포함한다.
- [0012] 이 방법은, 제 1 반도체 다이와 제 2 반도체 다이 사이에 복수의 인터커넥트를 제조하는 단계를 포함한다.
- [0013] 이 방법에서, 제 2 반도체 다이에 제 1 반도체 다이를 장착하는 단계는, 제 1 반도체 다이와 제 2 반도체 다이 사이에서 제 1 반도체 다이와 제 2 반도체 다이를 본딩하는 제 1 유리층 및 제 2 유리층을 가진 절연 본딩층을 형성하는 단계와, 제 1 유리층을 제 2 유리층에 본딩하도록 그리고 제 1 반도체 다이의 전도체 구조 및 제 2 반도체 다이의 전도체 구조를 야금학적으로 본딩하도록 어닐링하는 단계를 포함한다.
- [0014] 이 방법은, 제 2 다이 스택을 적어도 부분적으로 덮도록 몰딩 재료를 몰딩하는 단계를 포함한다.
- [0015] 이 방법에서, 제 4 반도체 다이는 제 3 반도체 다이와 면하는 제 1 면과, 제 1 면에 대향된 다른 면을 가지며, 상기 다른 면 상에 복수의 I/O를 제조하는 단계를 포함한다.
- [0016] 본 발명의 다른 형태에 따르면, 제조 방법은 제 1 캐리어 웨이퍼 상에 제 1 반도체 웨이퍼를 장착하는 단계; 제 1 반도체 웨이퍼의 제 1 반도체 다이의 복수의 관통-다이-비아를 노출시키는 단계; 관통-다이-비아의 노출 후 제 1 반도체 다이 상에 제 2 반도체 다이를 장착하는 단계; 제 1 다이 스택을 도출하도록 제 1 반도체 웨이퍼로부터 제 1 반도체 다이를 싱글레이션하는 단계; 제 2 캐리어 웨이퍼 상에 제 2 반도체 웨이퍼를 장착하는 단계; 제 2 반도체 웨이퍼의 제 3 반도체 다이의 복수의 관통-다이-비아를 노출시키는 단계; 제 3 반도체 다이의 관통-다이-비아의 노출 후 제 3 반도체 다이 상에 제 1 다이 스택의 제 1 반도체 다이를 장착하는 단계; 제 2 다이 스택을 도출하도록 제 2 반도체 웨이퍼로부터 제 3 반도체 다이를 싱글레이션하는 단계; 제 3 반도체 웨이퍼의 제 4 반도체 다이 상에 제 2 다이 스택을 장착하는 단계를 포함한다.
- [0017] 이 방법은, 제 2 다이 스택의 제 1 면에 인접하게 제 3 반도체 웨이퍼 상에 제 1 더미 구성요소를, 그리고, 제 1 면에 대향된 제 2 다이 스택의 제 2 면에 인접하여 제 3 반도체 웨이퍼 상에 제 2 더미 구성요소를 장착하는 단계를 포함한다.
- [0018] 이 방법은, 제 3 다이 스택을 도출하도록 제 3 반도체 웨이퍼로부터 제 4 반도체 다이를 싱글레이션하는 단계를 포함한다.
- [0019] 이 방법은, 제 2 다이 스택의 다어들 각각 간에 복수의 인터커넥트를 제조하는 단계를 포함한다.
- [0020] 이 방법에서, 상기 제 1 반도체 다이에 제 2 반도체 다이를 장착하는 단계는, 제 1 반도체 다이와 제 2 반도체 다이 사이에서 제 1 반도체 다이와 제 2 반도체 다이를 본딩하도록 제 1 유리층 및 제 2 유리층을 가진 절연 본딩층을 형성하는 단계와, 제 2 유리층에 제 1 유리층을 본딩하도록 어닐링하는 단계를 포함한다.
- [0021] 이 방법은, 제 2 다이 스택을 적어도 부분적으로 덮도록 몰딩 재료를 몰딩하는 단계를 포함한다.
- [0022] 이 방법에서, 제 1 반도체 다이는 제 2 반도체 다이와 면하는 제 1 면과, 제 1 면에 대향된 다른 면을 가지며, 상기 다른 면 상에 복수의 I/O를 제조하는 단계를 포함한다.
- [0023] 본 발명의 다른 형태에 따르면, 반도체 다이 디바이스가 제공되는데, 상기 반도체 다이 디바이스는 제 1 반도체 다이; 상기 제 1 반도체 다이 상에 위치하는 복수의 반도체 다이의 스택 - 복수의 반도체 다이의 스택의 2개의 인접한 반도체 다이 각각은 복수의 인터커넥트에 의해 전기적으로 연결됨; 반도체 다이의 스택의 제 1 면에 대향되어 위치하고, 복수의 반도체 다이의 스택으로부터 제 1 겹만큼 이격된, 제 1 더미 구성요소와, 복수의 반도체 다이의 스택의 제 2 면에 대향되어 위치하고, 복수의 반도체 다이의 스택으로부터 제 2 겹만큼 이격된 제 2 더미 구성요소; 및 제 1 및 제 2 겹 사이에 위치하고, 복수의 반도체 다이의 스택을 적어도 부분적으로 덮는 몰딩 재료를 포함한다.
- [0024] 이러한 반도체 다이 디바이스에서, 복수의 반도체 다이의 스택의 2개의 인접한 반도체 다이 각각은 절연 본딩층에 의해 물리적으로 연결되고, 절연 본딩층은 제 1 절연층과, 제 1 절연층에 본딩된 제 2 절연층을 포함한다.
- [0025] 이러한 반도체 다이 디바이스에서, 인터커넥트는 범프없는 인터커넥트를 포함한다.
- [0026] 이러한 반도체 다이 디바이스에서, 제 1 반도체 다이는 복수의 반도체 다이의 스택의 최하위 반도체 다이와 면하는 제 1 면과, 상기 제 1 면에 대향된 다른 면을 가지며, 상기 다른 면 상에 복수의 I/O를 갖는다.
- [0027] 아래 설명되는 도면에서, 하나보다 많은 도면에 동일한 요소들이 나타나도록 도면 부호들이 대체로 반복된다. 이제 도면을 살펴보면, 다른 반도체 다이(20) 상에 장착되는 다수의 반도체 다이의 스택(15)을 포함하는 예시적

반도체 다이 디바이스(10)의 단면도인 도 1을 특히 참조한다. 반도체 다이 디바이스(10)는 패키지 기판, 시스템 보드, 도터 보드, 회로 카드, 등과 같은 회로 보드(도시되지 않음) 상에 장착될 수 있다. 본 예시적 배열에서 스택(15)은 4개의 반도체 다이(25, 30, 35, 40)로 구성되지만, 물론 다른 개수도 가능하다. 반도체 다이(20, 25, 30, 35, 40)는 각각 BEOL(Back End of Line) 구조(45, 50, 55, 60, 65)를 포함한다. BEOL(45, 50, 55, 60, 65)은 반도체 다이(20, 25, 30, 35, 40) 및 복수의 금속배선 및 인터레벨 유전층의 기능을 구성하는 기타 디바이스들 및 로직의 층들로 구성된다. 반도체 다이 스택(15)의 반도체 다이(25, 30, 35, 40)는 상이한 풋프린트 또는 대략 동일한 풋프린트를 가질 수 있다. 예시되는 배열에서, 반도체 다이 스택(15)의 반도체 다이(25, 30, 35, 40)는 차례로 작은 풋프린트를 가질 수 있다. 즉, 반도체 다이(40)는 반도체 다이(35)보다 작고, 이는 반도체 다이(30)보다 또한 작으며, 등등이다.

[0028] 반도체 다이(25)와 반도체 다이(20) 간의 전기적 연결은 복수의 인터커넥트(70)를 통해 이루어진다. 반도체 다이(30)는 복수의 인터커넥트(75)를 통해 반도체 다이(25)에 전기적으로 연결된다. 추가적으로, 인터커넥트 세트(80, 85)는 각각 반도체 다이(35, 30 및 40, 35) 간에 전기 전도성을 구축한다. 절연층(90, 95, 100, 105)은 반도체 다이(25)와 반도체 다이(20), 반도체 다이(30)와 반도체 다이(25), 반도체 다이(35)와 반도체 다이(30), 및 반도체 다이(40)와 반도체 다이(35) 사이에 각각 위치한다. 절연층(90, 95, 100, 105)은 아래 더 상세히 설명되는 바와 같이 단일층 또는 다층 구조일 수 있다. 인터커넥트(70, 75, 80, 85)는 하이브리드 본드, 전도성 필라, 솔더 범프, 솔더 마이크로 범프, 또는 다른 유형의 인터커넥트일 수 있다.

[0029] 반도체 다이(20, 25, 30, 35, 40)는 다양한 집적 회로 중 임의의 것일 수 있다. 비제한적인 예의 리스트는 프로세서, 가령, 마이크로프로세서, 그래픽 처리 장치, 두가지의 형태를 조합한 가속 처리 장치, 메모리 디바이스, 전용 집적 회로, 등을 포함한다. 일 배열에서, 반도체 다이(20)는 프로세서일 수 있고, 반도체 다이(25, 30, 35, 40)는 DRAM, SRAM, 등과 같은 메모리 다이일 수 있다.

[0030] 반도체 다이(20)로부터 열 전달을 용이하게 하기 위해, 더미 구성요소(110, 115)가 반도체 다이(20) 상에 장착되어, 접착층(120, 125)을 통해 각각 고정될 수 있다. 더미 구성요소(110, 115)는 실리콘, 게르마늄, 또는 다른 반도체 또는 심지어 유전 재료로 구성될 수 있고, 반도체 다이(20)와, 반도체 다이 디바이스(10)의 기타 구성요소로부터 열을 빼내기 위해 열 전달 통로로 작용할 수 있다. 접착층(120, 125)은 다양한 유형의 유기 접착제, 무기 본딩층, 유리-기반 접착제 또는 다른 배열에서 심지어 솔더 재료일 수 있다. 비제한적인 리스트는 에폭시, 유기 TIM, 가령, 징크 옥사이드 및 알루미늄 입자와 혼합된 실리콘 고무를 포함한다. 알루미늄 아닌 열전도성 입자 및 실리콘 고무 아닌 순응형 베이스 재료가 사용될 수 있다. 열유리 및 금, 백금, 및 은이 몇가지 예를 나타낸다. 다른 배열에서, 접착층(120, 125)은 알루미늄 및 니켈의 층들로 구성된 나노포일일 수 있다.

[0031] 몰딩 재료(130)는 반도체 다이 스택(15)을 적어도 측방으로 둘러싸며, 반도체 다이 스택(15)과 더미 구성요소(110, 115) 사이에 위치한다. 예시적 일 배열에서, 몰딩 재료(130)용 재료는 약 165°C의 몰딩 온도를 가질 수 있다. 2개의 상용 변형은 Sumimoto EME-G750 및 G760이다. 잘 알려진 압축 몰딩 기술을 이용하여 몰딩 재료(130)를 몰딩할 수 있다.

[0032] 다이를 통해 전기 전도성이 복수의 관통-다이-비아(TDV)에 의해 제공된다. 예를 들어, 반도체 다이(20)는 인터커넥트(70)에 그리고 I/O(140)에 연결되는 복수의 TDV(135)를 포함한다. TDV(135)(및 개시되는 임의의 관련 전도체, 가령, 필라 및 패드)는 다양한 전도체 재료, 가령, 구리, 알루미늄, 은, 금, 백금, 팔라듐, 등으로 구성될 수 있다. 통상적으로, 각각의 TDV(135)는 SiO_x 또는 다른 절연체의 라이너 층(도시되지 않음) 및 TiN 또는 다른 장벽 재료의 장벽층에 의해 측방으로 둘러싸인다. 반도체 다이(25)는 인터커넥트(70, 75) 사이에 연결되는 TDV(145)를 유사하게 포함한다. 반도체 다이(30)는 인터커넥트(75, 80) 간을 연결하는 TDV(150)를 포함하고, 반도체 다이(35)는 인터커넥트(80, 85) 간을 연결하는 TDV(155)를 포함한다. 마지막으로, 반도체 다이(40)는 복수의 TDV(160)를 포함하며, 이는 본 예시 배열에서 드러나지 않지만, 필요할 경우 스택(15) 위에 또 다른 다이를 적층하는 상호연결을 용이하게 하기 위해 여기서 개시되는 시닝/노출 공정을 이용하여 노출(reveal)될 수 있다. I/O(140)는 반도체 다이 디바이스(10)가 회로 보드 또는 다른 장치와 같은 다른 구성요소와 전기적으로 인터페이스할 수 있게 하며, 솔더 범프, 볼 또는 다른 유형의 인터커넥트 구조일 수 있다. 잘 알려진 납없는 솔더, 가령, Sn-Ag, Sn-Ag-Cu, 등이 여기서 개시되는 I/O(140) 및 기타 솔더 구조용으로 사용될 수 있다.

[0033] 인터커넥트(75) 및 절연층(95)의 예시적 배열에 관한 추가적인 세부사항이 도 2를 참조하여 이제 설명될 것이다. 도 2는 작은 파선 장방향(165)으로 둘러싸인 도 1의 부분을 확대하여 도시한다. 다음의 설명은 다른 인터커넥트(70, 80, 85) 및 다른 절연층(90, 100, 105)를 나타낼 것이다. 도 2에 도시되는 바와 같이, 각각의 인터커넥트(75)는 범프없는 옥사이드 하이브리드 본드로 구성된다. 이와 관련하여, 반도체 다이(25)와 반도체 다

이(30)의 BEOL(55) 사이의 인터커넥트(75)는 반도체 다이(25)의 본드 패드(172)와 BEOL(55)의 본드 패드(170) 사이의 야금학적 본드로 이루어진다. 본드 패드(170)는 TDV(150)에 연결되고, 본드 패드(172)는 TDV(145)에 연결된다. 추가적으로, 절연 구조(95)는 반도체 다이(30)에 반도체 다이(25)를 결합시키고, 반도체 다이(30)의 유리층(175), 가령, SiO_x과, 반도체 다이(25)의 다른 유리층(180), 가령, 실리콘 옥시나이트라이드로 이루어진다. 유리층(175, 180)은 플라즈마 강화 화학 기상 증착(PECVD)에 의해 반도체 다이(25, 30) 상에 각각 증착되는 것이 바람직하다. 본드 패드(170)는 유리층(175)에 위치하고, 본드 패드(172)는 유리층(180)에 위치한다. 본드 패드(170) 및 본드 패드(172)는 어닐 공정을 이용하여 야금학적으로 본딩된다. 이와 관련하여, 반도체 다이(30)가 아래로 내려지고 그렇지 않을 경우 반도체 다이(25) 상에 위치하여, 유리층(175)이 유리층(180)에 상에 또는 매우 근접하여 위치하게 되고, 본드 패드(170)는 본드 패드(172) 상에 또는 매우 근접하여 놓이게 된다. 그 후, 어닐 공정이 수행되어, 본드 패드(170, 172)의 과도 열팽창이 나타나서, 해당 구조물들을 물리적으로 접촉하게 하고, 반도체 다이(25, 30)들이 냉각된 후에도 지속되는 야금학적 본드를 형성하게 하며, 본드 패드(170, 172)는 열적으로 접촉한다. 구리는 이러한 금속 본딩 공정에서 잘 작용하지만 다른 전도체가 사용될 수도 있다. 유리층(175)과 유리층(180) 사이에 옥사이드/옥시나이트라이드 본드가 또한 형성된다. 예시적인 어닐은 약 30분 내지 60분 동안 약 300℃에서 수행되어, 필수 옥시나이트라이드-옥사이드 본드 및 금속-금속 본드를 형성하게 된다. 다른 대안에서, 인접한 2개의 적층 다이 각각 상의 전도성 필라가 열압축 본딩될 수 있다. 다른 대안의 배열에서, 디렉션 옥사이드 본드 및 TSV 최종 연결이 사용될 수 있다. 본 기술에서, 인접한 2개의 적층 다이 각각의 마주하는 면 각각은 옥사이드 필름을 수용한다. 옥사이드 필름은 이어서 화학기계적 폴리싱을 이용하여 평탄화되며, 그 후 플라즈마 처리되어 친수성이 된다. 옥사이드 표면들은 다음에 함께 배치 및 어닐링되어 본드를 형성하게 된다.

[0034] 도 1에 도시되는 반도체 다이 디바이스(10)를 제조하기 위한 공정 흐름이 도 3-22를 참조하여 이제 설명될 것이다. 처음엔 반도체 웨이퍼(185)의 부분 단면도인 도 3을 살펴본다. 반도체 웨이퍼(185)는 반도체 다이(35)에 추가하여 수십개 또는 수백개의 개별 반도체 다이들을 포함할 수 있다. 여기서, 반도체 다이(35)는 반도체 웨이퍼(185)로부터 궁극적인 싱글레이션이 나타나는 다이싱 스트럿(190, 195)에 의해 경계가 정하여진다. 물론, 도 3에 보이지 않지만 반도체 다이(35)와 연계되지 않는 추가의 다이싱 스트럿들이 존재한다. 웨이퍼(185)는 반도체 다이(35)의 BEOL(60)이 TDV(155)와 함께 완료되는 지점까지 처리된다. 그러나, 웨이퍼(185)는 TDV(155)를 노출시키도록 시닝 공정(thinning process)을 수행해야 한다.

[0035] 다음에 도 4에 도시되는 바와 같이, 웨이퍼(185)는 도 3에 도시되는 배향으로부터 플립-오버(flipped over)되며, BEOL(60)이 캐리어 웨이퍼(200)를 향하도록, 캐리어웨이퍼(200) 상에 장착된다. 캐리어 웨이퍼(200)는 실리콘, 다양한 유리, 또는 다른 유형의 반도체 재료로 구성될 수 있다. 웨이퍼(185)는 캐리어 웨이퍼(200)에 도포된 접착제(202)를 통해 캐리어 웨이퍼(200)에 고정될 수 있다. 접착제(202)는 캐리어 웨이퍼(200)를 나중에 제거할 수 있도록 역전될 수 있는 광-활성 또는 열-활성 접착제와 같은, 잘 알려진 가역성 접착제인 것이 바람직하다. 선택사항으로서, 화학적 및/또는 기계적 제거 공정을 필요로하는 본딩제가 사용될 수 있다.

[0036] 다음으로 도 5에 도시되는 바와 같이, 웨이퍼(185)는 TDV(155)를 드러내도록 시닝 공정을 거친다. 다양한 시닝/노출 공정이 사용될 수 있다. 일 배열에서, 노출 공정은 통상적으로 소프트 노출로서, 웨이퍼(185)와 반도체 다이(35)가 관통-다이 비아(155)의 상부 바로 위까지 그라인딩 공정을 거치고, 이어서, 관통-다이-비아(155)의 상부를 노출시키도록 에치 백(etch back)을 거친다. 다음으로, 증착 공정을 이용하여 얇은 유리층을 구축하게 된다(앞서 설명한 도 2에 도시되는 유리층(180)과 유사하지만 보이지 않음). 얇은 유리층은 PECVD를 이용하여 증착되는 것이 바람직하며 그 후 CMP를 거친다. 캐리어 웨이퍼(200)는 이와같이 다양한 그라인딩, 에칭, 증착, CMP 공정을 용이하게 한다. 소위 "하드 노출"(hard reveal) 기술에서, 그라인딩 공정을 이용하여 TDV(155)를 노출시키고, 이어서 소량의 웨이퍼(185)(실리콘, 등)의 에치 백을 거친 후, 박막 옥사이드 성장이나 증착 또는 CVD에 의한 실리콘 나이트라이드 증착, 그리고 다시 화학기계적 평탄화를 거쳐 관통 다이 비아 노출을 완성하게 된다. 첫번째 기술은 하드 노출 중 자유화될 수 있는 구리 또는 다른 금속 입자를 느슨하게 하도록 기판 반도체 웨이퍼(185)의 노출을 막는다.

[0037] 다음에 도 6에 도시되는 바와 같이, 반도체 다이(40)는 웨이퍼(185)의 반도체 다이(35) 상에 장착된다. 반도체 다이(40)는 반도체 다이(40)의 BEOL(65) 및 노출되지 않은 TDV(160)을 구축하도록 처리된 다른 반도체 웨이퍼(도시되지 않음)의 형식적으로 일부였던 싱글레이션된 디바이스이다. 인터커넥트(85) 및 절연층(105)은 인터커넥트(75) 및 절연층(95)에 대해 도 2와 연계하여 여기서 개시된 기술을 이용하여 이 지점에서 제조된다. 물론, 도 2와 연계하여 설명한 기연급한 범프없는 하이브리드 본드 공정이 사용될 경우, 장착 공정은 반도체 다이(40)(또는 형식적으로 그 일부였던 웨이퍼) 상의 유리층(도 2에 도시되며 다른 부분에서 설명되는 유리층(175))

과 유사하지만 보이지 않음)의 도포에 이어질 것이다. 선택사항으로서, 인터커넥트(85)가 솔더 범프, 솔더 마이크로 범프 또는 다른 유형의 인터커넥트일 경우, 적절한 장착 및 리플로 공정이 이 단계에서 수행되어 인터커넥트(85)를 구축하게 한다.

[0038] 다음으로 도 7에 도시되는 바와 같이, 반도체 다이(35)는 반도체 다이(35, 40)의 결합을 도출하기 위해 도 6에 도시되는 캐리어 웨이퍼(200)의 최초 제거 이후 웨이퍼(185)로부터 싱글레이션된다. 캐리어 웨이퍼(200)의 제거 공정은 접착제(202)의 유형에 좌우될 것이다. 예시는 열 분해(thermal release), 화학적 분해, 기계적 필 오프(peel off) 또는 레이저 유도 제거를 포함한다. 반도체 다이(35, 40)의 이러한 결합은 아래에 더 상세히 설명되는 바와 같이, 반도체 다이(30) 상에 위치할, 이제 적층가능한 요소이다.

[0039] 반도체 다이(30)의 제조는 도 8, 9, 10과 연계하여 이제 설명될 것이다. 다른 반도체 웨이퍼(205)는 BEOL(55) 및 TDV(150) 구축을 위해 잘 알려진 기술을 이용하여 처리된 반도체 다이(30)를 포함하는 다수의 반도체 다이를 포함한다. 반도체 웨이퍼(185)와 마찬가지로, 웨이퍼(205)는 TDV(150)를 드러내도록 이 시점에서 시닝 프로세스를 거치지 않는다. 반도체 다이(30)는 다이싱 스트럿(210, 215)과, 도 8에서 보이지 않는 적어도 2개의 다이싱 스트럿에 의해 경계가 정해진다. 다음으로 도 9에서, 반도체 웨이퍼(205)는 도 8에 도시되는 배향으로부터 플립 오버되고, 다른 캐리어 웨이퍼(220) 상에 장착되어, BEOL(55)이 캐리어 웨이퍼(220)를 면하게 된다. 캐리어 웨이퍼(220)는 실리콘, 다양한 유리, 또는 다른 유형의 반도체 재료로 구성될 수 있다. 반도체 웨이퍼(205)는 캐리어 웨이퍼(220)에 도포된 접착제를 이용하여 캐리어 웨이퍼(220)에 고정될 수 있다. 접착제는 앞서 설명한 접착제(202)와 유사할 수 있으나, 설명의 단순화를 위해 도시하지 않는다. 다음으로 도 10에 도시되는 바와 같이, 반도체 웨이퍼(205)는 반도체 다이(30)의 TDV(150)를 노출시키도록 시닝 공정을 거친다. 노출 공정은 도 5와 연계하여 앞서 설명한 시닝/노출 공정을 이용할 수 있다. 웨이퍼(205)는 반도체 다이(30)에 장착된 반도체 다이(35, 40)의 결합을 이제 갇출 준비가 되어 있다. 다음으로 도 11에 도시되는 바와 같이, 반도체 다이(35, 40)의 결합이 웨이퍼(205)의 반도체 다이(30) 상에 장착된다. 장착 공정은 반도체 다이(35) 상의 반도체 다이(40)의 장착과 연계하여 앞서 설명한 장착 공정과 유사할 수 있다. 이와 관련하여, 인터커넥트(80) 및 절연층(100)은 도 1 및 2에 도시된 인터커넥트(75) 및 절연 구조(95)와 연계하여 앞서 설명한 기술을 이용하여 이 시점에서 구축된다. 캐리어 웨이퍼(220)는 여기서 개시되는 유형과 같은, 반도체 웨이퍼(205)에 본딩된 접착제(보이지 않음)에 적합한 공정을 이용하여 제거된다. 반도체 다이(30)는 그 후, 도 12에 도시되는 반도체 다이(30, 35, 40)의 싱글레이션된 조합을 도출하도록 웨이퍼(205)로부터 싱글레이션된다. 싱글레이션은 기계적 소잉(sawing), 레이저 절단 또는 다른 기술에 의해 이루어질 수 있다.

[0040] 다음으로 도 13에 도시되는 바와 같이, 반도체 다이(30, 35, 40)의 조합이 반도체 다이(25) 상에 장착되고, 이는 이 단계에서, 캐리어 웨이퍼(230) 상에서 앞서 설명된 반도체 웨이퍼(185, 205)와 유사하게 처리된 반도체 웨이퍼(225)의 여전히 일부여서, 웨이퍼(225)는 반도체 다이(25)의 TDV(145)를 노출시키도록 시닝 공정을 거치며 BEOL(50)은 캐리어 웨이퍼(230)를 면한다. 반도체 다이(25)에 대한 반도체 다이(30, 35, 40)의 장착 공정은 방금 설명한 반도체 다이(30)에 대한 반도체 다이(35, 40)의 결합을 장착하기 위한 공정과 유사하다. 장착 공정 후, 캐리어 웨이퍼(230)가 제거되고 반도체 다이(25)는 반도체 웨이퍼(225)로부터 싱글레이션되어, 도 14에 도시되는 완성된 반도체 다이 스택(15)을 도출한다. 반도체 다이(25, 30, 35, 40)들로 구성되는 반도체 다이 스택(15)은 이제, 도 1에 도시되는 반도체 다이(20) 상에 장착될 준비가 된 상태이다.

[0041] 이제 도 15를 참조하면, 반도체 다이(20)는 최초에 반도체 웨이퍼(235)의 일부이고, 다이싱 스트럿(240, 245) 및 2개의 다른 이러한 스트럿(보이지 않음)에 의해 경계가 정하여진다. 웨이퍼(235)는 반도체 다이(20)의 BEOL(45) 및 TDV(135)가 제조되도록 처리되었다. 그러나, 웨이퍼(235)는 TDV(135)를 드러내기 위해 시닝 공정을 거쳐야 한다. 다음으로 도 16에 도시되는 바와 같이, 반도체 웨이퍼(235)는 도 15의 배향으로부터 플립-오버되어, BEOL(45)이 캐리어 웨이퍼(250)를 면하도록, 캐리어 웨이퍼(250)에 장착된다. 반도체 웨이퍼(235)는 캐리어 웨이퍼(250)에 도포된 접착제를 이용하여 캐리어 웨이퍼(250)에 고정될 수 있다. 접착제는 앞서 설명한 접착제(202)와 비슷할 수 있고, 설명의 단순화를 위해 도시하지 않았다. 다음으로 도 17에 도시되는 바와 같이, 캐리어 웨이퍼(250)가 위치된 상태에서, 웨이퍼(235)는 반도체 다이(20)의 TDV(135)를 드러내도록 시닝 공정을 거친다. 이러한 노출은 도 5와 연계하여 앞서 개시한 시닝/노출 공정을 통해 이루어질 수 있다. 다음으로 도 18에 도시되는 바와 같이, 반도체 다이 스택(15)이 웨이퍼(235)의 반도체 다이(20) 상에 장착된다. 이러한 장착 공정은 인터커넥트(70) 및 절연 구조(90)를 구축하며, 기연급한 하이브리드 본딩 공정을 통해, 또는, 인터커넥트(70)가 하이브리드 본드가 아닐 경우 다른 공정을 통해 이루어질 수 있다. 장착된 스택이 도 19에서 반도체 다이(20) 상에 도시된다. 다음으로 도 20에 도시되는 바와 같이, 캐리어 웨이퍼(250)가 여전히 자리한 채로, 더미 구성요소(110, 115)가 반도체 다이 스택(15)의 어느 한 면에서 반도체 웨이퍼(235) 상에 장착된다. 더미 구성요

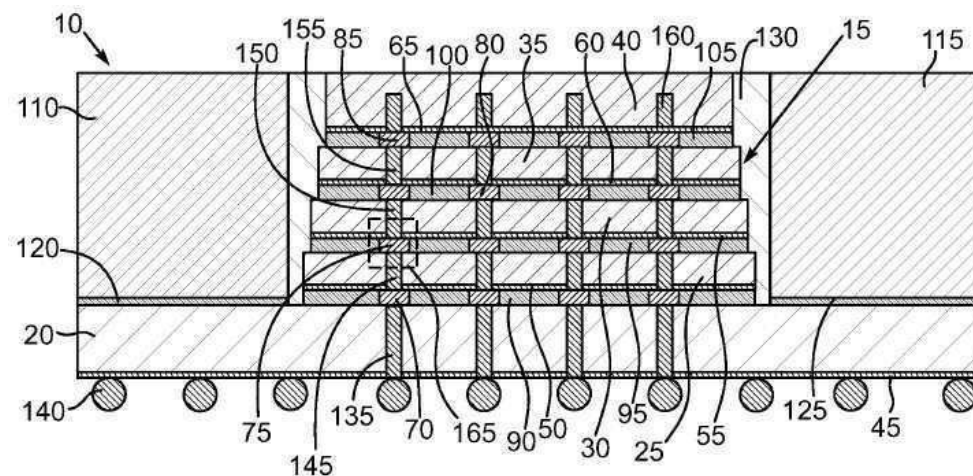
소(110, 115)는 반도체 다이 스택(15)에 딱 맞게 전용 방식으로 장착될 수 있다. 그러나, 더미 구성요소(110, 115)가, 반도체 웨이퍼(235) 상에 인접한 반도체 다이 스택(보이지 않음)에 의해 사용될 다른 더미 구성요소(보이지 않음)와, 반도체 다이 스택(15)을 위해 별도로 마련된 더미 구성요소로 세부 분할될 만큼 충분히 클 경우, 효율성을 실현할 수 있다. 게다가, 후속 싱글레이션 과정 중, 다이싱 스트럿(240, 245)은 더미 구성요소(110, 115)의 포스트 싱글레이션 측방 에지의 경계를 정할 것이다.

[0042] 다음으로 도 21에 도시되는 바와 같이, 캐리어 웨이퍼(250)가 자리한 채로, 반도체 웨이퍼(235)는 몰딩 공정을 거쳐서 몰딩 재료(130)를 구축하게 된다. 이러한 몰딩 공정은 더미 구성요소(110, 115)와 동평면인 상부 표면을 갖도록 몰딩 재료(130)를 구축한다. 선택사항으로서, 몰딩 재료(130)는 더미 구성요소(110, 115)를, 심지어, 반도체 다이 스택(15)의 최상단 반도체 다이(40)까지 덮을 수 있고, 그 후 후속 그라인딩 공정을 이용하여 몰딩 재료(130) 및 더미 구성요소(110, 115)를 평탄화할 수 있다. 다음으로 도 22에 도시되는 바와 같이, I/O 구조(140)가 제조되거나 반도체 다이(20)에 부착된다. 이는 I/O 구조(140) 구축을 위해 픽 앤드 플레이스 및 리플로우 또는 솔더 스텐실 또는 기타 공정을 수반할 수 있다. I/O 구조(140)를 부착 또는 제조하기 전에, 도 21에 도시되는 캐리어 웨이퍼(250)가 여기서 개시되는 캐리어 웨이퍼 제거 기술을 이용하여 제거된다. 반도체 다이(20)가 다이싱 스트럿(240, 245)에서 반도체 웨이퍼(235)로부터 여기 개시되는 기술을 이용하여 싱글레이션되어, 도 1에 도시되는 완성된 반도체 디바이스(10)를 도출하게 된다.

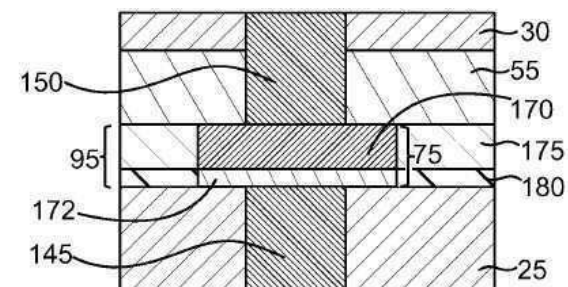
[0043] 발명이 다양한 변형 및 대안의 형태를 갖출 수 있으나, 구체적 실시예들은 도면에서 예시로 주어진 것이며 여기서 세부적으로 설명되었다. 그러나, 발명이 개시되는 특정 형태로 제한되는 것은 아니다. 대신, 발명은 첨부된 다음의 청구범위에 의해 규정되는 발명의 사상 및 범위 내에 있는 모든 변형, 등가물, 및 대안들을 커버한다.

도면

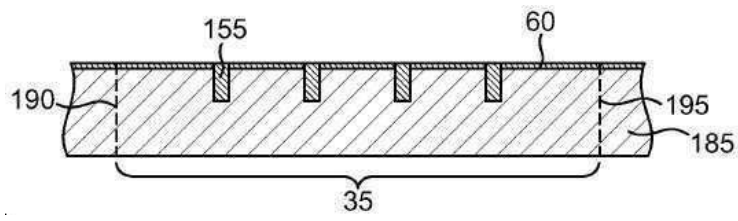
도면1



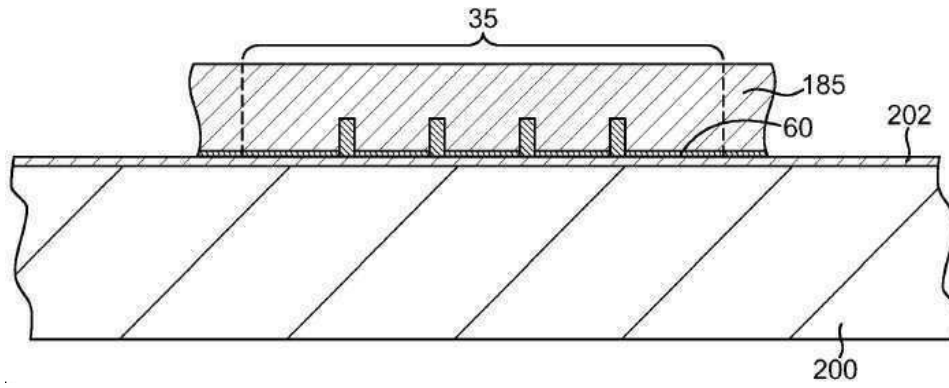
도면2



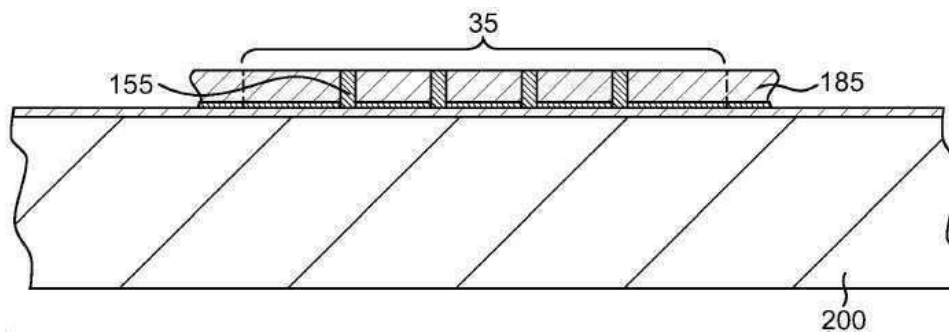
도면3



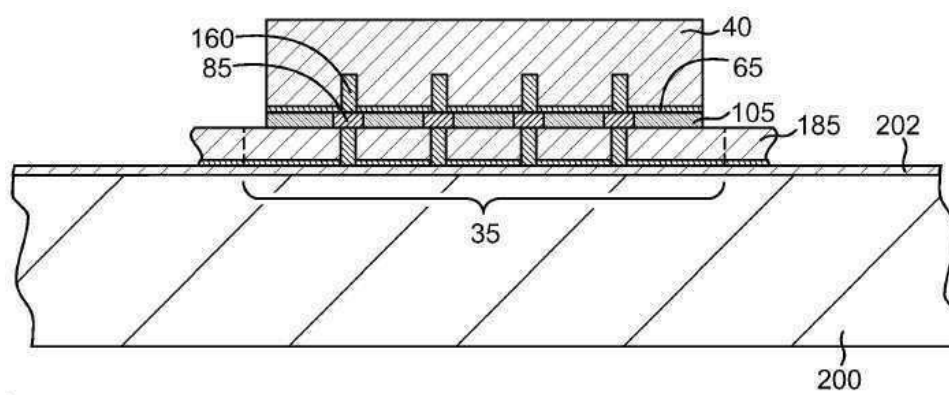
도면4



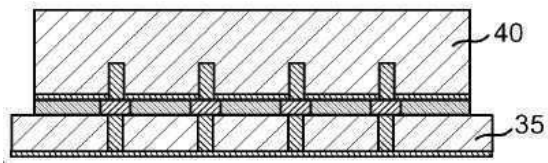
도면5



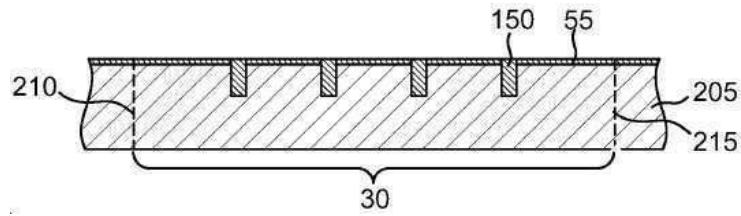
도면6



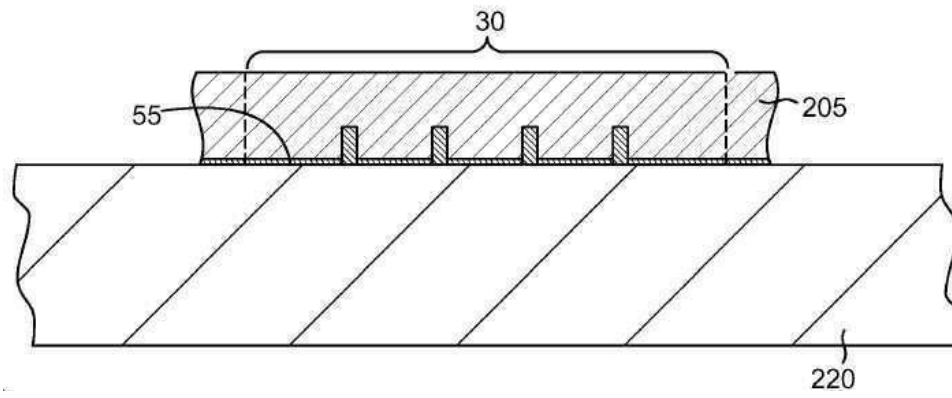
도면7



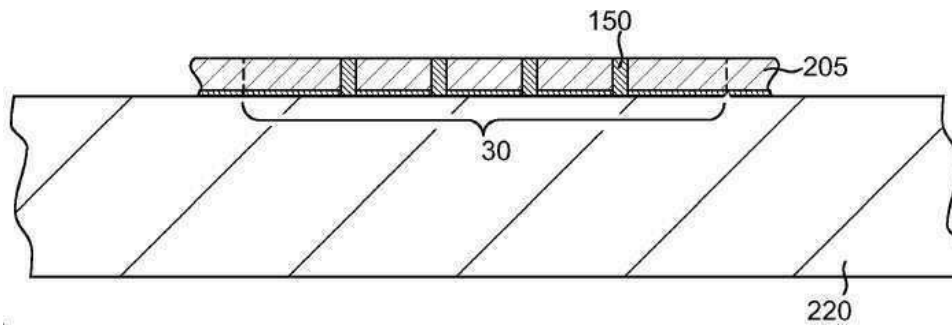
도면8



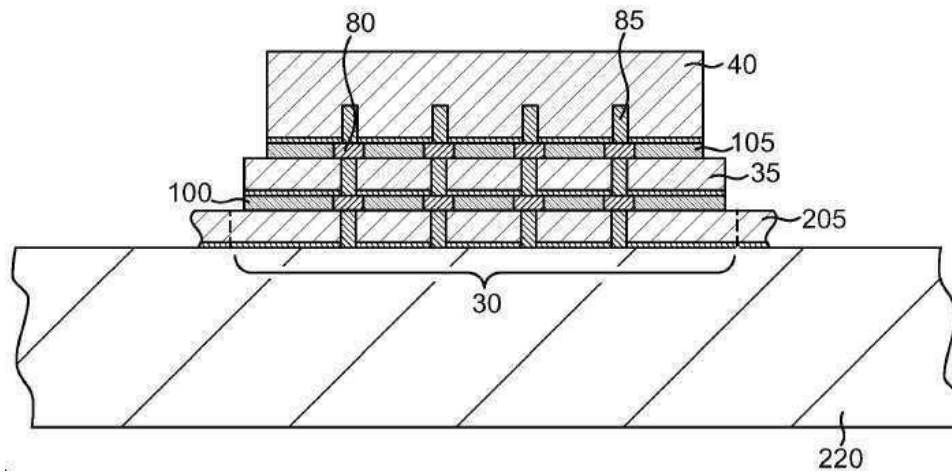
도면9



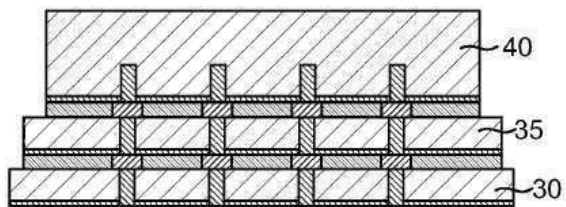
도면10



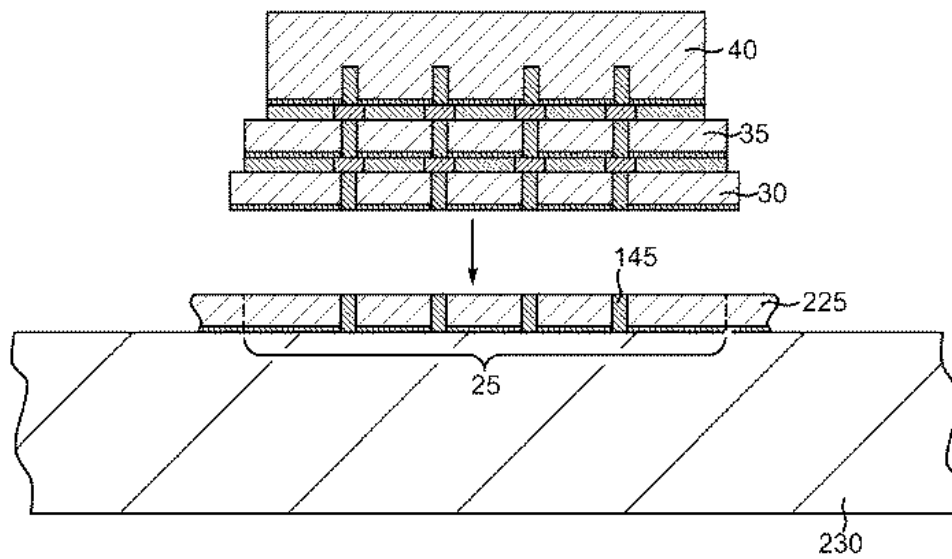
도면11



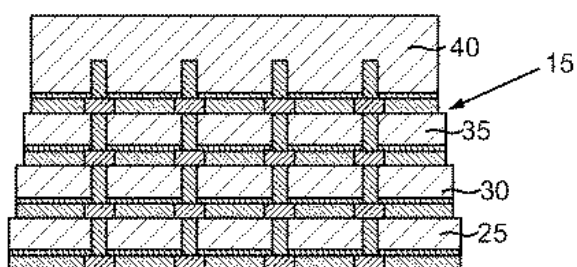
도면12



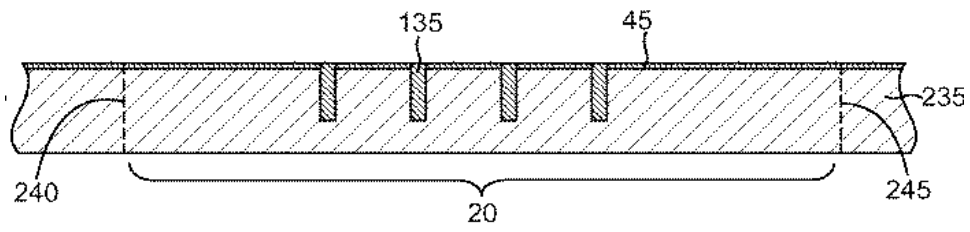
도면13



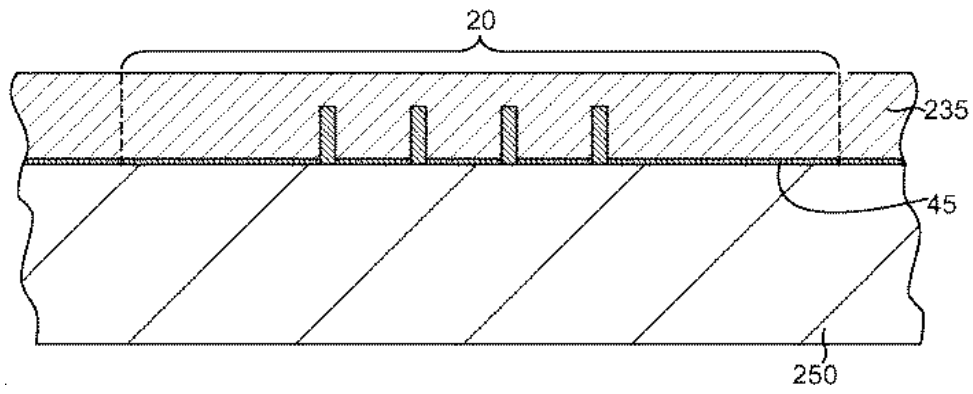
도면14



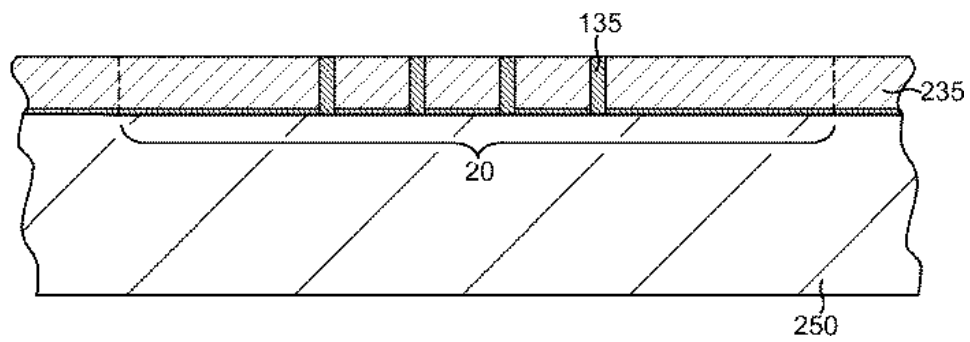
도면15



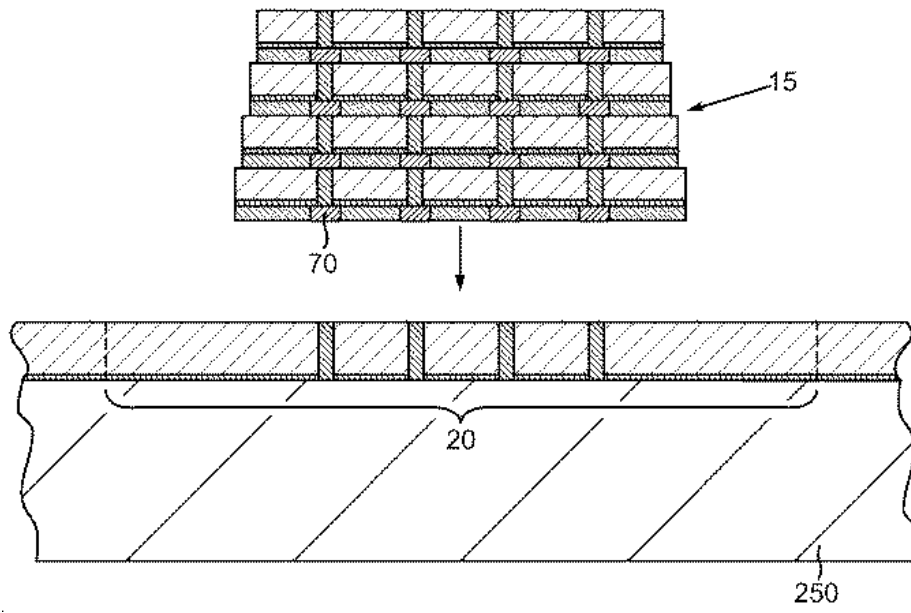
도면16



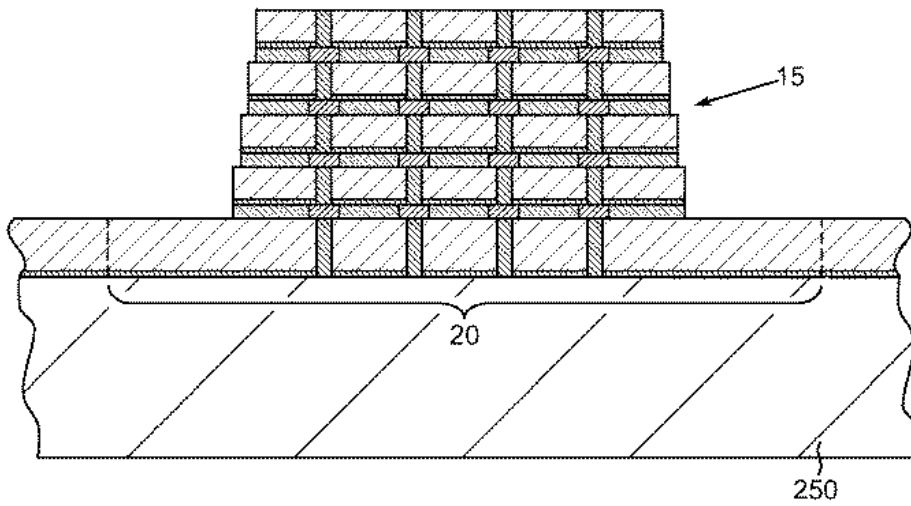
도면17



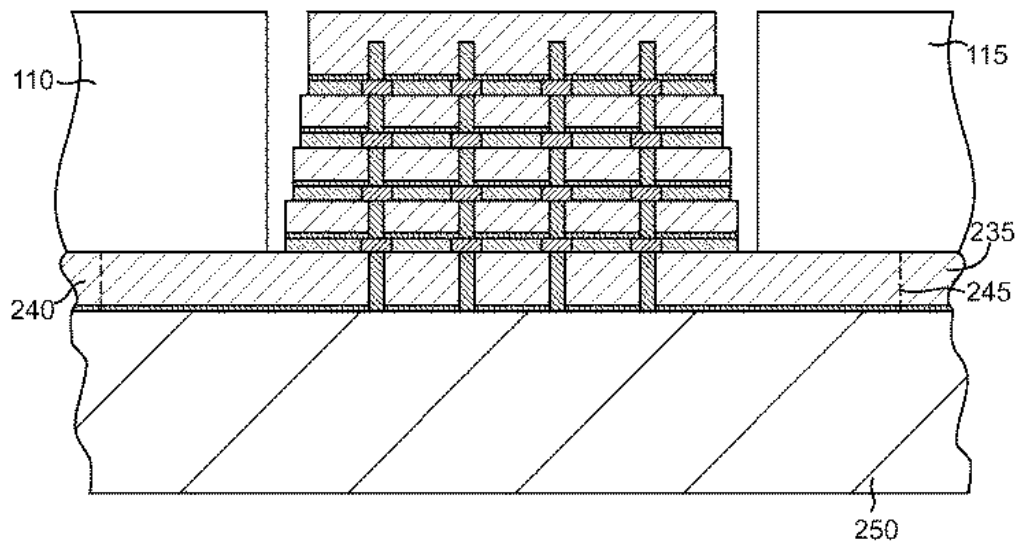
도면18



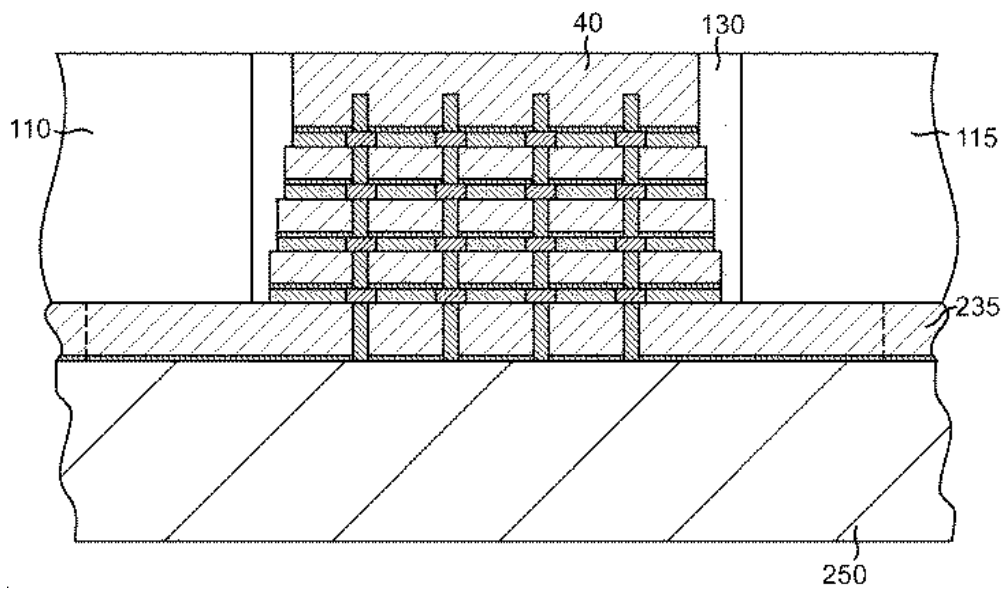
도면19



도면20



도면21



도면22

