

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 30 décembre 1987.

30 Priorité :

43 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 27 du 7 juillet 1989.

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : LABORATOIRES D'ELECTRONIQUE ET DE PHYSIQUE APPLIQUEE L.E.P., société anonyme. — FR.

72 Inventeur(s) : Daniel Selle ; Philippe Boissenot ; Patrick Rabinzohn.

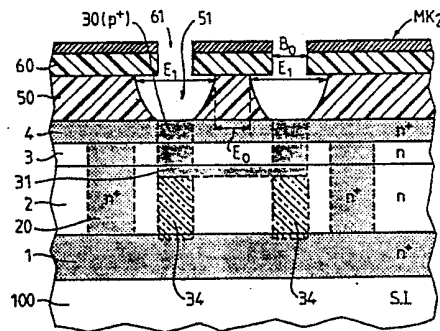
73 Titulaire(s) :

74 Mandataire(s) : Claudine Lottin, Société civile S.P.I.D.

54 Procédé de réalisation d'un dispositif semiconducteur du type transistor bipolaire à hétérojonction.

57 Procédé de réalisation d'un transistor bipolaire à hétérojonction, notamment en arséniure de gallium, comprenant la formation de couches épitaxiales superposées pour réaliser une couche collecteur 1 de type  $n^+$ , une couche émetteur 3 de type  $n$ , la formation d'implantations localisées de type  $p^+$  pour réaliser la région de base 31, 30, ou de type  $n^+$  pour réaliser des caissons de contact collecteur 20. Ce procédé incluant aussi la réalisation, par une gravure contrôlée dans une couche de germanium 50 formée en surface de ces couches, de plots présentant un profil tel que leurs sommets délimitent avec une très haute précision des ouvertures  $E_1$ , dont la distance  $E_0$  entre les bords définit la région de contact d'émetteur, et que leurs flancs présentent une concavité tournée vers l'extérieur du dispositif.

Application : circuits intégrés sur arséniure de gallium.



Description

"PROCEDE DE REALISATION D'UN DISPOSITIF SEMICONDUCTEUR DU TYPE TRANSISTOR BIPOLAIRE A HETEROJONCTION"

L'invention concerne un procédé de réalisation d'un dispositif semiconducteur du type transistor bipolaire à hétérojonction à structure planaire, ce procédé comprenant au moins les étapes de :

- 05 a/ réalisation d'un substrat en un matériau du groupe III-V monocristallin et présentant une face orientée selon un plan cristallographique ;
- b/ réalisation de deux couches épitaxiales planes de matériau binaire du groupe III-V pour former le collecteur, successivement une couche de type de conductivité  $n^+$  et une  
10 couche de type de conductivité  $n$  ;
- c/ implantation localisée dans la région superficielle de la seconde couche collecteur, de porteurs de type  $p$ , pour former une couche de base de type de conductivité  $p^+$  ;
- 15 d/ réalisation de deux couches épitaxiales planes superposées, la première en un matériau ternaire du groupe III-V, de type de conductivité  $n$  pour former l'émetteur, la seconde en un matériau binaire ou ternaire du groupe III-V de type de conductivité  $n^+$  pour la prise des contacts  
20 ultérieure ;
- e/ implantation localisée dans une région choisie pour former le collecteur de porteurs de type  $n$ , à une profondeur appropriée à réaliser des caissons de type  $n^+$  reliant la couche de collecteur de type  $n^+$  à la couche épi-  
25 taxiale supérieure de type  $n^+$ .
- L'invention trouve son application dans la réalisation de circuits intégrés sur matériaux du groupe III-V et notamment sur arséniure de gallium, incluant des transistors bipolaires à hétérojonction.
- 30 Un transistor bipolaire à hétérojonction, de structure planaire, est déjà connu de la publication intitulée

"A Fully Planar-Heterojunction Bipolar Transistor" par John W. TULLY et alii dans "IEEE Electron Device Letters, Vol. EDL 7 n°11, Nov. 1986", pp. 615-617.

05 Ce document décrit un transistor formé sur un substrat semiconducteur de type de conductivité  $n^+$ . Ce transistor comprend une première couche de GaAs de type  $n^+$ , une seconde couche de GaAs de type  $n$  et une couche de base de type  $p^+$  formée par implantation localisée, dans la partie supérieure de la couche de GaAs de type  $n$ .

10 Ce transistor comprend ensuite deux couches supérieures, la première en GaAlAs de type  $n$  pour former l'émetteur et la seconde en GaAs de type  $n^+$  pour permettre la prise des contacts. Les régions de base sont constituées par des caissons  $p^+$  reliant les contacts de base à la couche implantée  $p^+$ .

15 Le procédé de réalisation de ce transistor commence par la croissance épitaxiale des couches collecteur  $n^+$  et  $n$  par la méthode dite MOCVD. La région de base est définie par un masque en photorésist et est implantée sélectivement au  
20 moyen d'ions  $Zn^+$ . Après élimination de la couche de photo-résist le substrat est réinséré dans le réacteur MOCVD pour un recuit à haute température. Cette opération est suivie immédiatement par la croissance de la couche d'émetteur de type  $n$  en GaAlAs et la couche de contact de type  $n^+$  en GaAs. La  
25 couche d'émetteur de composition  $Ga_{1-x}Al_xAs$  montre un gradient de la concentration  $x$  en Al. Dans les premiers 50 nm la concentration  $x$  est comprise entre 0 et 0,30. Puis le reste de la couche émetteur est réalisé avec  $x = 0,30$  en Al. A la suite le dispositif est couvert de  $SiO_2$  puis d'une couche d'Al,  
30 d'une épaisseur de chacune 400 nm. Les contacts de base sont définis par photolithographie et l'aluminium est gravé chimiquement, puis la couche de  $SiO_2$  est gravée par plasma. Ce procédé résulte en une gravure de  $SiO_2$  plus importante que celle de Al, lequel fait une saillie au-dessus de  $SiO_2$ . Ce procédé  
35 sert ultérieurement au LIFT-OFF de l'aluminium. La couche

supérieure de GaAs est ainsi découverte et des ions  $Zn^+$  sont implantés dans les ouvertures de  $Al/SiO_2$ . Puis, un métal apte à former un contact de type p tel que Mo/Cr est évaporé. A ce point du procédé, l'aluminium est éliminé chimiquement, ce qui permet d'éliminer l'excès de Mo/Cr. Après le LIFT-OFF, l'échantillon est recuit à haute température pour activer l'implantation  $p^+$ . Enfin, les contacts d'émetteur et de collecteur définis par photolithographie, sont réalisés simultanément au moyen d'une métallisation de AuGe/Ni/Au, le métal en excès est éliminé et ses contacts sont recuits.

Dans ce procédé connu, les métallisations d'émetteur et de collecteur sont "simplement alignées" par rapport à la métallisation de base. Ce type d'alignement conduit à une précision difficilement meilleure que le micron. Il en résulte que les espacements entre les métallisations d'émetteur et de base, et les espacements entre les métallisations de collecteur et de base sont au moins égaux au micron. Dans ces conditions les transistors présentent des dimensions trop importantes pour être compatibles avec les performances recherchées pour l'application envisagée.

Au contraire, la présente invention propose un procédé de réalisation qui permet d'obtenir un "autoalignement" des contacts d'émetteur et de collecteur sur les contacts de base, d'où il résulte la possibilité de réaliser :

- un émetteur de dimension submicronique,
- des intervalles entre électrodes extrêmement petits et de dimensions extrêmement précises.

Ces avantages sont dus au fait que le procédé selon l'invention met en oeuvre, pour la définition des régions de base, un procédé de gravure extrêmement précis, qui permet d'autoaligner toutes les électrodes sur les contacts de base, en se fondant sur cette opération fondamentale que constitue cette gravure contrôlée.

Il en résulte que les transistors obtenus selon l'invention :

- sont extrêmement compacts, donc de très petites dimensions et permettent une intégration à haute densité,
- montrent des dimensions très répétitives d'un transistor à l'autre et donc une très faible dispersion de leur caractéristiques.

05

Ce but est atteint au moyen d'un procédé tel que décrit dans le préambule et qui comprend en outre les étapes :

f/ dépôt d'une couche de germanium (Ge), suivi du dépôt d'une couche de silice ( $\text{SiO}_2$ ) ;

10

g/ mise en place d'un masque  $\text{MK}_2$  délimitant les ouvertures en surplomb des régions de base et gravure de la couche de silice à travers ces ouvertures jusqu'à mettre à nu la surface de la couche de germanium par une méthode permettant d'obtenir des flancs de gravure perpendiculaires au plan des couches, formant ainsi, dans la couche de silice, des ouvertures de dimension  $B_0$  ;

15

h/ gravure de la couche de germanium à travers les ouvertures  $B_0$  de la couche de silice, par une méthode permettant de contrôler à la fois, sur les flancs de gravure de cette couche de germanium, le taux de gravure parallèlement au plan des couches et le taux de gravure perpendiculairement au plan des couches, de manière telle que les pieds de ces flancs de gravure délimitent des ouvertures de dimension au moins égale à  $B_0$ , et que les sommets de ces flancs de gravure délimitent avec une très haute précision des ouvertures  $E_1$  telles que la distance  $E_0$  dans le germanium du bord d'une ouverture  $E_1$  au bord de l'ouverture  $E_1$  suivante définit la région d'émetteur et de manière telle que ces flancs de gravure présentent une concavité tournée vers l'extérieur du dispositif ;

20

25

30

i/ implantation localisée de porteurs de type  $p^+$ , à travers les ouvertures  $B_0$ , et avec une énergie suffisante à atteindre la couche de base, pour former des caissons de type  $p^+$  reliant la couche de base à la surface de la dernière couche épitaxiale ;

35

j/ dépôt d'une couche métallique propre à former les contacts de base B, suivi de la gravure sélective de la

couche de silice, conservant intacts les plots de la couche de germanium ;

05 k/ réalisation d'une nouvelle couche de silice  $\text{SiO}_2$ , très épaisse, planarisation du dispositif au niveau supérieur de la couche de germanium, puis gravure sélective des plots de la couche de germanium par une méthode permettant de conserver avec une grande précision en négatif le profil des flancs de gravure définis au court de l'étape h/ le long des plots de la nouvelle couche de silice restant sur l'emplacement des ouvertures  $E_1$ , ces plots de silice délimitant par leur partie supérieure des ouvertures de dimension  $E_0$  ;

10 l/ dépôt d'une couche métallique propre à former les contacts d'émetteur E et de collecteur C, les plots de la nouvelle couche de silice servant de masque, puis élimination des plots de la nouvelle couche de silice,

15 m/ implantation ionique localisée entre les contacts de collecteur C, base B, et émetteur E servant de masques, d'espèces propres à former des caissons isolants entre ces électrodes et avec une énergie permettant d'atteindre la surface supérieure de la couche d'émetteur de type n.

20 L'invention sera mieux comprise au moyen de la description suivante illustrée par les figures annexées dont :

25 - la figure 1a qui représente en coupe schématique le transistor bipolaire à hétérojonction planaire obtenu par le procédé selon l'invention,

- la figure 1b qui représente ce transistor vu du dessus,

30 - les figures 2a à 2i qui illustrent les différentes étapes du procédé de réalisation selon l'invention,

30 - la figure 3 qui montre le profil de gravure de la couche de germanium sous la couche de silice lors de la définition des zones de base et d'émetteur par le procédé selon l'invention,

35 - la figure 4 qui illustre des étapes formant une variante du procédé.

Tel que représenté sur la figure 1a, le dispositif selon l'invention comprend d'abord, réalisée sur un substrat semi-isolant 100 en un matériau du groupe III-V, une couche 1 en arséniure de gallium (GaAs) de type de conductivité  $n^+$ .

05 Ce transistor comprend ensuite une couche 2 d'arséniure de gallium (GaAs) de type de conductivité  $n$ .

Ce transistor comprend en outre une couche 3 d'arséniure de gallium et d'aluminium (GaAlAs) de type de conductivité  $n$ , ou couche émetteur.

10 En surface de la couche 3 on trouve, pour permettre la prise des contacts collecteurs et émetteurs, une couche épitaxiale 4 d'arséniure de gallium (GaAs) de type de conductivité  $n^+$ . Cette couche 4 de type  $n^+$  est reliée à la couche collecteur 1 de type  $n^+$ , par des caissons 20 de type  $n^+$ , disposés sous les contacts collecteurs  $C_1$ .

En surface de la couche 4 sont réalisés les contacts métalliques de collecteur C, de base B et d'émetteur E.

Formés dans les couches 3 et 4, on trouve sous les contacts de base B, des caissons 40 de type de conductivité  $p^+$  reliés par une couche 31 réalisée au niveau de la surface de la couche 2 également de type de conductivité  $p^+$ .

Le contact de base est réalisé au moyen de métaux tels que AuMn ou AuBe. Les contacts d'émetteur et de collecteur au moyen de métaux tels que : AuGe/Ni.

25 L'isolation entre les différentes électrodes est obtenue au moyen de caissons 110.

Ce transistor présente l'avantage d'être absolument planaire. Comme illustré par la figure 1b, vu du dessus, il montre en outre une structure interdigitée, à deux doigts de base B, et un doigt d'émetteur E. Il montre aussi un contact de collecteur C.

30 Le procédé de réalisation décrit ci-après montre comment obtenir un tel transistor dont les contacts d'émetteur et de collecteur sont autoalignés sur les contacts de base, ce qui permet d'obtenir des dimensions transverses extrêmement

35

faibles, précises et répétitives et donc des transistors de très faibles dimensions et dont les performances sont améliorées. Ce qui fait que la densité d'intégration peut être augmentée et que les performances des circuits sont aussi améliorées. Le procédé de réalisation selon l'invention comprend au moins les étapes suivantes :

a/ formation d'un substrat 100 en un matériau du groupe III-V monocristallin présentant une face supérieure orientées par exemple selon une direction cristallographique [1 0 0]. Ce substrat est choisi semi-isolant pour que le procédé se trouve en synergie de fabrication avec les procédés de réalisation de circuits intégrés. En effet, le but visé par l'invention est la réalisation de transistors à hétérojonction intégrés et non pas la réalisation de transistors discrets. Le substrat sera favorablement en arséniure de gallium GaAs, semi-isolant obtenu par exemple par dopage au moyen d'ions fer (Fe). Ce substrat pourra aussi être réalisé en arséniure de gallium dopé à l'indium et recuit, ce qui permet d'obtenir des matériaux dépourvus de dislocations et compatibles avec la croissance ultérieure de couches épitaxiales du groupe III-V,

b/ réalisation de deux couches épitaxiales planes d'arséniure de gallium pour former le collecteur, successivement une couche 1 de type de conductivité  $n^+$  et une couche 2 de type de conductivité  $n$ . La croissance épitaxiale de ces couches peut être réalisée en phase vapeur ou en phase liquide. Elle sera réalisée de préférence par une méthode aux organo-métalliques (MOCVD) ou MBE. La couche 1 présentera une épaisseur de 0,2 à 1  $\mu\text{m}$  et de préférence 0,5  $\mu\text{m}$ . Cette couche 1 est de type de conductivité  $n^+$  obtenue par exemple par un dopage au moyen de l'ion silicium (Si) à environ 3 à 5.  $10^{18}$  ions par  $\text{cm}^3$  (voir la figure 2a). L'épaisseur optimale de la couche 2 est 0,3  $\mu\text{m}$  et le type de conductivité  $n$  est obtenu par exemple par dopage au moyen de l'ion silicium (Si) à 5.  $10^{16}$  ions par  $\text{cm}^3$  ;

c/ implantation localisée dans la région superficielle de la seconde couche collecteur 2 de porteurs de type p

pour former une couche de base 31 de type de conductivité p<sup>+</sup> (voir la figure 2a). A cet effet un masque MK<sub>1</sub> par exemple en photorésist est réalisé en surface de la couche 2 et une ouverture est pratiquée dans ce masque en surface de la région destinée à constituer la région de base. La couche 31 est réalisée par l'implantation peu profonde (100 nanomètres et moins) d'ions tels que Be, ou Mg ou Zn. On peut également réaliser une co-implantation de phosphore P avec Be, ou bien de fluor F avec Mg, ce qui permet d'améliorer le pourcentage d'activation, et de réduire la diffusion lors de traitements thermiques ultérieurs. La concentration des ions implantés sera environ  $5 \cdot 10^{18} \text{ cm}^{-3}$  ;

d/ réalisation de deux couches épitaxiales planes superposées, la première 3 d'un matériau ternaire du groupe III-V, par exemple de l'arséniure de gallium et d'aluminium (GaAlAs), de type de conductivité n formant la couche d'émetteur, et la seconde 4 d'un matériau binaire ou ternaire, par exemple GaAs ou GaInAs de type de conductivité n<sup>+</sup> pour permettre la prise des contacts. La croissance épitaxiale de ces couches sera réalisée par le même procédé choisi pour la croissance des couches 1 et 2 (voir figure 2b). La couche d'émetteur 3 aura une épaisseur de l'ordre de 0,15  $\mu\text{m}$  et la couche de contact 4 aura une épaisseur de l'ordre de 0,15  $\mu\text{m}$ . La couche d'émetteur 3 sera dopée à l'aide d'ions par exemple Si à une concentration de l'ordre de  $5 \cdot 10^{17}$  par  $\text{cm}^3$  et la couche de contact 4 à l'aide d'ions Si à une concentration de  $2 \cdot 10^{18}$  par  $\text{cm}^3$ . La couche 3 en arséniure de gallium et d'aluminium (GaAlAs) présentera de préférence une concentration de 0,25 en aluminium ;

e/ implantation localisée, dans une région choisie pour former le collecteur, de porteurs de type n à une profondeur appropriée à réaliser des caissons 20 de type n<sup>+</sup> reliant la couche 1 d'arséniure de gallium de collecteur de type n<sup>+</sup> à la couche 4 d'arséniure de gallium de type n<sup>+</sup>. Cette implantation sera faite dans l'ouverture d'un masque MK<sub>3</sub>, à l'aide

d'ions par exemple Si, à une concentration de l'ordre de  $5.10^{18}$  par  $\text{cm}^3$ . A l'issue de cette implantation le masque  $\text{MK}_3$  sera éliminé (voir la figure 2b).

05 Pour obtenir le profil plat à  $5.10^{18}$  souhaité, on procédera au moyen d'énergies décroissantes.

f/ dépôt d'une couche 50 de germanium Ge, suivi du dépôt d'une couche 60 de silice ( $\text{SiO}_2$ ). Ces dépôt sont réalisés par dépôt chimique en phase vapeur assisté par plasma (PECVD). La couche de germanium présente favorablement une  
10 épaisseur de  $0,4 \mu\text{m}$  et la couche de silice une épaisseur de  $0,6 \mu\text{m}$  (voir la figure 2c) ;

g/ mise en place d'un masque  $\text{MK}_2$  par exemple en photorésist, délimitant des ouvertures 61 en surplomb des régions de base, et gravure de la couche de silice 60 à travers ces ouvertures 61 jusqu'à mettre à nu la surface de la couche  
15 de germanium 50. Cette gravure est mise en oeuvre par une méthode permettant d'obtenir des flancs de gravure perpendiculaires au plan des couches par exemple par gravure ionique réactive (RIE) au moyen des gaz  $\text{CHF}_3 - \text{SF}_6$  (dans le rapport 30 à 1). On forme ainsi des ouvertures dans la couche 60 (voir la figure 2d), ouvertures qui ont pour dimension  $B_0$  dans le plan de la figure 2d et délimitent les futures régions de base ;

h/ gravure de la couche de germanium 50 à travers  
25 les ouvertures  $B_0$  de la couche de silice, par une méthode permettant de contrôler à la fois, sur les flancs de gravure de cette couche de germanium, le taux de gravure parallèlement au plan des couches, et le taux de gravure perpendiculairement au plan des couches, de manière à obtenir que les pieds de ces  
30 flancs de gravure délimitent des ouvertures de dimension au moins égale à  $B_0$  et que les sommets de ces flancs délimitent avec une très haute précision des ouvertures  $E_1$  telles que la distance  $E_0$  dans le germanium du bord d'une ouverture  $E_1$  au bord de l'ouverture  $E_1$  suivante définit la région d'émetteur  
35 (voir la figure 3). L'élaboration de ce profil doit être très

bien contrôlée car elle va permettre en une seule opération de définir à la fois les contacts de base et le contact d'émetteur, selon une technologie dite autoalignée.

05 Comme représenté sur la figure 3, il apparaît une gravure du germanium sous la couche de silice qui est légèrement concave, la concavité étant tournée vers l'extérieur du dispositif. Le taux de gravure parallèlement au plan du substrat doit être de l'ordre de :

10  $R_1 \approx 160$  nm par mn et le taux de gravure perpendiculairement au plan du substrat  $R_2 \approx 325$  nm par mn.

Ceci est obtenu par gravure ionique réactive (RIE) au moyen d'un mélange de gaz  $SF_6$  à 12,5 SCCM/mn,  $O_2$  à 4 SCCM/mn et  $N_2$  à 13,5 SCCM/mn avec une pression et une puissance respectivement de 30 millitores et 60 watts. Dans 15 ces conditions la gravure parallèlement au plan des couches est moitié de la gravure perpendiculairement au plan des couches ; la dimension de la gravure du germanium sous la couche de silice est  $h_1$  ;

20 i/ implantation localisée de porteurs de type  $p^+$  à travers les ouvertures  $B_0$  avec une énergie suffisante à atteindre la couche de base 31, pour former des caissons 30 de type  $p^+$ , reliant la couche de base 31 à la surface de la couche épitaxiale 4 de type  $n^+$ . Cette implantation est faite comme lors de l'étape c/ au moyen d'ions Mg ou Be, ou Zn, ou 25 de la co-implantation déjà citée. Un profil d'implantation plat est obtenu au moyen d'intensités décroissantes, jusqu'à obtenir une concentration de quelques  $10^{19}$   $cm^{-3}$ .

30 Le recuit d'implantation peut être fait à  $850^\circ C$  pendant quelques mn à 10 mn sous pression d'arsine ( $AsH_3$ ). Mais de préférence le recuit sera du type "FLASH" pour minimiser les phénomènes de diffusion et améliorer l'activation, consistant à porter le dispositif à  $900^\circ C$  pendant 3 secondes par exemple (voir la figure 2d) ;

35 j/ dépôt dans les ouvertures  $B_0$  d'une couche métallique 70 propre à former les contacts de base B, suivi de la gravure sélective de la couche de silice 60 conservant intacts des plots de la couche de germanium 50 (voir figure 2e). La

couche métallique 70 pourra être favorablement composée d'or-manganèse (Au-Mn), d'or-béryllium (Au-Be), d'or-zinc (Au-Zn), ce sera de préférence Au-Mn à 4 %, qui permet d'obtenir un contact de faible résistivité. Cette couche se dépose non  
05 seulement dans les ouvertures  $B_0$  mais encore en surface de la silice 60. La gravure ultérieure de la couche de silice 60 permettra d'éliminer par LIFT-OFF les portions de la couche 70 indésirables. La gravure de la couche de silice 60 se fera au  
10 moyen d'une solution d'acide fluorhydrique (HF) tamponnée, pour permettre d'éliminer la couche de silice 60 sans endommager les contacts de base B formés dans les ouvertures  $B_0$  ;

k/ réalisation d'une nouvelle couche 80 de silice (voir la figure 2f), puis planarisation du dispositif au  
15 niveau supérieur de la couche de germanium, (voir la figure 2g), suivi d'une gravure sélective des plots de la couche de germanium 50 par une méthode permettant de conserver avec une grande précision, en négatif, le profil des flancs de gravure défini au cours de l'étape h/ le long des plots de la nouvelle  
20 couche de silice 80 restant sur l'emplacement des ouvertures 51 (voir la figure 2h).

Les sommets de ces plots 80 qui ont la dimension des anciennes ouvertures  $E_1$  définissent notamment des ouvertures  $E_0$  délimitant le futur contact d'émetteur. Les sommets  
25 de ces plots 80 qui sont en surplomb sur la couche 4 permettront aussi de définir les contacts de collecteur par auto-alignement, ce surplomb définissant l'espacement entre les électrodes.

Lors de la réalisation de la nouvelle couche  
30 épaisse 80 de silice ( $SiO_2$ ) les ouvertures 51 sont emplies de silice. Puis le procédé de planarisation est entrepris. Sur la mise en oeuvre d'un tel procédé, on lira avec profit la publication : "1984 5-MIC Conference June 21-22" 1984 IEEE intitulée : "Plasma Planarisation with a none planar sacrificial  
35 layer par J.E.Gimpelson et alii p.37-44, ou encore "Journal

Electrochemical Society Solid State Science and Technologie, January 1986" l'article intitulé : "Two layer planarisation process" par A. SHILZ et alii p.178-181. Ici la planarisation peut être menée à bien par gravure RIE au moyen des gaz CHF<sub>3</sub>-O<sub>2</sub>, avec 30 SCCm pour CHF<sub>3</sub> et 3 SCCm pour O<sub>2</sub>. A l'issue de ce  
05 procédé il reste le dispositif tel que montré sur la figure 2g où la silice 80 emplie les ouvertures 51 et est au même niveau supérieur que la couche de germanium 50. Les plots de silice 80 ont alors le même profil en négatif que les plots de germanium 50 obtenus lors de l'étape h/. Comme on l'a dit précédemment, ce profil doit être conservé lors de la gravure du germanium 50. C'est pourquoi cette gravure se fera par exemple  
10 par gravure ionique réactive (RIE) effectuée au moyen de gaz SF<sub>6</sub>-N<sub>2</sub> (50 % - 50 %).

15 1/ dépôt d'une couche métallique 90 propre à former les contacts d'émetteur E et de collecteur C, les plots de la nouvelle couche de silice 80 servant de masque, puis élimination des plots de la nouvelle couche de silice 80.

20 Le métal pour constituer la couche 90 de contact d'émetteur et de collecteur sera avantageusement une multicouche de l'alliage Au-Ge surmonté d'une couche de nickel (voir la figure 2h). Les contacts subissent un recuit à environ 400°C.

25 Lors du dépôt, la couche métallique 90 a aussi couvert les plots de silice 80 ; cette partie de la couche 90 indésirable sera éliminée par LIFT-OFF lors de l'élimination de la silice, par exemple au moyen d'une solution d'HF tamponnée.

30 On obtient alors le dispositif du transistor à hétérojonction de la forme planar recherchée (voir la figure 2i). De plus ce dispositif a été obtenu par l'autoalignement des contacts collecteur-émetteur sur les contacts de base en une seule opération consistant en l'obtention du profil des flancs de gravure de la couche de germanium 50, puis la conservation en négatif de ce profil sur les plots de silice 80.  
35

m/ implantation ionique localisée entre les contacts de collecteur C, de base B et d'émetteur E servant de masque, d'espèces propres à former des caissons isolants 110 entre ces électrodes pour éviter les courants de fuite, avec  
05 une énergie permettant d'atteindre la surface supérieure de la couche 3 d'émetteur de type n. On pourra à cet effet implanter des ions bore (B), oxygène (O), ou bien implanter des protons à une concentration d'environ  $2.10^{18} \text{ cm}^{-3}$ .

Ainsi le dispositif selon l'invention présente  
10 différents avantages : tout d'abord l'utilisation d'un substrat semi-isolant en arséniure de gallium permet de se trouver en synergie de réalisation avec d'autres dispositifs tels que les transistors à effet de champ, les diodes etc..., l'utilisation du substrat SI permet d'éliminer les capacités parasites des plots de contacts.  
15

Dans une variante de l'invention le substrat semi-isolant est en arséniure de gallium et d'indium, qui est obtenu directement semi-isolant par recuit, et qui est particulièrement exempt de dislocations comme il est connu de la demande de brevet européen EP-A-0176130.  
20

D'autre part dans cette variante, la couche 1 du collecteur peut être réalisée par implantation ionique par exemple de sélénium (Se) directement dans le substrat semi-isolant 100.  
25

On notera que le fait de réaliser les doigts d'émetteur très étroits permet d'améliorer les performances du dispositif. En effet, le schéma équivalent du transistor HBT montre une résistance en série avec la base et une capacité base-collecteur.  
30

La réponse en fréquence du transistor est déterminée par le produit de la résistance de base par la capacité base-collecteur. La réduction des dimensions du transistor permet de réduire le produit de ces deux facteurs, et par conséquent d'augmenter la réponse en fréquence du transistor.  
35 Il s'ensuit que ce dernier montre alors des performances

réellement et nettement améliorées par rapport au dispositif connu de l'art antérieur.

05 Le procédé selon l'invention peut en outre comprendre une étape d'isolation pour délimiter le transistor. A cet effet, une étape d') peut être intercalée entre l'étape d et l'étape e.

10 d') Implantation d'ions favorablement  $O^+$  dans les ouvertures d'un masque  $MK_4$  qui couvre la zone active du transistor à l'exception de la périphérie (voir la figure 4). Les ions sont implantés dans les zones périphériques 101 d'isolement du transistor.

15 Il est déjà connu de l'état de la technique d'implanter des ions bore (B) pour réaliser l'isolation des zones actives. Ce type d'implantation au bore crée des défauts et permet d'isoler par exemple des couches de type n et p, ce qui est nécessaire lorsque la couche de base est réalisée par épitaxie sur toute la surface du dispositif et n'est pas localisée comme ici, selon l'invention à une couche 31 parfaitement délimitée.

20 Ici, l'isolation à l'aide d'oxygène est choisie de préférence à l'isolation au bore du fait que, si cette dernière était choisie, son efficacité disparaîtrait lors de recuits à des températures supérieures à 500-600°C. Or de tels recuits supérieurs à 600°C sont utilisés ultérieurement dans le présent procédé.

25 Ainsi l'isolation au bore n'étant pas nécessaire puisque la couche de base est délimitée par une méthode autre que l'isolation après épitaxie, l'isolation à l'oxygène est au contraire favorable.

30 Le procédé selon l'invention peut en outre comprendre la réalisation d'une couche destinée à éviter la diffusion des porteurs p de la couche de base 31 vers la couche émetteur 3. A cet effet, ce procédé comprend alors entre l'étape c/ et l'étape d/, une étape c'/ telle que :

35 c'/ Réalisation d'une couche épitaxiale 32 en

surface de la couche 2, en GaAs, non dopée intentionnellement ou faiblement dopée p, de l'ordre de 10 à 20 nm pour éviter la diffusion des porteurs p de la couche 31 vers la couche 3 (voir la figure 4).

05 Le procédé selon l'invention peut aussi comprendre une étape c"/ entre l'étape c'/ et l'étape d/ telle que :

c"/ Réalisation d'une couche épitaxiale 33 en GaAlAs présentant un gradient de composition en Al de 0 à 25 % de façon à obtenir une hétérojonction graduelle entre l'émet-  
10 teur et la base, ce qui permet d'obtenir un meilleur gain en courant (voir la figure 4).

Le procédé selon l'invention peut aussi comprendre entre l'étape h/ et l'étape i/ une étape h'/ telle que :

h'/ Implantation à travers les ouvertures B<sub>0</sub>  
15 d'ions oxygène pour créer des zones d'isolement 34 sous les zones de base extrinsèques et ainsi réduire la capacité base-collecteur, permettant alors d'améliorer la réponse en fréquence du transistor. La concentration favorable en oxygène implanté sera de  $5 \cdot 10^{16} \text{ cm}^{-3}$  à  $5 \cdot 10^{18} \text{ cm}^{-3}$ . La profondeur  
20 d'implantation sera dans la zone entre la couche 31 et la couche 1 (voir la figure 2d).

La figure 1b représente vu du dessus un exemple de réalisation du dispositif. La ligne en trait discontinu représente les bords du masque MK<sub>4</sub> qui couvrait la zone active du-  
25 rant l'étape d'/ et qui délimite de ce fait cette zone active.

D'autres formes du transistor sont possibles et notamment de nombreuses autres configurations des électrodes sans sortir du cadre de la présente invention.

Enfin au lieu de réaliser l'isolation de la zone  
30 active lors de l'étape d'/', cette isolation peut être réalisée lors d'une ultime étape m'/ par implantation de protons ou bore, autour d'un masque couvrant la zone active du transis-  
tor.

Des valeurs préférentielles pour les différentes  
35 dimensions mises en oeuvre dans le procédé selon l'invention sont données ci-après :

$$B_0 = 1 \text{ à } 2 \text{ } \mu\text{m}$$

$$E_1 = 0,9 \text{ à } 1,6 \text{ } \mu\text{m}$$

$$h_1 = 0,2 \text{ à } 0,3 \text{ } \mu\text{m}$$

$$E_0 = 0,5 \text{ à } 1 \text{ } \mu\text{m}$$

05 On peut aussi réaliser la couche de base dans une variante de l'invention en remplaçant l'étape c/, connue de l'état de la technique, par une étape c<sub>0</sub>/ telle que :

c<sub>0</sub>/ Réalisation d'une couche épitaxiale 31' en un matériau binaire du groupe III-V de type de conductivité p<sup>+</sup>  
10 pour former une couche de base, suivie d'une gravure, autour d'un masque définissant la zone de base, jusqu'au niveau supérieur de la couche collecteur 2. La gravure peut être faite par voie sèche ou humide. La zone de base 31' se trouve alors en relief sur la couche collecteur 2. Le procédé est repris  
15 comme précédemment. L'épaisseur de la couche p<sup>+</sup> 31' est de l'ordre de 0,1  $\mu\text{m}$ . Le dispositif obtenu est donc quasi-planaire.

D'autres matériaux III-V peuvent être envisagés pour réaliser le transistor, pourvu que les conditions nécessaires à l'obtention des hétérojonctions soient respectées.  
20

25

30

35

Révendications

1. Procédé de réalisation d'un dispositif semiconducteur du type transistor bipolaire à hétérojonction à structure planaire, ce procédé comprenant au moins les étapes de :
- 05 a/ réalisation d'un substrat (100) en un matériau du groupe III-V monocristallin et présentant une face orientée selon un plan cristallographique ;
- b/ réalisation de deux couches épitaxiales planes de matériau binaire du groupe III-V pour former le collecteur, successivement une couche (1) de type de conductivité  $n^+$  et
- 10 une couche (2) de type de conductivité  $n$  ;
- c/ implantation localisée dans la région superficielle de la seconde couche collecteur (2), de porteurs de type  $p$ , pour former une couche de base (31) de type de conductivité  $p^+$  ;
- 15 d/ réalisation de deux couches épitaxiales planes superposées, la première (3) en un matériau ternaire du groupe III-V de composition  $(A_{III}X_{III}, B_Y)$ , de type de conductivité  $n$ , pour former l'émetteur, la seconde (4) en un matériau binaire ou ternaire du groupe III-V de type de conductivité  $n^+$  pour la prise des contacts ultérieurs ;
- 20 e/ implantation localisée dans une région choisie pour former le collecteur de porteurs de type  $n$ , à une profondeur appropriée à réaliser des caissons (20) de type  $n^+$  reliant la couche (1) de collecteur de type  $n^+$  à la couche épitaxiale supérieure (4) de type  $n^+$ , caractérisé en ce qu'il comprend en outre les étapes de :
- 25 f/ dépôt d'une couche (50) de germanium (Ge), suivi du dépôt d'une couche (60) de silice ( $SiO_2$ ) ;
- 30 g/ mise en place d'un masque  $MK_2$  délimitant des ouvertures (61) en surplomb des régions de base et gravure de la couche (60) de silice à travers ces ouvertures (61) jusqu'à mettre à nu la surface de la couche (50) de germanium par une méthode permettant d'obtenir des flancs de gravure perpendiculaires au plan des couches, formant ainsi, dans la couche (60)
- 35 de silice, des ouvertures de dimension  $B_0$  ;

h/ gravure de la couche (50) de germanium à travers les ouvertures  $B_0$  de la couche de silice, par une méthode permettant de contrôler à la fois, sur les flancs de gravure de cette couche de germanium, le taux de gravure parallèlement au plan des couches et le taux de gravure perpendiculairement au plan des couches, de manière telle que les pieds de ces flancs de gravure délimitent des ouvertures de dimension au moins égales à  $B_0$  et que les sommets de ces flancs de gravure délimitent avec une très haute précision des ouvertures  $E_1$  telle que la distance  $E_0$  dans le germanium du bord d'une ouverture  $E_1$  au bord de l'ouverture  $E_1$  suivante définit la région d'émetteur, et de manière telle que ces flancs de gravure présentent une concavité tournée vers l'extérieur du dispositif ;

i/ implantation localisée de porteurs de type  $p^+$ , à travers les ouvertures  $B_0$ , et avec une énergie suffisante à atteindre la couche de base (31), pour former des caissons (30) de type  $p^+$  reliant la couche de base (31) à la surface de la dernière couche épitaxiale (4) ;

j/ dépôt d'une couche métallique (70) propre à former les contacts de base B, suivi de la gravure sélective de la couche de silice (60), conservant intacts des plots de la couche (50) de germanium ;

k/ réalisation d'une nouvelle couche (80) de silice ( $SiO_2$ ), très épaisse, planarisation du dispositif au niveau supérieur de la couche (50) de germanium, puis gravure sélective des plots de la couche de germanium par une méthode permettant de conserver avec une grande précision en négatif le profil des flancs de gravure définis au court de l'étape h/ le long des plots de la nouvelle couche (80) de silice restant sur l'emplacement des ouvertures  $B_0$ , ces plots de silice délimitant, par leur partie supérieure, des ouvertures de dimension  $E_0$  ;

l/ dépôt d'une couche métallique (90) propre à former les contacts d'émetteur E et de collecteur C, les plots de la nouvelle couche (80) de silice servant de masque, puis

élimination des plots de la nouvelle couche (80) de silice ;  
m/ implantation ionique localisée entre les contacts de collecteur C, base B, et émetteur E servant de masques, d'espèces propres à former des caissons isolants (110) entre ces électrodes et avec une énergie permettant d'atteindre la surface supérieure de la couche d'émetteur (3) de type n.

05

2. Procédé selon la revendication 1, caractérisé en ce qu'entre l'étape d/ et l'étape e/ est intercalée l'étape d'/ telle que :

10

d'/ Implantation d'ions propres à former des régions (101) d'isolement délimitant la zone active du transistor, cette dernière étant masquée durant cette opération.

3. Procédé selon l'une des revendications 1 ou 2, caractérisé en ce qu'entre l'étape c/ et l'étape d/, il comprend une étape c'/ telle que :

15

c'/ Réalisation d'une couche épitaxiale (32) en surface de la couche (2), en matériau binaire du groupe III-V, non dopée intentionnellement, pour éviter la diffusion des porteurs p de la couche de base (31) vers la couche d'émetteur (3).

20

4. Procédé selon la revendication 3, caractérisé en ce qu'entre l'étape c' et l'étape d) est réalisée une étape c'') telle que :

25

c'') Réalisation d'une couche épitaxiale (33), en matériau ternaire du groupe III-V de composition  $(A_{III}X_{III}, B_V)$  présentant un gradient de composition de l'élément  $X_{III}$  de 0 à 25 % pour obtenir une hétérojonction graduelle entre l'émetteur et la base.

30

5. Procédé selon l'une des revendications précédentes caractérisé en ce qu'entre l'étape h/ et l'étape i/, il comprend une étape h'/ telle que :

h'/ implantation à travers les ouvertures  $B_0$  d'ions propres à créer des zones d'isolement (34) sous les régions de base (30,31).

35

6. Procédé selon l'une des revendications 1 à 5 caractérisé en ce que :
- le substrat (100) est en arséniure de gallium (GaAs) semi-isolant, orienté selon une direction cristallographique [100] :
  - la première couche épitaxiale (1) et la seconde couche épitaxiale (2) sont en arséniure de gallium (GaAs),
  - la troisième couche épitaxiale (3) est en arséniure de gallium et d'aluminium (GaAl,As) et la quatrième couche (4) épitaxiale est en arséniure de gallium (GaAs),
  - la couche épitaxiale (32), lorsqu'elle existe, est en arséniure de gallium (GaAs),
  - la couche épitaxiale (33), lorsqu'elle existe, est en arséniure de gallium et d'aluminium (GaAl,As) présentant un gradient de composition de l'élément Al.
7. Procédé selon la revendication 6, caractérisé en ce que, pour obtenir le type de conductivité  $n^+$  ou  $n$  les couches épitaxiales (1, 2, 4) sont dopées à l'aide d'ions  $Si^+$ .
8. Procédé selon l'une des revendications 6 ou 7, caractérisé en ce que pour obtenir des caissons (20) de type de conductivité  $n^+$ , l'implantation ionique prévue à l'étape e) est réalisée au moyen d'ions  $Si^+$ .
9. Procédé selon l'une des revendications 6 à 8, caractérisé en ce que pour obtenir des zones de type de conductivité  $p^+$ , l'implantation ionique prévue aux étapes c) et i) est réalisée au moyen d'ions choisis parmi Be, Mg, Zn, et parmi une association de F avec B, ou bien P avec Mg.
10. Procédé selon l'une des revendications précédentes caractérisé en ce que la couche métallique 70 déposée lors de l'étape j) pour former les contacts de base est choisie parmi les composés Au-Mn, Au-Be, Au-Zn, et en ce que la couche métallique 90 déposée lors de l'étape l) pour former les contacts d'émetteur et collecteur est une multicouche d'Au-Ge surmontée de Ni.
11. Procédé selon l'une des revendications 6 à 10, caractérisé en ce que pour former les zones isolantes (101, 34),

lorsqu'elles existent, il est implanté respectivement lors des étapes h') et d') des ions oxygène ( $O^+$ ).

12. Procédé selon l'une des revendications 6 à 11, caractérisé en ce que pour former les zones isolantes (110) entre les électrodes, lors de l'étape m), il est implanté des éléments choisis parmi des ions B, des ions  $O^+$ , et des protons.

13. Procédé selon l'une des revendications précédentes, caractérisé en ce que l'étape c/ est remplacée par l'étape c<sub>0</sub>/ telle que :

c<sub>0</sub>/ Réalisation d'une couche épitaxiale 31' en un matériau binaire du groupe III-V de type de conductivité p<sup>+</sup> pour former une couche de base, suivie d'une gravure, autour d'un masque définissant la zone de base, jusqu'au niveau supérieur de la couche collecteur 2.

20

25

30

35

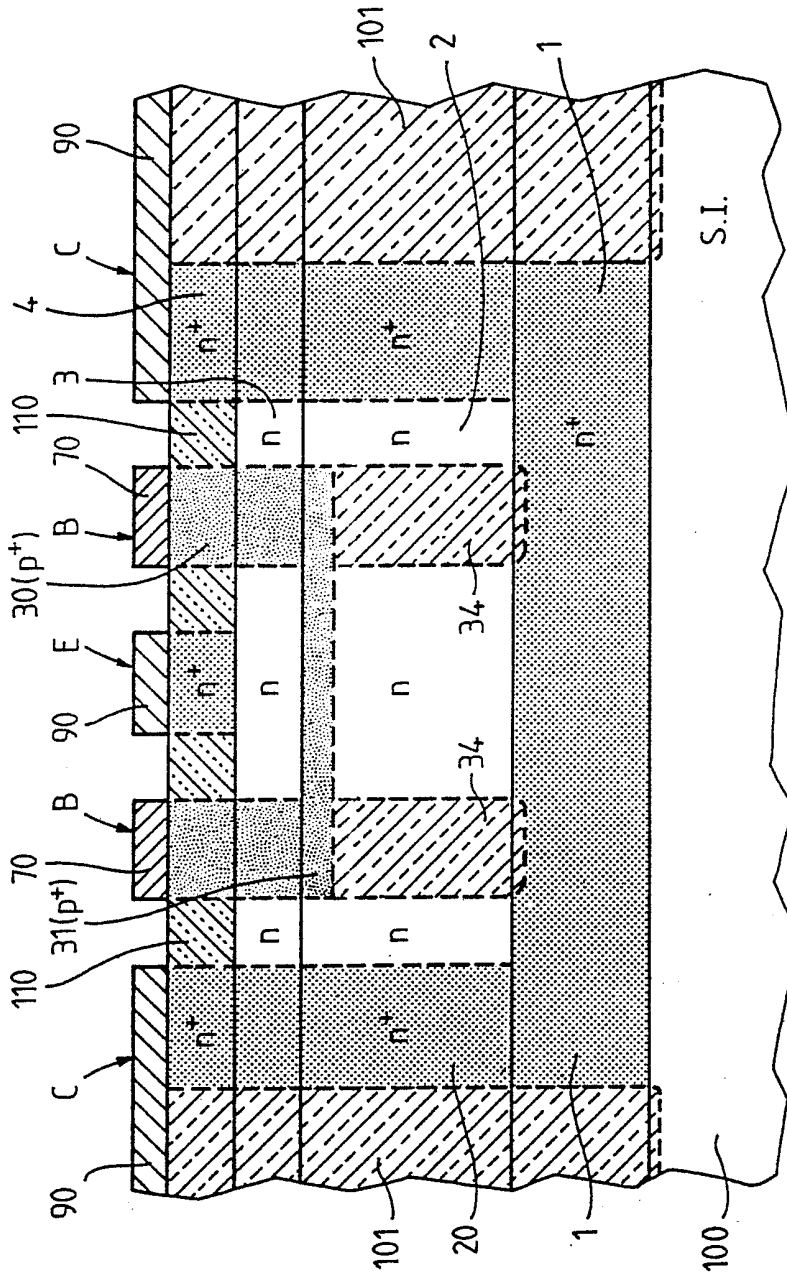


FIG. 1a

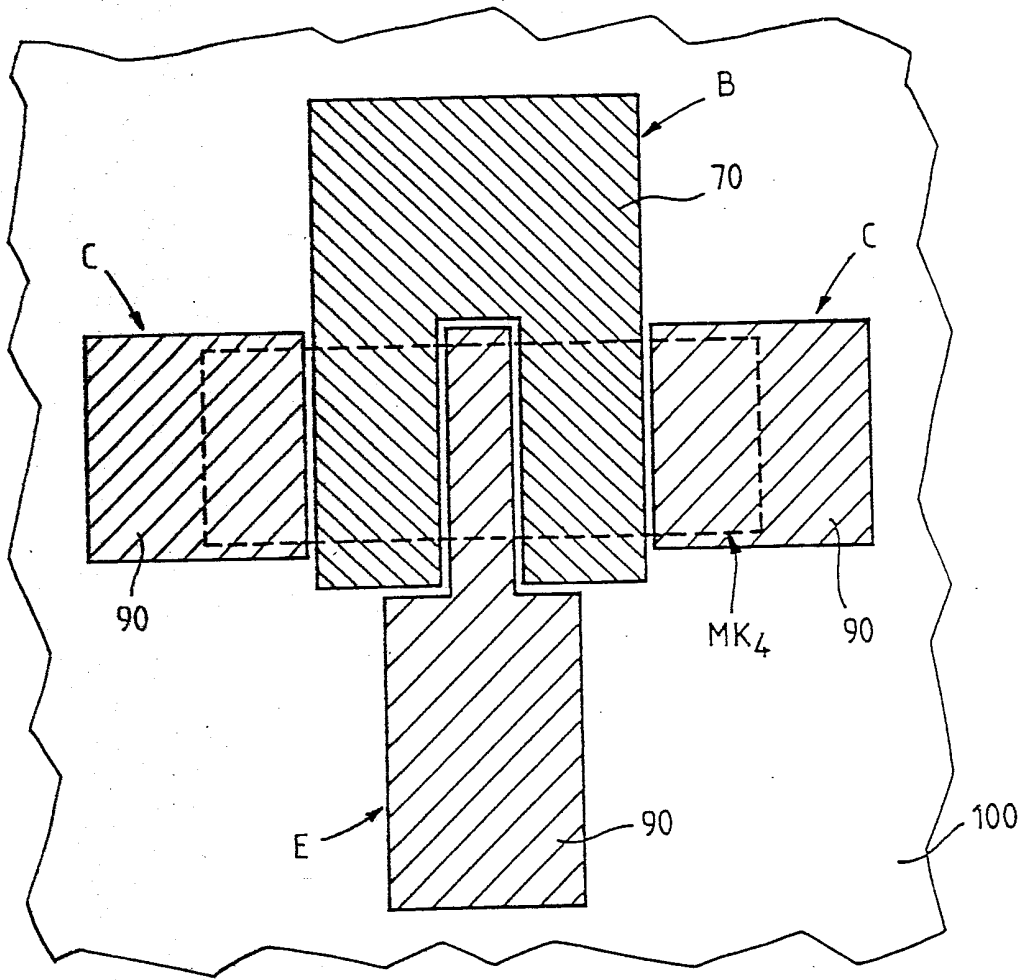


FIG. 1b

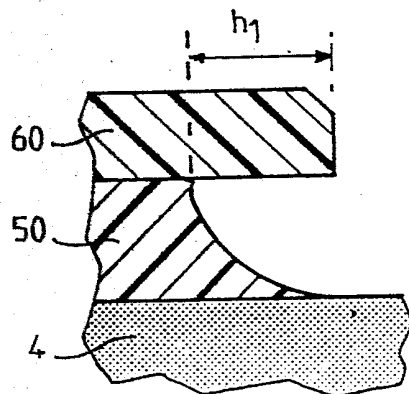


FIG. 3

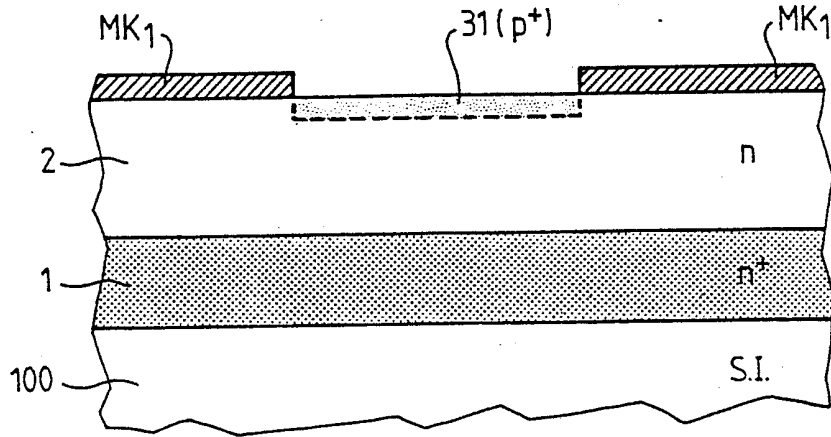


FIG. 2a

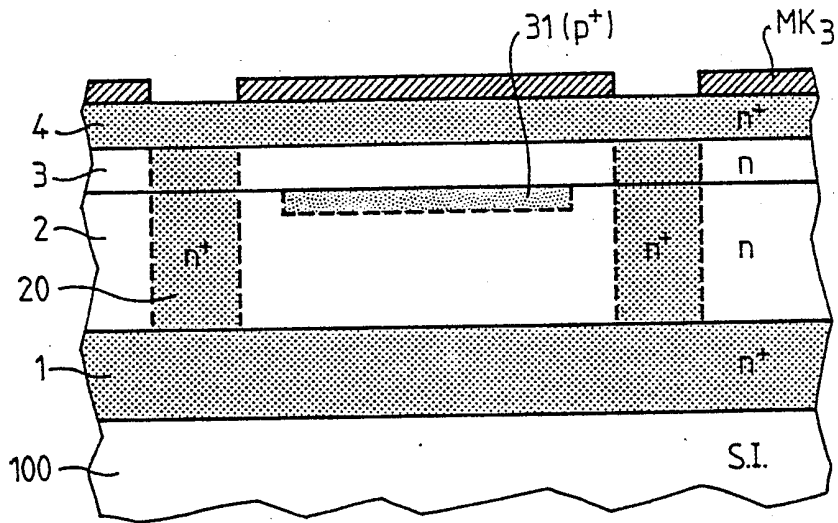


FIG. 2b

4/7

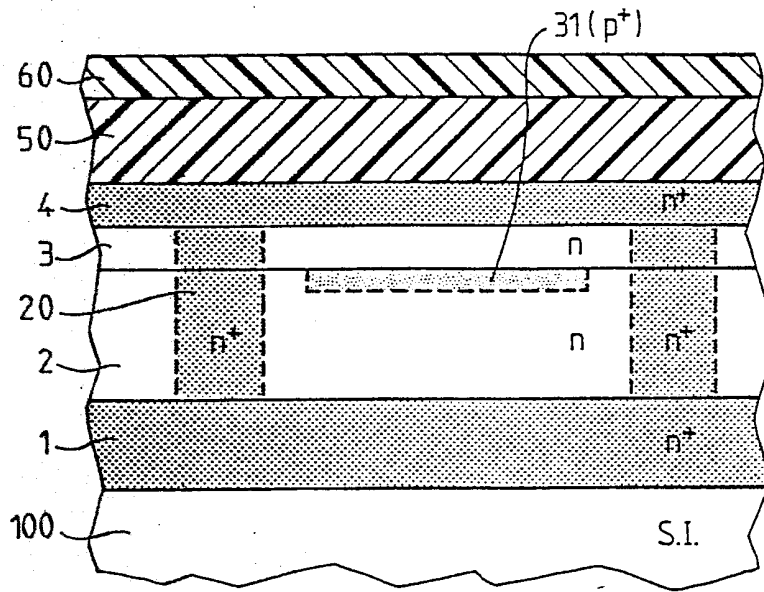


FIG. 2c

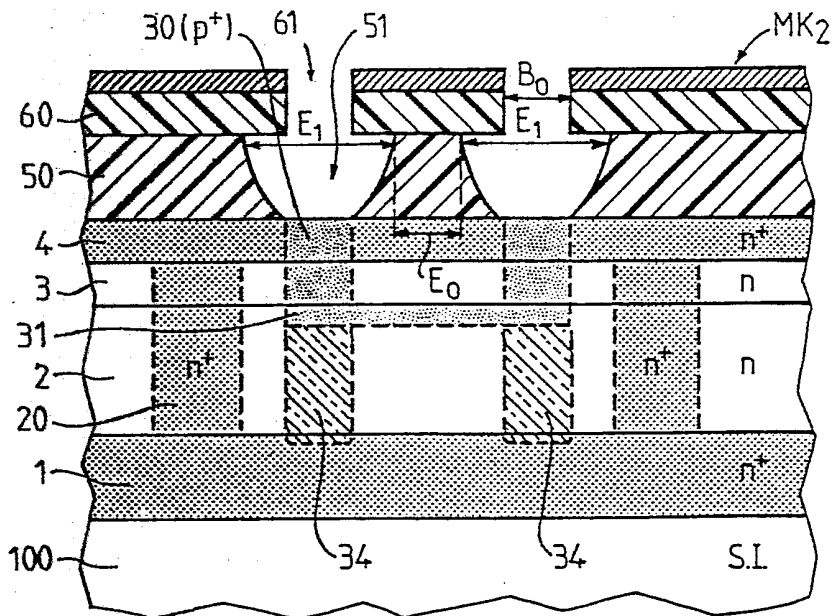


FIG. 2d

5/7

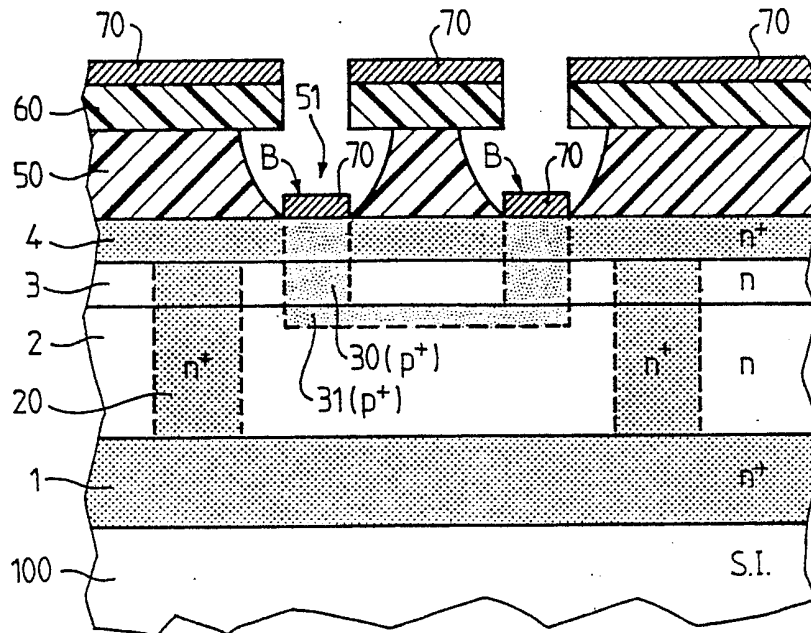


FIG. 2e

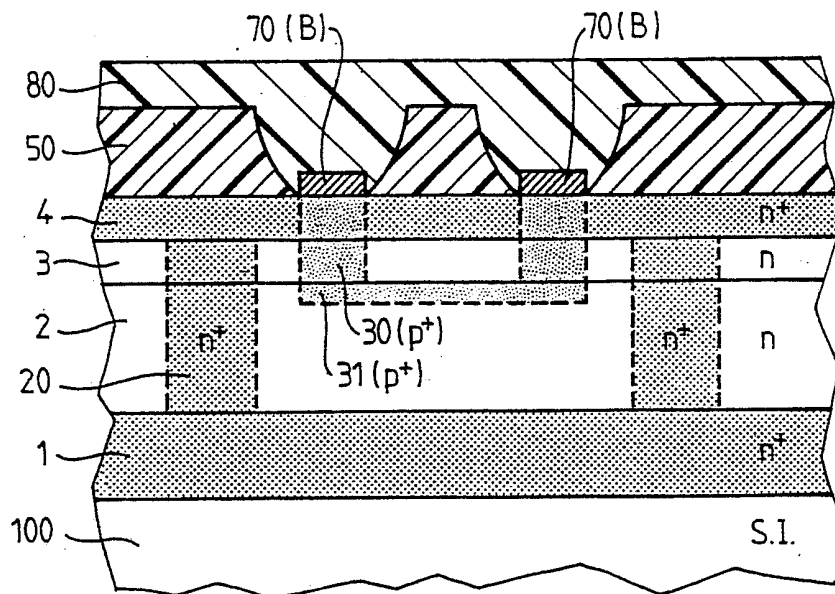


FIG. 2f

6/7

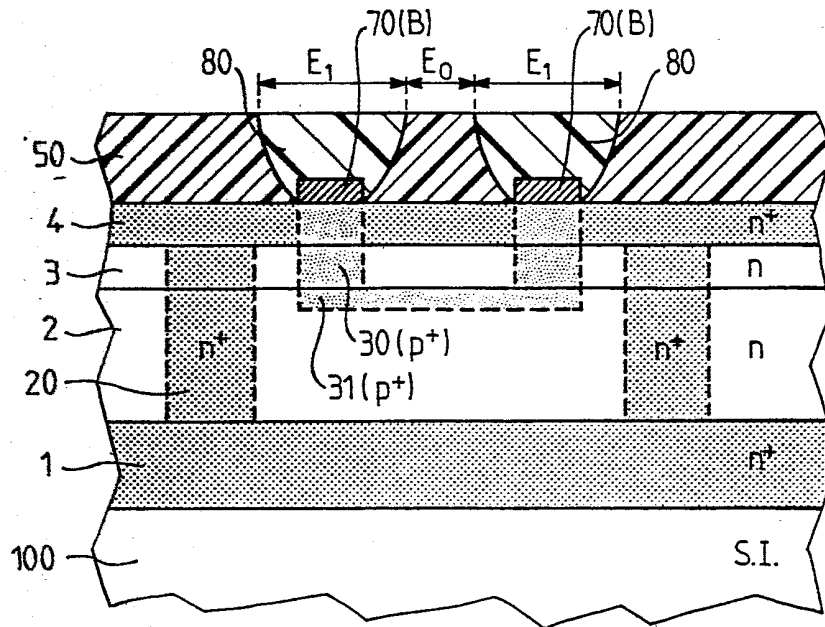


FIG. 2g

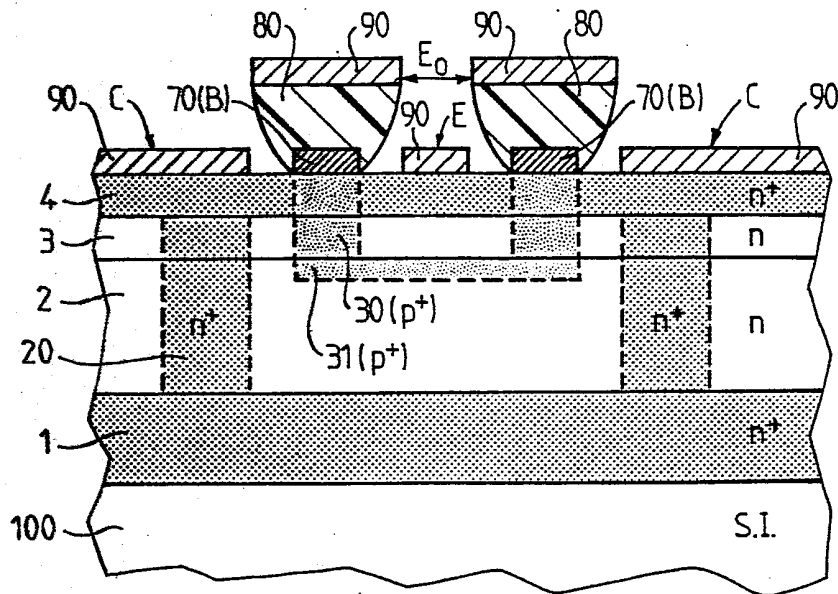


FIG. 2h

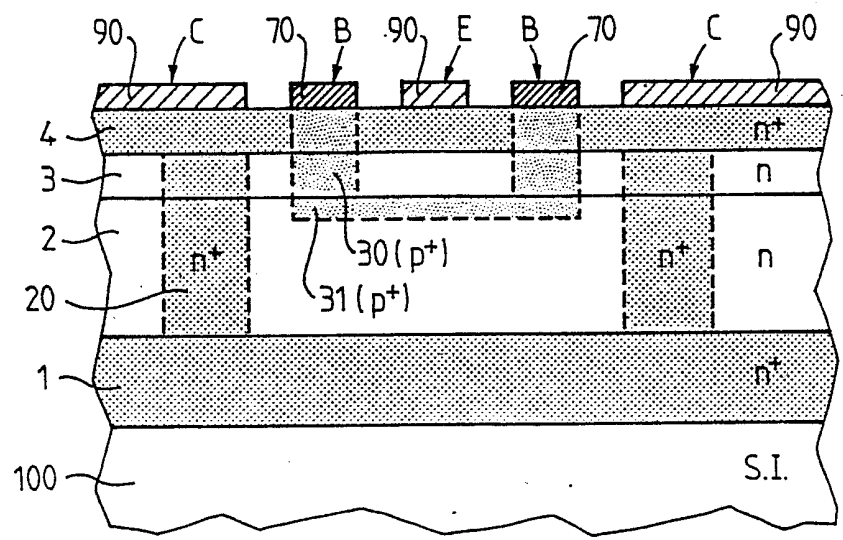


FIG. 2i

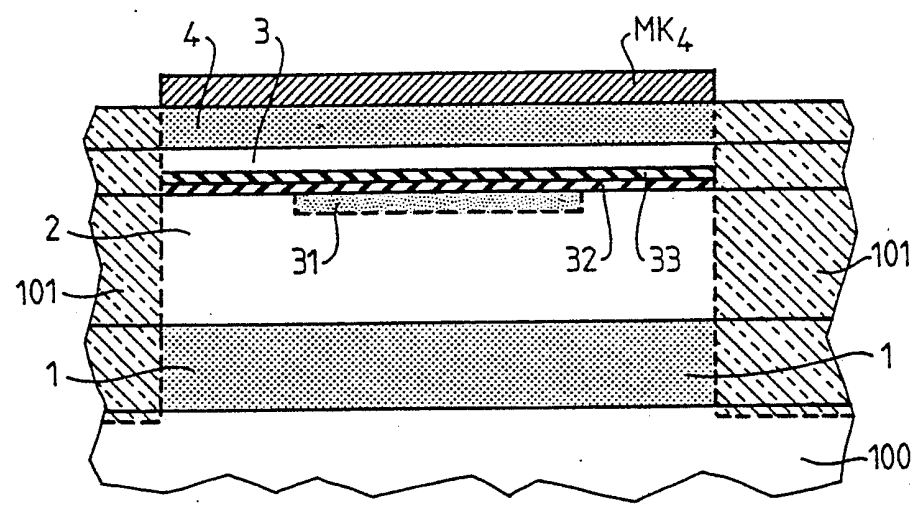


FIG. 4