

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3737838号
(P3737838)

(45) 発行日 平成18年1月25日(2006.1.25)

(24) 登録日 平成17年11月4日(2005.11.4)

(51) Int.C1.

F 1

HO4N 5/12 (2006.01)
HO3L 7/08 (2006.01)HO4N 5/12
HO3L 7/08A
M

請求項の数 1 (全 12 頁)

(21) 出願番号

特願平7-143442

(22) 出願日

平成7年6月9日(1995.6.9)

(65) 公開番号

特開平8-279927

(43) 公開日

平成8年10月22日(1996.10.22)

審査請求日 平成14年6月3日(2002.6.3)

(31) 優先権主張番号 08/257980

(32) 優先日 平成6年6月10日(1994.6.10)

(33) 優先権主張国 米国(US)

(73) 特許権者 391000818

トムソン コンシユーマ エレクトロニクス インコーポレイテッド
THOMSON CONSUMER ELECTRONICS, INCORPORATED

アメリカ合衆国 インディアナ州 46290-1024 インディアナポリス ノース・メリディアン・ストリート 10330

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

(54) 【発明の名称】同期回路

(57) 【特許請求の範囲】

【請求項 1】

同期入力信号を位相ロックループで出力される位相ロック信号と比較して、同期周波数で周期的に変動するチューニング信号を出力する位相比較手段と、

前記チューニング信号に含まれる周期的に変動する成分を低減するためのフィルタリング手段と、

前記フィルタリング手段の出力を受け、前記同期周波数の整数倍の周波数であって、該周波数が前記チューニング信号の変動につれて変動する出力信号を出力する発振手段と、

前記発振手段からの前記出力信号を前記同期周波数の整数倍と同じ数で分周し、前記位相ロック信号を発生する分周手段と、

前記発振手段の前記出力信号の変動の平均周期が前記チューニング信号の周期的な変動により作用されないように、前記同期入力信号に対して前記分周手段からの前記位相ロック信号を遅延する手段を有する位相偏移手段と、

を備えることを特徴とする同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は電圧制御発振器の同期入力信号への位相ロックに関する。

【0002】

【従来の技術】

テレビジョン受像機のラスタ走査回路は、水平ライン及び垂直フィールドを表わす水平及び垂直同期成分を含む受信ビデオ信号の同期成分又はシンク(sync)に同期させられる。標準規格NTSCビデオ信号は、例えば、 f_H 、 $1f_H$ 又は $1H$ として示される $157\frac{2}{3}4Hz$ の水平ライン周波数で、 262.5 水平ライン毎の二つの連続フィールドによって画成される。二つのフィールドの水平ラインは、 $29.97Hz$ のレートで繰り返す完全な 525 ラインのビデオフレームを形成するため、連続的な表示によってインターレースされる。

【0003】

テレビジョン受像機の画質を改善する努力には、ビデオ信号のある 262.5 ラインに割り当てられた時間中に 525 ラインの全フレームが表示される順次走査形、又は、ノンインターレース形表示装置の開発が含まれる。この装置は、ビデオ信号と同期して動作する間にビデオ信号周波数の2倍、又は、 $2f_H$ に一致する表示周波数で水平ラインが走査されることを必要とする。かかるテレビジョン受像機は、入力同期信号から得られたパルス間に正確に水平トリガパルスを効果的に挿入し、ビデオ信号の水平周波数の2倍の表示周波数で水平トリガ信号を発生させることが必要である。同様に、ビデオ信号周波数の別の倍数で $1f_H$ ビデオ信号を表示させてよい。例えば、 $1f_H$ 又は $2f_H$ ビデオ信号は、 $4f_H$ 表示走査周波数で表示させることができあり、或いは、他の倍数を使用してもよい。

【0004】

表示周波数信号を発生する回路は、受信入力信号の同期成分に追従する遅倍位相ロックループを有する利点がある。遅倍位相ロックループにおいて、例えば、受信ビデオ信号にロックされた水平トリガ信号を発生させるため、電圧制御発振器は、典型的には、入力信号の数倍の周波数で動作させられる。電圧制御発振器の出力は、例えば、少なくとも一つのカウンタ又はフリップフロップを分周器として使用して、上記倍数によって、即ち、 $1f_H$ までカウントダウンされる。分周器からのカウントダウンされた $1f_H$ 信号は、ビデオ信号の同期成分に応答し、ビデオ信号の同期成分と発振器の間の位相アライメントの関数として出力電圧を発生する位相比較器に帰還される。位相比較器の出力は、発振器の周波数を制御するチューニング電圧を供給し、テレビジョン受像機がビデオ信号の同期成分をシークし、ロックすることを可能にさせる。

【0005】

入力ビデオ信号が安定であると仮定すると、位相比較器は、ループがロックされたときチューニング電圧を発生し、チューニング電圧の平均又は直流電流成分は安定化する。しかし、チューニング電圧は、例えば、チューニング電圧をフィルタリングするため使用された回路に依存してランプ状又は鋸歯状に同期信号のレートで周期的に変化する場合がある。たとえ、カウントダウンされた $1f_H$ 信号がビデオ同期信号と同位相で正確に維持されても、鋸歯は同期入力信号の周期内で発振器出力周波数を変調する。トリガ信号は、位相ロック制御の基本である $1f_H$ 帰還信号よりも高い周波数の出力信号を発生する分周器回路内の点でタップすることにより、 $1f_H$ 信号の倍数で上記回路から発生させることが可能である。チューニング電圧のAC成分によって誘起される発振器周波数の鋸歯状変調には、このように高い周波数のパルスは、制御された $1f_H$ の周波数のパルス間に対称的に生じないという望ましくない点がある。

【0006】

かかる発振器周波数の周期的な変動の影響は、電圧制御発振器が $32f_H$ で動作する場合に関して評価できる。発振器の出力は、位相比較器に対し $1f_H$ の帰還信号を発生させるため 32 で分周される。発振器の周波数は、ノンインターレース形水平走査に使用される偏向回路を制御する $2f_H$ の信号を発生させるため 16 で分周される。 $32f_H$ の出力周波数がチューニング電圧変調に起因して $1f_H$ のサイクル中に変化するとき、 $2f_H$ の交互の水平ラインは、長さが一致しない。交互のラインは長さが異なり、垂直方向に揃えられていないので、表示の乱れの影響が生じる。かかる乱れの影響は、ノンインターレース表示においては非常に望ましくない影響であり、偏向回路の共振の影響によって増大され

10

20

30

40

50

る傾向がある。

【0007】

【発明が解決しようとする課題】

位相比較器の出力は、典型的には、発振器の出力周波数が 1 fH レートで変調される範囲を減少させ得るローパスフィルタを介して発振器に結合される。しかし、広範囲のフィルタリングは、位相ロックループの応答及び追従性能を低下させる。その上、複数の位相ロックループが継続される場合があり、第1の位相ロックループは、同期入力信号から 2 fH のトリガ信号を発生し、偏向回路に関連付けられた第2の位相ロックループは、発生された 2 fH のトリガ信号に走査を同期させる。しかし、上記二つの位相ロックループには相反する要求があり、他のシステムパラメータの中の幾つかを犠牲にしなければ、 1 fH 成分の十分な減衰は得られない。10

【0008】

【課題を解決するための手段】

同期回路において、発振器は、同期入力信号の周波数よりも高い、入力信号の周波数の整数倍の周波数の出力信号を発生する。制御回路は、入力信号と、出力信号を表わす帰還信号とに応答し、入力及び出力信号間の位相又は周波数の差を示す制御信号を発生する。発振器は、出力信号を入力信号に同期的に追従させるため制御信号に応答する。制御信号にはその周期的な変動に従って発振器の出力信号が同期的な追従条件から偏差を生ずる傾向のある周期的変動が現れる。出力信号の位相は、上記偏差を打ち消すため、対応する制御信号の周期的な変動の位相に対し偏移される。20

【0009】

【実施例】

図1は本発明の一実施例による、特にテレビジョン受像機のための同期回路22を示す。同期回路22は、同期周波数の同期入力信号26に応答する第1の位相ロックループ24と、第1の位相ロックループ24からの出力167に応答する第2の位相ロックループ54を含む。同期入力信号26は、周波数 1 fH で再現する標準ビデオ信号の水平走査成分又は同期である。ノンインターレース走査を得るために、同期回路22は、入力同期周波数の倍数、例えば、同期周波数の2倍、又は、 2 fH 周波数でトリガ出力32を発生する。この目的のため、制御可能発振器34又はVCOは、 32 fH のように同期周波数のかなり大きい倍数の第1の周波数で出力信号を発生する。少なくとも一台の分周器42は、例えば、例示された 2 fH のような同期周波数の種々の倍数のトリガ信号を得るために、分割周期に亘って発振器34の出力をカウントダウンする。同期周波数の他の特定の倍数は、テレビジョン受像機の走査又は他の目的に使用することができる。30

【0010】

2台の分周器42、44が例示した実施例に設けられている。位相選別分周器42は、発振器34の 32 fH 出力から 2 fH の信号を発生するため、16分周するロード可能なカウンタ74を有する。もう一方の分周器44は、位相ロックループ24の入力信号26と位相比較するため帰還される 1 fH 信号48を得るために、カウンタ72を用いて32分周する。 2 fH の出力信号32は、テレビジョン受像機の偏向回路52に結合される。例えば、偏向回路52は、図示していないがテレビジョン受像機の水平偏向巻線とフライバック変圧器に関連付けられ、第2の位相ロックループ54にトリガ又は基準信号を供給する。40

【0011】

同期入力信号26と、発振器の出力36の周波数を分周して得られた帰還位相ロック信号48は、位相ロック信号48と、同期信号26を比較するため機能する位相比較器58に入力を印加する。位相ロックループ24は、二つの入力の位相アライメントの程度を表わす平均値を有するチューニング電圧62を発生する。位相比較器58とフィルタ68は、図3の(b)に示す如く、同期周波数の周期的成分と、直流電流成分又は平均値65とを有する出力波形を発生する。二つの入力信号26、48が位相及び周波数において調整され続ける場合、直流電流成分65は一定に維持される。信号26、48の中の何れか一方50

が、位相又は周波数において他方に先行、或いは、後続する場合、直流電流成分 6 5 は変化する。位相比較チューニング電圧 6 2 は、発振器 3 4 の制御を行うために一般的にローパス関数である伝達関数 $G(s)$ を有するフィルタ 6 8 を用いて発生される。上記の方法において、位相ロックループ 2 4 は、発振器の周波数及び位相を入力同期信号 2 6 にロック又は追従させようとし、かつ、ロック又は追従させ続ける。

【0012】

各分周器 4 2、4 4 は、繰り返し循環する分割周期を有する。16 分周の分周器 4 2 は、4 ビットの 2 進カウンタ 7 4 を有する。32 分周の分周器 4 4 は、5 ビットの 2 進カウンタ 7 2 を有する。32 分周のカウンタは、位相比較器 5 8 と発振器 3 4 の動作によって 1 f H 入力信号に同期されるが、16 分周カウンタ 7 4 は、二つのカウンタの分割サイクルが 32 f H 発振器 3 6 の同一周期に始まることを保証するためプリセットされる必要がある。このプリセットは、32 分周カウンタ 7 2 の 1 f H 出力をカウンタ 7 4 に結合するか、或いは、図 1 に示す如く、1 f H ライン 4 9 とカウンタプリセットトリガーライン 1 5 2 を直接的に接続することにより行われる。次いで、カウンタ 7 4 の分割周期がカウンタ 7 2 の分割周期と同一の 32 f H 周期で始まるが、16 分周カウンタ 7 4 は、32 分周カウンタ 7 2 の分割周期毎に 2 分割周期で循環する。これにより、上述の 1 f H 变調問題が生じる可能性がある。

【0013】

本発明の特徴を実施する場合、カウンタ 7 4 は、並列にロードすることが可能であり、位相偏移回路 1 4 2 は、16 分周カウンタ 7 4 の分割周期の位相を同期信号 2 6 の位相に対し偏移させ、トリガ信号 3 2 を発生するために使用される 2 f H 周期の位相を調節するため設けられている。これにより、1 f H 入力周波数での同期回路 2 2 の 2 f H のカウントダウンされた出力 3 2 の変調を除去する利点が得られる。次いで、出力信号 3 2 は、元の同期入力 2 6 と正確な位相関係のあるドライブ信号 1 6 7 を得るよう遅延アライメントブロック 1 6 0 によって調節される。2 f H ドライブ信号は、次の位相ロックループ 5 4 への同期入力として使用される。位相ロックループ 5 4 は、通常のものであり、位相比較器 2 5 8 と、ローパスフィルタ 2 6 8 と、偏向回路 5 2 をドライブする制御形発振器 2 3 4 と、偏向回路 5 2 から位相比較器 2 5 8 への 2 f H フライバック帰還とにより構成される。他の遅延ブロック 2 6 4 が、例えば、水平方向の画像センタリングの位相を調節するため帰還信号路に挿入される場合がある。

【0014】

同期回路 2 2 の動作は、図 2 の (a)、(b)、及び、図 3 の (a) 乃至 (h) のタイミングチャートから評価することができる。インターレースビデオ信号フィールドに割り当てられた標準ビデオ信号は、連続的な垂直期間の間に第 1 及び第 2 の連続的なフィールドを含む。図 2 の (a) において、別の水平ライン m 、 $m + 2$ が夫々同期入力信号 2 6 の 1 f H パルスの間に伝送され、偶数及び奇数の番号が付けられたラインのフィールドは、完全なフレームを得るよう交互の垂直期間中に連続的な表示によってインターリーブされる。しかし、ノンインターレース走査の場合、水平走査レートは、図 2 の (b) においてドライブ信号 1 6 7 によって示される如く、ビデオの水平同期レートの 2 倍であることが必要である。図 2 の (a) 及び (b) に示される如く、1 f H パルスと 2 f H パルスは、アライメントされている。これらの信号は理想化され、その上、特定の実施例において、例えば、表示装置内のビデオを水平方向にセンタリングする手段として 1 f H 入力に対し 2 f H 信号を偏移させるために適当である。

【0015】

偏向回路に対する水平トリガパルスは、パルス間で同一の間隔によって分離されなければならない。しかし、位相比較器 5 8 は、図 3 の (b) に示される如く、平均値 6 5 付近で 1 f H のレートで周期的に変化するチューニング電圧 6 2 を発生する。フィルタ 6 8 は、位相比較器の動作によって発生される周期的な成分を減少させるが、通常は、周期的成分を完全には除去しない。その上、広範囲のフィルタリングには、位相ロックループの応答を変化させる望ましくない点がある。かくして、チューニング電圧 6 2 は、図 3 の (c)

10

20

30

40

50

)に拡大して示されている如く、発振器34の出力36のパルス幅に周期的な1fHの変動を生じさせる。発振器34の出力36のパルス102は、例えば、チューニング電圧62がその平均65よりもかなり大きいとき、1fH周期全体の平均パルス幅より長い。チューニング電圧62が平均よりもかなり小さい場合に発生するパルス104は短くなる。上記変動は位相ロックループ24が1fHの同期入力信号26に同期し続けるよう機能する32分周カウンタ72の周期に悪影響を与えることはない。その理由は、信号26の周期全体に亘る長いパルスと短いパルスが32回のサイクルで平均化されるからである。

【0016】

16分周カウンタ74が32分周カウンタ72のカウントサイクルの先頭で始まるカウントサイクルで作動されるならば、変動周期がカウンタ74の1回の分割サイクルを超えて及ぶので、16分周カウンタ74はパルス幅の1fHの変動による影響を受ける。カウンタ74は、最初の2fHの分割周期の間、平均周期よりも長いパルス102を優先してカウントし、次いで、平均よりも短いパルス104を次の周期でカウントする。たとえ、位相ロックループ24が1fHで正確にロックされても、2fHの信号32は、図3の(d)に示す如く、対称性がなく、間隔t1は間隔t2よりも短い。水平走査をトリガするために、図3の(d)に示すような特徴を有する信号32を使用することにより、図4及び5の(a)に示す結果が得られる。連続的な2fHの水平走査ラインL1及びL2は、持続時間と表示位置が一致しない。図5の(a)に示すような周波数スペクトルは、所望の2fH信号に加えて、不必要的1fH及び3fHの周波数成分を発生する。図4に示す如く、実際的な影響は、ライン毎にラスタを分離することである。

10

20

【0017】

図1を参照するに、本発明の面によれば、ラスタラインの分離は、同期入力信号26に対して16分周の分周周期の位相を偏移させるための位相偏移回路142を設けることによって解決される。より詳細には、その間にカウンタ74が分割周期を通してカウントする16分周の周期は、1fH信号26、28に対し、かつ、位相ロックループ24の動作によって入力信号26に同期された32分周カウンタの分割周期に対してシフトされる。このシフトの量は、幾分長い方の32fHパルス102及び幾分短い方の32fHパルス104が分割周期毎に分類される点まで、16分周の分割周期を1fH信号26、28に対し移動させるのに十分な量であるので、図3の(e)において出力信号32によって示される如く、連続的な2fHの分割周期は実質的に時間的に一致する。換言すると、2fHの分割周期は、チューニング電圧62と帰還信号48に対し十分にシフトされるので、チューニング電圧62のACゼロ電位ライン65の周りのチューニング電圧62の平均値は、連続的な16分周のカウントサイクル又は分割周期の各々の間で同一である。図3の(a)乃至(h)には、上記の位相又は時間シフトが間隔t1-t2によって表わされている。

30

【0018】

1fH周期に対する16分周の位相シフトの範囲は、32fHサイクルの所定のカウント数に設定してもよい。この数は、16分周の周期と1fHの同期信号周期との間に最適な位相関係を得るために選択される。図5の(b)に示す如く、32fH周期、又は、最適な位相に最も近いカウントに対する位相を選択することにより、2fH水平トリガ周波数の1fHの変調は、18dB程度に著しく減少することが分かった。

40

【0019】

図1は図6乃至8と共に本発明の一実施例を示す図であり、この実施例において、16分周カウンタ74の分割周期の位相は、特定のカウント数の32fHサイクルによって、32分周カウンタ72の分割周期、及び、入力同期信号26に対しシフトされ得る。位相偏移回路142は、カウンタ72からの1fH信号49と、16分周カウンタ74のプリセット入力152の間に結合されたタイミング回路110を含む。位相偏移回路142は、16分周カウンタ74が2fHトリガ信号32上に出力パルスを発生するカウントを与え、かくして、分周サイクルの位相が決まる。図示した実施例において、上記カウントは、テレビジョン受像機のマイクロプロセッサ又はコントローラ115の出力からタイミング

50

回路 110 を介して、例えば、 1 f H 信号のエッジで 16 分周カウンタ 74 にカウントを予めロードすることにより設定される。カウンタ 74 は、次いで、もう一度予めロードされるまでの 2 分割周期又は 2 回の 16 カウントの進行の間に循環することが許容される。あらゆる特定のカウントは、 2 f H 信号の所望の位相シフトを得るために必要に応じて 16 分の 1 の分解能でプリロードすることが可能である。 $16\text{ 分周カウンタ }74$ は、かくして、 1 f H 信号の各サイクルでリセットされ、カウンタ 74 はカウンタ 72 に同期された状態を維持し、同時に、 2 f H の出力信号 32 は位相シフトのため対称的に形成される。

【 0020 】

プリロードされるカウントを設定するためマイクロプロセッサ 115 を使用することは一例に過ぎない。ハードワイヤジャンパー線、回路スイッチ又は他の手段は、位相選択入力 132 をカウンタ 74 の入力 153 に供給するため利用することができる手段である。 2 f H の分割周期の位相を同期信号 26 又は 48 の位相に対し偏移させる位相偏移回路 142 が図 6 により詳細に示され、かかるチューニング電圧 62 の平均値は、 2 f H 出力信号 32 の連続的な周期の間で同一である。タイミング回路 110 は、 32 f H 信号と同期し、各 1 f H サイクルの間にカウンタ 74 を予めロードする。 32 f H の発振器出力信号は、インバータ、ドライバ 117 を介して、2 台の縦続された D 形フリップフロップ 121、123 のクロック入力と、4 ビット 2 進カウンタ 74 とに結合される。カウンタ 74 は、カウンタ 74 の並列入力 153 に連結された 4 ビットバス 132 を介して、マイクロプロセッサ 115 により並列にロード、又は、プリセットされる。或いは、図示されていないシリアルバスの構成を利用することも可能である。第 1 のフリップフロップ 121 の D - 入力は、インバータ 119 を介して、帰還された 1 f H の同期入力信号 49 に結合されているので、 1 f H 周波数の状態の変化は、 32 f H 信号の次の周期でフリップフロップ 121 の出力に現われ、その出力は、縦続内の次のフリップフロップ 123 の D - 入力に結合されている。第 2 のフリップフロップ 123 の出力は、NAND ゲート 134 の一方の入力に結合され、そのもう一方の入力は、インバータ 136 を介してフリップフロップの D - 入力に結合されている。

【 0021 】

32 番目のカウント時に、図 3 の (h) 及び図 6 において信号 49 として示す如く、 $32\text{ 分周カウンタ }72$ の出力はハイになり、第 1 のフリップフロップ 121 の入力は、1 カウント後の NAND ゲート 134 の出力と同様にローになる。 $2\text{ 進カウンタ }74$ は、次いで、予め選択されたスタートカウントを用いてバス 132 からロードされる。 1 f H の信号 49 は、多数の 32 f H サイクルの間で状態を変化させないが、カウンタロード信号は、一つの 32 f H クロックサイクル後にハイになり、 $2\text{ 進カウンタ }74$ は電圧制御発振器からの 32 f H パルスをカウントし得るようになる。カウンタ 74 は、 1 f H 信号 49 の次の立ち上がりエッジでもう一度プリロードされるまで、32 パルス、即ち、 2 f H の 2 分割周期の間をカウントする。

【 0022 】

$2\text{ 進カウンタ }74$ は、本発明の実施例によれば 16 分周カウンタとして動作する。 $2\text{ 進カウンタ }74$ の 4 出力は、少なくとも一つ、しかし、典型的には、多数の隣合う 32 f H のクロックサイクルの間にパルス出力を供給するゲート回路 143 に入力として結合される。ゲート回路 143 は、NAND ゲート 144 と、NOR ゲート 148 を含み、それらの出力は別の NAND ゲート 154 に結合されている。発振器 34 のカウントされた出力の 16 分周又は 2 f H レートで出力を供給するだけではなく、ゲート回路 143 は、各 2 f H 周期中の 3 回の 32 f H クロックサイクルの間にローになる 2 f H の出力パルスを供給する。かかるパルス幅は、図 7 の論理表に示された如くの論理配置に起因して得られる。

【 0023 】

$2\text{ 進カウンタ }74$ は、あらゆる 4 ビットの数にロードされてもよく、連続的に循環し続けることが可能である。バス 132 から $2\text{ 進カウンタ }74$ にロードされるスタートカウントを選択することにより、各 2 f H 周期中の 3 回のローレベルのサイクル位相位置は、 2 f H 分割周期中に生じる 32 f H の 16 個のカウント位置の中の何処に置いてもよい。

10

20

30

40

50

【0024】

テレビジョン受像機のセットアップ機能の一部として、所望の位相偏移が同期信号 26 のタイミングエッジに対し 2fH 出力信号 32 のタイミングエッジとして選択されるので、チューニング電圧 62 の平均値は、トリガ信号 32 の連続的な 2fH 周期全体で等しい。発振器 34 の個々の 32fH パルスは幅の変化が許容されるが、2fH 分割周期は時間的に同一である。その理由は、長い方及び短い方のパルス 102、104 は、最初の周期で長い方のパルスが支配的にカウントされ、次の周期に短い方のパルスが支配的にカウントされるのではなく、連続的な周期に略等しく分配されるからである。この結果、連続的な 2fH 周期の各々の間隔は、実質的に同一である。図 5 の (b) に示す如く、出力信号 32 の周波数スペクトルは、不所望な変調が実質的に補正されている。上述の如く、1fH 10 周波数の変調は除去されるが、2fH 信号 32 上の位相位置の変化は、1fH 周期に対し動かされている。第 2 の位相ロックループ 54 に結合された偏向回路 52 が入力信号 26 に同期したステップで動作するよう、例えば、1fH 信号でアライメントされた 2fH パルスを用いて 2fH 信号と同期入力信号の間で特定の位相関係を維持する利点が得られる。本発明の別の特徴によれば、2fH 出力信号 32 の位相関係は、図 1 に概略的に示され、図 8 の特定の実施例に示される如く、遅延アライメント回路 160 を用いて同期入力信号 26 に対し調節可能である。図 8 において、遅延は、例えば、カウンタ 74 への入力 153 として結合された同一の 4 ビットデータ信号を用いて 16 分周カウンタ 74 のプリロードカウントの設定と整合された方法で設定される。遅延アライメント回路 160 は、継続した 2 台のワンショット 164、166 からなる。第 1 のワンショット 164 は、fH 出力信号 32 と、第 2 の位相ロックループ 54 に供給される 2fH ドライブ信号 167 のエッジ間の時間的シフト又は遅延を制御する。第 2 のワンショット 166 は、ドライブ信号 167 のパルス幅を制御する。

【0025】

ワンショット 164 は、例えば、図 1 のタイミング回路 110 を介してマイクロプロセッサ 115 によって制御された選択可能な遅延を提供する。遅延量は、トリガ出力信号 32 は予め設定可能な 2 進カウンタ 74 によってシフトされる 32fH サイクルの数と整合するセットアップ機能として選択してもよい。例えば、ワンショット 164 の調節可能な遅延は、分周器 142 内で組み込まれる遅延に起因した画像のシフトを補償するよう設定される。

【0026】

ワンショット 164 のパルス幅は、キャパシタ C1 と、スイッチングマトリックス 165 を介してワンショット 164 に結合された抵抗 R1 - Rn の中から選択された一つの抵抗の時定数によって定められる。図示した例において、16 台の抵抗 R1 - Rn の中の一つがタイミング回路 110 からの 4 ビット入力によって選択される。ワンショット 166 のパルス幅は、キャパシタ C2 と抵抗 Ra の値により第 2 の位相ロックループ 54 で使用するのに適当な幅に固定される。

【0027】

図示し、かつ、説明したような遅倍位相ロックループ 24 において、出力信号 32 とドライブ信号 167 は、受信したビデオ同期信号 26 の第 1 の倍数で発生される。電圧制御発振器 34 は、受信した信号周波数の第 1 の倍数よりも大きい第 2 の倍数でクロック信号 36 を供給する。上述の位相アライメントを得るために、分周器 74 の分割周期の間に位相シフトを挿入することにより、出力信号 32 の変調は妨げられる。ドライブ信号 167 の位相は、必要とされるドライブ位相に修正される。

【0028】

遅延回路及び分周器が、互いに、及び、ローパスフィルタと発振器に対し異なる配置で結合された本発明の幾つかの構成を図 1 及び 9 乃至 11 に示す。図 12 の (a) - (f) は、図 9 及び 10 において符号が付けられた点での信号 A - F のタイミングを示す図であり、図 3 の (a) - (h) 及び図 1 と対比できる。

図 9 及び 10 において、位相ロックループ 210、330 の各々は、1fH 同期信号 D に 50

直列に結合された位相比較器 201 と、ローパスフィルタ 202 と、VCO 203 とを有し、加えて分周器 204 と対称的な発振器の出力を保証するために必要とされる遅延回路 205 とを含む位相比較器 201 への帰還路を有する。VCO 203 には、図示されていない走査回路と同一の周波数で動作し、1fH 同期信号 D に同期された対称性のある 2fH ドライブ信号を発生する利点がある。位相比較器 201 の出力 E はローパスフィルタ 202 に結合され、ローパスフィルタ 202 の出力 F は VCO 203 に対する制御信号又はチューニング電圧である。何れの場合でも、VCO 203 の出力 A は、対称性のある 2fH 信号であり、交番サイクルの間隔 $t_a - t_b$ 及び $t_b - t_c$ は、同一である。図 9において、遅延アライメント回路 206 は、図 1 の第 2 の位相ロックループ 54 のような別の回路をドライブするために必要とされるドライブ位相を得るために出力 A を調節する。

10

【0029】

図 9-11において、対応する回路素子を識別するために同一の参照番号が使用されている。図 10における本発明の回路は、2fH 位相ロックループ 220 に同一の遅延及び帰還機能を提供するが、一つの遅延、即ち、帰還路に挿入された遅延回路 205 だけを必要とする。遅延回路 205 を分周器 204 の上流に置くことにより、第 2 の位相ロックループ回路 54 に結合された出力信号は、位相が正しく、かつ、同時に帰還信号 B2 は、対称性のある発振器動作を得るために VCO 203 の出力 A に対し位相が適切に調節される場合がある。

【0030】

図 12 の (a) - (f) に示す如く、VCO 203 の出力 A は、何れの場合も対称性があるが、例えば、間隔 $t_c - t_d$ によって、同期入力 D 及び VCO 203 のチューニング電圧 F とは位相がずれている。図 9 及び 12 の (d) において、1fH の帰還信号は同期入力 D と位相がずれている。図 10 及び 12 の (e) において、帰還信号 B2 は、対称性があるだけではなく、同期入力 D と位相が合っている。次いで、分周器 204 は、位相比較器 201 への入力のため発振器周波数を分周する。VCO 203 を帰還路に沿った信号 C 又は B2 と位相をずらせて動作させることにより、両方の回路は、対称性、即ち、1fH 変調のない 2fH 信号を発生し、両方の回路は、回路をロックし続ける位相比較器 201 に位相比較信号 C を供給する。

20

【0031】

図 11 の位相ロックループに示すような本発明の他の構成は、対称性のある出力で VCO を動作させるため帰還路ではなく、むしろチューニング電圧又は制御信号 F の経路に遅延を発生させる。図 11において、アナログ遅延回路 207 は、この目的のためにローパスフィルタ 202 の出力に結合されている。ローパスフィルタと遅延機能は、例えば、多極伝達関数を有する一つのアナログ回路内に作成してもよい。

30

【0032】

図示した本発明の全ての構成において、位相ロックループは、1fH の入力水平同期信号と発振器の出力信号の間の位相又は周波数差を表わす発振器制御信号チューニング電圧を発生し、ここで、出力信号の周波数は、入力信号の周波数よりも高く、入力信号の周波数の整数倍である。位相検波器は、フィルタリング後でさえ、周期的、即ち、1fH レートの変動を示すチューニング電圧を発生する。発振器の制御入力に印加されたとき、チューニング電圧は、同期した追従条件、即ち、発振器の出力信号のその平均周期からの偏差を生じさせる。かくして、チューニング電圧の 1fH の周期的変動により、2fH の発振器出力は平均周期から 1fH の変動を生じる。この変動は、同期入力信号のより大きい別の倍数で走査ドライブを提供する他の発振器にも発生する可能性がある。位相ロックループによって供給される周波数制御のため、発振器の出力の平均周期は入力同期信号の平均周期に依然として追従する。

40

【0033】

チューニング電圧の周期的な変動の位相に対し発振器の出力信号の位相を制御することにより、発振器の出力の偏差は打ち消される。図 1において、これは、そこから分周器 42 がカウントダウンを開始する 32fH の VCO 34 の適当なサイクルを選択して、2fH

50

出力信号の位相を直接偏移させることによって実現される。発振器の偏差は、図9及び10においては発振器帰還信号の位相を偏移させることにより、図11においては位相検波器201によって発生されるチューニング電圧の位相を直接偏移させることにより打ち消される。

【図面の簡単な説明】

【図1】テレビジョン受像機に適用された本発明の同期回路の素子を示す略ブロック図である。

【図2】(a)及び(b)はノンインターレース表示テレビジョン受像機のビデオ同期と水平走査トリガ信号を比較するタイミングチャートである。

【図3】(a)乃至(h)は、図1の回路によって発生された水平同期信号、チューニング電圧、発振器出力及びトリガ信号を比較するタイミングチャートである。
10

【図4】ラスタ分離の影響を表わす表示例の図である。

【図5】(a)及び(b)は、夫々、図3の(d)に示された信号と、本発明の特徴に従って補正された信号を表わす周波数スペクトルである。

【図6】 $2fH$ トリガ信号をビデオ同期信号に対し偏移させる回路の一例を示す詳細な回路図である。

【図7】図6に従う回路の出力を示す論理表である。

【図8】 $2fH$ トリガ信号の位相を再配置する遅延アライメント回路の一例を示すブロック図である。

【図9】帰還路に第1の遅延及び出力に第2の遅延を有する同期回路の第1の新規な構成例を示すブロック図である。
20

【図10】分周器の前の帰還路に遅延を有する第2の新規の構成例を示すブロック図である。

【図11】ローパスフィルタと遅延回路の組合せを含む第3の新規の構成例を示すブロック図である。

【図12】(a)乃至(f)は、図9及び10の回路によって発生された水平同期信号と、チューニング電圧と、発振器出力及びトリガ信号を比較するタイミングチャートである。
。

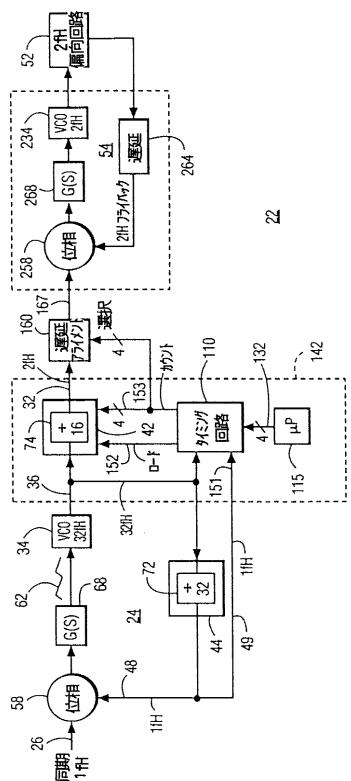
【符号の説明】

2 2	同期回路	30
2 4 , 5 4 , 2 1 0 , 2 2 0 , 2 3 0	位相ロックループ	
2 6	同期入力信号	
3 2	トリガ出力信号	
3 4 , 2 0 3 , 2 3 4	VCO (制御可能発振器)	
3 6	クロック信号	
4 2 , 4 4 , 2 0 4	分周器	
4 8	$1fH$ 信号 (帰還位相ロック信号)	
4 9	$1fH$ ライン	
5 2	偏向回路	
5 8 , 2 0 1 , 2 5 8	位相比較器	40
6 2	チューニング電圧	
6 5	直流電流成分	
6 8	フィルタ	
7 2 , 7 4	カウンタ	
1 0 2 , 1 0 4	パルス	
1 1 0	タイミング回路	
1 1 5	マイクロプロセッサ	
1 1 7 , 1 1 9 , 1 3 6	インバータ	
1 2 1 , 1 2 3	D形フリップフロップ	
1 3 2	位相選択入力	50

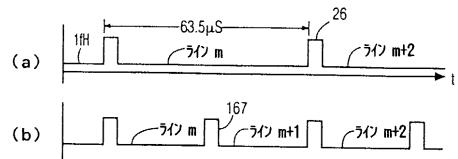
- 1 3 4 , 1 4 4 , 1 5 4 N A N D ゲート
 1 4 2 位相偏移回路
 1 4 3 ゲート回路
 1 4 8 N O R ゲート
 1 5 2 カウンタプリセットトリガーライン
 1 5 3 カウンタの入力
 1 6 0 遅延アライメント回路
 1 6 4 , 1 6 6 ワンショット
 1 6 7 位相ロッケループの出力
 2 0 1 位相検波器
 2 0 2 , 2 6 8 ローパスフィルタ
 2 0 5 , 2 6 4 遅延回路
 2 0 7 アナログ遅延回路

10

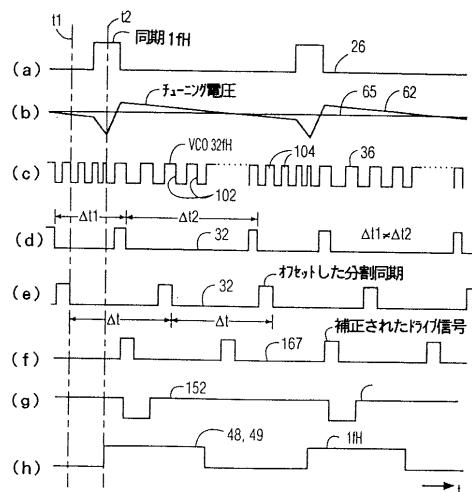
【図1】



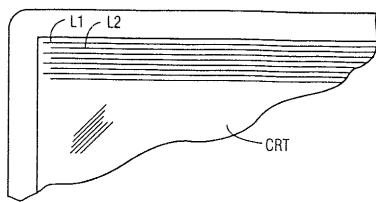
【図2】



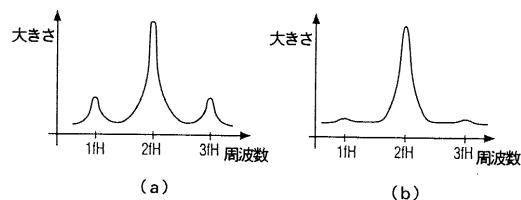
【図3】



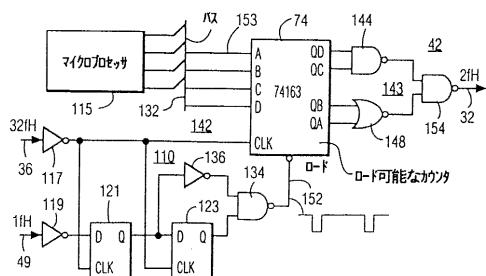
【図4】



【図5】



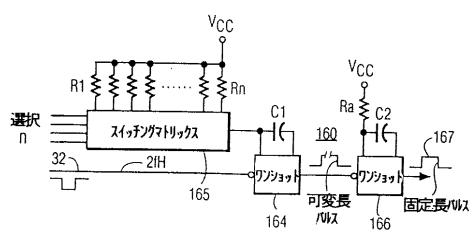
【図6】



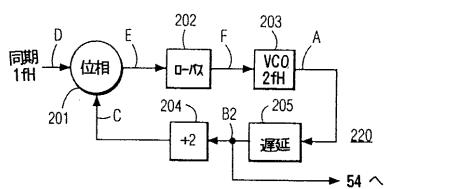
【図7】

ABCD	$(A+B)C\bar{D}$
0000	0
0001	0
0010	0
0011	1
0100	1
0101	1
0110	1
0111	1
1000	1
1001	1
1010	1
1011	1
1100	1
1101	1
1110	1
1111	1

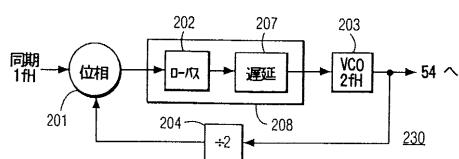
【図8】



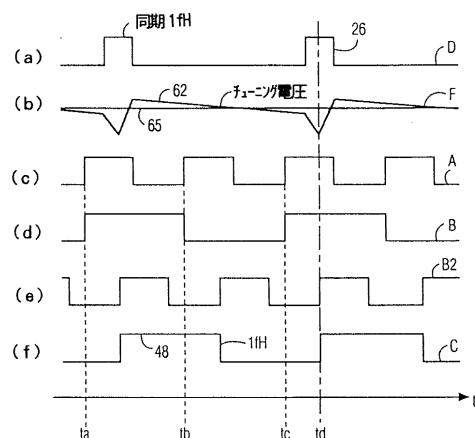
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 ティモシー ウィリアム シーガー
アメリカ合衆国 インディアナ 46260 インディアナポリス ナチュア・ドライヴ 831
8

(72)発明者 ドナルド ヘンリー ウィリス
アメリカ合衆国 インディアナ 46250 インディアナポリス イー・セブンティーフォース
・プレイス 5175

審査官 長谷川 素直

(56)参考文献 特開平01-303884(JP,A)
特開平02-237281(JP,A)
特開平05-022624(JP,A)
特開平04-079574(JP,A)
特開昭61-146018(JP,A)
特開平02-152322(JP,A)
特開平05-217302(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/12,
H03L 7/08