

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 29 日 (29.12.2005)

PCT

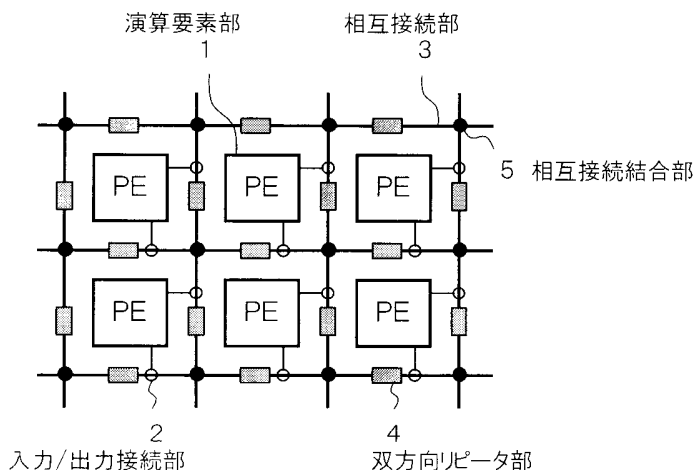
(10) 国際公開番号
WO 2005/125014 A1

- (51) 国際特許分類: H03K 19/173, H01L 21/82 (74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2005/009544
- (22) 国際出願日: 2005 年 5 月 25 日 (25.05.2005) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-176977 2004 年 6 月 15 日 (15.06.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 野村 昌弘 (NOMURA, Masahiro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 武田 晃一 (TAKEDA, Kouichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: PROGRAMMABLE SEMICONDUCTOR DEVICE

(54) 発明の名称: プログラマブル半導体装置



- 1... OPERATION ELEMENT UNIT
2... INPUT/OUTPUT CONNECTING POINT
3... INTERCONNECTING PORTIONS
4... BILATERAL REPEATER UNIT
5... INTERCONNECTION COUPLING POINT

接続部 (3) の交点の間に配置され、相互接続部 (3) を切断、順方向駆動、または逆方向駆動する双方向リピータ部 (4) と、相互接続部 (3) の交点に配置され、その交点において相互接続部 (3) を結合する相互接続結合部 (5) とを備える。

(57) Abstract: A programmable semiconductor device comprises operation element units (1) for executing a predetermined operation, input/output connecting points (2) for input points and/or output points of a signal at the operation element units (1), interconnecting portions (3) composed of a plurality of wiring lines for connecting the operation element units (1) via the input/output connecting points (2), bilateral repeater units (4) arranged between the nodes of the interconnecting portions (3) for cutting and driving forward or backward the interconnecting portions (3), and interconnection coupling points (5) arranged at the nodes of the interconnecting portions (3) for coupling the interconnecting portions (3) at the nodes.

(57) 要約: 本発明のプログラマブル半導体装置は、所定の演算を実行する演算要素部 (1) と、演算要素部 (1) における信号の入力部分および/または出力部分となる入力/出力接続部 (2) と、複数の配線からなり、入力/出力接続部 (2) を介して演算要素部 (1) を接続する相互接続部 (3) と、相互



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

プログラマブル半導体装置

技術分野

- [0001] 本発明は、所定の演算を行う演算要素部の機能および演算要素部間の接続を変更可能なプログラマブル半導体装置に関し、特に、演算要素部のサイズが大きい場合に演算要素部間の接続を、少ない素子数および少ない制御線数でダイナミックに再構成するためのプログラマブル半導体装置に関する。

背景技術

- [0002] 近年の半導体技術の発展に伴い、ユーザが所望の機能をプログラマブルに短期間で実現可能なFPGA(フィールド・プログラマブル・ゲートアレイ)に代表されるプログラマブル半導体装置が広く普及している。
- [0003] また、その他のプログラマブル半導体装置として、演算要素部をゲートレベルからプロセッサレベルに大型化して性能を向上し、ダイナミックに再構成することが可能なDRP(ダイナミック・リコンフィギャラブル・プロセッサ)も提案されている。
- [0004] このような状況の下、近年の微細化技術の進展に伴い、半導体装置においては、1チップあたりに搭載される機能を大規模化することが可能となっている。しかし、大規模化に伴い、演算要素部を相互に接続する相互接続部における遅延および信頼性の低下が問題となる。そこで、最近では、相互接続部にリピータを挿入することが提案されている。
- [0005] 例えば、特開2000-201066号公報(以下、特許文献1と称する)においては、上位レベルの相互接続リソースに双方向リピータを設けたプログラマブル・ロジック・デバイスが開示されている(特許文献1の第4-5頁、図2参照)。
- [0006] より具体的には、特許文献1に開示されたプログラマブル・ロジック・デバイスは、図1に示すように、演算要素部(PE)1と、入力/出力接続部2と、入力/出力接続部2を介して演算要素部(PE)1を接続する相互接続部3と、相互接続部3の交点の間に配置される双方向リピータ部4と、演算要素部(PE)1間の接続を切り替えるためのセレクト8とからなる。このプログラマブル・ロジック・デバイスにおいては、双方向リピータ

部4を制御するための方向制御情報を保持しておき、その方向制御情報を基にセクタ8にて双方向リピータ部4の制御を行い、相互接続部3を切断、順方向駆動、または逆方向駆動する。

[0007] また、特許第3284995号明細書(以下、特許文献2と称する)においては、パストドライバ制御信号の論理和を活用して双方向リピータの制御を行う双方向バスリピータ制御装置(特許文献2の図1参照)、論理積ブロックを追加して双方向リピータへの双方向リピータ制御信号の伝送停止を行う双方向バスリピータ制御装置(特許文献2の図10参照)、および、協働型ダイナミックバッファを用いて双方向リピータの制御を行う双方向バスリピータ制御装置(特許文献2の図19および図21参照)が開示されている。

[0008] しかしながら、特許文献1に開示されたプログラマブル・ロジック・デバイスにおいては、双方向リピータとその双方向リピータ用の制御回路(メモリ素子、制御配線)とが必要になるため、回路面積が増加してしまうという問題点がある。具体的には、回路の構成パターンおよび双方向リピータ数に応じた数の制御配線およびメモリ素子が必要となる。

[0009] また、特許文献2に開示された双方向バスリピータ制御装置においては、当該双方向バスリピータ制御装置をプログラマブル半導体装置に適用するための技術が開示されていないという問題点がある。そのため、この双方向バスリピータ制御装置をプログラマブル半導体装置へ適用することは困難であると考えられる。

発明の開示

[0010] 本発明の目的は、演算要素を相互に接続する相互接続部にリピータを挿入する場合において、回路面積が増加することを抑制することができるプログラマブル半導体装置を提供することにある。

[0011] 本発明のプログラマブル半導体装置は、所定の演算を実行する演算要素手段と、演算要素手段における信号の入力部分および/または出力部分となる入力/出力接続手段と、複数の配線からなり、入力/出力接続手段を介して演算要素手段を接続する相互接続手段と、相互接続手段の交点の間に配置され、相互接続手段を切断、順方向駆動、または逆方向駆動する双方向リピータ手段と、相互接続手段の交点に

配置され、その交点において相互接続手段を結合する相互接続結合手段とを備えることを特徴とするものである。

[0012] より具体的には、双方向リピータ手段は、順方向または逆方向に駆動可能な双方向リピータ駆動手段と、双方向リピータ駆動手段をオフ、順方向駆動、または逆方向駆動に制御する双方向リピータ制御手段とからなる。また、双方向リピータ制御手段は、双方向リピータ駆動手段をオンまたはオフに制御するための双方向リピータスイッチ制御信号を出力する双方向リピータスイッチ制御手段と、双方向リピータスイッチ制御手段からの双方向リピータスイッチ制御信号を入力とすると共に、演算要素手段からの出力イネーブル信号を入力として、双方向リピータ駆動手段をオフ、順方向駆動、または逆方向駆動に制御するための双方向リピータ制御信号を双方向リピータ駆動手段に出力する双方向リピータ方向制御手段とからなる。

[0013] このように本発明においては、演算要素手段間接続を双方向リピータ手段の制御のみで実現することができる。そのため、従来のように、演算要素手段間接続を切り替えるためのセレクトと信号線駆動のためのリピータとを個別に適用する場合に比べて、セレクトを不要にできるとともに、素子数、制御線数を削減でき、それにより、リピータ機能とプログラマブル機能を小面積で実現することができる。

[0014] また、本発明においては、双方向リピータ手段内の双方向リピータ方向制御手段において、演算要素手段からの出力イネーブル信号と、双方向リピータスイッチ制御手段からの双方向リピータスイッチ制御信号とに応じて、相互接続手段の方向制御、すなわち双方向リピータの方向制御を自動化することができる。そのため、従来のように、双方向リピータ制御のための方向制御情報が不要となり、その分だけ、メモリ素子数、制御配線数を削減でき、それにより、双方向リピータ制御機能を小面積で実現することができる。

図面の簡単な説明

[0015] [図1]特許文献1に示された従来のプログラマブル半導体装置の全体構成を示すブロック図である。

[図2]本発明の第1の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[図3]本発明の第1の実施形態のプログラマブル半導体装置における双方向リピータ部4の構成を示すブロック図である。

[図4]本発明の第1の実施形態のプログラマブル半導体装置における双方向リピータ駆動部11の構成を示すブロック図である。

[図5]本発明の第1の実施形態のプログラマブル半導体装置における双方向リピータ制御部12の構成を示すブロック図である。

[図6]本発明の第1の実施形態のプログラマブル半導体装置における双方向リピータ制御部12の他の構成を示すブロック図である。

[図7]本発明の第1の実施形態のプログラマブル半導体装置の基本単位の構成を示すブロック図である。

[図8]本発明の第1の実施形態のプログラマブル半導体装置の基本単位の動作を説明するタイミングチャートである。

[図9]本発明の第2の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[図10]本発明の第3の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[図11]本発明の第4の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[図12]本発明の第4の実施形態のプログラマブル半導体装置における常時オン双方向リピータ部6の構成を示すブロック図である。

[図13]本発明の第4の実施形態のプログラマブル半導体装置における常時オン双方向リピータ制御部13の構成を示すブロック図である。

[図14]本発明の第1から第4の実施形態のプログラマブル半導体装置における双方向リピータ部4または常時オン双方向リピータ部6の同期化のための構成を示すブロック図である。

[図15]本発明の実施例1のプログラマブル半導体装置の基本単位における双方向リピータ方向制御部33の構成を示す回路図である。

[図16]本発明の実施例2のプログラマブル半導体装置の基本アレイ単位の構成を示

す回路図である。

[図17]本発明の実施例3のプログラマブル半導体装置の基本アレイ単位の構成を示す回路図である。

[図18]本発明の実施例4のプログラマブル半導体装置の基本単位の構成を示す回路図である。

[図19]本発明の実施例4のプログラマブル半導体装置における協働型ダイナミックバッファ45の構成を示す回路図である。

[図20]本発明の実施例4のプログラマブル半導体装置における協働型ダイナミックバッファ45の他の構成を示す回路図である。

[図21]本発明の実施例4のプログラマブル半導体装置における協働型ダイナミックバッファ45の特性を示す波形である。

[図22]本発明の実施例4のプログラマブル半導体装置の基本単位の動作を説明するタイミングチャートである。

[図23]本発明の実施例5のプログラマブル半導体装置の基本アレイ単位の構成を示す回路図である。

[図24]本発明の実施例6のプログラマブル半導体装置の基本アレイ単位の構成を示す回路図である。

[図25]本発明の実施例6のプログラマブル半導体装置における協働型ダイナミックバッファ45の構成を示す回路図である。

[図26]本発明の実施例6におけるプログラマブル半導体装置における協働型ダイナミックバッファ45の他の構成を示す回路図である。

[図27]本発明の実施例6のプログラマブル半導体装置における常時オン双方向リピータ方向制御部34の構成を示す回路図である。

発明を実施するための最良の形態

[0016] (第1の実施形態)

図2は、本発明の第1の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[0017] 図2に示すように、本実施形態のプログラマブル半導体装置は、入力される制御信

号に応じて所定の演算を実行する演算要素部 (PE) 1 と、演算要素部 (PE) 1 における信号の入力部分および/または出力部分となる入力/出力接続部 2 と、縦、横方向の複数の配線からなり、入力/出力接続部 2 を介して演算要素部 (PE) 1 を接続する相互接続部 3 と、相互接続部 3 の交点の間に配置され、相互接続部 3 を切断、順方向駆動、または逆方向駆動する双方向リピータ部 4 と、相互接続部 3 の交点に配置され、その交点において相互接続部 3 を結合する結線である相互接続結合部 5 とからなる。このプログラマブル半導体装置は、これらの構成要素によって所望の機能のための通信網を実現する構成となっている。

[0018] 双方向リピータ部 4 は、図 3 に示すように、順方向または逆方向に駆動可能な双方向リピータ駆動部 (BR) 11 と、双方向リピータ駆動部 (BR) 11 をオフ、順方向駆動、または逆方向駆動に制御する双方向リピータ制御部 (BRC) 12 とからなる。

[0019] 双方向リピータ駆動部 (BR) 11 は、図 4 に示すように、3 ステートバッファ対 21 からなる。

[0020] 双方向リピータ制御部 (BRC) 12 は、図 5 に示すように、本プログラマブル半導体装置の構成情報を記憶したメモリ素子 31 からなる。または、双方向リピータ制御部 (BRC) 12 は、図 6 に示すように、双方向リピータ駆動部 (BR) 11 をオンまたはオフに制御するための双方向リピータスイッチ制御信号を出力する双方向リピータスイッチ制御部 (BRSWC) 32 と、双方向リピータスイッチ制御部 (BRSWC) 32 からの双方向リピータスイッチ制御信号を入力とすると共に、演算要素部 (PE) からの出力イネーブル信号を入力として、双方向リピータ駆動部 (BR) 11 をオフ、順方向駆動、または逆方向駆動に制御するための双方向リピータ制御信号を双方向リピータ駆動部 (BR) 11 に出力する双方向リピータ方向制御部 (BRDC) 33 とからなる。なお、双方向リピータ制御部 (BRC) 12 の一部が、双方向リピータ方向制御部 (BRDC) 33 と双方向リピータスイッチ制御部 (BRSWC) 32 とからなり、残りの双方向リピータ制御部 (BRC) 12 が、双方向リピータ方向制御部 (BRDC) 33 のみからなる構成とすることも可能である。

[0021] 双方向リピータスイッチ制御部 (BRSWC) 32 は、図 5 に示したようなメモリ素子 31 からなる。または、双方向リピータスイッチ制御部 (BRSWC) 32 は、一般的なアービタ

回路からなる。

- [0022] 次に、双方向リピータ制御部(BRC)12が図6に示すように双方向リピータスイッチ制御部(BRSWC)32と双方向リピータ方向制御部(BRDC)33とからなる場合のプログラマブル半導体装置の基本単位の構成について、図7を用いて詳細に説明する。
- [0023] 図7に示すように、双方向リピータ方向制御部(BRDC)33は、双方向リピータスイッチ制御部(BRSWC)32から出力される双方向リピータスイッチ制御信号(TRN)を入力とし、また、演算要素部(PE)1の出力イネーブル(enable)信号駆動部35から出力される出力イネーブル信号OE0, OE1を入力として、双方向リピータ駆動部(BR)11に対して双方向リピータ制御信号ENを出力し、双方向リピータ駆動部(BR)11をオフ、順方向駆動、または逆方向駆動に制御する。
- [0024] なお、横方向に設けた相互接続部3に配置された双方向リピータ部4では、双方向リピータ制御信号ENは、双方向リピータ制御信号ENR, ENLの2つの信号からなる。この場合、双方向リピータ方向制御部(BRDC)33は、例えば、双方向リピータ駆動部(BR)11を左から右方向に駆動させる場合は、双方向リピータ制御信号ENR=1、ENL=0とし、逆に、双方向リピータ駆動部(BR)11を右から左方向に駆動させる場合は、双方向リピータ制御信号ENR=0、ENL=1とする。また、縦方向に設けた相互接続部3に配置された双方向リピータ部4では、双方向リピータ制御信号ENは、双方向リピータ制御信号ENU, ENDの2つの信号からなる。
- [0025] 次に、図8のタイミングチャートを用いて、プログラマブル半導体装置の基本単位の動作について説明する。図8は、双方向リピータスイッチ制御部(BRSWC)32から出力される双方向リピータスイッチ制御信号TRNと、演算要素部(PE)1から出力される出力イネーブル信号OE0, OE1と、双方向リピータ方向制御部(BRDC)33から出力される双方向リピータ制御信号ENR, ENLとの関係を示す。
- [0026] 図8に示すように、双方向リピータスイッチ制御信号TRN=0である時には、双方向リピータ駆動部(BR)11をオフにするために、双方向リピータ制御信号ENR=ENL=0となる。双方向リピータスイッチ制御信号TRN=1になった時点では、出力イネーブル信号OE0=1、OE1=0であり、演算要素部(PE)1の左側から出力がある。

そのため、双方向リピータ駆動部(BR)11を左から右方向に駆動させるために、双方向リピータ制御信号 $ENR=1$ 、 $ENL=0$ となる。

[0027] (第2の実施形態)

図9は、本発明の第2の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[0028] 上述の第1の実施形態においては、相互接続部3を1チャンネル設けるとともに、入力/出力接続部2を2セット設けて1チャンネルの相互接続部3に接続可能な構成とした。これに対して、本実施形態では、図9に示すように、相互接続部3を2チャンネル設けるとともに、入力/出力接続部2を3セット設けて2チャンネルの相互接続部3に接続可能な構成としている。相互接続部3のチャンネル数や入力/出力接続部2のセット数は、所望の機能を実現するために必要な分だけ設けるものであり、特に限定されるものではないが、少ないほうが小面積化のために望ましい。相互接続部3の1チャンネルで表されるビット数についても同様に特に限定されるものではない。

[0029] (第3の実施形態)

図10は、本発明の第3の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[0030] 上述の第1の実施形態においては、相互接続部3を縦方向と横方向に設ける構成とした。これに対して、本実施形態では、図10に示すように、相互接続部3を斜め方向にも追加した構成としている。また、相互接続部3を、もう1方向斜めに追加する構成とすることも可能である。

[0031] (第4の実施形態)

図11は、本発明の第4の実施形態のプログラマブル半導体装置の全体構成を示すブロック図である。

[0032] 上述の第1の実施形態においては、相互接続部3の交点の間に双方向リピータ部4のみを設ける構成とした。これに対して、本実施形態では、図11に示すように、相互接続部3の交点の間に、双方向リピータ部4の他に、常時オン状態である常時オン双方向リピータ部6を追加した構成としている。常時オン双方向リピータ部6の配置場所、個数は、特に制限されるものではないが、個数が少ないほうが小面積化のために望

ましい。

[0033] 常時オン双方向リピータ部6は、図12に示すように、双方向リピータ駆動部(BR)11と、双方向リピータ駆動部(BR)11をオフ、順方向駆動、または逆方向駆動に制御する常時オン双方向リピータ制御部(BRC)13とからなる。

[0034] 常時オン双方向リピータ制御部(BRC)13は、本プログラマブル半導体装置の構成情報を記憶した、図5に示したようなメモリ素子31からなる。または、常時オン双方向リピータ制御部(BRC)13は、図13に示すように、演算要素部(PE)からの出力イネーブル信号を入力として、双方向リピータ駆動部(BR)11をオフ、順方向駆動、または逆方向駆動に制御するための双方向リピータ制御信号を双方向リピータ駆動部(BR)11に出力する常時オン双方向リピータ方向制御部(BRDC)34からなる。

[0035] 次に、図14を用いて、双方向リピータ部4および常時オン双方向リピータ部6の同期化を実現するための構成について説明する。

[0036] 図14に示すように、双方向リピータ部4は、図3に示した双方向リピータ駆動部(BR)11と双方向リピータ制御部(BRC)12との間に、タイミング信号が入力されるレジスタ部14を挿入した構成になっている。このように、双方向リピータ制御部(BRC)12の出力部分にレジスタ部14を挿入し、双方向リピータ制御部(BRC)12の出力をタイミング信号により同期化する。これにより、演算要素部(PE)1内の出力バッファ(不図示)の出力と、双方向リピータ駆動部(BR)11の3ステートバッファ対21の出力とがショートしてバスファイト状態になることを回避可能となる。また、演算要素部(PE)1の出力バッファからの信号出力タイミングも揃えることが可能となる。

[0037] 常時オン双方向リピータ部6についても、図14と同様に、図12に示した双方向リピータ駆動部(BR)11と常時オン双方向リピータ制御部(BRC)13との間に、レジスタ部14を挿入することで同期化が実現可能となる。

[0038] 次に、具体的な実施例を用いて本発明の構成および動作について説明する。

実施例 1

[0039] 図15は、本発明の実施例1のプログラマブル半導体装置の基本単位における双方向リピータ方向制御部(BRDC)33の構成を示す回路図である。

[0040] 図15に示すように、双方向リピータ方向制御部(BRDC)33は、演算要素部(PE)

1からの出力イネーブル信号OE0, OE1と、相互接続部3の交点に対応する部分からのイネーブル信号EN0, EN1との論理和(OR)を演算する論理和ゲートと、その演算結果と双方向リピータスイッチ制御部(BRSWC)32からの双方向リピータスイッチ制御信号TRNとの論理積(AND)を演算し、該演算結果を双方向リピータ制御信号ENR0, ENL0として出力する論理積ゲートとを備えている。

- [0041] 例えば、双方向リピータスイッチ制御信号TRN=1の時に、左側上流のイネーブル信号EN0=1であるか出力イネーブル信号OE0=1であるならば、双方向リピータ駆動部(BR)11を左から右へ駆動させるための双方向リピータ制御信号ENR0が1となる。また、右側上流のイネーブル信号EN1=1であるか出力イネーブル信号OE1=1であるならば、双方向リピータ駆動部(BR)11を右から左へ駆動させるための双方向リピータ制御信号ENL0が1となる。双方向リピータスイッチ制御信号TRN=0の場合は、ENR0=ENL0=0となり、双方向リピータ駆動部(BR)11をオフにする。

実施例 2

- [0042] 図16は、本発明の実施例2のプログラマブル半導体装置の基本アレイ単位の構成を示す回路図である。
- [0043] 図16に示すように、相互接続部3と平行に配線されるイネーブル信号接続部41の分岐部は、論理和ゲートにより実現されている。すなわち、イネーブル信号接続部41は、相互接続部3が相互接続結合部5で分岐すると、これにあわせて分岐することになる。双方向リピータ方向制御部(BRDC)33においては、上述のように、出力イネーブル信号OEとイネーブル信号接続部41からのイネーブル信号との論理和を演算し、その演算結果と双方向リピータスイッチ制御信号TRNとの論理積を演算したものが、双方向リピータ制御信号ENR, ENL, ENU, ENDとなる。

実施例 3

- [0044] 図17は、本発明の実施例3のプログラマブル半導体装置の基本アレイ単位の構成を示す回路図である。
- [0045] 上述の実施例2においては、縦方向に設けた相互接続部3に双方向リピータ部4を配置した構成とした。これに対して、本実施例では、図17に示すように、縦方向に設けた相互接続部3に、双方向リピータ部4の代わりに常時オン双方向リピータ部6を配

置した構成となっている。常時オン双方向リピータ部6においては、演算要素部(PE)1からの出力イネーブル信号OEの入力も、双方向リピータスイッチ制御信号TRNの入力もないため、論理ゲートの追加は不要であり、イネーブル信号接続部41からのイネーブル信号をそのまま常時双方向リピータ制御信号ENU, ENDとして利用することができる。また、駆動能力アップのために双方向リピータ部4に常時双方向リピータ部6を追加した構成において(図11参照)、追加した常時双方向リピータ部6についても上記と同様の構成とし、上記と同様の制御を行うことができる。

実施例 4

[0046] 図18は、本発明の実施例4のプログラマブル半導体装置の基本単位の構成を示す回路図である。

[0047] 図18に示すように、双方向リピータ方向制御部(BRDC)33は、イネーブル信号接続部41に接続されたイネーブル信号スイッチ部42と、イネーブル信号スイッチ部42の制御を行うイネーブル信号スイッチ制御部43と、イネーブル信号EN0, EN1の伝搬方向を検出し、該検出結果を双方向リピータ制御信号ENR0, ENL0として出力するイネーブル信号伝搬方向検出部44とからなる。

[0048] 図18においては、イネーブル信号スイッチ部42は、nMOSTランジスタからなる。また、イネーブル信号スイッチ制御部43は、イネーブル信号スイッチ部42の両側のイネーブル信号接続部41からのイネーブル信号EN0, EN1の論理積を演算する論理積ゲートと、その演算結果と双方向リピータスイッチ制御信号TRNの反転信号との否定論理和(NOR)を演算する否定論理和ゲートとからなる。また、イネーブル信号伝搬方向検出部44は、イネーブル信号スイッチ部42の両側のイネーブル信号接続部41からのイネーブル信号EN0, EN1をそれぞれ入力するとともに双方向リピータスイッチ制御信号TRNを反転入力し、互いに出力を他の否定論理和ゲートの入力として帰還する2つの否定論理和ゲートからなり、該2つの否定論理和ゲートのそれぞれによる否定論理和の演算結果を双方向リピータ制御信号ENR0, ENL0として出力するNORラッチ回路である。

[0049] また、図18においては、演算要素部(PE)1からの出力イネーブル信号OE0, OE1を、協働型ダイナミックバッファ45によって駆動する構成となっている。

- [0050] 協働型ダイナミックバッファ45は、タイミング信号 Φ と演算要素部(PE)1からの出力イネーブル信号OEと出力信号とを入力とし、タイミング信号 Φ に応じてプリチャージあるいはプリディスチャージ処理を行い、該処理を行わない期間(後述の構成変更期間に相当)においては出力イネーブル信号OEに応じてバッファ出力を行い、出力イネーブル信号OEが不活性の場合は出力信号の変化に応じてバッファ出力を行うものであり、例えば、図19または図20に示すような回路構成で実現することが可能である。
- [0051] 協働型ダイナミックバッファ45に入力されるタイミング信号 Φ は、構成確定期間(例えば、0である期間)と構成変更期間(例えば、1である期間)とを持つ。タイミング信号 Φ が構成変更期間である場合に、出力イネーブル信号OEや双方向リピータスイッチ制御信号TRNを切り替え、次にタイミング信号 Φ が構成確定期間になった時点で、双方向リピータ制御信号ENR0, ENL0の出力が決定されることになる。
- [0052] 次に、図19および図21を用いて、協働型ダイナミックバッファ45の回路特性について説明する。
- [0053] 図19において、出力信号であるイネーブル信号ENにおける論理値の立ち下げを否定論理積ゲートが検出すると、この否定論理積ゲートは論理値が1となり、この否定論理積ゲートの出力に接続されるnMOSトランジスタがオンになる。それにより、図21に示すように、出力イネーブル信号OE=0であっても、イネーブル信号ENにおける論理値をさらに加速して立ち下げ、イネーブル信号ENの信号変化を加速する。
- [0054] 次に、図22のタイミングチャートを用いて、プログラマブル半導体装置の基本単位(図18の構成)の動作について説明する。図22は、タイミング信号 Φ と、双方向リピータスイッチ制御部32からの双方向リピータスイッチ制御信号TRNと、演算要素部(PE)1からの出力イネーブル信号OE0, OE1と、イネーブル信号接続部41からのイネーブル信号EN0, EN1と、双方向リピータ方向制御部(BRDC)33からの双方向リピータ制御信号ENR, ENLとの関係を示す。
- [0055] 図22に示すように、演算要素部(PE)1間接続を再構成する時には、タイミング信号 Φ を1にし、イネーブル信号EN0, EN1を1とする。すると、イネーブル信号スイッチ部42に入力される制御信号が0となってイネーブル信号スイッチ部42がオフにな

るとともに、イネーブル信号伝搬方向検出部44から出力される双方向リピータ制御信号ENR, ENLが0になって双方向リピータ駆動部(BR)11もオフとなる。

[0056] このようにタイミング信号Φが1になった期間に、出力イネーブル信号OE0, OE1や双方向リピータスイッチ制御信号TRNを切り替える。

[0057] 例えば、最初にタイミング信号Φが1になった期間に、出力イネーブル信号OE0のみを1に切り替え、その後に、タイミング信号Φを0にすると、出力イネーブル信号OE0が1であるのに対応してイネーブル信号EN0が0となる。しかし、この時点では、双方向リピータスイッチ制御信号TRN=0であるため、イネーブル信号スイッチ部42も双方向リピータ駆動部(BR)11もオフのままである。

[0058] 次にタイミング信号Φが1になった期間に、双方向リピータスイッチ制御信号TRNを1に切り替え、その後に、タイミング信号Φを0にすると、イネーブル信号EN0が0になったことが検出されてイネーブル信号スイッチ部42がオンになり、イネーブル信号EN1が0に変化する。すると、イネーブル信号の左から右への伝搬方向が検出されて、双方向リピータ制御信号ENR0=1となり、左から右へのパスが活性化されて双方向リピータ駆動部(BR)11がオンとなる。このように、双方向リピータ駆動部(BR)11は、一旦オフ状態となるため、相互接続部3上でバスファイトは生じず、バスファイト対策のためのレジスタ部14(図14参照)を省略することも可能になる。

実施例 5

[0059] 図23は、本発明の実施例5のプログラマブル半導体装置の基本アレイ単位の構成を示す回路図である。

[0060] 上述の実施例2においては、相互接続部3と平行に配線されるイネーブル信号接続部41の分岐部を、論理和ゲートにより実現した構成とした。これに対して、本実施例では、図23に示すように、イネーブル信号接続部41の分岐部を結線で実現した構成となっている。出力イネーブル信号OEは協働型ダイナミックバッファ45によって駆動され、協働型ダイナミックバッファ45はイネーブル信号接続部41と接続されている。双方向リピータ方向制御部(BRDC)33は実施例4と同様に、イネーブル信号接続部41に接続されている。

実施例 6

- [0061] 図24は、本発明の実施例6のプログラマブル半導体装置の基本アレイ単位の構成を示す回路図である。
- [0062] 上述の実施例5においては、縦方向に設けた相互接続部3に、双方向リピータ部4を配置した構成とした。これに対して、本実施例では、図24に示すように、縦方向に設けた相互接続部3に、双方向リピータ部4の代わりに常時オン双方向リピータ部6を配置した構成となっている。
- [0063] 常時オン双方向リピータ部6においては、演算要素部(PE)1からの出力イネーブル信号OEの入力も、双方向リピータスイッチ制御信号TRNの入力もない。
- [0064] そのため、協働型ダイナミックバッファ45は、例えば、図25または図26に示すような回路構成で実現することが可能である。
- [0065] また、常時オン双方向リピータ方向制御部(BRDC)34は、例えば、図27に示すような回路構成で実現することが可能である。
- [0066] 図27においては、イネーブル信号スイッチ部42は、nMOSトランジスタからなる。また、イネーブル信号スイッチ制御部43は、イネーブル信号スイッチ部42の両側のイネーブル信号接続部41からのイネーブル信号EN0, EN1の否定論理積(NAND)を演算する否定論理積ゲートからなる。また、イネーブル信号伝搬方向検出部44は、イネーブル信号スイッチ部42の両側のイネーブル信号接続部41からのイネーブル信号EN0, EN1をそれぞれ入力とし、互いに出力を他の否定論理和ゲートの入力として帰還する2つの否定論理和ゲートからなり、該2つの否定論理和ゲートのそれぞれによる否定論理和の演算結果を双方向リピータ制御信号ENU, ENDとして出力するNORラッチ回路である。
- [0067] また、駆動能力アップのために双方向リピータ部4に常時双方向リピータ部6を追加した構成において(図11参照)、追加した常時双方向リピータ部6についても上記と同様の構成とし、上記と同様の制御を行うことができる。
- [0068] なお、本発明のプログラマブル半導体装置の活用例としては、ダイナミック・リコンフィギュラブル・プロセッサ(DRP)などが挙げられる。DRPは、数bitを基本単位とするプロセッシングエレメント(演算要素部)とプログラマブル配線とからなり、ユーザの必要機能を、演算要素部と通信網の構成をダイナミックに変更することで実現する。DR

Pは、演算要素部の規模が大きく、演算要素部単位でのリピータ挿入は必須であり、リピータ挿入を前提として通信網を最適化することが重要である。

請求の範囲

- [1] 所定の演算を実行する演算要素手段と、
前記演算要素手段における信号の入力部分および/または出力部分となる入力/
出力接続手段と、
複数の配線からなり、前記入力/出力接続手段を介して前記演算要素手段を接続
する相互接続手段と、
前記相互接続手段の交点の間に配置され、前記相互接続手段を切断、順方向駆
動、または逆方向駆動する双方向リピータ手段と、
前記相互接続手段の交点に配置され、その交点において前記相互接続手段を結
合する相互接続結合手段とを有するプログラマブル半導体装置。
- [2] 前記相互接続手段は、縦方向、横方向の配線からなる、請求項1記載のプログラマ
ブル半導体装置。
- [3] 前記相互接続手段は、縦方向、横方向、斜め方向の配線からなる、請求項1記載
のプログラマブル半導体装置。
- [4] 前記相互接続手段は、複数チャネル設けられている、請求項1記載のプログラマブ
ル半導体装置。
- [5] 前記入力/出力接続手段は、前記相互接続手段の複数チャネルのいずれかに任
意に接続可能である、請求項1記載のプログラマブル半導体装置。
- [6] 前記相互接続結合手段は結線である、請求項1記載のプログラマブル半導体装置
。
- [7] 前記双方向リピータ手段は、
順方向または逆方向に駆動可能な双方向リピータ駆動手段と、
前記双方向リピータ駆動手段をオフ、順方向駆動、または逆方向駆動に制御する
双方向リピータ制御手段とからなる、請求項1記載のプログラマブル半導体装置。
- [8] 前記双方向リピータ駆動手段は、3ステートバッファ対からなる、請求項7記載のプ
ログラマブル半導体装置。
- [9] 前記双方向リピータ制御手段は、前記プログラマブル半導体装置の構成情報を記
憶したメモリ素子からなる、請求項7記載のプログラマブル半導体装置。

- [10] 前記双方向リピータ制御手段は、
前記双方向リピータ駆動手段をオンまたはオフに制御するための双方向リピータスイッチ制御信号を出力する双方向リピータスイッチ制御手段と、
前記双方向リピータスイッチ制御手段からの前記双方向リピータスイッチ制御信号を入力すると共に、前記演算要素手段からの出力イネーブル信号を入力として、前記双方向リピータ駆動手段をオフ、順方向駆動、または逆方向駆動に制御するための双方向リピータ制御信号を前記双方向リピータ駆動手段に出力する双方向リピータ方向制御手段とからなる、請求項7記載のプログラマブル半導体装置。
- [11] 前記双方向リピータ制御手段の一部は、
前記双方向リピータ駆動手段をオンまたはオフに制御するための双方向リピータスイッチ制御信号を出力する双方向リピータスイッチ制御手段と、
前記双方向リピータスイッチ制御手段からの前記双方向リピータスイッチ制御信号を入力すると共に、前記演算要素手段からの出力イネーブル信号を入力として、前記双方向リピータ駆動手段をオフ、順方向駆動、または逆方向駆動に制御するための双方向リピータ制御信号を前記双方向リピータ駆動手段に出力する双方向リピータ方向制御手段とからなり、
前記双方向リピータ制御手段の残りは、
前記演算要素手段からの出力イネーブル信号を入力として、前記双方向リピータ駆動手段をオフ、順方向駆動、または逆方向駆動に制御するための双方向リピータ制御信号を前記双方向リピータ駆動手段に出力する双方向リピータ方向制御手段のみからなる、請求項7記載のプログラマブル半導体装置。
- [12] 前記双方向リピータスイッチ制御手段は、前記プログラマブル半導体装置の構成情報を記憶したメモリ素子からなる、請求項10または11記載のプログラマブル半導体装置。
- [13] 前記双方向リピータ制御手段は、当該双方向リピータ制御手段の出力をタイミング信号により同期化する構成である、請求項7記載のプログラマブル半導体装置。
- [14] 前記双方向リピータ方向制御手段は、
前記演算要素手段からの出力イネーブル信号と、前記相互接続手段に沿って配

線されるイネーブル信号接続手段からのイネーブル信号との論理和を演算する論理和ゲートと、

前記論理和ゲートによる演算結果と前記双方向リピータスイッチ制御手段からの前記双方向リピータスイッチ制御信号との論理積を演算し、該演算結果を前記双方向リピータ制御信号として出力する論理積ゲートとからなる、請求項10または11記載のプログラマブル半導体装置。

[15] 前記双方向リピータ方向制御手段は、

前記相互接続手段に沿って配線されるイネーブル信号接続手段に接続されたイネーブル信号スイッチ手段と、

前記イネーブル信号スイッチ手段の制御を行うイネーブル信号スイッチ制御手段と

、
前記イネーブル信号接続手段からの前記イネーブル信号の伝搬方向を検出し、該検出結果を前記双方向リピータ制御信号として出力するイネーブル信号伝搬方向検出手段とからなる、請求項10または11記載のプログラマブル半導体装置。

[16] 前記イネーブル信号スイッチ手段は、

nMOSトランジスタからなり、

前記イネーブル信号スイッチ制御手段は、

前記イネーブル信号スイッチ手段の両側の前記イネーブル信号接続手段からのイネーブル信号の論理積を演算する論理積ゲートと、

前記論理積ゲートによる演算結果と前記双方向リピータスイッチ制御手段からの前記双方向リピータスイッチ制御信号の反転信号との否定論理和を演算する否定論理和ゲートとからなり、

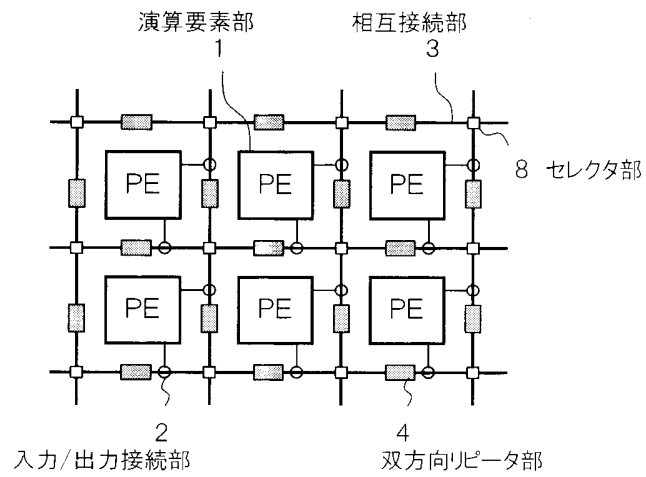
前記イネーブル信号伝搬方向検出手段は、

前記イネーブル信号スイッチ手段の両側の前記イネーブル信号接続手段からの前記イネーブル信号をそれぞれ入力するとともに前記双方向リピータスイッチ制御信号を反転入力し、互いに出力を他の否定論理和ゲートの入力として帰還する2つの否定論理和ゲートからなり、該2つの否定論理和ゲートのそれぞれによる否定論理和の演算結果を前記双方向リピータ制御信号として出力するNORラッチ回路である、請

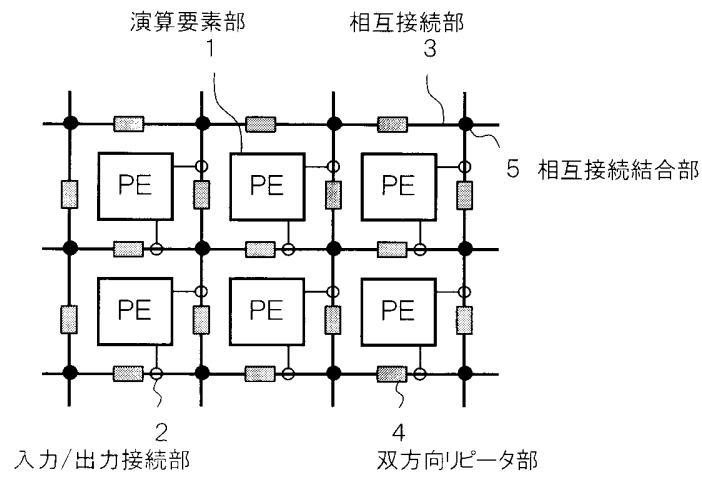
求項15記載のプログラマブル半導体装置。

- [17] 前記イネーブル信号スイッチ手段は、
nMOSトランジスタからなり、
前記イネーブル信号スイッチ制御手段は、
前記イネーブル信号スイッチ手段の両側の前記イネーブル信号接続手段からの前記イネーブル信号の否定論理積を演算する否定論理積ゲートからなり、
前記イネーブル信号伝搬方向検出手段は、
前記イネーブル信号スイッチ手段の両側の前記イネーブル信号接続手段からの前記イネーブル信号をそれぞれ入力し、互いに出力を他の否定論理和ゲートの入力として帰還する2つの否定論理和ゲートからなり、該2つの否定論理和ゲートのそれぞれによる否定論理和の演算結果を前記双方向リピータ制御信号として出力するNORラッチ回路である、請求項15記載のプログラマブル半導体装置。
- [18] 前記演算要素手段からの前記出力イネーブル信号を駆動する協働型ダイナミックバッファをさらに有する、請求項15記載のプログラマブル半導体装置。
- [19] 前記協働型ダイナミックバッファは、タイミング信号と、前記演算要素手段からの前記出力イネーブル信号と出力信号とを入力とし、前記タイミング信号に応じてプリチャージあるいはプリディスチャージ処理を行い、該処理を行わない期間においては前記出力イネーブル信号に応じてバッファ出力を行い、前記出力イネーブル信号が不活性の場合は出力信号の変化に応じてバッファ出力を行う、請求項18記載のプログラマブル半導体装置。
- [20] 前記タイミング信号は、構成確定期間と構成変更期間とを持ち、
前記タイミング信号が構成変更期間である場合に、前記出力イネーブル信号および前記双方向リピータスイッチ制御信号の切り替えが行われ、次に前記タイミング信号が構成確定期間になった時点で、前記イネーブル信号伝搬方向検出手段から出力される前記双方向リピータ制御信号が決定される、請求項19記載のプログラマブル半導体装置。
- [21] 前記演算要素手段は、入力される制御信号に応じて前記所定の演算を実行する、請求項1記載のプログラマブル半導体装置。

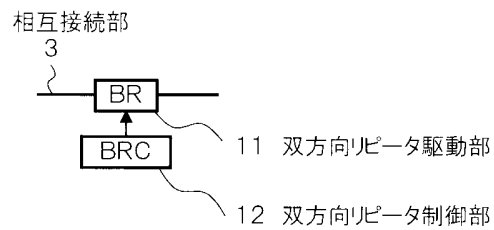
[図1]



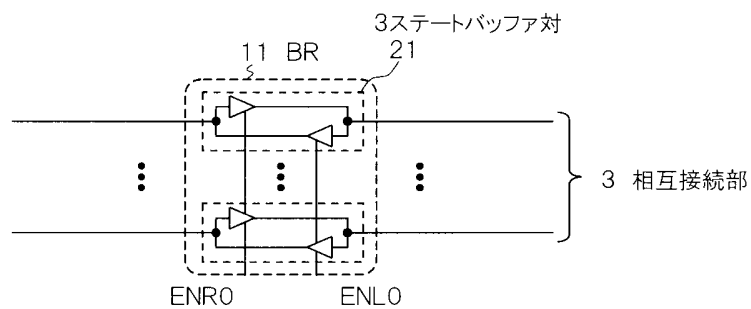
[図2]



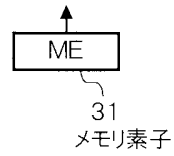
[図3]



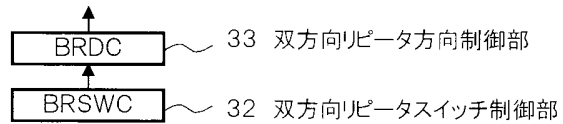
[図4]



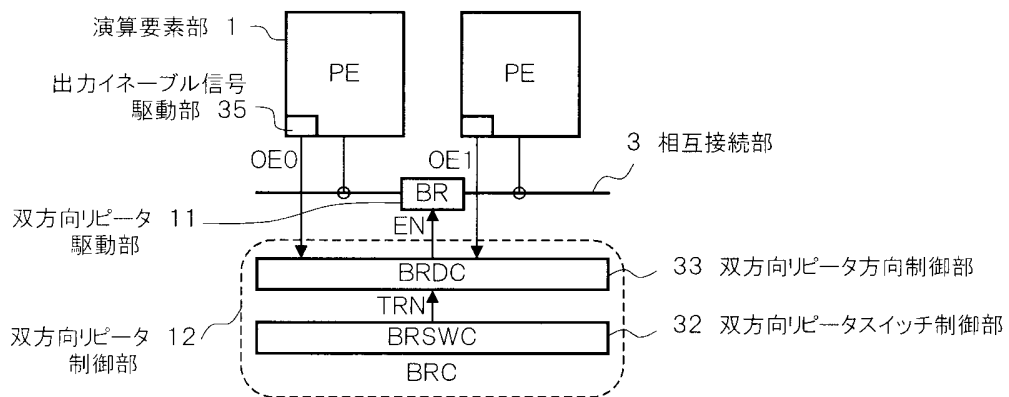
[図5]



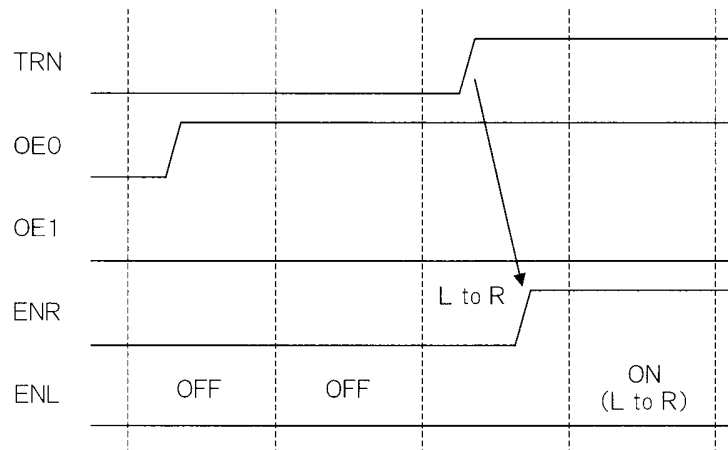
[図6]



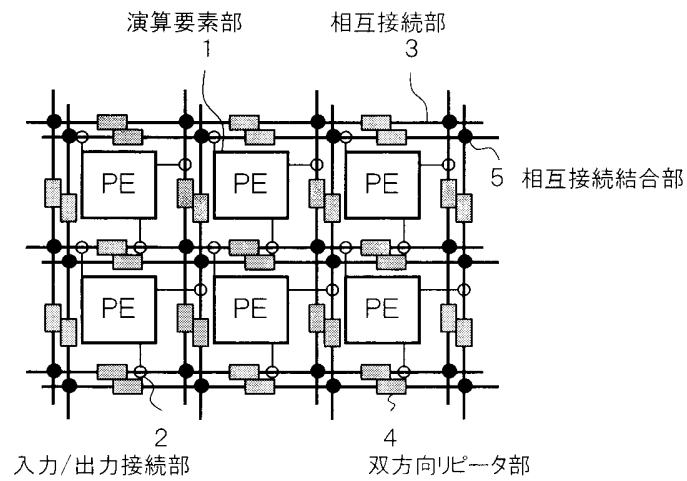
[図7]



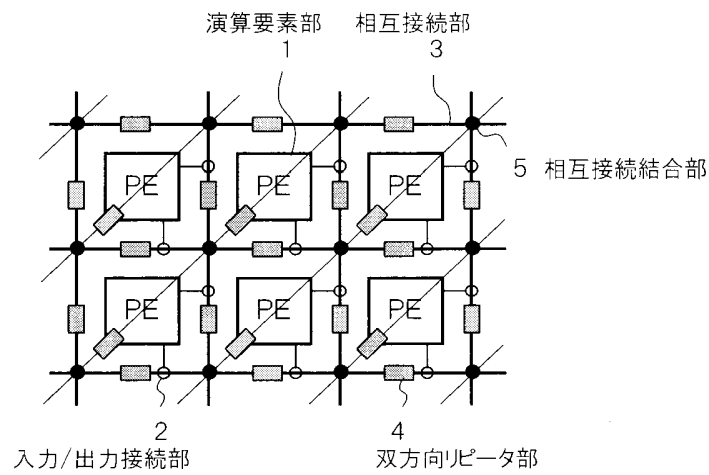
[図8]



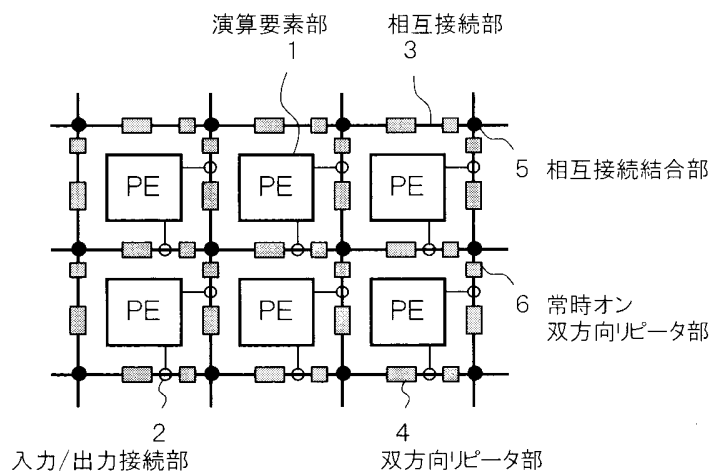
[図9]



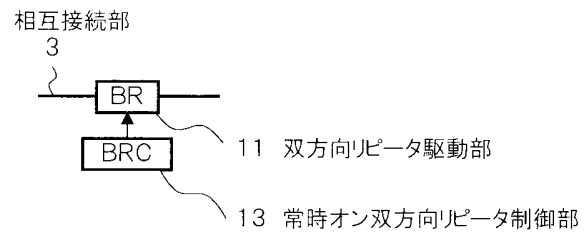
[図10]



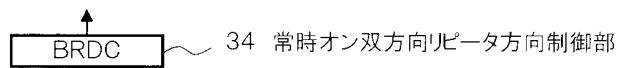
[図11]



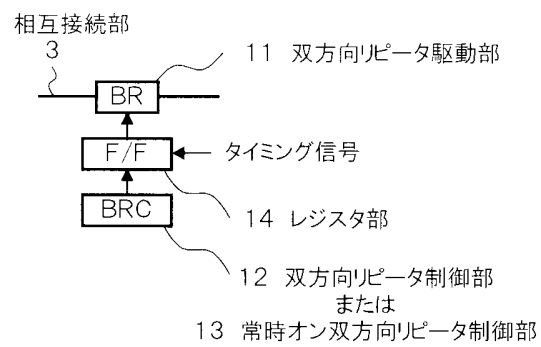
[図12]



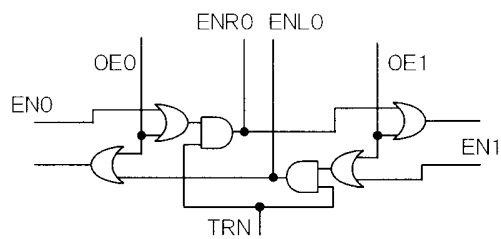
[図13]



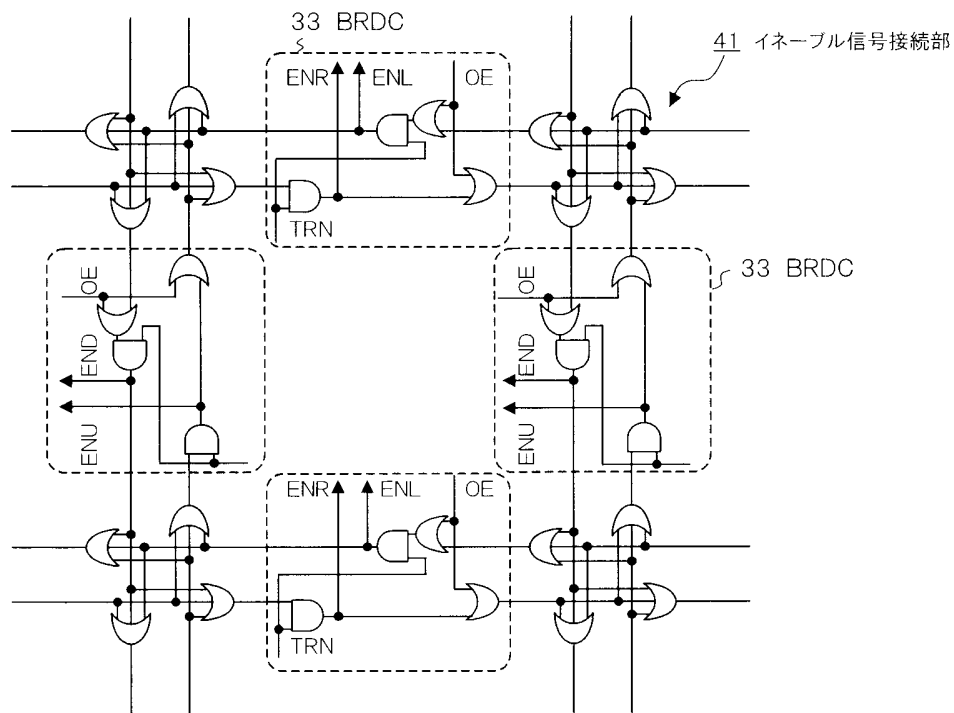
[図14]



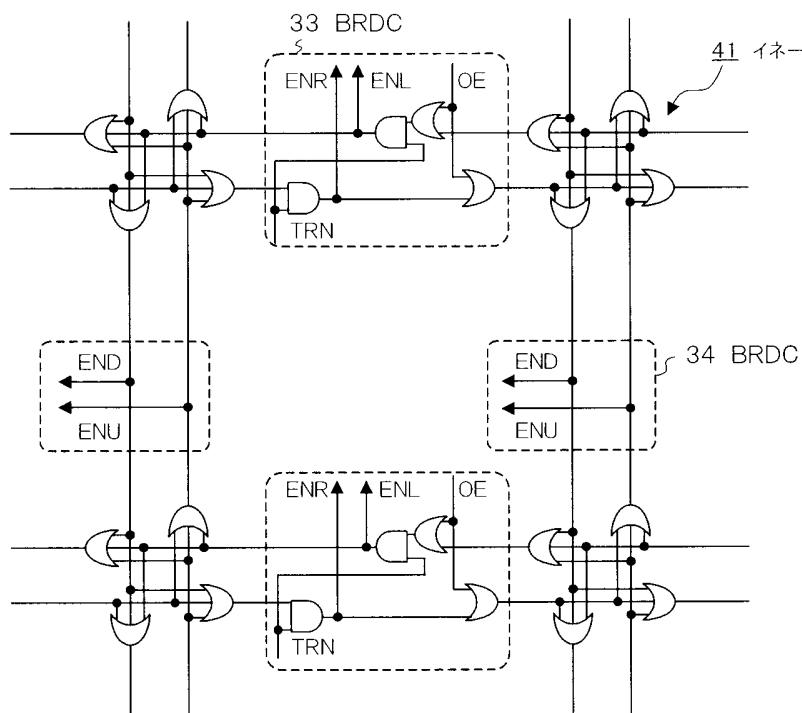
[図15]



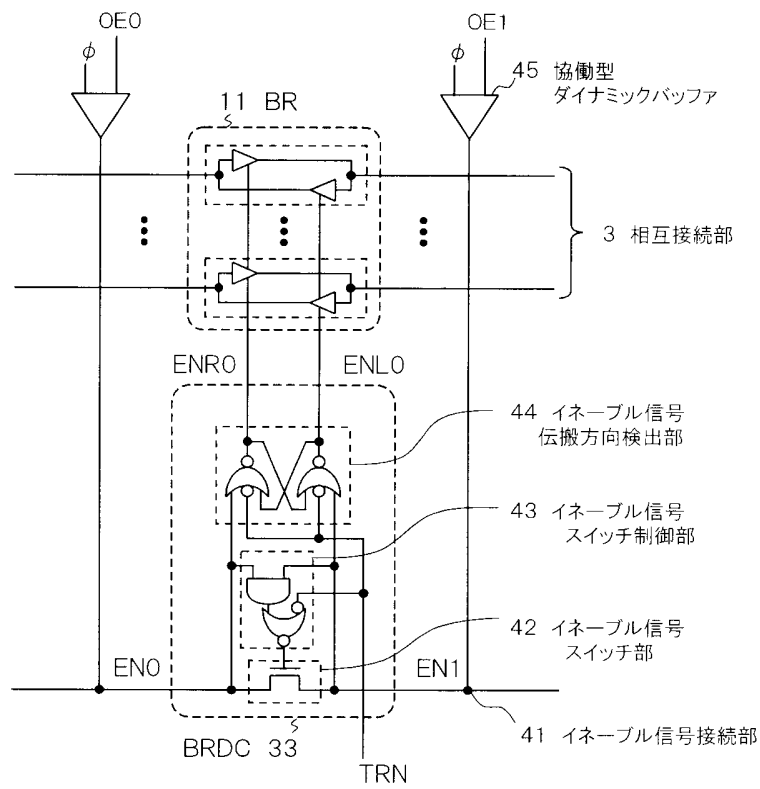
[図16]



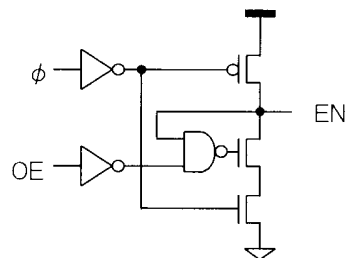
[図17]



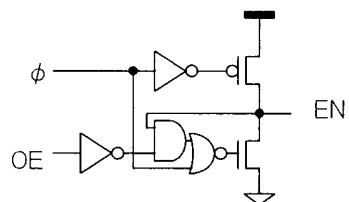
[図18]



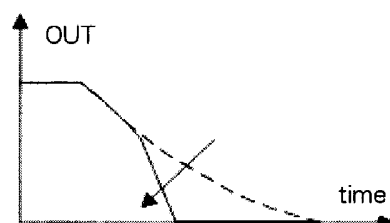
[図19]



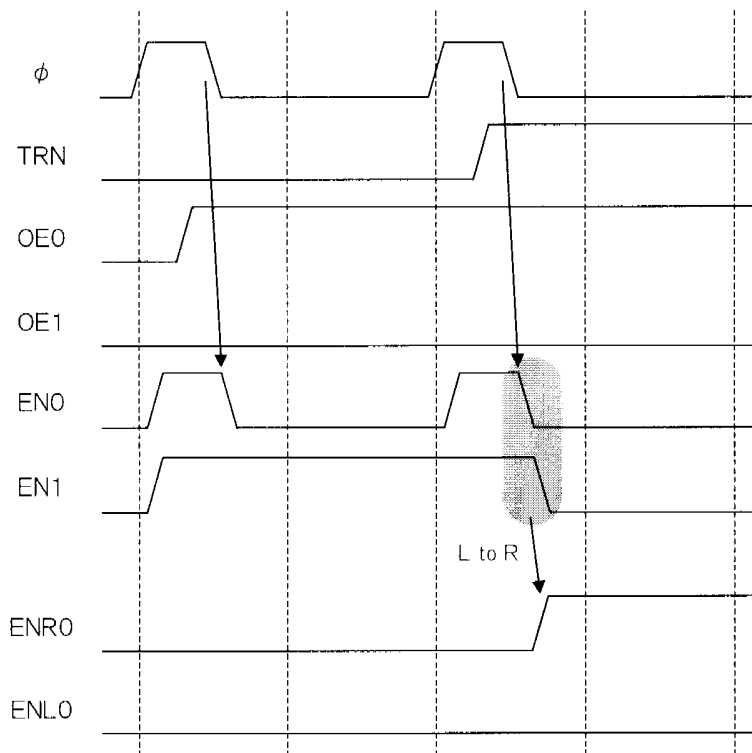
[図20]



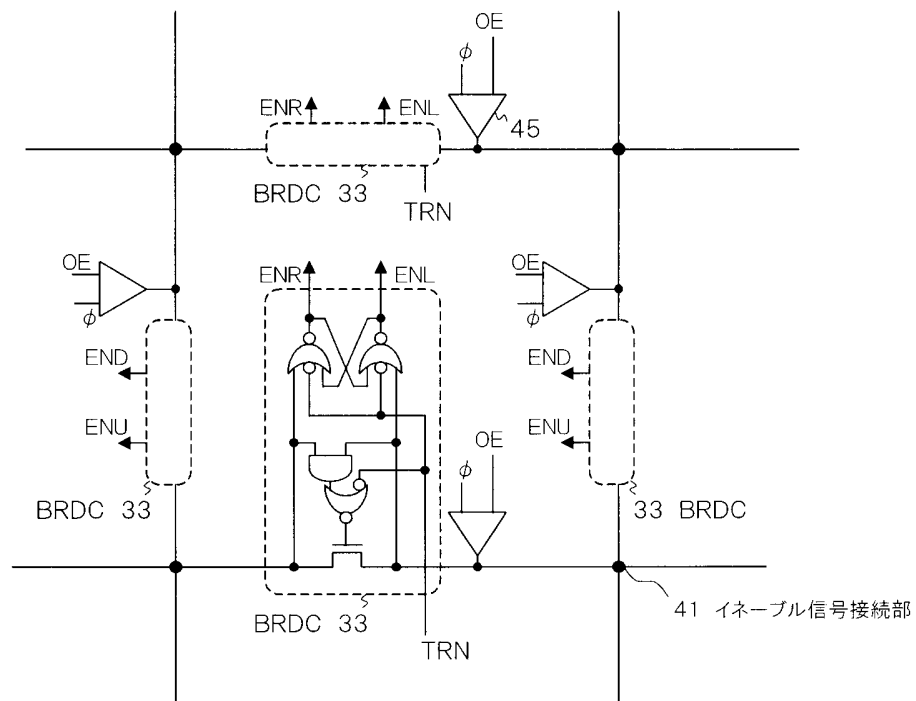
[図21]



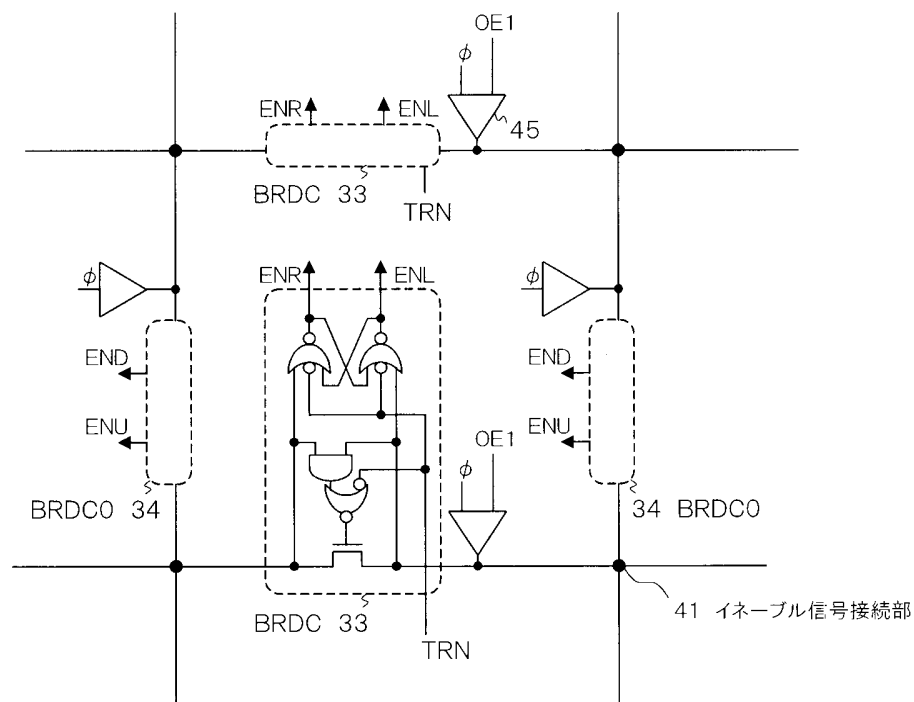
[図22]



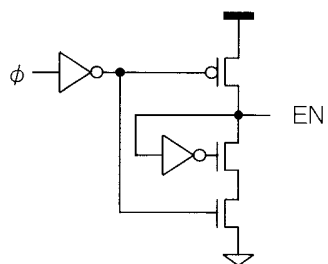
[図23]



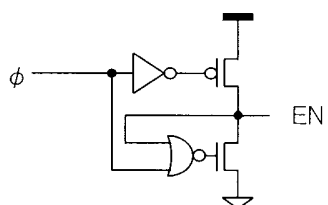
[図24]



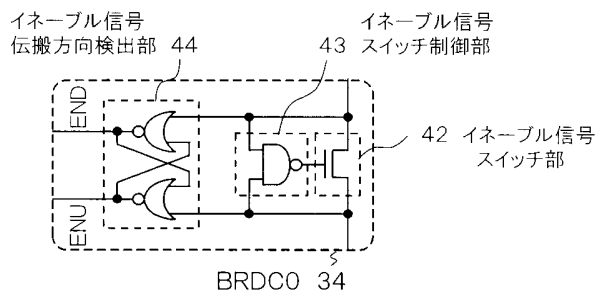
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009544

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H03K19/173, H01L21/82 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H03K19/173, H01L21/82 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6246259 B1 (Xilinx, Inc.), 12 June, 2001 (12.06.01),	1, 2, 4, 5, 7-9, 21
Y	Column 13, line 36 to column 14, line 14; Figs. 5, 7, 14, 15 (Family: none)	3
Y	JP 4-192543 A (Kawasaki Steel Corp.), 10 July, 1992 (10.07.92), All pages; all drawings (Family: none)	3
A	US 5656950 A (Xilinx, Inc.), 12 August, 1997 (12.08.97), (Family: none)	1-21
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 June, 2005 (22.06.05)		Date of mailing of the international search report 05 July, 2005 (05.07.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ H03K19/173, H01L21/82		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ H03K19/173, H01L21/82		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6246259 B1 (Xilinx, Inc.) 2001.06.12, 第13欄第36行-第14欄第14行, Fig. 5, 7,	1, 2, 4, 5, 7-9, 21
Y	14, 15 (ファミリーなし)	3
Y	JP 4-192543 A (川崎製鉄株式会社) 1992.07.10, 全頁, 全図 (ファミリーなし)	3
A	US 5656950 A (Xilinx, Inc.) 1997.08.12 (ファミリーなし)	1-21
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 22.06.2005	国際調査報告の発送日 05.7.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 清水 稔 電話番号 03-3581-1101 内線 3596	5X 8525