

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 23.03.17.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 28.09.18 Bulletin 18/39.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : STMICROELECTRONICS SA Société
anonyme — FR.

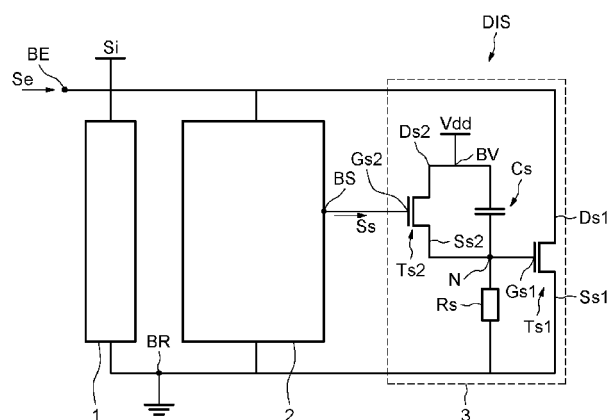
72 Inventeur(s) : GALY PHILIPPE et BEDECARRATS
THOMAS.

73 Titulaire(s) : STMICROELECTRONICS SA Société
anonyme.

74 Mandataire(s) : CASALONGA.

54 BLOC REFRACTAIRE POUR DISPOSITIF INTEGRE DE NEURONE ARTIFICIEL.

57 Dispositif intégré de neurone artificiel comportant un bloc réfractaire (3) configuré pour inhiber le bloc intégrateur (1) durant une durée d'inhibition après ladite délivrance d'au moins un signal de sortie (Si) par le bloc générateur (2), le bloc réfractaire (3) comportant un premier transistor MOS (Ts1) couplé entre la borne d'entrée (BE) et la borne de référence (BR) et dont la grille (Gs1) est connectée à ladite borne de sortie (BS) par l'intermédiaire d'un deuxième transistor MOS (Ts2) dont une première électrode (Ds2) est couplée à ladite borne d'alimentation (BV) et dont la grille (Gs2) est couplée à la borne de sortie (BS), le bloc réfractaire (3) comportant en outre un circuit résistif-capacitif couplé entre la borne d'alimentation (BV), la borne de référence (BR) et la grille du deuxième transistor MOS (Ts2), ladite durée d'inhibition dépendant de la constante de temps dudit circuit résistif-capacitif.



Bloc réfractaire pour dispositif intégré de neurone artificiel

Des modes de réalisation de l'invention concernent l'intelligence artificielle, et en particulier la réalisation de réseaux de neurones dans le cadre notamment de l'apprentissage profond, connu par l'homme du métier sous la dénomination anglo-saxonne « Deep learning ». Plus précisément, des modes de réalisation concernent les circuits électroniques intégrés simulant le comportement de neurones, et plus particulièrement la structure des blocs réfractaires de tels circuits.

Un neurone biologique comprend plusieurs parties, dont notamment une ou plusieurs dendrites qui délivrent un signal électrique d'entrée, le corps du neurone ou soma, qui accumule le signal d'entrée sous la forme d'une différence de potentiel entre l'intérieur et l'extérieur de sa membrane, et un axone destiné à délivrer un signal de sortie, ou potentiel d'action lorsque la tension entre l'extérieur et l'intérieur de la membrane atteint un certain seuil. Dans un neurone biologique, des fuites électriques ont lieu au travers de la membrane si l'équilibre électrique n'est pas atteint entre l'intérieur et l'extérieur de la membrane.

Ainsi, il convient qu'un neurone artificiel soit capable de recevoir un signal d'entrée, d'intégrer ce signal d'entrée, et lorsque le signal intégré atteint un seuil, d'émettre un signal de sortie sous la forme d'un ou plusieurs pics de tension.

Dans le domaine des réseaux de neurones artificiels, l'acronyme anglo-saxon LIF (« Leaky, Integrate and Fire ») désigne un modèle de comportement simple du neurone artificiel, dans lequel celui-ci reçoit et accumule un signal d'entrée jusqu'à dépasser une valeur seuil, au delà de laquelle le neurone émet un signal de sortie.

Ce modèle prend notamment en compte les fuites électriques du neurone au travers la membrane de celui-ci.

Le neurone peut soit recevoir une série de pics de courant successifs jusqu'à la génération d'un pic de courant de sortie, soit

recevoir un signal continu en entrée et générer un train de pics de courant en sortie.

5 Il a par ailleurs été observé que les neurones présentent une période dite de réfraction, ou période d'inhibition, immédiatement après la délivrance d'un potentiel d'action par l'axone, durant laquelle le neurone est inhibé.

Il convient alors de reproduire cette période d'inhibition afin de se rapprocher au maximum du fonctionnement d'un neurone biologique.

10 Il existe des solutions pour la réalisation de neurones artificiels selon le modèle LIF permettant de mettre en œuvre une période de réfraction, comportant par exemple plusieurs dizaines de composants de taille importante.

15 Les applications du domaine de l'intelligence artificielle, comme par exemple mais non limitativement la simulation de l'activité cérébrale, nécessitent la réalisation de réseaux comportant un nombre très important de neurones artificiels, typiquement de l'ordre du milliard. Il serait ainsi très avantageux d'utiliser des circuits intégrés de taille réduite.

20 Il existe des solutions utilisant des neurones de tailles plus réduites et permettant d'atteindre des vitesses de fonctionnement plus élevées, mais ces solutions nécessitent la mise en œuvre de procédés de fabrication spécifiques.

25 Ainsi, selon un mode de réalisation, il est proposé un neurone artificiel, permettant la mise en œuvre d'une période de réfraction et présentant une surface de bloc réfractaire limitée, et pouvant être avantageusement réalisé par des procédés de fabrication classiques CMOS.

30 Selon un aspect, il est proposé un dispositif intégré de neurone artificiel, comportant une borne d'entrée destinée à recevoir au moins un signal d'entrée, une borne de sortie destinée à délivrer au moins un signal de sortie, une borne de référence destinée à délivrer au moins un signal de référence, une borne d'alimentation destinée à recevoir une tension d'alimentation, un bloc intégrateur configuré pour recevoir

et intégrer ledit au moins un signal d'entrée et délivrer un signal intégré, un bloc générateur configuré pour recevoir le signal intégré et, lorsque le signal intégré dépasse un seuil, délivrer le signal de sortie.

5 Le dispositif comporte en outre un bloc réfractaire configuré pour inhiber le bloc intégrateur durant une durée d'inhibition après ladite délivrance dudit au moins un signal de sortie par le bloc générateur, le bloc réfractaire comportant un premier transistor MOS dont une première électrode est couplée à la borne d'entrée, une deuxième électrode est couplée à la borne de référence et dont la grille
10 est connectée à ladite borne de sortie par l'intermédiaire d'un deuxième transistor MOS dont une première électrode est couplée à ladite borne d'alimentation, dont une deuxième électrode est couplée à la grille du premier transistor MOS, et dont la grille est couplée à la borne de sortie, le bloc réfractaire comportant en outre un circuit
15 résistif capacitif couplé entre la borne d'alimentation, la borne de référence et la grille du deuxième transistor MOS, ladite durée d'inhibition dépendant de la constante de temps dudit circuit résistif-capacitif.

20 Le dispositif de neurone comportant un bloc réfractaire a donc un comportement encore plus proche de celui d'un neurone biologique.

En outre, l'utilisation d'un nombre réduit de composants permet une surface du bloc réfractaire réduite.

25 Le circuit résistif-capacitif peut comporter un condensateur dont une première électrode est couplée entre ladite borne d'alimentation et la grille du premier transistor MOS, et une résistance couplée entre la grille du deuxième transistor MOS et la borne de référence.

Le condensateur est avantageusement un condensateur MOS.

30 Selon un autre aspect, il est proposé un circuit intégré comprenant un réseau de neurones artificiels comportant une pluralité de dispositifs tels que ceux décrit précédemment.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de

réalisation de l'invention, nullement limitatifs, et des dessins annexés sur lesquels :

- les figures 1 et 2 illustrent des modes de réalisation de l'invention.

5 La figure 1 illustre schématiquement, et d'un point de vue électrique, un dispositif intégré DIS de neurone artificiel DIS, réalisé dans et sur un substrat semi-conducteur pouvant être soit un substrat massif, soit un substrat de type silicium sur isolant, et configuré pour notamment mettre en œuvre le modèle de neurone LIF.

10 Le dispositif de neurone DIS a donc ici un fonctionnement analogue à celui d'un neurone biologique.

 Le dispositif DIS comporte une borne d'entrée BE, destinée à recevoir un signal d'entrée Se, une borne de sortie BS, destinée à délivrer un signal de sortie Ss, et une borne de référence BR destinée à
15 recevoir une tension de référence, par exemple ici la masse.

 Le signal d'entrée peut venir d'une seule source ou bien être la combinaison à la borne BE de plusieurs signaux différents provenant de sources différentes.

 Le dispositif DIS comporte également un bloc intégrateur 1, configuré pour recevoir et intégrer le signal d'entrée Se et pour
20 délivrer un signal d'entrée intégré Si, et un bloc générateur 2, configuré pour, lorsque le signal intégré atteint un seuil (ou « seuil de déclenchement »), délivrer le signal de sortie Ss.

 Le bloc intégrateur 1 et le bloc générateur 2 peuvent comporter
25 chacun un ou plusieurs composants qui peuvent être agencés selon toute structure de l'art antérieur, comme par exemple celle décrite

- dans l'article « *Xinyu Wu, V. Saxena and Kehan Zhu, "A CMOS spiking neuron for dense memristor-synapse connectivity for brain-inspired computing," 2015 International Joint Conference on Neural Networks (IJCNN), Killarney, 2015, pp. 1-6. doi: 10.1109/IJCNN.2015.7280819* », ou
- dans l'article « Indiveri G., Linares-Barranco B., Hamilton T. J., van Schaik A., Etienne-Cummings R., Delbruck T., et

al. (2011). Neuromorphic silicon neuron circuits. Front. Neurosci. 5:73. 10.3389/fnins.2011. », ou encore

- dans la demande de brevet français déposée le même jour que la présente demande de brevet au nom de la demanderesse et intitulée « Dispositif intégré de neurone artificiel ».

5 Le dispositif de neurone DIS comporte en outre un bloc réfractaire 3 configuré pour inhiber le bloc intégrateur 1 durant une période d'inhibition, et une borne d'alimentation BV destinée à recevoir une tension d'alimentation Vdd, par exemple ici une tension
10 de un volt.

En effet, il a été observé que les neurones biologiques sont inhibés durant une période suivant la délivrance d'un potentiel d'action par l'axone du neurone.

15 Ce bloc réfractaire 3 a donc pour but de rapprocher encore davantage le fonctionnement du dispositif de neurone DIS du fonctionnement d'un neurone biologique.

Le bloc réfractaire 3 comporte un premier transistor Ts1, dont une première électrode, ici le drain Ds1, est couplée à la borne d'entrée, et dont une deuxième électrode, ici la source Ss1, est couplée
20 à la borne de référence.

La grille Gs1 du premier transistor Ts1 est couplée à un nœud commun N.

Un deuxième transistor Ts2 a sa grille couplée à la borne de sortie BS, une première électrode, ici le drain Ds2, couplée à la borne d'alimentation BV, et une deuxième électrode, ici la source Ss2, couplée au nœud commun N.
25

En fonction de la structure choisie pour le bloc générateur 2, la valeur de la tension Ss (signal de sortie) peut être différente. Aussi selon le cas, la grille des transistors Ts2 peut être couplée directement à la borne Bs ou bien indirectement par l'intermédiaire d'un circuit classique d'adaptation de tension, de façon à ce que les caractéristiques du signal de sortie Ss soient compatibles avec celles du transistor Ts2.
30

Un condensateur C_s est couplé entre la borne d'alimentation BV et le nœud commun N. Le condensateur C_s est ici un condensateur MOS ayant par exemple une surface de un micromètre carré.

5 Une résistance R_s , par exemple ici une résistance de un giga-ohm pouvant être réalisée en pratique par un transistor MOS à l'état passant, est couplée entre le nœud commun N et la borne de référence BF.

10 Ainsi en fonctionnement, avant l'apparition d'un pic de tension sur la borne de sortie, le condensateur C_s est chargé et la tension à ses bornes est égale à la tension V_{dd} .

Le potentiel du nœud commun N est donc nul, et la grille du premier transistor $Ts1$ n'est pas polarisée.

15 En présence d'un pic de courant sur la borne de sortie, la grille $Gs2$ du deuxième transistor se polarise et le deuxième transistor $Ts2$ devient passant.

La grille du premier transistor $Ts1$ est donc polarisée à la tension V_{dd} par l'intermédiaire du deuxième transistor $Ts2$, et le premier transistor $Ts1$ devient donc passant court-circuitant ainsi le condensateur C_s .

20 Le potentiel du nœud commun N, et donc la grille $Gs1$ du premier transistor $Ts1$, est polarisé à la tension d'alimentation V_{dd} , et le premier transistor $Ts1$ devient passant, court-circuitant ainsi le bloc intégrateur 1.

25 Une fois le pic de courant sur la borne de sortie passé, le deuxième transistor $Ts2$ se bloque à nouveau, la tension aux bornes du condensateur C_s augmente progressivement, et le potentiel du nœud commun diminue donc progressivement jusqu'à atteindre une valeur nulle lorsque le condensateur est totalement chargé.

30 Lorsque le potentiel du nœud commun atteint une valeur inférieure au seuil de déclenchement du premier transistor, le premier transistor se bloque à nouveau.

Ainsi, l'inhibition du bloc intégrateur par le bloc réfractaire a lieu durant une durée d'inhibition qui dépend de la vitesse de charge du condensateur C_s au travers de la résistance R_s .

La durée d'inhibition dépend donc de la constante de temps du circuit résistif-capacitif comportant la résistance R_s et le condensateur C_s .

5 La structure d'un tel bloc réfractaire est avantageuse par rapport aux blocs réfractaires de l'art antérieur en ce qu'elle présente un nombre de composants réduit, et permet par conséquent l'obtention d'un bloc réfractaire dont la surface est inférieure à deux micromètres carrés. Ainsi à titre indicatif, pour une technologie CMOS de vingt-huit nanomètres, la surface du bloc réfractaire est de l'ordre de deux
10 micromètres carrés.

Selon un mode de réalisation illustré sur la figure 2, il est possible d'avoir un circuit intégré CI comportant un réseau de neurones artificiels, comportant une pluralité de dispositifs de neurone selon un ou plusieurs des modes de réalisation décrits précédemment
15 en lien avec la figure 1, couplés entre eux par l'intermédiaire de leur borne d'entrée ou de sortie.

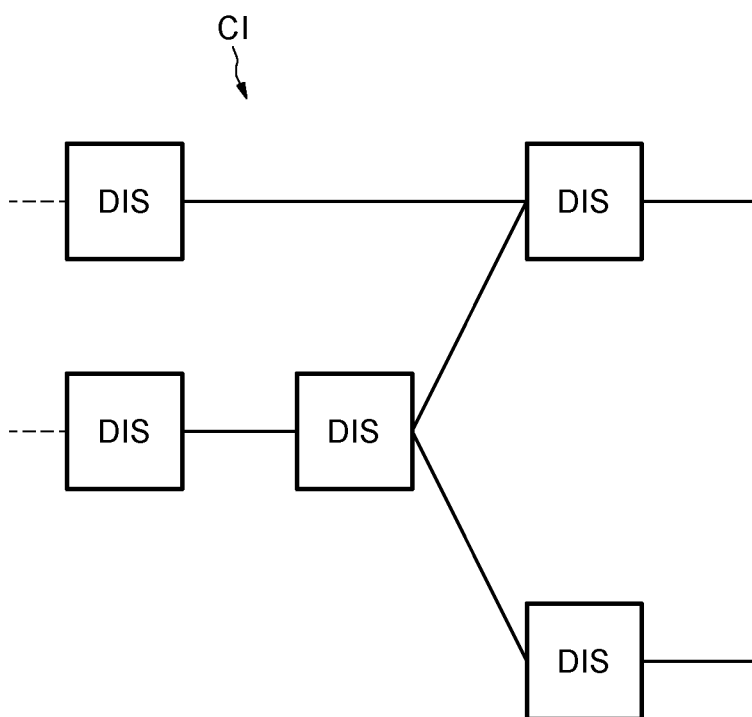
REVENDICATIONS

1. Dispositif intégré de neurone artificiel, comportant une borne d'entrée (BE) destinée à recevoir au moins un signal d'entrée (Se), une borne de sortie (BS) destinée à délivrer au moins un signal de sortie (Ss), une borne de référence (BR) destinée à recevoir une tension de référence, une borne d'alimentation (BV) destinée à recevoir une tension d'alimentation, un bloc intégrateur (1) configuré pour recevoir et intégrer ledit au moins un signal d'entrée (Se) et délivrer un signal intégré (Si), un bloc générateur (2) configuré pour recevoir le signal intégré (Si) et, lorsque le signal intégré (Si) dépasse un seuil, délivrer le signal de sortie, et un bloc réfractaire (3) configuré pour inhiber le bloc intégrateur (1) durant une durée d'inhibition après ladite délivrance dudit au moins un signal de sortie (Si) par le bloc générateur (2), le bloc réfractaire (3) comportant un premier transistor MOS (Ts1) dont une première électrode (Ds1) est couplée à la borne d'entrée (BE), une deuxième électrode (Ss1) est couplée à la borne de référence (BR) et dont la grille (Gs1) est connectée à ladite borne de sortie (BS) par l'intermédiaire d'un deuxième transistor MOS (Ts2) dont une première électrode (Ds2) est couplée à ladite borne d'alimentation (BV), dont une deuxième électrode est couplée à la grille du premier transistor MOS, et dont la grille (Gs2) est couplée à la borne de sortie (BS), le bloc réfractaire (3) comportant en outre un circuit résistif capacitif couplé entre la borne d'alimentation (BV), la borne de référence (BR) et la grille du deuxième transistor MOS (Ts2), ladite durée d'inhibition dépendant de la constante de temps dudit circuit résistif-capacitif.

2. Dispositif selon la revendication 1, dans lequel le circuit résistif-capacitif comporte un condensateur (Cs) couplé entre ladite borne d'alimentation (BV) et la grille (Gs1) du premier transistor MOS, et une résistance (Rs) couplée entre la grille du deuxième transistor MOS et la borne de référence (BR).

3. Dispositif selon la revendication 2, dans lequel le condensateur (Cs) est un condensateur CMOS.

4. Circuit intégré comprenant un réseau de neurones artificiels comportant une pluralité de dispositifs selon l'une des revendications 1 à 3.





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 839592
FR 1752384

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	G. Cardarilli et al: "Implementazione hardware di reti neurali spiking bio-realistiche, basate su memristore", Memorie della XXXII riunione annuale dei ricercatori di elettrotecnica (ET'16) : 15-17 giugno 2016, 15 juin 2016 (2016-06-15), XP055431239, Extrait de l'Internet: URL:http://et2016.deim.unipa.it/file/memor ie/Roma Tor Vergata/IMPLEMENTAZIONE HARDWARE DI RETI NEURALI SPIKING BIO-REALISTICHE BASATE SU MEMRISTORE Cardarilli, Re, Salerno, Susi, Cristini, Acciarito, Di Nunzio, Fazzolari.pdf [extrait le 2017-11-30]	1,4	G06N3/02 H01L21/8232
A	* figure 1 *	2,3	
X	S. Acciarito et al: "Hardware implementation of a spiking neuron model based on memristor", Technical program of the 48th annual meeting of the Associazione gruppo italiano di elettronica (GE'16): June 22-24, 2016, 22 juin 2016 (2016-06-22), XP055431242, Extrait de l'Internet: URL:http://ge2016.unibs.it/wp-content/uplo ads/2016/06/GE2016_detailed_program_v04.pd f [extrait le 2017-11-30]	1,4	DOMAINES TECHNIQUES RECHERCHÉS (IPC) G06N
A	* page 14 *	2,3	
Date d'achèvement de la recherche		Examineur	
1 décembre 2017		Douarche, Nicolas	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 839592
FR 1752384

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
T	S. ACCIARITO ET AL: "Hardware design of LIF with Latency neuron model with memristive STDP synapses", INTEGRATION, THE VLSI JOURNAL, vol. 59, 25 mai 2017 (2017-05-25), pages 81-89, XP085164880, DOI: 10.1016/J.VLSI.2017.05.006 * section 4.1 ; figures 4 et 6 *	1,4	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	I. SOURIKOPOULOS ET AL: "A 4-fJ/spike artificial neuron in 65 nm CMOS technology", FRONTIERS IN NEUROSCIENCE, vol. 11, 123, 15 mars 2017 (2017-03-15), XP055382019, DOI: 10.3389/fnins.2017.00123 * figures 1, 3 et 4 *	1-4	
A	N. QIAO ET AL: "A reconfigurable on-line learning spiking neuromorphic processor comprising 256 neurons and 128K synapses", FRONTIERS IN NEUROSCIENCE, vol. 9, 141, 29 avril 2015 (2015-04-29), XP055350816, DOI: 10.3389/fnins.2015.00141 * figure 3 *	1-4	
A	S. SHIN ET AL: "Neuronal spike event generation by memristors", PROCEEDINGS OF THE 13TH INTERNATIONAL WORKSHOP ON CELLULAR NANOSCALE NETWORKS AND THEIR APPLICATIONS (CNNA'12), 29 août 2012 (2012-08-29), XP032253872, DOI: 10.1109/CNNA.2012.6331427 * figures 2 et 4 *	1-4	
Date d'achèvement de la recherche		Examineur	
1 décembre 2017		Douarche, Nicolas	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			