

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7614953号
(P7614953)

(45)発行日 令和7年1月16日(2025.1.16)

(24)登録日 令和7年1月7日(2025.1.7)

(51)国際特許分類	F I
H 1 0 D 30/87 (2025.01)	H 0 1 L 29/80 U
H 1 0 D 64/60 (2025.01)	H 0 1 L 21/28 3 0 1 B
H 1 0 D 64/20 (2025.01)	H 0 1 L 29/44 P
H 1 0 D 64/23 (2025.01)	H 0 1 L 29/50 J

請求項の数 23 外国語出願 (全15頁)

(21)出願番号	特願2021-97756(P2021-97756)	(73)特許権者	504199127 エヌエックスピー ユーエスエイ インコーポレイテッド NXP USA, Inc. アメリカ合衆国 テキサス州 78735 オースティン ウィリアム キャノンドライブ ウェスト 6501
(22)出願日	令和3年6月11日(2021.6.11)	(74)代理人	100142907 弁理士 本田 淳
(65)公開番号	特開2022-29417(P2022-29417A)	(72)発明者	イブラヒム カリル アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノンドライブ ウェスト 6501
(43)公開日	令和4年2月17日(2022.2.17)	(72)発明者	ケビン キム アメリカ合衆国 78735 テキサス州
審査請求日	令和6年5月24日(2024.5.24)		最終頁に続く
(31)優先権主張番号	16/984,286		
(32)優先日	令和2年8月4日(2020.8.4)		
(33)優先権主張国・地域又は機関	米国(US)		
早期審査対象出願			

(54)【発明の名称】 トランジスタの活性領域内にI/Oポートを備えるトランジスタ

(57)【特許請求の範囲】

【請求項1】

半導体デバイスであって、

基板内に形成された活性領域であって、前記基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む前記活性領域と、

前記入力フィンガに電氣的に接続された入力ポートと、

前記出力フィンガに電氣的に接続された出力ポートと、

前記共通フィンガに電氣的に接続された共通領域と、を備え、前記入力ポートおよび前記出力ポートの少なくとも1つが、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの間の前記活性領域内に配置されており、

前記共通領域は、ペアの前記共通フィンガがギャップによって離間されるように前記共通フィンガのペアの間に介在しており、前記共通領域は、ペアの前記共通フィンガの各々に電氣的に接続されており、

前記入力ポートおよび前記出力ポートの少なくとも1つが前記ギャップ内に配置されている、半導体デバイス。

【請求項2】

ペアの前記共通フィンガの各々は、前記共通領域が位置している中間領域を有しており、前記ギャップは、前記共通領域の第1の側における第1のギャップであり、前記共通領域の第2の側において第2のギャップが形成されており、

前記入力ポートは前記第 1 のギャップ内に配置されており、
前記出力ポートは前記第 2 のギャップ内に配置されている、請求項 1 に記載の半導体デバイス。

【請求項 3】

前記共通領域が、前記入力ポートと前記入力ポートとの間に介在するとともに、前記入力ポートおよび前記入力ポートの各々から電氣的に絶縁されている、請求項 2 に記載の半導体デバイス。

【請求項 4】

前記共通領域が、前記基板を貫通して延在するとともに、前記半導体デバイスの共通ノードに接続するビア接続を含む、請求項 1 に記載の半導体デバイス。

【請求項 5】

前記ビア接続が第 1 のビア接続であり、前記共通領域が、前記第 1 のビア接続から離間している第 2 のビア接続をさらに含んでおり、前記第 2 のビア接続は、前記基板を貫通して延在するとともに、前記半導体デバイスの前記共通ノードに接続している、請求項 4 に記載の半導体デバイス。

【請求項 6】

前記ビア接続は、主軸および副軸を有する非円形断面を有しており、前記主軸は主軸長を有しており、前記副軸は前記主軸よりも短い副軸長を有しており、前記主軸は、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの長手方向の寸法に平行に配向されている、請求項 4 に記載の半導体デバイス。

【請求項 7】

半導体デバイスであって、

基板内に形成された活性領域であって、前記基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む前記活性領域と、

前記入力フィンガに電氣的に接続された入力ポートと、

前記出力フィンガに電氣的に接続された出力ポートと、

前記共通フィンガに電氣的に接続された共通領域と、を備え、前記入力ポートおよび前記出力ポートの少なくとも 1 つが、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの間の前記活性領域内に配置されており、

前記入力ポートは、入力ボンドパッドを含んでおり、

前記出力ポートは、出力ボンドパッドを含んでおり、前記入力ボンドパッドおよび前記出力ボンドパッドの各々は、ワイヤボンディング用に構成されている、半導体デバイス。

【請求項 8】

半導体デバイスであって、

基板内に形成された活性領域であって、前記基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む前記活性領域と、

前記入力フィンガに電氣的に接続された入力ポートと、

前記出力フィンガに電氣的に接続された出力ポートと、

前記共通フィンガに電氣的に接続された共通領域と、を備え、前記入力ポートおよび前記出力ポートの少なくとも 1 つが、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの間の前記活性領域内に配置されており、

前記入力ポートは、入力パッドを含んでおり、

前記出力ポートは、出力パッドを含んでおり、

前記共通領域は、共通パッドを含んでおり、前記入力パッド、前記出力パッド、および前記共通パッドの各々は、フリップチップボンディング用に構成されている、半導体デバイス。

【請求項 9】

前記入力フィンガは、ゲートフィンガであり、前記出力フィンガは、ドレインフィンガ

であり、前記共通フィンガは、トランジスタのソースフィンガである、請求項 1 に記載の半導体デバイス。

【請求項 10】

半導体デバイスであって、

基板内に形成された活性領域であって、前記基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む前記活性領域と、

前記入力フィンガに電氣的に接続された入力ポートと、

前記出力フィンガに電氣的に接続された出力ポートと、

前記共通フィンガに電氣的に接続された共通領域と、を備え、前記入力ポートおよび前記出力ポートの少なくとも一つが、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの間の前記活性領域内に配置されており、

前記入力ポートは、前記共通フィンガと前記共通領域とによって三方が囲まれている、半導体デバイス。

【請求項 11】

半導体デバイスであって、

基板内に形成された活性領域であって、前記基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む前記活性領域と、

前記入力フィンガに電氣的に接続された入力ポートと、

前記出力フィンガに電氣的に接続された出力ポートと、

前記共通フィンガに電氣的に接続された共通領域と、を備え、前記入力ポートおよび前記出力ポートの少なくとも一つが、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの間の前記活性領域内に配置されており、

前記出力ポートは、前記共通フィンガと前記共通領域とによって三方が囲まれている、半導体デバイス。

【請求項 12】

半導体デバイスであって、

基板内に形成された活性領域であって、前記基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む前記活性領域と、

前記入力フィンガに電氣的に接続された入力ポートと、

前記出力フィンガに電氣的に接続された出力ポートと、

前記共通フィンガのペアの間に介在する共通領域と、を備え、前記共通領域は、ペアの前記共通フィンガの各々の中間領域に位置しており、前記共通領域は、ペアの前記共通フィンガの各々に電氣的に接続されており、前記共通フィンガは、前記共通領域の第 1 の側における第 1 のギャップによって離間されており、前記共通フィンガは、前記共通領域の第 2 の側における第 2 のギャップによって離間されており、前記入力ポートは、前記活性領域内の前記第 1 のギャップ内に配置されており、前記出力ポートは、前記活性領域内の前記第 2 のギャップ内に配置されており、前記共通領域は、第 1 および第 2 の出力ポートの各々から電氣的に絶縁されている、半導体デバイス。

【請求項 13】

前記共通領域が、前記基板を貫通して延在するとともに、前記半導体デバイスの共通ノードに接続するピア接続を含む、請求項 12 に記載の半導体デバイス。

【請求項 14】

前記ピア接続が第 1 のピア接続であり、前記共通領域が、前記第 1 のピア接続から離間している第 2 のピア接続をさらに含んでおり、前記第 2 のピア接続は、前記基板を貫通して延在するとともに、前記半導体デバイスの前記共通ノードに接続している、請求項 13 に記載の半導体デバイス。

【請求項 15】

10

20

30

40

50

前記ピア接続は、主軸および副軸を有する非円形断面を有しており、前記主軸は主軸長を有しており、前記副軸は前記主軸よりも短い副軸長を有しており、前記主軸は、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの長手方向の寸法に平行に配向されている、請求項 1 3 に記載の半導体デバイス。

【請求項 1 6】

前記入力ポートは、入力ボンダッドを含んでおり、

前記出力ポートは、出力ボンダッドを含んでおり、前記入力ボンダッドおよび前記出力ボンダッドの各々は、ワイヤボンディング用に構成されている、請求項 1 2 に記載の半導体デバイス。

【請求項 1 7】

前記入力ポートは、入力パッドを含んでおり、

前記出力ポートは、出力パッドを含んでおり、

前記共通領域は、共通パッドを含んでおり、前記入力パッド、前記出力パッド、および前記共通パッドの各々は、フリップチップボンディング用に構成されている、請求項 1 2 に記載の半導体デバイス。

【請求項 1 8】

半導体デバイスであって、

基板内に形成された活性領域であって、前記基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む前記活性領域と、

前記入力フィンガに電氣的に接続された入力ボンダッドと、

前記出力フィンガに電氣的に接続された出力ボンダッドと、

前記共通フィンガに電氣的に接続された共通領域と、を備え、前記共通領域は、前記基板を貫通して延在するとともに、前記半導体デバイスの共通ノードに接続するピア接続を含んでおり、前記入力ボンダッドおよび前記出力ボンダッドの少なくとも一つが前記共通フィンガのペアの間の前記活性領域内に配置されており、前記入力ボンダッドおよび前記出力ボンダッドの各々がワイヤボンディング用に構成されている、半導体デバイス。

【請求項 1 9】

前記共通領域は、前記共通フィンガのペアの間に介在しており、前記共通領域は、前記ペアの前記共通フィンガの各々の中間領域に位置しているとともに、ペアの前記共通フィンガの各々に電氣的に接続されており、前記共通フィンガは、前記共通領域の第 1 の側における第 1 のギャップによって離間されており、前記共通フィンガは、前記共通領域の第 2 の側における第 2 のギャップによって離間されており、前記入力ボンダッドは、前記活性領域内の前記第 1 のギャップ内に配置されており、前記出力ボンダッドは、前記活性領域内の前記第 2 のギャップ内に配置されている、請求項 1 8 に記載の半導体デバイス。

【請求項 2 0】

前記ピア接続が第 1 のピア接続であり、前記共通領域は、前記第 1 のピア接続から離間している第 2 のピア接続をさらに含んでおり、前記第 2 のピア接続は、前記基板を貫通して延在するとともに、前記半導体デバイスの前記共通ノードに接続している、請求項 1 8 に記載の半導体デバイス。

【請求項 2 1】

前記ピア接続は、主軸および副軸を有する非円形断面を有しており、前記主軸は主軸長を有しており、前記副軸は前記主軸よりも短い副軸長を有しており、前記主軸は、前記入力フィンガ、前記出力フィンガ、および前記共通フィンガの長手方向の寸法に平行に配向されている、請求項 1 8 に記載の半導体デバイス。

【請求項 2 2】

基板内に形成された活性領域を備える半導体デバイスであって、前記活性領域は、

中央部分と、少なくとも一対の共通フィンガとを有する、前記基板上の共通電極であって、前記少なくとも一対の共通フィンガは、前記共通電極の前記中央部分の第 1 の側およ

10

20

30

40

50

び第 2 の側において第 1 の方向に沿って延在しており、

前記一对の共通フィンガ間の第 1 のギャップは、前記共通電極の前記中央部分の前記第 1 の側および前記第 2 の側に隣接する前記共通電極の前記中央部分の第 3 の側に配置されており、

前記一对の共通フィンガ間の第 2 のギャップは、前記共通電極の前記中央部分の前記第 1 の側および前記第 2 の側に隣接し、かつ前記共通電極の前記中央部分の前記第 3 の側とは反対側にある前記共通電極の前記中央部分の第 4 の側に配置されている、前記共通電極と、

前記共通電極の両側で前記第 1 の方向に沿って延在する前記基板上的の少なくとも 2 つの入力フィンガを有する入力電極と、

前記共通電極の両側で前記第 1 の方向に沿って延在する前記基板上的の少なくとも 2 つの出力フィンガを有する出力電極と、を含み、

前記入力電極および前記出力電極のうち的一方の一部は、前記第 1 のギャップ内において前記一对の共通フィンガの間に延在している、半導体デバイス。

【請求項 2 3】

前記半導体デバイスは、制御端子を有するトランジスタであり、前記制御端子は、十分なバイアスが前記制御端子において提供されるとき、前記トランジスタの第 1 の電流端子と第 2 の電流端子との間に導電性経路を提供するように構成されており、

前記入力電極は、前記トランジスタの前記制御端子に電氣的に結合され、前記出力電極は、前記トランジスタの前記第 1 の電流端子に結合され、前記共通電極は、前記トランジスタの前記第 2 の電流端子に結合されている、請求項 2.2 に記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、半導体デバイスに関する。より具体的には、本発明は、トランジスタの活性領域内に配置されるとともに、入力フィンガ、出力フィンガ、および共通フィンガの間に配置された入力および出力 (I / O) ポートを利用するトランジスタのレイアウトに関する。

【背景技術】

【0002】

トランジスタデバイスは、様々な電子回路用途において利用されている。電界効果トランジスタ (F E T) デバイスは、通常、ドレインリード、ソースリード、およびゲートリードを含む。チャンネルはドレインとソースとの間に配置されており、チャンネルは、 F E T デバイスがオンしたときに電流を伝導する F E T デバイスの部分である。ゲートは、チャンネル内の電流の流れを制御するために使用されるデバイスの制御入力である。

【0003】

様々な回路用途において、 F E T デバイスは 2 ポート能動デバイスとして利用され得る。 2 ポート構成では、 3 つの F E T リードのうち 2 つが入力ポートおよび出力ポートとして機能するとともに、第 3 の F E T リードが回路の接地電位に接続される共通接続として使用される。特定の 2 ポート構成に応じて、 3 つの F E T リードのいずれかを入力ポート、出力ポート、または共通接続として利用することができる。

【先行技術文献】

【特許文献】

【0004】

【文献】米国特許出願公開第 2021 / 0002137 号明細書

【文献】米国特許出願公開第 2018 / 0226506 号明細書

【文献】米国特許第 10734303 号明細書

【文献】米国特許第 10594276 号明細書

【文献】米国特許第 10075132 号明細書

【発明の概要】

10

20

30

40

50

【 0 0 0 5 】

開示の態様は、添付の特許請求の範囲において定義されている。

第1の態様では、基板内に形成された活性領域であって、基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む活性領域と、入力フィンガに電氣的に接続された入力ポートと、出力フィンガに電氣的に接続された出力ポートと、共通フィンガに電氣的に接続された共通領域と、を備え、入力ポートおよび出力ポートの少なくとも1つが、入力フィンガ、出力フィンガ、および共通フィンガの間の活性領域内に配置されている、半導体デバイスが提供される。

【 0 0 0 6 】

第2の態様では、基板内に形成された活性領域であって、基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む活性領域と、入力フィンガに電氣的に接続された入力ポートと、出力フィンガに電氣的に接続された出力ポートと、共通フィンガのペアの間に介在する共通領域と、を備え、共通領域は、ペアの共通フィンガの各々の中間領域に位置しており、共通領域は、ペアの共通フィンガの各々に電氣的に接続されており、共通フィンガは、共通領域の第1の側における第1のギャップによって離間されており、共通フィンガは、共通領域の第2の側における第2のギャップによって離間されており、入力ポートは、活性領域内の第1のギャップ内に配置されており、出力ポートは活性領域内の第2のギャップ内に配置されており、共通領域は第1および第2の出力ポートの各々から電氣的に絶縁されている、半導体デバイスが提供される。

【 0 0 0 7 】

第3の態様では、基板内に形成された活性領域であって、基板内に配置されるとともに、互いに実質的に平行に配向された入力フィンガ、出力フィンガ、および共通フィンガを含む活性領域と、入力フィンガに電氣的に接続された入力ボンドパッドと、出力フィンガに電氣的に接続された出力ボンドパッドと、共通フィンガに電氣的に接続された共通領域と、を備え、共通領域は、基板を貫通して延在するとともに、半導体デバイスの共通ノードに接続するピア接続を含み、入力ボンドパッドおよび出力ボンドパッドの少なくとも1つが、共通フィンガのペアの間の活性領域内に配置されており、入力ボンドパッドおよび出力ボンドパッドの各々がワイヤボンディング用に構成されている、半導体デバイスが提供される。

【 図面の簡単な説明 】

【 0 0 0 8 】

添付の図は、同様の参照番号が異なる図の全体にわたって同一または機能的に同じ構成要素を参照しているが、これらの図は、必ずしも縮尺通りに描かれておらず、以下の詳細な説明とともに本明細書に組み込まれるとともに、本明細書の一部を形成しているので、本発明による様々な実施形態をさらに図示するとともに、様々な原理および利点を説明するのに役立つ。

【 図 1 】 共通ソース F E T デバイス構成の概略図である。

【 図 2 】 従来技術の F E T デバイスのレイアウトの平面図である。

【 図 3 】 一実施形態による F E T デバイスのレイアウトの平面図である。

【 図 4 】 図 3 の F E T デバイスの一部の拡大平面図である。

【 図 5 】 図 4 の断面線 5 - 5 に沿った F E T デバイスの側面断面図である。

【 図 6 】 別の実施形態による F E T デバイスの拡大平面図である。

【 図 7 】 別の実施形態による F E T デバイスのレイアウトの平面図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

概要において、本明細書に開示される実施形態は、半導体デバイスに関するものであり、より具体的には、入力ポートおよび/または出力ポートが、ソース接続とともに、トランジスタデバイスの活性領域内に配置されるとともに、トランジスタデバイスの入力フィンガ、出力フィンガ、および共通フィンガの間に配置されているトランジスタに対す

るレイアウトに関するものである。トランジスタのレイアウトは、トランジスタフィンガ間のギャップを効果的に利用して、トランジスタデバイスの入力ポートおよび/または出力ポートを作成することを可能にする。入力ポートおよび/または出力ポートは、ワイヤボンディング用のボンドパッドまたはフリップチップボンディング用のはんだパンプを含み得る。従って、そのようなトランジスタのレイアウトは、マルチポート回路構成において適切に利用することができるとともに、ダイサイズおよび性能の両方において利点を得ることができる。さらに、基板貫通ビア（TSV：through substrate via）接続（「ビア接続」または「ソースビア」と呼ばれることもある）を含む実施形態では、このサイズの縮小によってソース・ドレイン間のピッチ（SDP：source-to-drain pitch）が損なわれることはない。本明細書で使用される場合、「ビア接続」または「ソースビア」という用語は、ウェハの2つ以上の層の間に延在する金属（例えば、金または銅）接続を意味し、その金属は、典型的には、ウェハの側面上の1つのトランジスタのソースを、基板を貫通して裏側の金属化層に電氣的に接続する。「ソース・ドレイン間のピッチ」という用語は、所与のトランジスタのフィンガに関するソース接点とドレイン接点との中心間の距離を意味する。

10

【0010】

本開示は、本発明による少なくとも1つの実施形態を可能にする方法でさらに説明するために提供されるものである。本開示はさらに、本発明を何らかの方法で制限するものではなく、本発明の原理およびその利点に対する理解および認識を高めるために提供される。本発明は、本出願の係属中になされた補正を含む添付の特許請求の範囲および発行されたそれらの請求項のすべての均等物によってのみ定義される。

20

【0011】

第1および第2、上部および下部などのような関係用語がある場合、これらの用語は、ある実体または動作を別の実体または動作から互いに区別するためにのみ使用されており、これらの実体または動作間の実際の関係または順序を必ずしも必要とせず、また暗示するものではないことが理解されるべきである。さらに、いくつかの図は、異なる構成要素を区別するために様々な陰影および/またはハッチングを使用して説明され得る。これらの異なる構成要素は、堆積、パターンニング、エッチングなどの現在および今後の微細加工技術を利用して製造することができる。従って、図では異なる陰影および/またはハッチングが利用されているが、異なる構成要素は同じ材料から形成され得る。

30

【0012】

図1を参照すると、図1は、共通ソース電界効果トランジスタ（FET）デバイス構成20の概略図を示す。共通ソースFET構成20において、ゲートGは入力ポート22として機能し、ドレインDは出力ポート24として機能する。ソースSは、図1に示されるように接地されているFETのリードであるため、共通ソース構成20における共通接続26として機能する。従って、共通ソース構成20は、FETの3つのリードのうちの2つが入力ポートおよび出力ポートとして機能し、第3のリードが共通接続として利用される2ポート能動デバイスの例である。説明を明確にするために、本明細書で説明するトランジスタのレイアウトは、共通ソース構成20を有する。しかしながら、以下の説明は、例えば、ゲートが共通接続として機能するか、または、ドレインが共通接続として機能する、他の2ポート能動半導体デバイス構成にも同等に適用される。

40

【0013】

図2は、従来技術のFETデバイス30のレイアウトの平面図を示す。FETデバイス30は、半導体基板32内に配置されるように構成された多層回路手法を採用することができる。FETデバイス30は、実質的に平行な構成で基板32内に配置された複数組の交互配置されたゲートフィンガ36（6個が示される）、ドレインフィンガ38（3個が示される）、およびソースフィンガ40（4個が示される）を有する、全体的に破線ボックス34によって示される活性領域を含む。ゲートフィンガ36はバス42によって共に結合されており、ボンドパッド（本明細書では入力ポート44と呼ばれる）は、活性領域34の入力側においてバス42に結合されている。同様に、ドレインフィンガ38は、別

50

のバス 46 によって共に結合されており、ボンドパッド（本明細書では出力ポート 48 と呼ばれる）は、活性領域 34 の出力側においてバス 46 に結合されている。1つまたは複数のビア接続 50 は、各ソースフィンガ 40 に接続されている。ビア接続 50 は、基板 32 を貫通して延在するとともに、ソースフィンガ 40 を基板 32 の下面上の接地面（図示せず）に接続するように機能する。ビア接続 50 は、非円形（例えば、長楕円形、楕円形）または円形であり得るとともに、ゲートフィンガ 36 に隣接する各ソースフィンガ 40 内に配置される。FET デバイス 30 のさらなる詳細については、図示を明確にするために示されていない。

【0014】

FET デバイス 30 は、「スロットビア」レイアウト（例えば、長楕円形のビア接続 50）を有する、6 個のゲート（例えば、6 個のゲートフィンガ 36）の単一トランジスタセルを表す。典型的なトランジスタ製品では、FET デバイス 30 の単一のトランジスタセルを並べて複製して、フルサイズのトランジスタを構築することができる。FET デバイス 30 では、ピーク電力は、通常、ドレインフィンガ 38 の電流処理能力（幅）によって制限される。

10

【0015】

高効率パワーアンプ（PA）の設計は、ますますワイヤレス通信システムの不可欠な要素部分になりつつある。実際、携帯電話基地局の市場は、第 5 世代（5G）通信に適していると期待される窒化ガリウム（GaN）ベースの無線周波数（RF）製品へと徐々に移行している。ドハティ（Doherty）PA 回路または他のマルチパス PA 回路を採用する多くの実施では、商用ワイヤレスインフラストラクチャシステムに含まれるパワートランジスタ製品がますますコストに敏感になっているとともに、面積／体積／重量に敏感になっているため、物理的なダイ領域は、重要な懸念事項である。GaN 技術では、1 平方ミリメートルあたりの技術はシリコン（Si）または他の III-V 族ベースの半導体よりも大幅に高価であるため、これは特に重要である。GaN はネイティブ基板上に製造されなため、格子不整合により、直径が約 6 インチ（15.24 センチメートル）を超えるウェハサイズの増大が妨げられる。従って、各 GaN ウェハは、Si ウェハ技術を使用して通常達成可能な数よりも少ないパワートランジスタダイを生成する傾向がある。

20

【0016】

図 2 において、ボンドパッド領域（例えば、個々の出力ポート 44、48 を備えたバス 42、46）は、FET デバイス 30 のかなりのダイ領域を消費することが観察され得る。いくつかの従来技術のトランジスタ構成では、ボンドパッド領域は、FET デバイス 30 のダイ領域全体の約 50% を占有し得る。この不所望の高い領域占有は、ダイのコスト、面積、体積、および重量を削減するという目的に反している。本明細書で説明する実施形態は、ソース・ドレイン間のピッチを損なうことなく、従来技術の設計と比較して、占有面積の削減を可能にするトランジスタレイアウトをもたらす。

30

【0017】

図 3 - 図 4 を参照すると、図 3 は、本発明の一実施形態による FET デバイス 60 のレイアウトの平面図を示し、図 4 は、FET デバイス 60 の一部の拡大平面図を示す。FET デバイス 60 は、半導体基板 62 内に配置されるように構成された多層回路手法を採用することができる。FET デバイス 60 は、基板 62 内に形成された活性領域 64 を含む。活性領域 64 は、全体的に破線のボックスで表される外周 66 によって囲まれている。活性領域 64 は、基板 62 内に配置されるとともに、互いに実質的に平行に配向された、複数組の交互配置された入力ゲートフィンガ 68、出力ドレインフィンガ 70、および共通ソースフィンガ 72 を含む。

40

【0018】

入力ゲートフィンガ 68 はバス 74 によって共に結合されており、入力ポート 76 は活性領域 64 の入力側においてバス 74 に結合されている。従って、入力ポート 76 は、バス 74 を介して入力ゲートフィンガ 68 に電氣的に接続されている。同様に、出力ドレインフィンガ 70 は、別のバス 78 によって共に結合されており、出力ポート 80 は、活性

50

領域 6 4 の出力側においてバス 7 8 に結合されている。従って、出力ポート 8 0 は、バス 7 8 を介して出力ドレインフィンガ 7 0 に電氣的に接続されている。共通ソース領域 8 2 は、共通ソースフィンガ 7 2 に電氣的に接続されている。より具体的には、各共通ソース領域 8 2 は、共通ソースフィンガ 7 2 のペア 8 4 の間に介在するとともに、ペア 8 4 の共通ソースフィンガ 7 2 の各々に電氣的に接続されている。従って、各共通ソース領域 8 2 およびその接続されたペア 8 4 の共通ソースフィンガ 7 2 は、ほぼ「H字型」の共通ソース構造をもたらす。即ち、共通ソース領域 8 2 は、各ペア 8 4 の共通ソースフィンガ 7 2 の間にまたがり、かつそれらと電氣的に接続する。最も外側の入力ゲートフィンガ 6 8 に隣接する活性領域 6 4 の両端において、最も端の共通ソースフィンガ 8 6 は、「H字型」である必要はなく、代わりに、十分な幅のより従来の細長いフィンガであり得る。

10

【 0 0 1 9 】

一実施形態によれば、入力ポート 7 6 および出力ポート 8 0 のうちの少なくとも 1 つは、入力ゲートフィンガ 6 8、出力ドレインフィンガ 7 0、および共通ソースフィンガ 7 2 の間の活性領域 6 4 内に配置されている。図 4 の拡大図において最もよく分かるように、第 1 のギャップ 8 8 は、共通ソース領域 8 2 の第 1 の側 9 0 において形成されており、第 2 のギャップ 9 2 は、共通ソース領域 8 2 の第 2 の側 9 4 において形成されている。入力ポート 7 6 は第 1 のギャップ 8 8 内に配置されており、出力ポート 8 0 は第 2 のギャップ 9 2 内に配置されている。さらに、共通ソース領域 8 2 は、入力ポート 7 6 と出力ポート 8 0 との間に介在するとともに、入力ポート 7 6 および出力ポート 8 0 の各々から電氣的に絶縁されている。従って、入力ポート 7 6 および出力ポート 8 0 は、共通ソース領域 8 2 によって互いに絶縁されている。入力ポート 7 6 (入力ボンダッドとしての) および出力ポート 8 0 (出力ボンダッドとしての) のこのような構成は、フィンガ 6 8、7 0、7 2 の間のスペース内において F E T デバイス 6 0 の活性領域 6 4 内に「折り畳まれている」と見なされ得る。フィンガ 6 8、7 0、7 2 間のスペースを効率的に使用することで、トランジスタの活性領域の外側にある入力ポートおよび出力ポート (例えば、図 2 に示されるように、入力ポート 2 2 および出力ポート 2 4 およびそれらに関連するボンダッド 4 4、4 8) を排除することによって、F E T デバイス 6 0 のサイズを減少させることができる。

20

【 0 0 2 0 】

図 3 - 図 4 の例示的な例では、入力ポート 7 6 および出力ポート 8 0 の両方が、F E T デバイス 6 0 の活性領域 6 4 内に配置されている。しかしながら、代替の実施形態では、入力ポートのみ、または代わりに、出力ポートのみが、フィンガの間のスペース内において活性領域内に配置されて、トランジスタデバイスの入力側と出力側との間の効果的な絶縁を維持しながら、スペース削減を達成するようにしてもよい。

30

【 0 0 2 1 】

ここで、図 4 に関連して図 5 を参照すると、図 5 は、図 4 の断面線 5 - 5 に沿った F E T デバイス 6 0 の側面断面図を示す。共通ソース領域 8 2 の各々は、基板 6 2 を貫通して延在するピア接続 9 6 を含んでおり、ピア接続 9 6 は、共通ソースフィンガ 7 2 を、基板 6 2 の下面 1 0 0 上の共通ノード (例えば、F E T デバイス 6 0 の接地面 9 8) に接続するように機能する。

40

【 0 0 2 2 】

図 3 - 図 4 に戻ると、図 4 のピア接続 9 6 の拡大図において最もよく分かるように、いくつかの実施形態では、各ピア接続 9 6 は、例えば、第 1 の長さ 1 0 4 (または主軸長とも呼ばれる) を有する主軸 1 0 2 (例えば、長軸) と、第 1 の長さ 1 0 4 よりも短い第 2 の長さ 1 0 8 (または副軸長とも呼ばれる) を有する副軸 1 0 6 (例えば、短軸) とを有する非円形の断面を有してもよい。いくつかの実施形態では、ピア接続 9 6 の各々の主軸 1 0 2 は、ゲートフィンガ 6 8、ドレインフィンガ 7 0、およびソースフィンガ 7 2 の長手方向寸法 1 1 0 に平行に配向されている。長楕円形のピア接続 9 6 の特定の形状および配向は、共通ソース領域 8 2 のサイズ制約に適切に適合しながら、出力 (例えば、出力ドレインフィンガ 7 0) へのエレクトロマイグレーション制限の導入をほぼ防止し得る。非

50

円形のビア接続が本明細書に示されているが、代替の構成は、円形のビア接続を含み得る。

【 0 0 2 3 】

共通ソースフィンガ 7 2 は、一般的に、入力ゲートフィンガ 6 8 および出力ドレインフィンガ 7 0 の全長を延長しており、共通ソースフィンガ 7 2 は、ほぼ中央に配置されたソース領域 8 2 においてビア接続 9 6 に接続される。従って、共通ソースフィンガ 7 2 は、共通ソースフィンガ 7 2 の各々の遠位部分からソース電流を収集し、そのソース電流を、ビア接続 9 6 を介して接地面 9 8 に分流する。しかしながら、共通ソースフィンガ 7 2 の幅 1 1 2 は、個々の第 1 のギャップ 8 8 および第 2 のギャップ 9 2 内への入力ポート 7 6 および出力ポート 8 0 の位置決めに対応するために比較的小さい。現在および今後の製造プロセス能力によって、共通ソースフィンガ 7 2 の幅 1 1 2 の最小値が決定され得る。

10

【 0 0 2 4 】

上記したように、入力ポート 7 6 および出力ポート 8 0 は、ボンドパッドを含み得る。即ち、入力ポート 7 6 の各々は、クロスハッチングによって示される入力ボンドパッド 1 1 4 を含んでおり、出力ポート 8 0 の各々は、同じくクロスハッチングによって示される出力ボンドパッド 1 1 6 を含んでいる。入力ボンドパッド 1 1 4 および出力ボンドパッド 1 1 6 の各々は、ワイヤボンディング用に構成されている。従って、入力ボンドパッド 1 1 4 および出力ボンドパッド 1 1 6 は、ボンドワイヤに対応するのに適切なサイズに設定されている。一例では、入力ボンドパッド 1 1 4 および出力ボンドパッド 1 1 6 の幅は、少なくとも 5 0 ミクロンであり得る。

【 0 0 2 5 】

図 6 は、別の実施形態による、F E T デバイス 1 2 0 の拡大平面図を示す。F E T デバイス 1 2 0 には、F E T デバイス 6 0 (図 3 - 図 4) の多くの特徴が含まれている。例えば、F E T デバイス 1 2 0 は、基板 1 2 2 内に形成された活性領域 1 2 4 を有する半導体基板 1 2 2 を含む。活性領域 1 2 4 は、基板 1 2 2 内に配置されているとともに、互いに実質的に平行に配向された、複数組の交互配置された入力ゲートフィンガ 1 2 8、出力ドレインフィンガ 1 3 0、および共通ソースフィンガ 1 3 2 を含む。

20

【 0 0 2 6 】

入力ゲートフィンガ 1 2 8 は、バス 1 3 4 によって共に結合されており、入力ポート 1 3 6 は、活性領域 1 2 4 の入力側においてバス 1 3 4 に結合されている。従って、入力ポート 1 3 6 は、バス 1 3 4 を介して入力ゲートフィンガ 1 2 8 に電氣的に接続されている。同様に、出力ドレインフィンガ 1 3 0 は、別のバス 1 3 8 によって共に結合されており、出力ポート 1 4 0 は、活性領域 1 2 4 の出力側においてバス 1 3 8 に結合されている。従って、出力ポート 1 4 0 は、バス 1 3 8 を介して出力ドレインフィンガ 1 3 0 に電氣的に接続されている。共通ソース領域 1 4 2 は、共通ソースフィンガ 1 3 2 に電氣的に接続されている。より具体的には、各共通ソース領域 1 4 2 は、共通ソースフィンガ 1 3 2 のペア 1 4 4 の間に介在するとともに、ペア 1 4 4 の共通ソースフィンガ 1 3 2 の各々に電氣的に接続されている。従って、各共通ソース領域 1 4 2 およびその接続されたペア 1 4 4 の共通ソースフィンガ 1 3 2 は、ほぼ「H字型」の共通ソース構造をもたらす。即ち、共通ソース領域 1 4 2 は、各ペア 1 4 4 の共通ソースフィンガ 1 3 2 の間にまたがっている。第 1 のギャップ 1 4 8 は、共通ソース領域 1 4 2 の第 1 の側 1 5 0 において形成されており、第 2 のギャップ 1 5 2 は、共通ソース領域 1 4 2 の第 2 の側 1 5 4 において形成されている。入力ボンドパッド 1 5 6 (クロスハッチングで示される) を含む入力ポート 1 3 6 は、第 1 のギャップ 1 4 8 内に配置されており、出力ボンドパッド 1 5 8 (クロスハッチングで示される) を含む出力ポート 1 4 0 は、第 2 のギャップ 1 5 2 内に配置されている。

30

40

【 0 0 2 7 】

この図示の例では、共通ソース領域 1 4 2 の各々は、基板 1 2 2 を貫通して延在する 2 つのビア接続 1 6 0、1 6 2 を含んでおり、ビア接続 1 6 0、1 6 2 は、共通ソースフィンガ 1 3 2 を、F E T デバイス 1 2 0 の共通ノード (図示せず) に接続するように機能する。この例では、ビア接続 1 6 0、1 6 2 の各々は、主軸 1 6 4 (例えば、長軸) および

50

副軸 166 (例えば、短軸) を有する非円形の断面を有する。さらに、ビア接続 160、162 の各々の主軸 164 は、入力ゲートフィンガ 128、出力ゲートフィンガ 130、および共通ソースフィンガ 132 の長手方向寸法 168 に対して垂直に配向されている。

【0028】

一般に、ビア接続 160、162 はソース電流を搬送する。複数のビア接続 160、162 は、図 4 の単一のビア接続構成と比較して、ゲートフィンガおよびドレインフィンガのフィンガ設計に応じて、より多くのソース電流を搬送するように実施され得る。例えば、比較的長いゲートフィンガ 128 およびドレインフィンガ 130 は、より大きなソース電流を生成し、さらに、複数のビア接続 160、162 のためのソース領域 142 における追加のスペースを設けることを可能にする。さらに、長楕円形のビア接続 160、162 の特定の形状、向き、およびペアは、図 4 の単一のビア接続構成と比較して、共通ソース領域 82 のサイズ制約に適切に適合しながら、出力 (例えば、出力ドレインフィンガ 130) へのエレクトロマイグレーション制限の導入をより効果的に防止し得る。当業者は、入力フィンガ、出力フィンガ、および共通フィンガの組み合わせ、および単位ゲート幅 (UGW、通常は 10 ~ 15 ミクロンの範囲) を考慮して、ビア接続の他の様々な構成が導き出され得ることを認識するであろう。

10

【0029】

図 7 は、本発明の別の実施形態による、FET デバイス 170 のレイアウトの平面図を示す。FET デバイス 170 は、フリップチップ相互接続方法に適した例示的なレイアウトとして提供されている。即ち、FET デバイス 170 は、はんだバンプが様々なトランジスタフィンガ上に堆積されるフリップチップボンディング用に構成され得る。上記した FET デバイスと同様に、FET デバイス 170 は、半導体基板 172 内に配置されるように構成された多層回路手法を採用することができる。FET デバイス 170 は、全体的に破線のボックスで表される外周 176 によって囲まれている、基板 172 内に形成された活性領域 174 を含む。活性領域 174 は、基板 172 内に配置されるとともに、互いに実質的に平行に配向された、複数組の交互配置された入力ゲートフィンガ 178、出力ドレインフィンガ 180、および共通ソースフィンガ 182 を含む。

20

【0030】

上記した構成と同様に、入力ゲートフィンガ 178 は、バス 184 によって共に結合されており、入力ポート 186 は、活性領域 174 の入力側においてバス 184 に結合されているため、入力ポート 186 は、バス 184 を介して入力ゲートフィンガ 178 に電気的に接続されている。同様に、出力ドレインフィンガ 180 は、別のバス 188 によって共に結合されており、出力ポート 190 は、活性領域 174 の出力側においてバス 188 に接続されているため、出力ポート 190 は、バス 188 を介して出力ドレインフィンガ 180 に電気的に接続されている。共通ソース領域 192 は、共通ソースフィンガ 182 に電気的に接続されている。より具体的には、各共通ソース領域 192 は、共通ソースフィンガ 192 のペア 194 の間に介在するとともに、ペア 194 の共通ソースフィンガ 182 の各々に電気的に接続されている。従って、各共通ソース領域 192 およびその接続されたペア 194 の共通ソースフィンガ 182 は、ほぼ「H字型」の共通ソース構造をもたらす。

30

40

【0031】

図示の実施形態では、入力ポート 186 の各々は、入力パッド 196 (クロスハッチングによって表される) を含んでおり、出力ポート 190 の各々は、出力パッド 198 (クロスハッチングによって表される) を含んでいる。入力パッド 196 および出力パッド 198 の各々は、1 つまたは複数のはんだバンプの形態であり得る。さらに、共通ソース領域の各々は、ビア接続 (例えば、図 4 のビア接続 94、図 6 のビア接続 160、162) の代わりに、はんだバンプの形態で、少なくとも 1 つの共通パッド 200 (クロスハッチングによって表される) を含む。FET デバイス 170 を搭載するために、FET デバイス 170 は、その上面が下を向くように反転されるとともに、その入力パッド 196、出力パッド 198、および共通パッド 200 が、プリント回路基板 (PCB) などの外部回路

50

(図示せず)上の対応するパッド(図示せず)と一致するように整列される。はんだは、相互接続を完了するためにリフローされる。このような構成では、前面共通パッド200は、例えば、PCBの上面においてソースを(共通ソースフィンガ182および共通ソース領域192を介して)接続することができる。共通パッド200が入力パッド196および出力パッド198との間に実装されているため、ビア接続を使用することなく、ゲートとドレインとの間に効果的な絶縁を提供することができる。

【0032】

本明細書に記載の実施形態は、半導体デバイスに関するものであり、より具体的には、入力ポートおよび/または出力ポートがトランジスタデバイスの活性領域内に配置されているとともに、トランジスタデバイスの入力フィンガ、出力フィンガ、および共通フィンガの間に配置されているトランジスタデバイスのレイアウトに関するものである。トランジスタのレイアウトは、トランジスタフィンガ間のギャップを効果的に利用して、トランジスタデバイスの入力ポートおよび/または出力ポートを作製することを可能にする。入力ポートおよび/または出力ポートは、ワイヤボンディング用のボンドパッドまたはフリップチップボンディング用のはんだバンプを含み得る。従って、トランジスタのレイアウトは、ダイサイズおよび性能の両方で利点を得ることができる。さらに、基板貫通ビア(TSV: through substrate via)接続を含む実施形態では、このサイズの縮小によってソース・ドレイン間のピッチ(SDP: source-to-drain pitch)が損なわれることはない。

【0033】

本開示は、本発明の真の、意図された、そして公正な範囲および思想を制限するのではなく、本発明による様々な実施形態を形成するとともに使用する方法を説明することを意図している。前述の説明は、網羅的であること、または本発明を開示された正確な形態に限定することを意図するものではない。上記の教示に照らして、改良または変形が可能である。実施形態は、本発明の原理およびその実用的な適用の最良の例示を提供するとともに、当業者が、企図される特定の用途に適した様々な実施形態において、および様々な改良において本発明を利用できるようにするために選択および説明されたものである。そのようなすべての改良および変形は、特許出願の係属中に補正される可能性がある、添付の特許請求の範囲によって決定される本発明の範囲内にあり、それらのすべての均等物は、それらが公正に、法的に、かつ衡平に権利を与えられる範囲に従って解釈される場合には、本発明の範囲内にある。

10

20

30

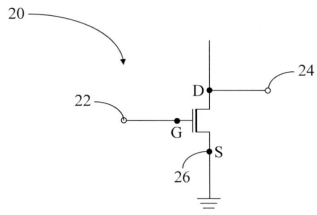
40

50

【図面】

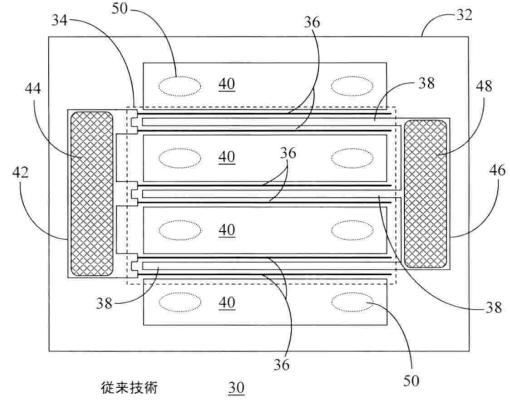
【図 1】

FIG. 1



【図 2】

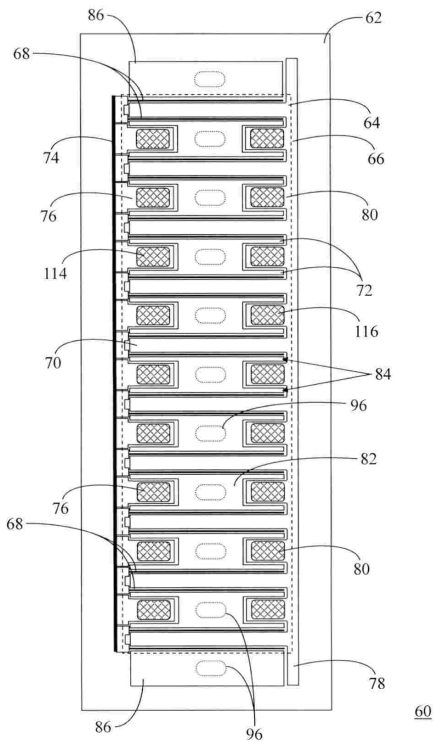
FIG. 2



10

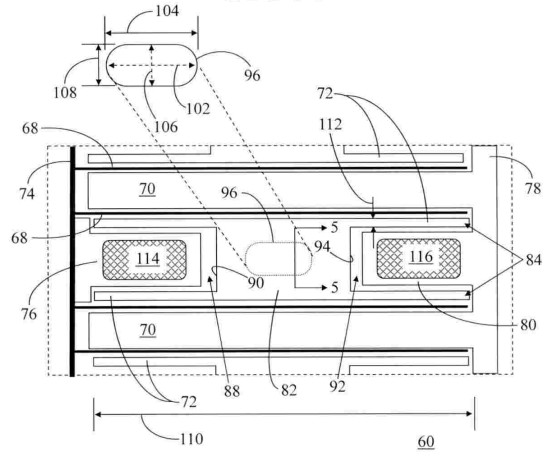
【図 3】

FIG. 3



【図 4】

FIG. 4



20

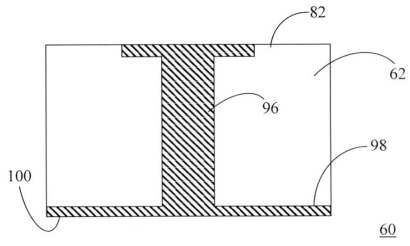
30

40

50

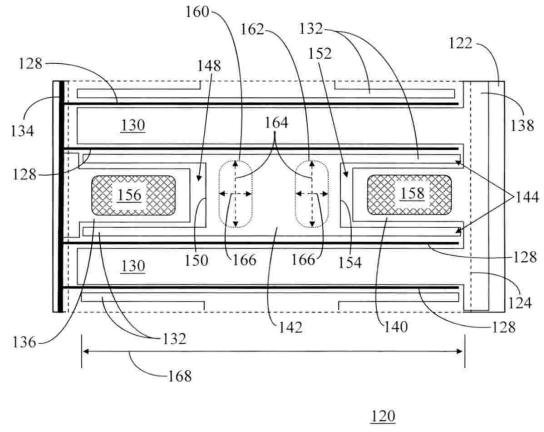
【 図 5 】

FIG. 5



【 図 6 】

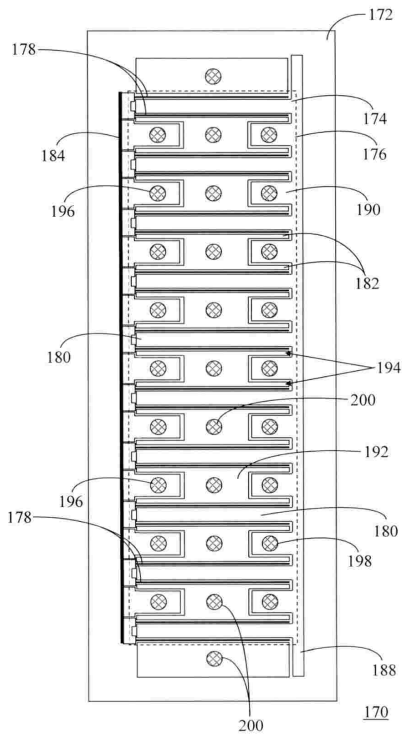
FIG. 6



10

【 図 7 】

FIG. 7



20

30

40

50

フロントページの続き

- オースティン ウィリアム キャノン ドライブ ウエスト 6501
(72)発明者 フマユーン カビール
アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウエスト
6501
審査官 戸川 匠
- (56)参考文献 国際公開第2020/018761(WO, A2)
特開2019-179857(JP, A)
米国特許出願公開第2020/0194368(US, A1)
特表2021-531654(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 21/28
H01L 21/338
H01L 29/41
H01L 29/417
H01L 29/812