(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 11/34

(45) 공고일자 2001년07월12일
(11) 등록번호 10-0294020
(24) 등록일자 2001년04월10일

(21) 출원번호 10-1998-0025610
(22) 출원일자 1998년06월30일

(65) 공개번호 특2000-0004192
(43) 공개일자 2000년01월25일

(73) 특허권자 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 송병철
경기도 용인시 기흥읍 신갈리 1-2번지 은행빌딩 가동 202호
유학수
서울특별시 동작구 신대방1동 695-8
이광진
서울특별시 영등포구 도림동 138-37

(74) 대리인 김능균

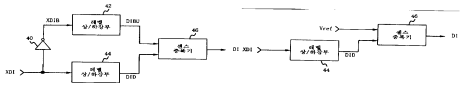
심사관 : 곽준영

(54) 레벨쉬프터및이를이용한반도체메모리장치

요약

본 발명은 레벨 쉬프터 및 이를 이용한 반도체 메모리 장치를 공개한다. 그 회로는 입력신호 및 반전 입력신호를 각각 입력하여 입력신호 및 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1, 2출력신호를 출력하기 위한 제1 및 제2레벨 상/하강부, 및 제1 및 제2레벨 상/하강부의 제1, 2출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제3출력신호를 발생하기 위한 센스 증폭기로 구성되거나, 입력신호를 입력하여 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1출력신호를 발생하기 위한 레벨 상/하강 수단, 및 기준전압 레벨 및 레벨 상/하강 수단의 제1출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제2출력신호를 발생하기 위한 센스 증폭기로 구성되어 있다. 따라서, 다양한 레벨 차이를 가지는 입력신호를 입력하여 일정한 레벨 차이를 가지는 신호로 변환하여 출력할 수 있다. 이를 이용한 메모리 장치는 복수개의 신호 입력단자들, 및 복수개의 신호 출력단자들 각각에 레벨 쉬프터를 구성한 것을 특징으로 한다. 따라서, 외부 장치로부터 입력되는 다양한 레벨 차이를 가지는 신호를 내부 전압 레벨로 변환할 수 있고, 다양한 내부 전원전압을 출력측의 외부 장치의 내부 전압 레벨로 변환하여 출력할 수 있다. 따라서, 외부 장치들과의 인터페이스가 용이하다.

대표도



명세서

도면의 간단한 설명

도1은 종래의 레벨 쉬프터의 실시예의 회로도이다.

도2는 도1에 나타낸 레벨 쉬프터를 이용한 반도체 메모리 장치의 블록도이다.

도3은 본 발명의 일실시예의 레벨 쉬프터의 블록도이다.

도4는 도3에 나타낸 레벨 쉬프터의 실시예의 회로도이다.

도5 내지 도7은 레벨 쉬프터의 동작을 설명하기 위한 것으로, 실험에 의해서 얻어진 결과를 나타내는 것이다.

도8은 본 발명의 다른 실시예의 레벨 쉬프터의 블록도이다.

도9는 도8에 나타낸 레벨 쉬프터의 실시예의 회로도이다.

도10은 본 발명의 레벨 쉬프터를 이용한 반도체 메모리 장치의 일실시예의 블록도이다.

도11는 본 발명의 레벨 쉬프터를 이용한 반도체 메모리 장치의 다른 실시예의 블록도이다.

도12는 도11에 나타낸 출력버퍼의 일실시예의 회로도이다.

도13은 도11에 나타낸 출력버퍼의 다른 실시예의 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 레벨 쉬프터(level shifter)에 관한 것으로, 특히 다양한 전압 차이를 가지는 신호를 입력하여 일정한 레벨을 가지는 신호로 변환할 수 있는 레벨 쉬프터에 관한 것이다.

레벨 쉬프터는 입력 신호 레벨을 변환하여 출력하는 회로로서, 예를 들면, CMOS레벨의 신호를 TTL레벨의 신호로 변환하여 출력하거나, TTL레벨의 신호를 CMOS레벨의 신호로 변환하여 출력하는 회로를 말한다. 그런데, 종래의 레벨 쉬프터는 하나의 레벨의 신호를 다른 하나의 레벨의 신호로 변환하는 기능은 수행할 수 있었다. 그러나, 다양한 레벨의 신호를 입력하여 일정한 레벨의 신호로 변환하는 기능은 수행할 수 없었다.

이와같은 레벨 쉬프터는 반도체 메모리 장치와 외부 장치와의 인터페이스를 위하여 사용되고 있다. 즉, 종래의 반도체 메모리 장치는 외부로부터 입력되는 신호들의 레벨이 장치 내부의 동작 전압 레벨과 다른 경우에 이들 신호들을 내부 전압 레벨의 신호로 변환해주기 위하여 레벨 쉬프터를 구비하고 있었다. 이러한 레벨 쉬프터들은 대개는 센스 증폭기

로 구성이 되며, 이들 센스 증폭기가 각각의 신호 입력단에 연결되어 입력되는 데이터 신호, 어드레스 신호, 제어신호, 및 클럭신호의 레벨을 내부 전압 레벨로 변환해 주었다. 그런데, 센스 증폭기는 외부로부터 입력되는 신호의 레벨 차이가 하나의 레벨로 고정되어 있는 경우에는 이들 신호의 전압 차이를 정확하게 증폭하여 출력할 수가 있으나, 외부로부터 입력되는 신호의 레벨이 다양한 경우에는 이들 신호의 전압 차이를 정확하게 증폭하여 출력할 수가 없다는 단점이 있었다. 이것은 일반적으로 증폭기를 설계할 때 어떤 특정 레벨의 전압 차이를 증폭하여 출력하도록 구성되기 때문이다. 따라서, 종래의 반도체 메모리 장치는 외부로부터 입력되는 신호들의 전압 차이가 일정한 경우에만 정확하게 증폭하여 내부 전압 레벨로 변환할 수 있었다.

그래서, 종래의 반도체 메모리 장치가 다양한 레벨 차이를 가지는 입력신호를 증폭하여 내부 전압 레벨로 변환하기 위해서는 외부로부터 입력되는 전압 레벨의 차이에 따라 정확한 내부 전압 레벨의 신호를 발생하기 위하여 다양하게 설계된 센스 증폭기를 구비하여야 하고, 외부로부터 입력되는 전압 레벨의 차이에 따라 다양한 센스 증폭기들중의 하나만 동작하도록 하기 위한 스위칭 수단을 구비하여야 함으로써 그 회로 구성이 복잡해지는 문제점이 있었다.

예를 들어 설명하면, 종래의 동기식 반도체 메모리 장치의 클럭신호 발생회로는 외부 클럭신호 및 반전 클럭신호가 입력되면, 이 클럭신호의 전압 차이를 증폭하여 " 하이" 레벨 및 " 로우" 레벨의 클럭신호를 발생하고, 이 증폭된 " 하이" 레벨의 클럭신호 및 " 로우" 레벨의 클럭신호의 차이를 증폭하여 이 증폭된 신호를 클럭 발생회로로 출력한다. 그래서, 클럭 발생회로가 마지막으로 증폭된 신호를 이용하여 내부 클럭 신호를 발생하게 된다. 그런데, 외부로부터 입력되는 클럭신호의 레벨이 다양하면 이들 다양한 레벨의 입력 클럭신호를 센스 증폭기가 정확하게 동작하여 증폭하는 것은 어렵다. 즉, 센스 증폭기가 저전압 티티엘(LVTTL; low voltage transistor transistor logic) 레벨인 0V(" 로우" 레벨 ")에서 3.3V(" 하이" 레벨)로 천이하는 클럭신호를 증폭하여 내부 전압을 발생하도록 구성되어 있다면, 이 센스 증폭기는 고속 티엘(HSTL; high speed transistor logic) 레벨인 0V(" 로우" 레벨)에서 1.5V(" 하이" 레벨)로 천이하는 클럭신호가 입력되는 경우에는 이들 레벨의 차이를 정확하게 증폭하여 내부 전압을 발생할 수가 없다는 문제점이 있다. 그리고, 이러한 문제점을 해결하기 위하여 다양한 입력 클럭신호의 레벨 차이를 정확하게 증폭할 수 있는 센스 증폭기를 각각 별도로 구성하는 경우에는 회로구성이 복잡해지는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 다양한 레벨 차이를 가지는 입력신호들을 입력하여 일정한 레벨을 가지는 신호로 변환할 수 있는 레벨 쉬프터를 제공하는데 있다.

본 발명의 다른 목적은 상기 목적을 달성하기 위한 레벨 쉬프터를 이용한 반도체 메모리 장치를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 레벨 쉬프터의 하나는 입력신호 및 반전 입력신호를 각각 입력하여 상기 입력신호 및 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1, 2출력신호를 출력하기 위한 제1 및 제2레벨 상/하강수단, 및 상기 제1 및 제2레벨 상/하강수단의 제1, 2출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제3출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 레벨 쉬프터의 다른 하나는 입력신호를 입력하여 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1출력신호를 발생하기 위한 레벨 상/하강 수단, 및 기준전압 레벨 및 상기 레벨 상/하강 수단의 제1출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제2출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 한다.

상기 다른 목적을 달성하기 위한 본 발명의 레벨 쉬프터를 이용한 반도체 메모리 장치의 하나는 복수개의 신호 입력단자들을 구비한 반도체 메모리 장치에 있어서, 상기 복수개의 신호 입력단자들 각각이 상기 하나의 레벨 쉬프터 또는 다른 하나의 레벨 쉬프터를 구비한 것을 특징으로 한다.

상기 다른 목적을 달성하기 위한 본 발명의 레벨 쉬프터를 이용한 반도체 메모리 장치의 다른 하나는 복수개의 신호 입력단자들, 및 복수개의 신호 출력단자들을 구비한 반도체 메모리 장치에 있어서, 상기 복수개의 신호 입력단자들 각각이 상기 하나의 레벨 쉬프터를 구비하고, 상기 복수개의 신호 출력단자들 각각이 상기 장치로부터 출력되는 제3출력신호 및 상기 반전 제3출력신호를 각각 입력하여 상기 제3출력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제4, 5출력신호를 발생하기 위한 제3, 4레벨 상/하강 수단들, 및 상기 제3, 4레벨 상/하강수단들 각각의 제4, 5출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제6출력신호를 발생하기 위한 센스 증폭수단들을 구비한 것을 특징으로 한다.

상기 다른 목적을 달성하기 위한 본 발명의 레벨 쉬프터를 이용한 반도체 메모리 장치의 또 다른 하나는 복수개의 신호 입력단자들, 및 복수개의 신호 출력단자들을 구비한 반도체 메모리 장치에 있어서, 상기 복수개의 신호 입력단자들 각각이 상기 다른 하나의 레벨 쉬프터를 구비하고, 상기 복수개의 신호 출력단자들 각각이 상기 장치로부터 출력되는 제2출력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제3출력신호를 발생하기 위한 제2레벨 상/하강 수단, 및 제2기준전압 레벨 및 상기 제2레벨 상/하강수단으로부터 출력되는 제3출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제4출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명의 레벨 쉬프터 및 이를 이용한 반도체 메모리 장치를 설명하기 전에 종래의 레벨 쉬프터를 먼저 설명하면 다음과 같다.

도1은 종래의 레벨 쉬프터의 회로도로서, 전원전압(VDD)이 인가되는 소스를 가진 PMOS트랜지스터(P2), 반전 신호(XDIB)가 인가되는 게이트와 PMOS트랜지스터(P2)의 드레인에 연결된 소스를 가진 PMOS트랜지스터(P1), PMOS트랜지스터(P2)의 드레인에 연결된 소스와 신호(XDI)가 인가되는 게이트와 출력단자(DI)에 연결된 드레인을 가진 PMOS트랜지스터(P3), PMOS트랜지스터(P1)의 드레인에 공통 연결된 드레인과 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터(N1), 및 PMOS트랜지스터(P3)의 드레인에 연결된 드레인과 NMOS트랜지스터(N1) 및 PMOS트랜지스터(P2)의 게이트에 연결된 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터(N2)로 구성되어 있다.

도1에 나타낸 레벨 쉬프터의 구성은 센스 증폭기의 구성으로서, 입력되는 신호(XDI) 및 반전 신호(XDIB)가 각각 0V, 3.3V이고, 전원전압(VDD)이 3.3V인 경우에, PMOS트랜지스터(P3)가 PMOS트랜지스터(P1)보다 많이 온되어 출력전압(DI)을 3.3V로 한다. 그리고, 입력되는 신호(XDI) 및 반전 신호(XDIB)가 각각 3.3V, 0V이고, 전원전압(VDD)이 3.3V인 경우에는 PMOS트랜지스터(P1)이 PMOS트랜지스터(P3)보다 많이 온되어 출력신호(DI)를 0V로 한다. 즉, 도1에 나타낸 레벨 쉬프터는 입력되는 신호 레벨의 차이가 3.3V인 경우에는 이 신호 레벨의 차이를 증폭하여 정확하게 0V, 3.3V의 출력신호(DI)를 발생할 수 있지만, 만일 입력되는 신호들의 레벨 차이가 이 전압 차이보다 작거나 큰 경우에는 정확하게 증폭하여 출력신호(DI)를 발생할 수가 없었다.

도2는 도1에 나타낸 것과 같은 레벨 쉬프터를 이용한 반도체 메모리 장치의 블록도로서, 어드레스 입력버퍼(10), 데이터 입력버퍼(12), 제어신호 입력버퍼(14), 클럭신호 입력버퍼(16), 제어신호 발생회로(18), 펄스 발생회로(20), 메모리 셀 어레이(22), 행 어드레스 디코더(24), 라이트 드라이버(26), 열 어드레스 디코더(28), 센스 증폭기(30), 및 데이터 출력버퍼(32)로 구성되어 있다.

도2의 구성에서, 어드레스 입력버퍼(10), 데이터 입력버퍼(12), 제어신호 입력버퍼(14), 및 클럭신호 입력버퍼(16)는 레벨 쉬프터를 이용하여 구성되어 있다. 즉, 어드레스 입력버퍼(10)는 x개의 레벨 쉬프터들, 데이터 입력버퍼(12)는 y개의 레벨 쉬프터들, 제어신호 입력버퍼(14)는 k개의 레벨 쉬프터들, 데이터 출력버퍼(32)는 z개의 레벨 쉬프터들로 각각 구성되어 있다.

어드레스 입력버퍼(10)는 x개의 어드레스 신호들을 각각 버퍼하여 출력한다. 즉, 외부에서 입력되는 신호의 레벨을 내부 전압 레벨로 변환하여 출력한다. 데이터 입력버퍼(12), 제어신호 입력버퍼(14), 및 클럭신호 입력버퍼(16)는 각각 y개의 데이터 입력신호들, k개의 제어신호들, 클럭신호를 버퍼하여 출력한다. 클럭신호 입력버퍼(16)는 클럭신호 및 반전 클럭신호가 외부에서 직접 입력되는 경우에는 내부에서 클럭신호를 반전함에 의해서 반전 클럭신호를 발생할 필요없이 외부에서 인가되는 클럭신호 및 반전 클럭신호를 직접 입력하여 버퍼하면 된다. 제어신호 발생회로(18)는 제어신호 입력버퍼(14)에 의해서 버퍼된 제어신호를 이용하여 제어신호(IC)를 발생한다. 이 제어신호(IC)는 라이트 및 리드 동작 수행시에 라이트 드라이버(26), 센스 증폭기(30), 및 데이터 출력버퍼(32)를 제어하기 위하여 사용된다. 그리고, 펄스 발생회로(20)는 클럭신호 입력버퍼(16)에 의해서 버퍼된 클럭신호를 입력하여 내부 전압 레벨을 가지는 내부 클럭신호(ICK)를 발생한다. 메모리 셀 어레이(22)는 비트 라인쌍으로부터 전송되는 데이터를 셀에 저장하고, 셀에 저장된 데이터를 비트 라인쌍으로 전송한다. 행 어드레스 디코더(24)는 어드레스 입력버퍼(10)에 의해서 버퍼된 행 어드레스를 디코딩하여 워드 라인 선택신호들(WL1, WL2, ..., WLn)을 발생한다. 라이트 드라이버(26)는 데이터 입력버퍼(12)에 의해서 버퍼된 데이터를 데이터 라인쌍(DL, DLB)으로 전송한다. 센스 증폭기(30)는 데이터 라인쌍으로 전송된 데이터를 증폭한다. 데이터 출력버퍼(32)는 센스 증폭기(30)에 의해서 증폭된 데이터를 버퍼하여 z개의 출력 데이터(XDOz)를 외부로 출력한다.

도2에 나타낸 바와 같은 종래의 반도체 메모리 장치는 센스 증폭기 구조를 가진 레벨 쉬프터를 이용하여 입력버퍼들을 구성함으로써 일정한 레벨 차이를 가지는 입력 신호만을 증폭하여 내부 전압 레벨을 가지는 신호로 변환할 수 있었다.

즉, 외부로부터 입력되는 신호의 " 로우" 레벨이 0V, " 하이" 레벨이 1.5V이고, 내부 전원전압의 " 로우" 레벨이 0V, " 하이" 레벨이 3.3V라면, 외부로부터 입력되는 신호의 레벨 차이를 증폭하여 내부 전압 레벨로 출력할 수가 있다. 그러나, 외부로부터 입력되는 신호의 " 로우" 레벨이 0V, " 하이" 레벨이 1.5V이고, 내부 전압의 " 로우" 레벨이 0V, " 하이" 레벨이 2.5V라면, 외부로부터 입력되는 신호의 레벨 차이를 정확하게 증폭하여 내부 전압 레벨을 출력할 수가 없다는 문제점이 있었다.

따라서, 종래의 반도체 메모리 장치는 외부의 다른 장치로부터 입력되는 신호의 레벨 차이가 변화하면 센스 증폭기가 변화된 레벨 차이를 정확하게 증폭하여 내부 전압을 발생할 수가 없었다.

도3은 본 발명의 레벨 쉬프터의 구성을 나타내는 블럭도로서, 인버터(40), 레벨 상/하강부들(42, 44), 및 센스 증폭기(46)로 구성되어 있다.

인버터(40)는 신호(XDI)를 반전하여 반전 신호(XDIB)를 발생한다. 레벨 상/하강부들(42, 44)은 각각 인버터(40)의 반전출력 신호(XDIB)와 신호(XDI)가 " 하이" 레벨일 경우에는 신호(XDI)의 " 하이" 레벨보다 레벨을 하강하고, " 로우" 레벨일 경우에는 신호(XDI)의 " 로우" 레벨보다 레벨을 상승하여 신호들(DIBU, DID)을 발생한다. 센스 증폭기(46)는 신호들(DIBU, DID)의 차이를 증폭하여 출력신호(DI)를 발생한다.

도3에 나타낸 레벨 상/하강부들(42, 44)은 입력되는 신호(XDI)의 " 하이" 레벨과 " 로우" 레벨의 차이가 다양한 경우에 이 신호의 레벨 차이를 거의 일정한 레벨 차이를 가지는 신호로 변환하여 주는 기능을 한다. 그리고, 센스 증폭기(46)는 거의 일정한 레벨 차이를 가지는 신호를 입력하여 증폭하여 신호(DI)를 발생하게 된다.

도4는 본 발명의 레벨 쉬프터의 구성을 나타내는 회로도로서, 레벨 상/하강부(42)은 NMOS트랜지스터들(N3, N4)과 PMOS트랜지스터들(P4, P5)로 구성되고, 레벨 상/하강부(44)는 NMOS트랜지스터들(N5, N6)과 PMOS트랜지스터들(P6, P7)로 구성되고, 센스 증폭기(46)는 도1에 나타낸 레벨 쉬프터와 동일하게 구성되어 있다. 그래서, 센스 증폭기(46)를 구성하는 트랜지스터들의 부호를 도1에 나타낸 것과 동일하게 표시하였다. 그러나, 레벨 상/하강부들(42, 44)은 구성은 동일하지만 레벨 상/하강부(42)는 반전 신호(DB)의 레벨을 변환하는 것이고, 레벨 상/하강부(44)는 신호(D)의 레벨을 변환하는 것이므로 부호를 다르게 표시하였다.

레벨 상/하강부(42)는 반전 신호(DIB)가 인가되는 게이트와 입력 신호(DI)의 전원전압(VDDI)이 인가되는 드레인을 가진 NMOS트랜지스터(N3), 반전 신호(DIB)가 인가되는 게이트와 내부 전원전압(VDD)이 인가되는 드레인과 NMOS트랜지스터(N3)의 소스와 출력신호(DIBU) 발생단자에 연결된 소스를 가진 NMOS트랜지스터(N4), NMOS트랜지스터(N3)의 소스에 연결된 소스와 반전 신호(DIB)가 인가되는 게이트와 접지전압에 연결된 드레인을 가진 PMOS트랜지스터(P4), NMOS트랜지스터(N4)의 소스에 연결된 소스와 반전 신호(DIB)가 인가되는 게이트와 접지전압에 연결된 드레인을 가진 PMOS트랜지스터(P5)로 구성되어 있다.

그리고, 도4의 레벨 상/하강부(42, 44)를 구성하는 NMOS트랜지스터들(N3, N4, N5, N6)의 벌크(기판)에는 접지전압이 인가되고, PMOS트랜지스터들(P4, P5, P6, P7)의 벌크(기판)에는 내부 전원전압(VDD)이 인가된다.

도5 내지 7은 도4에 나타낸 레벨 쉬프터의 동작을 설명하기 위한 것으로, 실험에 의해서 얻어진 레벨 변환값을 나타내는 것이다.

도5를 이용하여 도4에 나타낸 본 발명의 레벨 쉬프터의 동작을 설명하면 다음과 같다.

도5는 입력 신호(XDI)의 " 하이" 레벨이 3.3V이고, " 로우" 레벨이 0V이고, 내부 전원전압(VDD)이 3.3V인 경우의 동작을 설명하기 위한 것으로, 도4의 레벨 상/하강부들(42, 44)의 전원전압(VDD)으로 3.3V가 인가되고, 입력 전원전압(VDDI)으로 3.3V가 인가된다. 이 경우의 레벨 상/하강부(42)의 동작을 아래의 수학식을 참고로 하여 설명하면 다음과 같다.

일반적으로, MOS트랜지스터의 문턱전압(Vth)은 아래의 식으로 나타낼 수 있다.

수학식

$$Vth = Vtho + \gamma(\sqrt{\Phi + |V_{BS}|}) - \sqrt{\Phi}$$

기 식에서, Vtho는 V_{BS} 가 0일 때의 문턱전압을, γ는 벌크 문턱 파라메타(bulk threshold parameter)를, Φ는 표면 전위(strong inversion surface potential)를, V_{BS} 는 벌크-소스 전압을 각각 나타낸다.

도4의 레벨 상/하강부(42)의 PMOS트랜지스터들(P4, P5) 및 NMOS트랜지스터들(N3, N4)의 게이트로 3.3V가 인가되면, PMOS트랜지스터들(P4, P5)은 오프되고, NMOS트랜지스터들(N3, N4)이 온된다. 그래서, NMOS트랜지스터들(N3, N4)에 의해서 발생되는 전압이 출력신호(DIBU)로 출력된다. 출력전압(DIBU)은 3.3V에서 NMOS트랜지스터(N4)의 문턱전압을 뺀 전압이 걸리게 된다. 문턱전압은 상기 식에 의해서 결정되며, 약 1.8V정도가 된다. 그래서, 출력전압(DIBU)의 " 하이" 레벨은 약 1.7V정도가 된다. 그리고, 레벨 상/하강부(42)의 PMOS트랜지스터들(P4, P5) 및 NMOS트랜지스터들(N3, N4)의 게이트로 0V가 인가되면, NMOS트랜지스터들(N3, N4)은 오프되고, PMOS트랜지스터(P4, P5)은 온되어 출력전압(DIBU)은 떨어지게 된다. 그런데, 이때, 출력전압은 완전히 0V로 떨어지는 것이 아니라 PMOS트랜지스터들(P4, P5)의 문턱전압까지 떨어지게 되어 출력전압(DIBU)은 약 1.2V가 된다.

도6은 입력 신호(D)의 " 하이" 레벨이 1.5V이고, " 로우" 레벨이 0V이고, 내부 전원전압(VDD)이 2.5V인 경우의 동작을 설명하기 위한 것으로, 도4의 레벨 상/하강부들(42, 44)의 전원전압(VDD)으로 2.5V가 인가되고, 입력 전원전압(VDDI)으로 1.5V가 인가된다. 이 경우의 레벨 상/하강부(42)의 동작을 설명하면 다음과 같다.

도4의 레벨 상/하강부(42)의 PMOS트랜지스터들(P4, P5) 및 NMOS트랜지스터들(N3, N4)의 게이트로 1.5V가 인가되면, PMOS트랜지스터들(P4, P5)은 오프되고, NMOS트랜지스터들(N3, N4)이 온된다. 출력전압(DIBU)은 1.5V에서 NMOS트랜지스터(N4)의 문턱전압을 뺀 전압이 걸리게 된다. 문턱전압은 상기 식에 의해서 결정되며, 약 0.6V정도가 된다. 그래서, 출력전압(DIBU)의 " 하이" 레벨은 약 0.9V정도가 된다. 그리고, 레벨 상/하강부(42)의 PMOS트랜지스터들(P4, P5) 및 NMOS트랜지스터들(N3, N4)의 게이트로 0V가 인가되면, NMOS트랜지스터들(N3, N4)은 오프되고, PMOS트랜지스터(P4, P5)은 온되어 출력전압(DIBU)은 떨어지게 된다. 그런데, 이때, 출력전압은 완전히 0V로 떨어지는 것이 아니라 PMOS트랜지스터(P4, P5)의 문턱전압까지 떨어지게 되어 출력전압(DIBU)은 약 0.65V가 된다.

도7은 입력 신호(D)의 " 하이" 레벨이 0.8V이고, " 로우" 레벨이 0V이고, 내부 전원전압(VDD)이 1.5V인 경우의 동작을 설명하기 위한 것으로, 도4의 레벨 상/하강부들(42, 44)의 전원전압(VDD)으로 1.5V가 인가되고, 입력 전원전압(VDDI)으로 0.8V가 인가된다. 이 경우의 레벨 상/하강부(42)의 동작을 설명하면 다음과 같다.

도4의 레벨 상/하강부(42)의 PMOS트랜지스터들(P4, P5) 및 NMOS트랜지스터들(N3, N4)의 게이트로 0.8V가 인가되면, PMOS트랜지스터들(P4, P5)은 오프되고, NMOS트랜지스터들(N3, N4)이 온된다. 출력전압(DIBU)은 0.8V에서 NMOS트랜지스터(N4)의 문턱전압을 뺀 전압이 걸리게 된다. 문턱전압은 상기 식에 의해서 결정되며, 약 0.2V정도가 된다. 그래서, 출력전압(DIBU)의 " 하이" 레벨은 약 0.6V정도가 된다. 그리고, 레벨 상/하강부(42)의 PMOS트랜지스터들(P4, P5) 및 NMOS트랜지스터들(N3, N4)의 게이트로 0V가 인가되면, NMOS트랜지스터들(N3, N4)은 오프되고, PMOS트랜지스터(P4, P5)은 온되어 출력전압(DIBU)은 떨어지게 된다. 그런데, 이때, 출력전압은 완전히 0V로 떨어지는 것이 아니라 PMOS트랜지스터(P4, P5)의 문턱전압까지 떨어지게 되어 출력전압(DIBU)은 약 0.35V가 된다.

상술한 바와 같이 도4에 나타낸 레벨 상/하강부(42, 44)로 입력 신호를 인가하면 " 로우" 레벨의 신호는 레벨이 높아지게 되고, " 하이" 레벨의 신호는 레벨이 낮아지게 된다.

레벨 상/하강부(44)의 동작은 레벨 상/하강부(42)의 동작과 동일하므로 레벨 상/하강부(44)의 동작은 상술한 레벨 상/하강부(42)의 동작을 참조하면 될 것이라 생각된다.

그리고, 본 발명의 레벨 상/하강부의 동작 설명을 도5, 6, 및 7을 이용하여 3가지 경우에 대하여만 설명하였지만, 다른 레벨의 입력 신호가 인가되는 경우에도 동일하게 동작하여 신호의 레벨을 변환할 수 있다.

그래서, 레벨 상/하강부(42, 44)가 동작을 수행하여 다양한 입력 레벨 차이를 가지는 신호를 어느 정도 일정한 레벨 차이를 가지는 신호로 변환하여 출력하게 된다. 그러면, 센스 증폭기(46)가 동작을 수행하여 이들 레벨의 차이를 증폭하여 내부 전압 레벨의 신호로 출력한다.

도8은 본 발명의 다른 실시예의 레벨 쉬프터의 구성을 나타내는 블록도로서, 레벨 상/하강부(44) 및 센스 증폭기(46)로 구성되어 있다. 도8에 나타낸 구성은 도3에 나타낸 인버터(40) 및 레벨 상/하강부(42)를 제거하고 신호(DIBU)대신에 기준전압(Vref)을 입력하여 구성하였다. 따라서, 도8에서, 레벨 상/하강부 및 센스 증폭기를 동일 번호 및 부호로 표시하였다.

도9는 도8에 나타낸 레벨 쉬프터의 실시예의 회로도로서, 레벨 상/하강부(44) 및 센스 증폭기(46)의 구성은 도3에 나타낸 레벨 상/하강부(44) 및 센스 증폭기(46)의 구성과 동일하다. 그래서, 동일 번호 및 부호로 표시하였다.

레벨 상/하강부의 동작은 상술한 동작 설명을 참고로 하면 될 것이라 생각된다. 센스 증폭기(46)는 기준전압(Vref)과 레벨 상/하강부(44)의 출력신호(DID)의 전압 차이를 증폭하여 내부 전압 레벨의 출력신호(DI)를 발생한다. 센스 증폭기(46)로 인가되는 기준전압(Vref)의 레벨은 도5, 6, 및 7에 나타낸 레벨 쉬프트된 " 하이" 레벨과 " 로우" 레벨의 중간 레벨로 설정하면 된다.

도10은 도4 또는 도8에 나타낸 레벨 쉬프터를 이용한 반도체 메모리 장치의 일실시예의 구성을 나타내는 블록도로서, 도2에 나타낸 블록도의 구성과 동일하다. 단지 어드레스 입력버퍼(50), 데이터 입력버퍼(52), 제어신호 입력버퍼(54), 및 클럭신호 입력버퍼(56)의 구성이 도2에 나타낸 버퍼들과 다른 구성을 가지므로 번호를 달리하여 표시하였다.

도11은 도4 또는 도8에 나타낸 레벨 쉬프터를 이용한 반도체 메모리 장치의 다른 실시예의 구성을 나타내는 블록도로서, 도10에 나타낸 블록도의 구성에 출력 버퍼(60)를 추가하여 구성되어 있다.

출력 버퍼(60)는 데이터 출력버퍼(32)로 부터의 신호를 입력하여 출력측의 외부 장치의 내부 전압 레벨의 신호로 변환하여 출력신호(XDO)를 발생한다. 출력신호(XDO)의 레벨은 반도체 메모리 장치로 부터의 신호를 입력하는 출력측의 외부 장치의 내부 전압 레벨로 변환된다.

도10 및 11에서 클럭신호 입력버퍼(56)는 클럭신호 및 반전 클럭신호가 외부로부터 각각 입력되는 경우에는 도3 및 4에 나타낸 레벨 쉬프터의 구성에서 인버터(40)가 필요없게 된다. 즉, 외부로부터 입력되는 반전 클럭신호를 레벨 상/하강부(42)로 직접 입력하면 된다.

도12는 도11에 나타낸 출력 버퍼의 일실시예의 구성을 나타내는 것으로, 도4에 나타낸 레벨 쉬프터의 구성과 동일하다. 도12에서, NMOS트랜지스터들(N1, N2, N3, N4, N5, N6), PMOS트랜지스터들(P1, P2, P3, P4, P5, P6, P7)은 도4에 나타낸 트랜지스터들과 동일한 부호를 사용하여 표시하였고, 도4의 신호들(XDI, XDIB, DIBU, DID, DI)은 신호들(DO, DOB, DOBU, DOD, XDO)로 표시하고, 입력 전원전압(VDDI)은 내부 전원전압(VDD)으로 내부 전원전압(VDD)은 출력 전원전압(VDDQ)으로 표시하여 나타내었다.

도12에 나타낸 레벨 상/하강부는 도4에 나타낸 레벨 상/하강부와 동일하게 동작한다. 그래서, 내부 전압 레벨(VDD)이 다양하게 변화하더라도 출력측의 외부 장치의 내부 전압 레벨(VDDQ)로 변환하여 출력할 수가 있다.

도13은 도11에 나타낸 출력버퍼의 다른 실시예의 구성을 나타내는 것으로, 도9에 나타낸 레벨 쉬프터의 구성과 동일하다. 도13에서, NMOS트랜지스터들(N1, N2, N5, N6), PMOS트랜지스터들(P1, P2, P3, P6, P7)은 도4에 나타낸 트랜지스터들과 동일한 부호를 사용하여 표시하였고, 도9의 신호들(XDI, DID, DI)은 신호들(DO, DOD, XDO)로 표시하고, 입력 전원전압(VDDI)은 내부 전원전압(VDD)으로 내부 전원전압(VDD)은 출력 전원전압(VDDQ)으로 표시하여 나타내었다.

도13에 나타낸 레벨 상/하강부는 도9에 나타낸 레벨 상/하강부의 동작과 동일하다. 그래서, 내부 전압 레벨(VDD)이 다양하게 변화하더라도 출력측의 외부 장치의 내부 전압 레벨(VDDQ)로 변환하여 출력할 수가 있다.

따라서, 도11에 나타낸 반도체 메모리 장치는 입력되는 전압 레벨이 다양하게 변화하더라도 장치의 내부 전압 레벨로 안정되게 변환할 수 있다. 도10에 나타낸 반도체 메모리 장치는 입력되는 전압 레벨이 다양하게 변화하더라도 장치의 내부 전압 레벨로 안정되게 변환할 수 있을 뿐만아니라, 장치의 내부 전압 레벨이 출력측에 연결되는 외부 장치의 내부 전압 레벨과 다를 경우에도 출력측에 연결되는 외부 장치의 내부 전압 레벨로 변환하여 출력할 수 있다.

따라서, 설계자가 시스템을 구성할 때 본 발명의 반도체 메모리 장치를 이용하면 장치간의 레벨 인터페이스가 용이하다.

발명의 효과

본 발명의 레벨 쉬프터는 다양한 레벨 차이를 가지는 입력신호를 입력하여 일정한 레벨 차이를 가지는 신호로 변환하여 출력할 수 있다.

또한, 이를 이용한 반도체 메모리 장치는 외부 장치로부터 입력되는 다양한 레벨 차이를 가지는 신호를 내부 전압 레벨로 변환할 수 있고, 다양한 내부 전원전압을 출력측의 외부 장치의 내부 전압 레벨로 변환하여 출력할 수 있다. 따라서, 외부 장치들과의 인터페이스가 용이하다.

(57) 청구의 범위

청구항 1.

입력신호 및 반전 입력신호를 각각 입력하여 상기 입력신호 및 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1, 2출력신호를 출력하기 위한 제1 및 제2레벨 상/하강수단; 및

상기 제1 및 제2레벨 상/하강수단의 제1, 2출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제3출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 2.

제1항에 있어서, 상기 제1레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제1수단; 및

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제2수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 3.

제2항에 있어서, 상기 제1수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀다운수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 4.

제3항에 있어서, 상기 제1풀업수단은

상기 입력신호가 인가되는 게이트와 상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되는 드레인과 제1출력전압 발생단자에 연결된 소스를 가진 제1NMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 5.

제3항에 있어서, 상기 제1풀다운수단은

상기 입력신호가 인가되는 게이트와 상기 제1출력전압 발생단자에 연결된 소스와 접지전압에 연결된 드레인을 가진 제1PMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 6.

제2항에 있어서, 상기 제2수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀다운수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 7.

제6항에 있어서, 상기 제2풀업수단은

상기 입력신호를 입력하는 게이트와 상기 제3출력신호의 " 하이" 레벨 전압이 전원전압으로 인가되는 드레인과 상기 제1출력전압 발생단자에 연결된 소스를 가진 제2NMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 8.

제6항에 있어서, 상기 제2풀다운수단은

상기 입력신호를 입력하는 게이트와 상기 제1출력신호 발생단자에 연결된 소스와 접지전압에 연결된 드레인을 가진 제2PMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 9.

제1항에 있어서, 상기 제2레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제2출력신호를 출력하기 위한 제3수단; 및

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제2출력신호를 출력하기 위한 제4수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 10.

제9항에 있어서, 상기 제3수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제3풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제3풀다운수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 11.

제10항에 있어서, 상기 제3풀업수단은

상기 반전 입력신호를 입력하는 게이트와 상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되는 드레인과 제2출력전압 발생단자에 연결된 소스를 가진 제3NMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 12.

제10항에 있어서, 상기 제3풀다운수단은

상기 반전 입력신호를 입력하는 게이트와 상기 제2출력전압 발생단자에 연결된 소스와 접지전압에 연결된 드레인을 가진 제3PMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 13.

제9항에 있어서, 상기 제4수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제4풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제4풀다운수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 14.

제13항에 있어서, 상기 제4풀업수단은

상기 반전 입력신호를 입력하는 게이트와 상기 제3출력신호의 " 하이" 레벨 전압이 전원전압으로 인가되는 드레인과 상기 제2출력전압 발생단자에 연결된 소스를 가진 제4NMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 15.

제13항에 있어서, 상기 제4풀다운수단은

상기 반전 입력신호를 입력하는 게이트와 상기 제2출력신호 발생단자에 연결된 소스와 접지전압에 연결된 드레인을 가진 제4PMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 16.

제2 또는 제9항에 있어서, 상기 센스 증폭수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되는 소스를 가진 제5PMOS트랜지스터;

상기 제2레벨 상/하강 수단의 출력신호가 인가되는 게이트와 상기 제5PMOS트랜지스터의 드레인에 연결된 소스를 가진 제6PMOS트랜지스터;

상기 제5PMOS트랜지스터의 드레인에 연결된 소스와 상기 제1레벨 상/하강수단의 출력신호가 인가되는 게이트와 출력단자에 연결된 드레인을 가진 제7PMOS트랜지스터;

상기 제6PMOS트랜지스터의 드레인에 공통 연결된 드레인 및 게이트와 접지전압에 연결된 소스를 가진 제5NMOS트랜지스터; 및

상기 제7PMOS트랜지스터의 드레인에 연결된 드레인과 제5NMOS트랜지스터 및 제5PMOS트랜지스터의 게이트에 공통 연결된 게이트와 접지전압에 연결된 소스를 가진 제6NMOS트랜지스터를 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 17.

복수개의 신호 입력단자들을 구비한 반도체 메모리 장치에 있어서,

상기 복수개의 신호 입력단자들 각각은

외부로부터의 입력되는 신호 및 상기 신호의 반전신호를 입력하여 상기 입력신호 및 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1, 2출력신호를 출력하기 위한 제1 및 제2레벨 상/하강수단; 및

상기 제1 및 제2레벨 상/하강수단의 제1, 2출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제3출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.

제17항에 있어서, 상기 반도체 메모리 장치가 클럭신호 및 반전 클럭신호를 각각 외부로부터 입력하는 장치인 경우에는 상기 외부로부터 입력되는 클럭신호 및 외부로부터 입력되는 반전 클럭신호를 상기 제1 및 제2레벨 상/하강 수단으로 입력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 19.

제17항에 있어서, 상기 제3출력신호의 " 하이" 레벨의 전압은 상기 반도체 메모리 장치의 내부 전원전압임을 특징으로 하는 반도체 메모리 장치.

청구항 20.

제17항에 있어서, 상기 제1레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제1수단; 및

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되어 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제2수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 21.

제20항에 있어서, 상기 제1수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 22.

제20항에 있어서, 상기 제2수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 23.

제17항에 있어서, 상기 제2레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우 " 레벨은 상승하여 상기 제2출력신호를 출력하기 위한 제3수단; 및

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제2출력신호를 출력하기 위한 제4수단을 구비한 것을 특징으로 하는 반도체 메모리 장치 .

청구항 24.

제23항에 있어서, 상기 제3수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제3풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제3풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 25.

제23항에 있어서, 상기 제4수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제4풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제4풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 26.

제20 또는 제23항에 있어서, 상기 센스 증폭수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되는 소스를 가진 제1PMOS트랜지스터;

상기 제2레벨 상/하강 수단의 출력신호가 인가되는 게이트와 상기 제1PMOS트랜지스터의 드레인에 연결된 소스를 가진 제2PMOS트랜지스터;

상기 제1PMOS트랜지스터의 드레인에 연결된 소스와 상기 제1레벨 상/하강수단의 출력신호가 인가되는 게이트와 상기 제3출력신호 발생단자에 연결된 드레인을 가진 제3PMOS트랜지스터;

상기 제2PMOS트랜지스터의 드레인에 공통 연결된 드레인 및 게이트와 접지전압에 연결된 소스를 가진 제1NMOS트랜지스터; 및

상기 제3PMOS트랜지스터의 드레인에 연결된 드레인과 제1NMOS트랜지스터 및 제1PMOS트랜지스터의 게이트에 공통 연결된 게이트와 접지전압에 연결된 소스를 가진 제2NMOS트랜지스터를 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 27.

복수개의 신호 입력단자들; 및

복수개의 신호 출력단자들을 구비한 반도체 메모리 장치에 있어서,

상기 복수개의 신호 입력단자들 각각은

외부로부터의 입력되는 신호 및 상기 신호의 반전 신호를 각각 입력하여 상기 입력신호 및 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1, 2출력신호를 발생하기 위한 제1 및 제2레벨 상/하강수단; 및

상기 제1 및 제2레벨 상/하강수단의 제1, 2출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제3출력신호를 발생하기 위한 센스 증폭수단을 구비하고,

상기 복수개의 신호 출력단자들 각각은

상기 장치로부터 출력되는 제3출력신호 및 상기 반전 제3출력신호를 각각 입력하여 상기 제3출력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제4, 5출력신호를 발생하기 위한 제3, 4레벨 상/하강 수단; 및

상기 제3, 4레벨 상/하강수단의 제4, 5출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제6출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 28.

제27항에 있어서, 상기 반도체 메모리 장치가 클럭신호 및 반전 클럭신호를 각각 외부로부터 입력하는 장치인 경우에는 상기 외부로부터 입력되는 클럭신호 및 외부로부터 입력되는 반전 클럭신호를 상기 제1 및 제2레벨 상/하강 수단으로 입력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 29.

제27항에 있어서, 상기 제3출력신호의 " 하이" 레벨의 전압은 상기 반도체 메모리 장치의 내부 전원전압임을 특징으로 하는 반도체 메모리 장치.

청구항 30.

제27항에 있어서, 상기 제1레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제1수단; 및

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제2수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 31.

제30항에 있어서, 상기 제1수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 32.

제30항에 있어서, 상기 제2수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 33.

제27항에 있어서, 상기 제2레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제2출력신호를 출력하기 위한 제3수단; 및

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 반전 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제2출력신호를 출력하기 위한 제4수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 34.

제33항에 있어서, 상기 제3수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제3풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제3풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 35.

제33항에 있어서, 상기 제4수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제4풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 반전 입력신호에 응답하여 상기 제2출력신호를 발생하기 위한 제4풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 36.

제30 또는 제33항에 있어서, 상기 센스 증폭수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되는 소스를 가진 제1PMOS트랜지스터;

상기 제2레벨 상/하강 수단의 출력신호가 인가되는 게이트와 상기 제1PMOS트랜지스터의 드레인에 연결된 소스를 가진 제2PMOS트랜지스터;

상기 제1PMOS트랜지스터의 드레인에 연결된 소스와 상기 제1레벨 상/하강수단의 출력신호가 인가되는 게이트와 상기 제3출력신호 출력단자에 연결된 드레인을 가진 제3PMOS트랜지스터;

상기 제2PMOS트랜지스터의 드레인에 공통 연결된 드레인 및 게이트와 접지전압에 연결된 소스를 가진 제1NMOS트랜지스터; 및

상기 제3PMOS트랜지스터의 드레인에 연결된 드레인과 제1NMOS트랜지스터 및 제1PMOS트랜지스터의 게이트에 공통 연결된 게이트와 접지전압에 연결된 소스를 가진 제2NMOS트랜지스터를 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 37.

제27항에 있어서, 상기 제3레벨 상/하강수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우 " 레벨은 상승하여 상기 제4출력신호를 출력하기 위한 제5수단; 및

상기 제6출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우 " 레벨은 상승하여 상기 제4출력신호를 출력하기 위한 제6수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 38.

제37항에 있어서, 상기 제5수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 제3출력신호에 응답하여 상기 제4출력신호를 발생하기 위한 제5풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 제3출력신호에 응답하여 상기 제4출력신호를 발생하기 위한 제5풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 39.

제37항에 있어서, 상기 제6수단은

상기 제6출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제5출력신호를 발생하기 위한 제6풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 제6출력신호에 응답하여 상기 제5출력신호를 발생하기 위한 제6풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 40.

제27항에 있어서, 상기 제4레벨 상/하강수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 제3 반전 출력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제5출력신호를 출력하기 위한 제7수단; 및

상기 제6출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 제3 반전 출력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제5출력신호를 출력하기 위한 제8수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 41.

제40항에 있어서, 상기 제7수단은

상기 제3출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 제3 반전 출력신호에 응답하여 상기 제5출력신호를 발생하기 위한 제7풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 제3 반전 출력신호에 응답하여 상기 제5출력신호를 발생하기 위한 제7풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 42.

제40항에 있어서, 상기 제8수단은

상기 제6출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 제3 반전 출력신호에 응답하여 상기 제5출력신호를 발생하기 위한 제8풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 제3 반전 출력신호에 응답하여 상기 제5출력신호를 발생하기 위한 제8풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 43.

제37 또는 제40항에 있어서, 상기 센스 증폭수단은

상기 제6출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되는 소스를 가진 제4PMOS트랜지스터;

상기 제4레벨 상/하강 수단의 출력신호가 인가되는 게이트와 상기 제4PMOS트랜지스터의 드레인에 연결된 소스를 가진 제5PMOS트랜지스터;

상기 제4PMOS트랜지스터의 드레인에 연결된 소스와 상기 제3레벨 상/하강수단의 출력신호가 인가되는 게이트와 상기 제6출력신호 출력단자에 연결된 드레인을 가진 제6PMOS트랜지스터;

상기 제5PMOS트랜지스터의 드레인에 공통 연결된 드레인 및 게이트와 접지전압에 연결된 소스를 가진 제3NMOS트랜지스터; 및

상기 제6PMOS트랜지스터의 드레인에 연결된 드레인과 제3NMOS트랜지스터 및 제6PMOS트랜지스터의 게이트에 공통 연결된 게이트와 접지전압에 연결된 소스를 가진 제4NMOS트랜지스터를 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 44.

입력신호를 입력하여 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1출력신호를 발생하기 위한 레벨 상/하강 수단; 및

기준전압 레벨 및 상기 레벨 상/하강 수단의 제1출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제2출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 45.

제44항에 있어서, 상기 레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 발생하기 위한 제1수단; 및

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 발생하기 위한 제2수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 46.

제45항에 있어서, 상기 제1수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀다운수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 47.

제45항에 있어서, 상기 제2수단은

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀다운수단을 구비한 것을 특징으로 하는 레벨 쉬프터.

청구항 48.

복수개의 신호 입력단자들을 구비한 반도체 메모리 장치에 있어서,

상기 복수개의 신호 입력단자들 각각은

입력신호를 입력하여 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1출력신호를 발생하기 위한 레벨 상/하강 수단; 및

기준전압 레벨 및 상기 레벨 상/하강 수단의 제1출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제2출력신호를 발생하기 위한 센스 증폭수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 49.

제48항에 있어서, 상기 반도체 메모리 장치가 클럭신호 및 반전 클럭신호를 각각 외부로부터 입력하는 장치인 경우에는 상기 외부로부터 입력되는 클럭신호 및 외부로부터 입력되는 반전 클럭신호를 상기 레벨 상/하강 수단으로 입력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 50.

제48항에 있어서, 상기 제2출력신호의 " 하이" 레벨의 전압은 상기 반도체 메모리 장치의 내부 전원전압임을 특징으로 하는 반도체 메모리 장치.

청구항 51.

제48항에 있어서, 상기 레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제1수단; 및

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되어 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제2수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 52.

제51항에 있어서, 상기 제1수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 53.

제51항에 있어서, 상기 제2수단은

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 54.

복수개의 신호 입력단자들; 및

복수개의 신호 출력단자들을 구비한 반도체 메모리 장치에 있어서,

상기 복수개의 신호 입력단자들 각각은

입력신호를 입력하여 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제1출력신호를 발생하기 위한 제1레벨 상/하강 수단; 및

제1기준전압 레벨 및 상기 제1레벨 상/하강 수단의 출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제2출력신호를 발생하기 위한 제1센스 증폭수단을 구비하고,

상기 복수개의 신호 출력단자들 각각은

상기 장치로부터 출력되는 제2출력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 제3출력신호를 발생하기 위한 제2레벨 상/하강 수단; 및

제2기준전압 레벨 및 상기 제2레벨 상/하강수단으로부터 출력되는 제3출력신호의 레벨 차이를 증폭하여 일정한 레벨의 제4출력신호를 발생하기 위한 제2센스 증폭수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 55.

제54항에 있어서, 상기 반도체 메모리 장치가 클럭신호 및 반전 클럭신호를 각각 외부로부터 입력하는 장치인 경우에는 상기 외부로부터 입력되는 클럭신호 및 외부로부터 입력되는 반전 클럭신호를 상기 제1레벨 상/하강 수단으로 입력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 56.

제54항에 있어서, 상기 제2출력신호의 " 하이" 레벨의 전압은 상기 반도체 메모리 장치의 내부 전원전압임을 특징으로 하는 반도체 메모리 장치.

청구항 57.

제54항에 있어서, 상기 제1레벨 상/하강수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우" 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제1수단; 및

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우 " 레벨은 상승하여 상기 제1출력신호를 출력하기 위한 제2수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 58.

제57항에 있어서, 상기 제1수단은

상기 입력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제1풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 59.

제57항에 있어서, 상기 제2수단은

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제1출력신호를 발생하기 위한 제2풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 60.

제54항에 있어서, 상기 제2레벨 상/하강수단은

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우 " 레벨은 상승하여 상기 제3출력신호를 출력하기 위한 제3수단; 및

상기 제4출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 입력신호의 " 하이" 레벨은 하강하고, " 로우 " 레벨은 상승하여 상기 제3출력신호를 출력하기 위한 제4수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 61.

제60항에 있어서, 상기 제3수단은

상기 제2출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제3출력신호를 발생하기 위한 제3풀업수단; 및

접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제3출력신호를 발생하기 위한 제3풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 62.

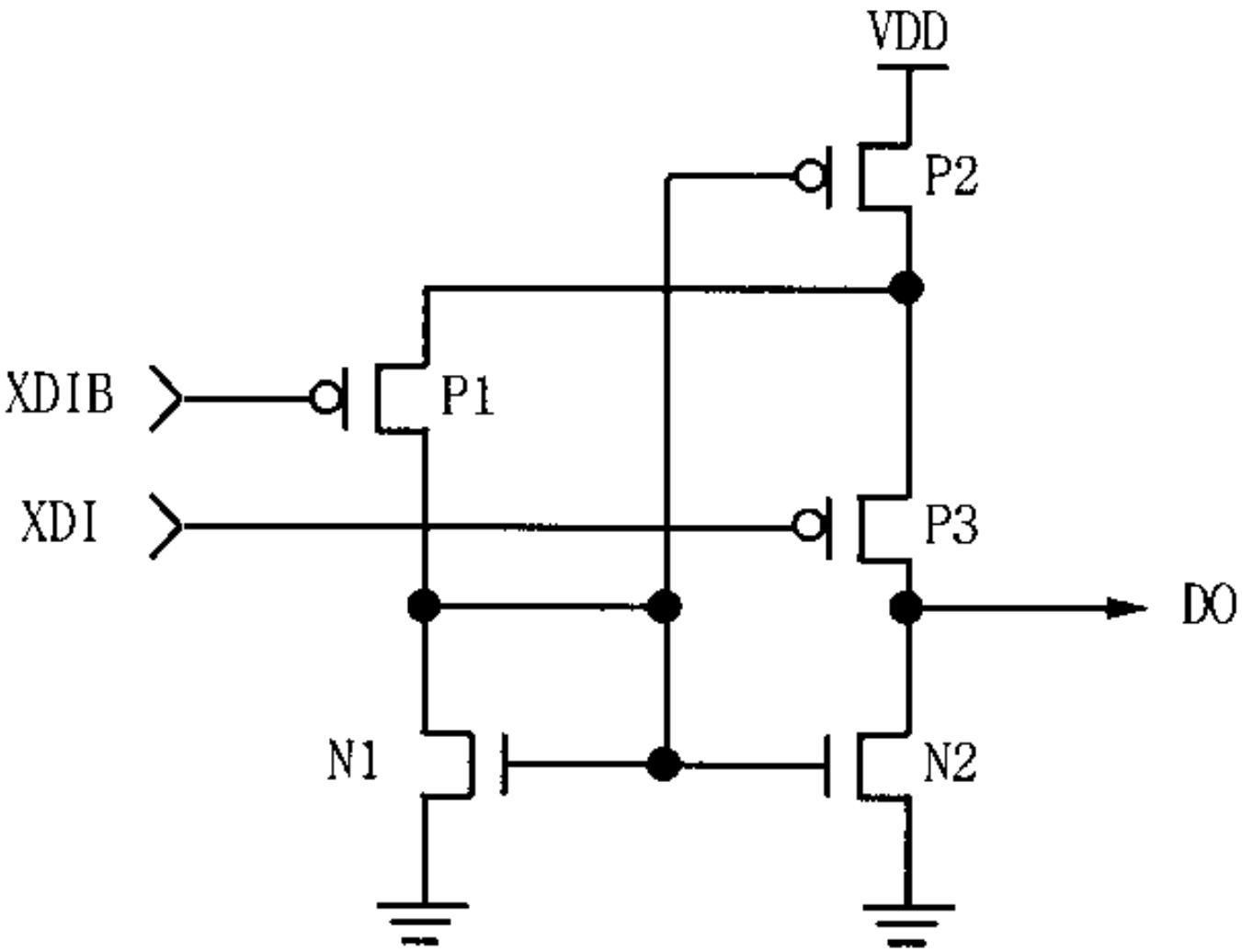
제60항에 있어서, 상기 제4수단은

상기 제4출력신호의 " 하이" 레벨의 전압이 전원전압으로 인가되고 상기 " 하이" 레벨의 입력신호에 응답하여 상기 제4출력신호를 발생하기 위한 제4풀업수단; 및

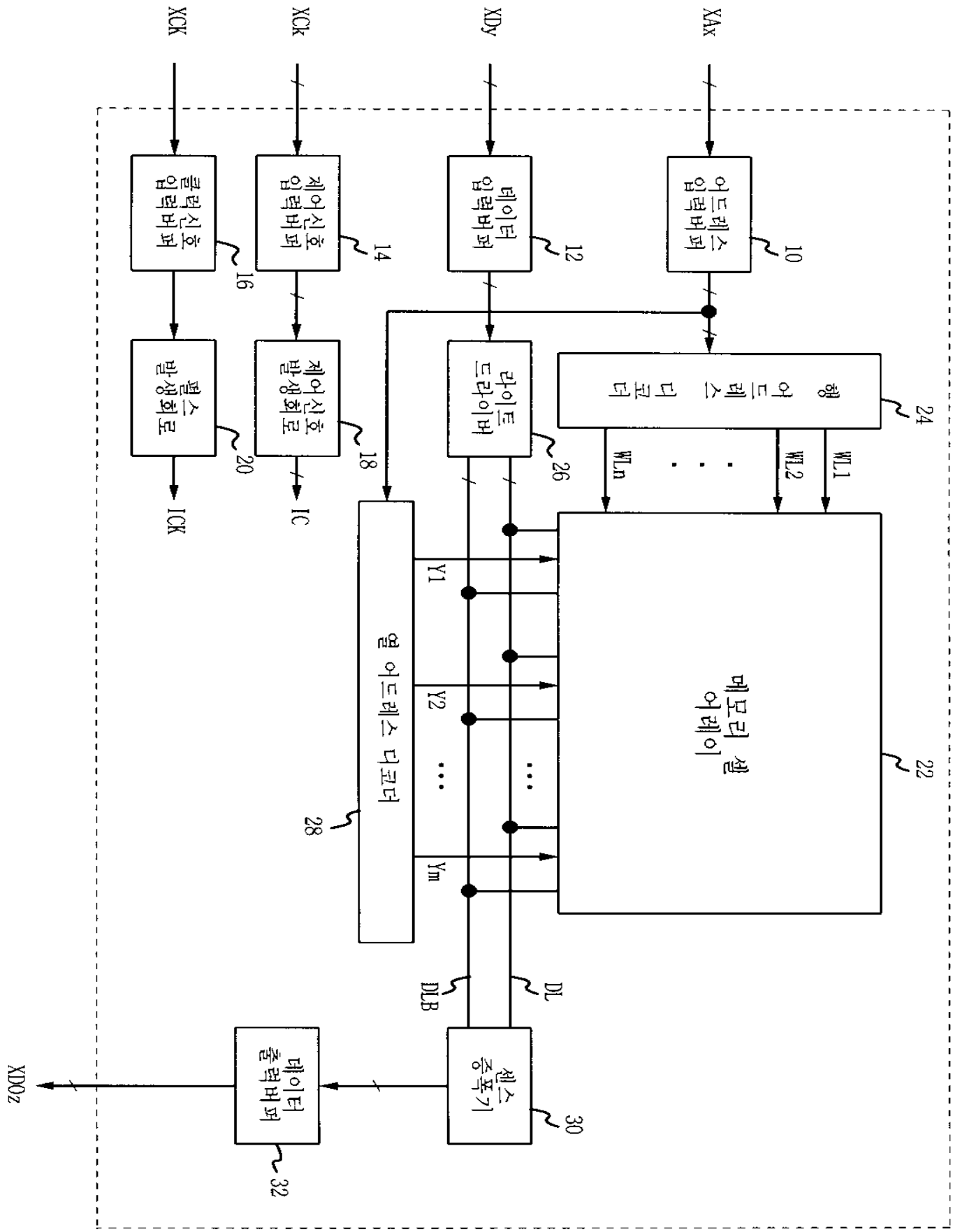
접지전압에 연결되고 상기 " 로우" 레벨의 입력신호에 응답하여 상기 제4출력신호를 발생하기 위한 제4풀다운수단을 구비한 것을 특징으로 하는 반도체 메모리 장치.

도면

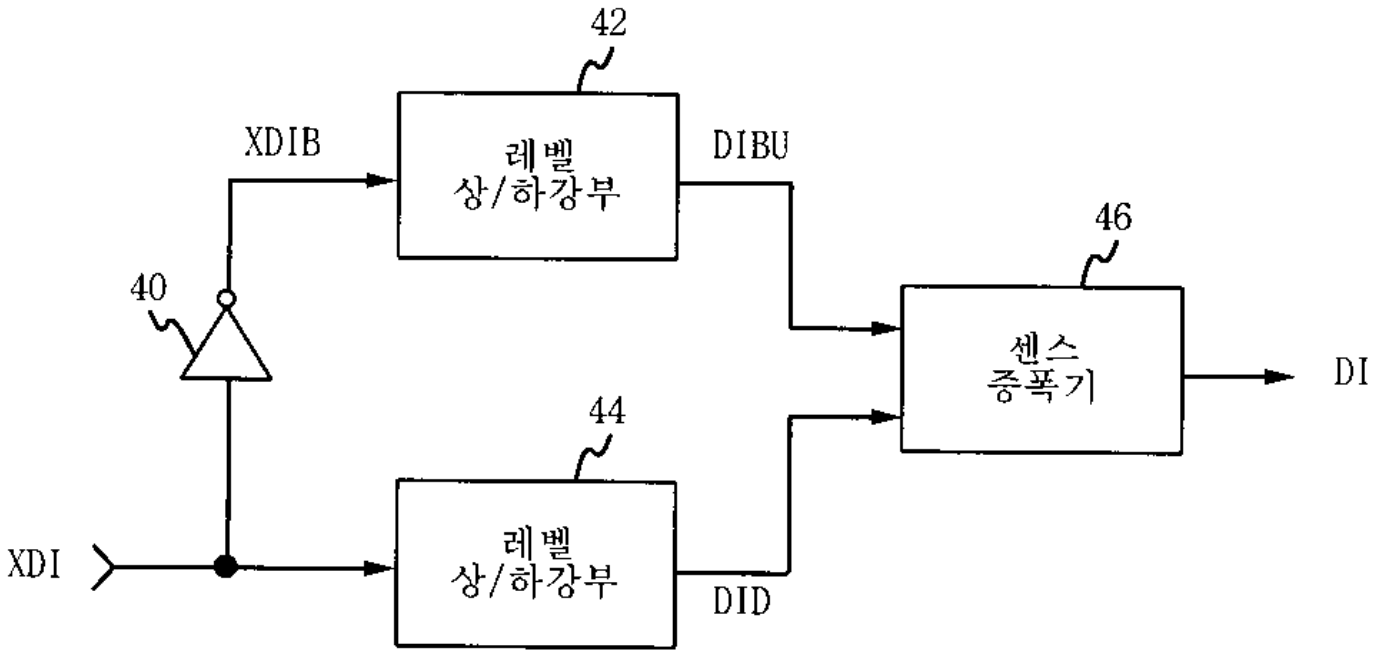
도면 1



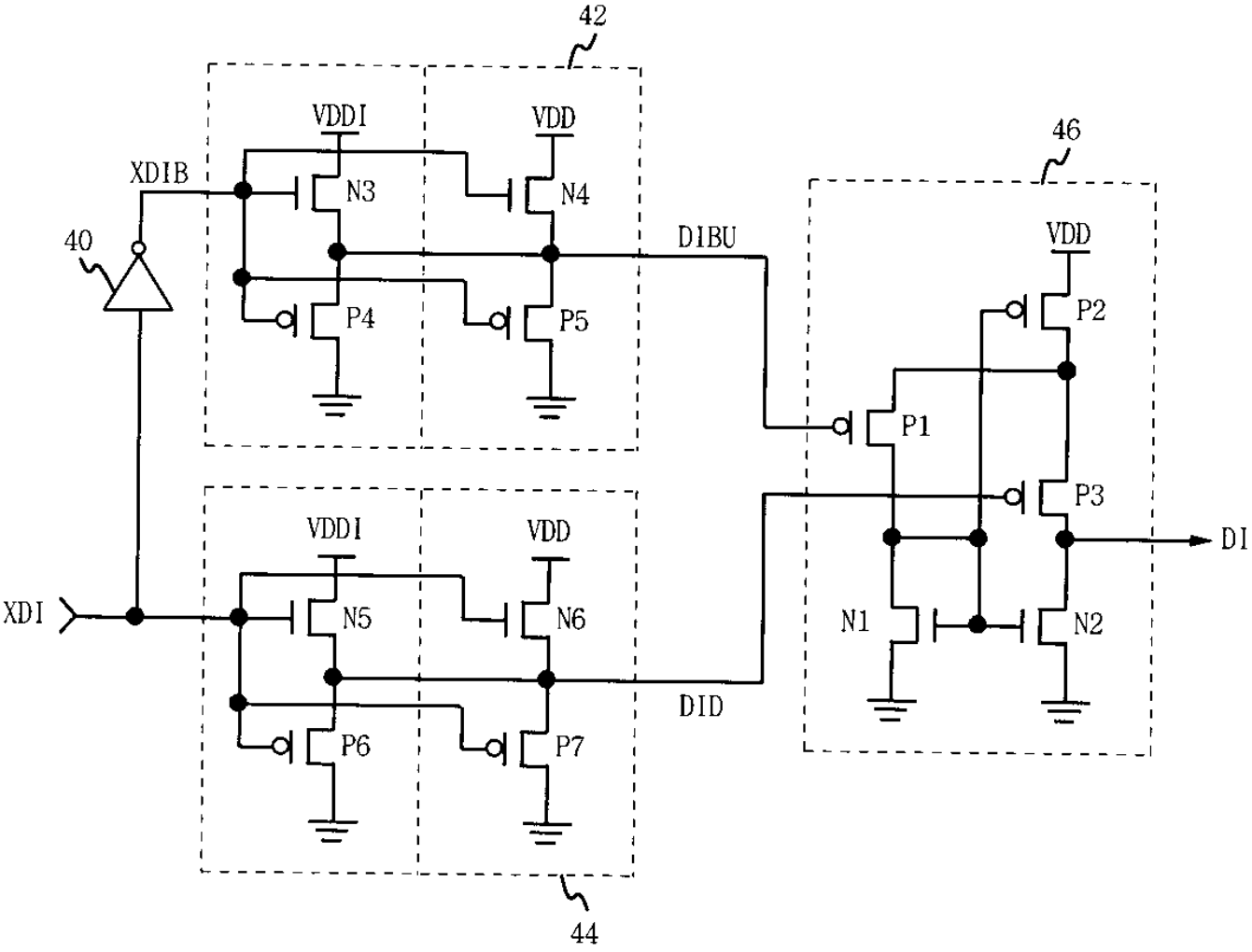
도면 2


XAx
XDy
XCk
XCK
어드레스 입력버퍼
10
데이터 입력버퍼
12
제어신호 입력버퍼
14
클럭신호 입력버퍼
16
행 어드레스 디코더
24
WL1
WL2
WLn
라이트 드라이버
26
제어신호 발생회로
18
펄스 발생회로
20
IC
ICK
메모리 셀 어레이
22
열 어드레스 디코더
28
Y1
Y2
Ym
DL
DLB
센스 증폭기
30
데이터 출력버퍼
32
XDOz

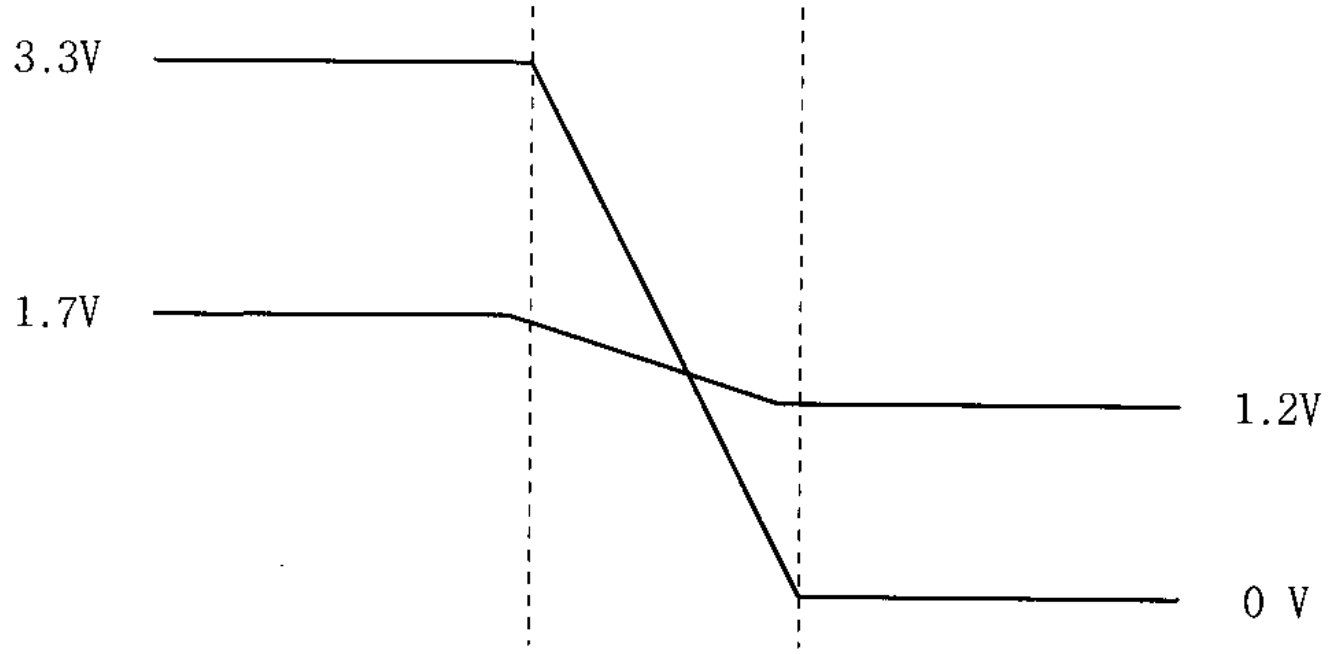
도면 3


42
XDIB
레벨
상/하강부
DIBU
46
40
센스
증폭기
DI
44
XDI
레벨
상/하강부
DID

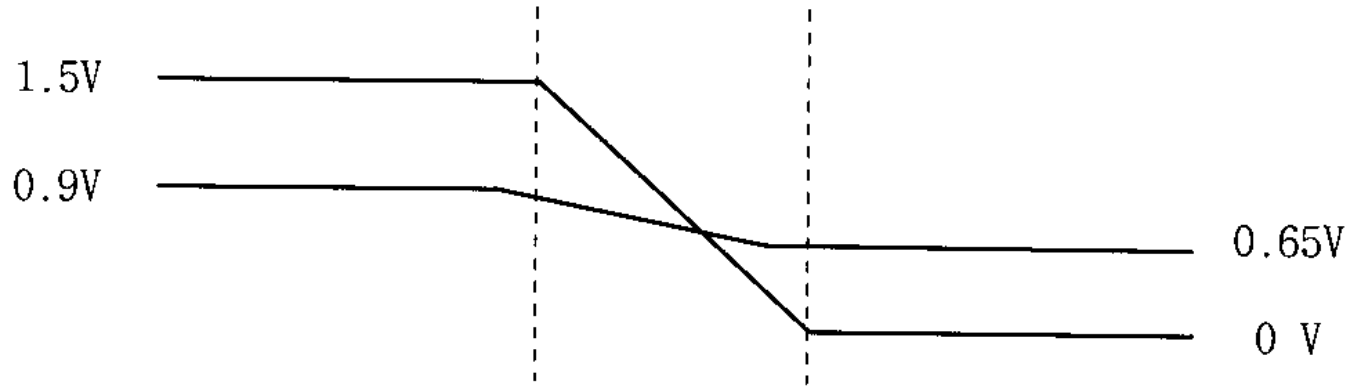
도면 4


42
VDDI
VDD
46
XDIB
N3
N4
40
DIBU
VDD
P2
P4
P5
P1
P3
DI
VDDI
VDD
XDI
N5
N6
N1
N2
DID
P6
P7
44

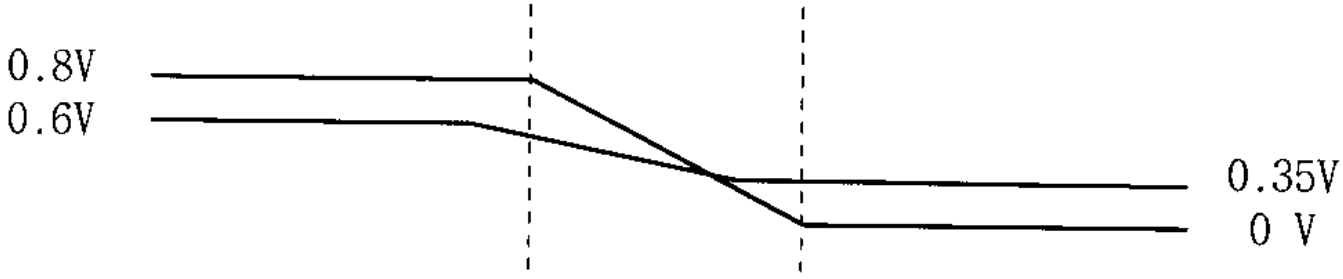
도면 5



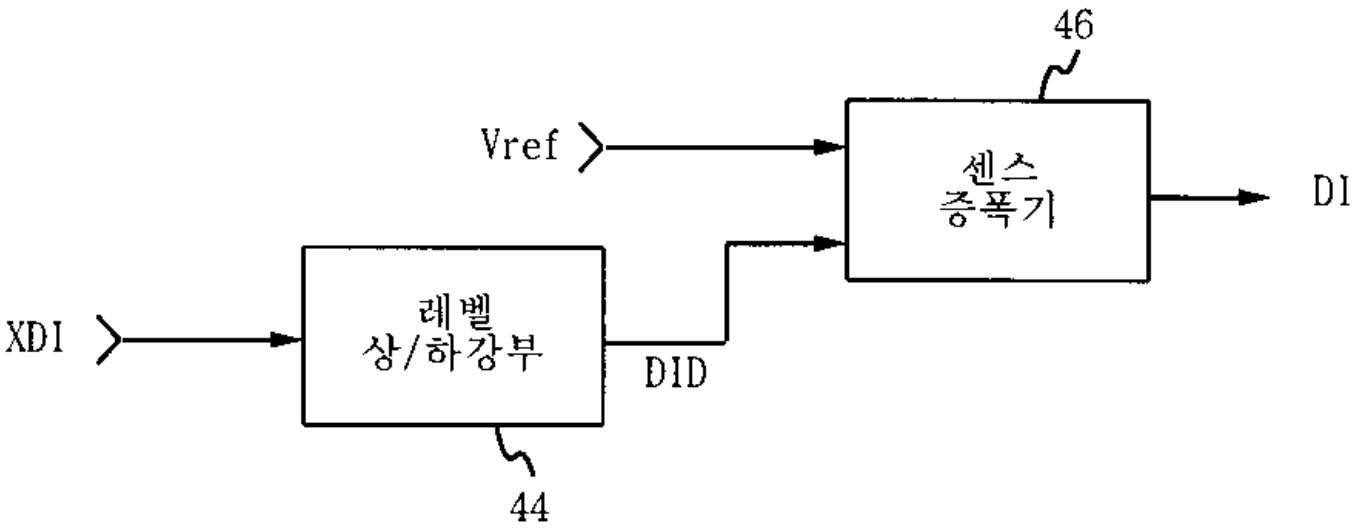
도면 6



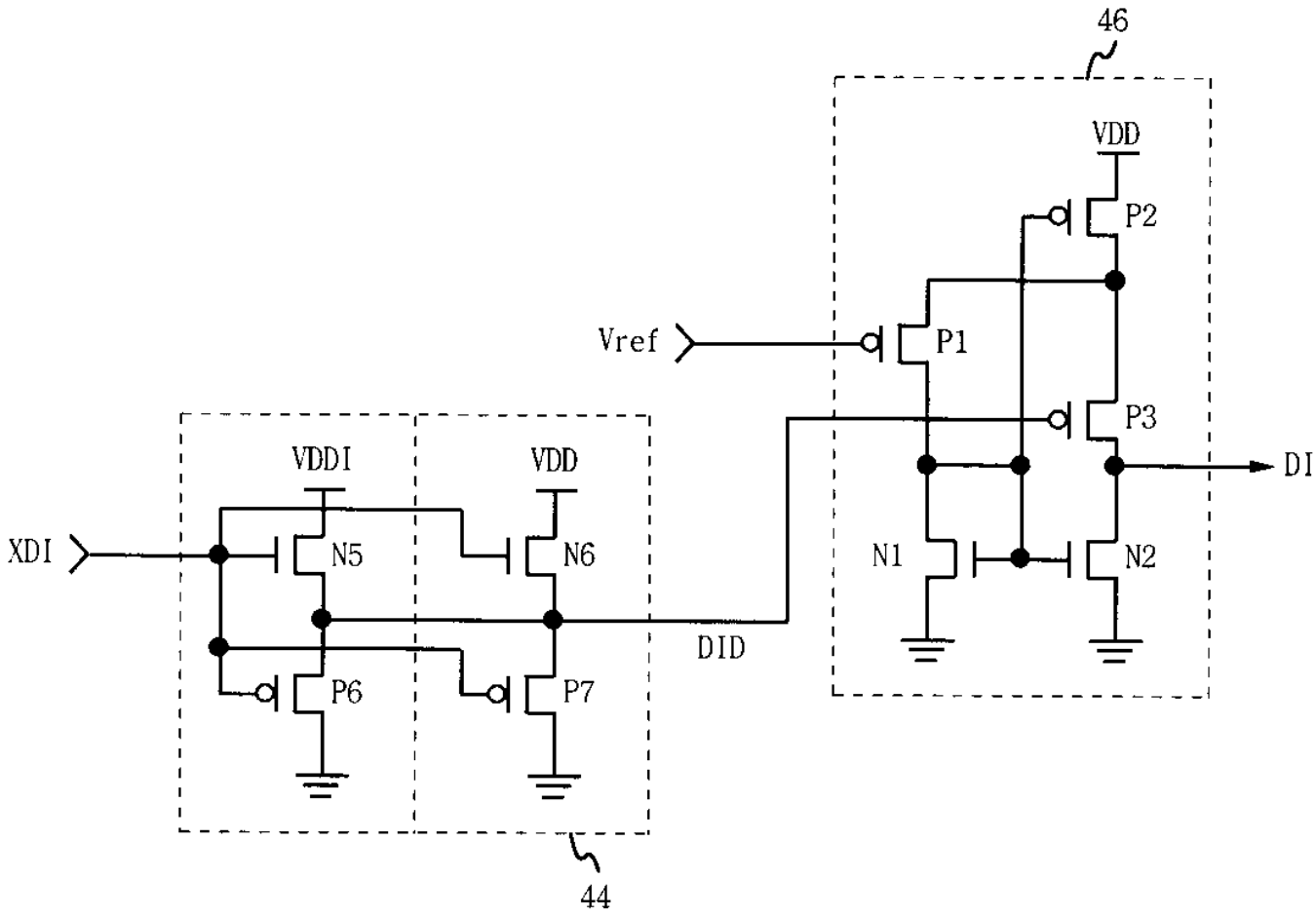
도면 7



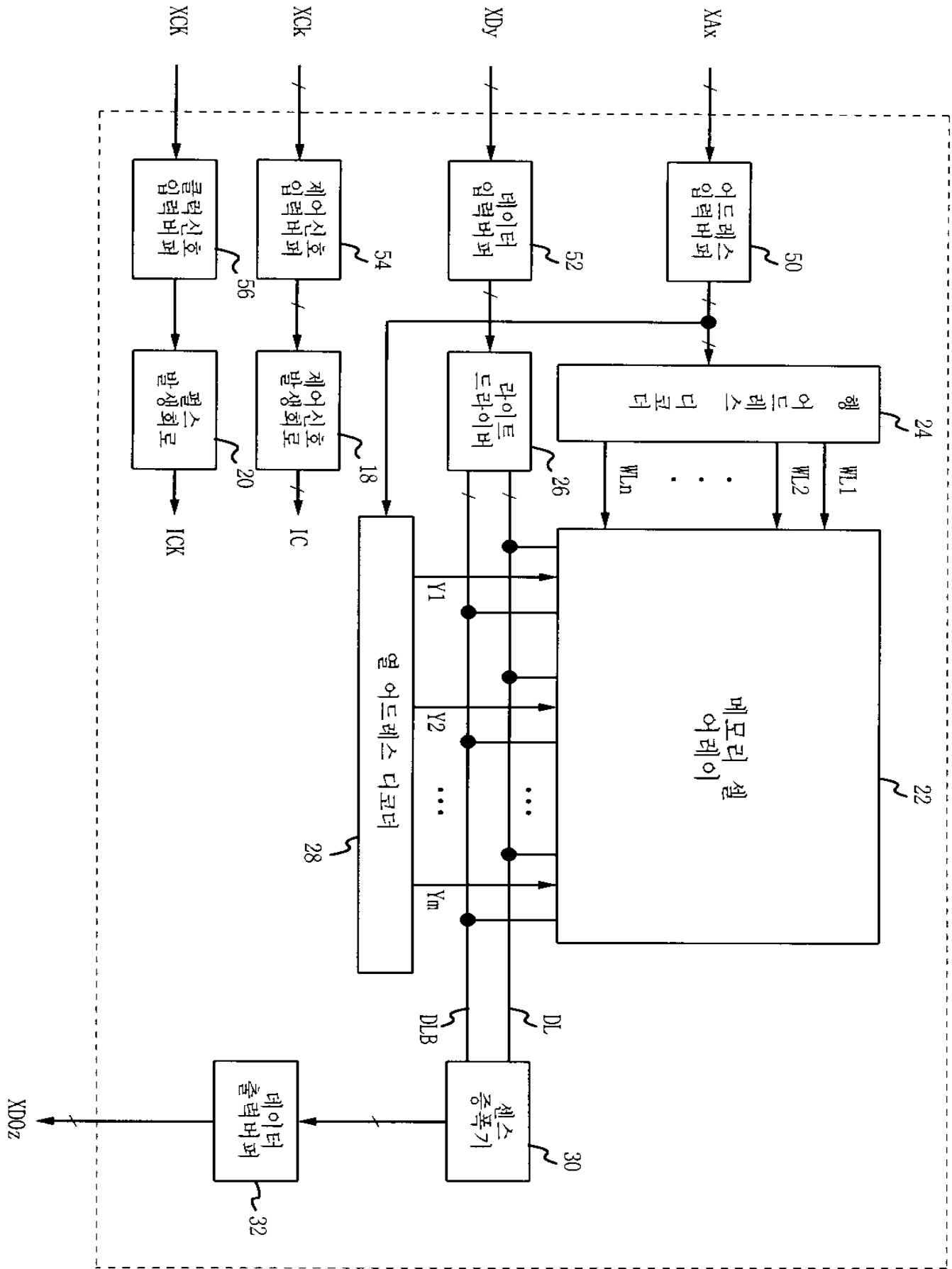
도면 8


46
Vref
센스
증폭기
DI
XDI
레벨
상/하강부
DID
44

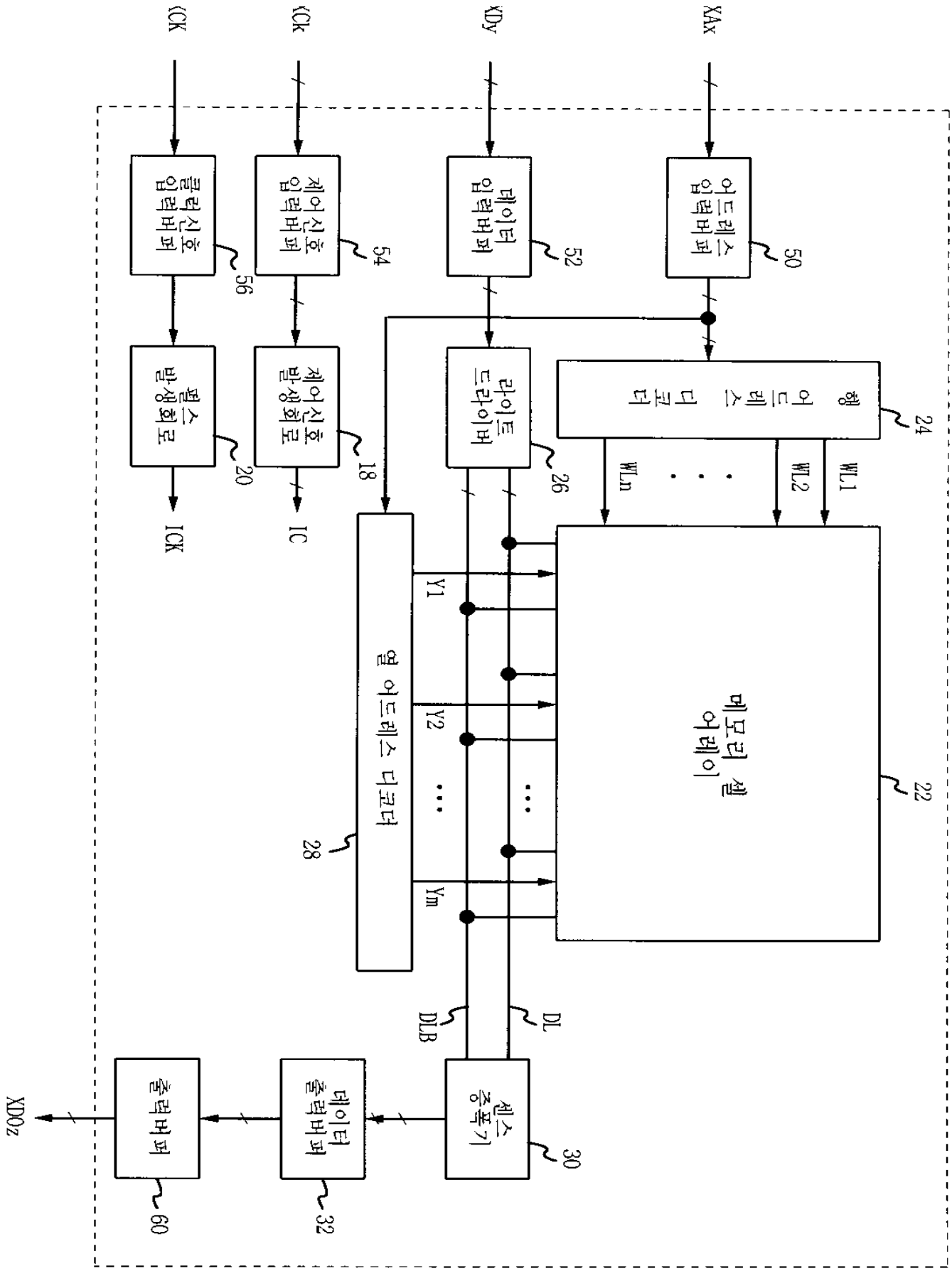
도면 9


46
VDD
P2
Vref
P1
P3
DI
VDDI
VDD
XDI
N5
N6
N1
N2
DID
P6
P7
44

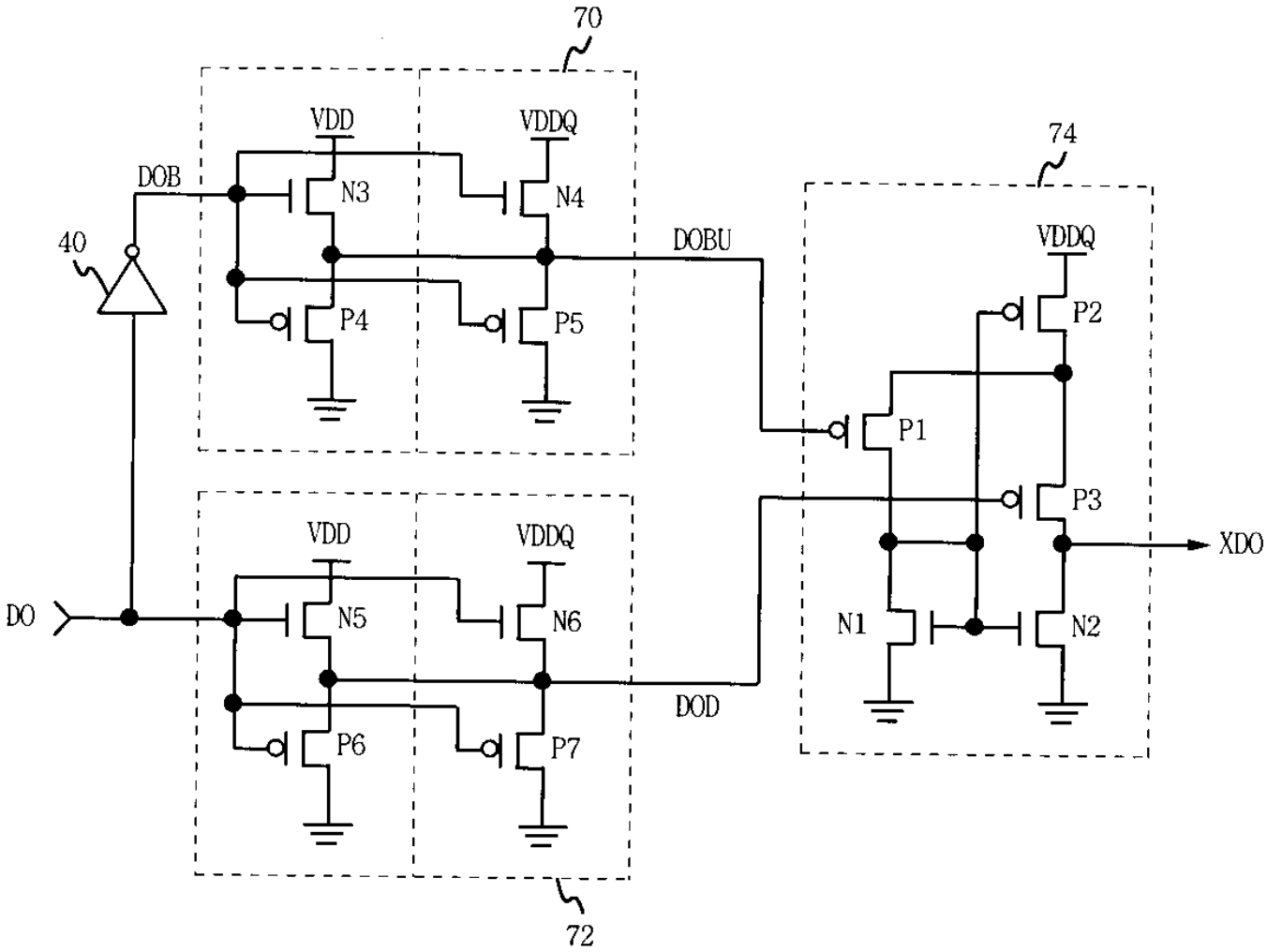
도면 10


XAx
XDy
XCk
XCK
어드레스 입력버퍼
50
데이터 입력버퍼
52
제어신호 입력버퍼
54
클럭신호 입력버퍼
56
행 어드레스 디코더
24
라이트 드라이버
26
제어신호 발생회로
18
펄스 발생회로
20
IC
ICK
WL1
WL2
WLn
Y1
Y2
Ym
열 어드레스 디코더
28
메모리 셀 어레이
22
DL
DLB
센스 증폭기
30
데이터 출력버퍼
32
XDOz

도면 11


XAx
XDy
XCk
XCK
어드레스 입력버퍼
50
데이터 입력버퍼
52
제어신호 입력버퍼
54
클럭신호 입력버퍼
56
행 어드레스 디코더
24
라이트 드라이버
26
제어신호 발생회로
18
펄스 발생회로
20
IC
ICK
WL1
WL2
WLn
메모리 셀 어레이
22
열 어드레스 디코더
28
Y1
Y2
Ym
DL
DLB
센스 증폭기
30
데이터 출력버퍼
32
출력버퍼
60
XDOz

도면 12


70
VDD
VDDQ
DOB
N3
N4
40
DOBU
74
VDDQ
P4
P5
P2
P1
P3
XDO
VDD
VDDQ
DO
N5
N6
N1
N2
DOD
P6
P7
72

도면 13

