

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年5月12日(2005.5.12)

【公開番号】特開2004-31790(P2004-31790A)

【公開日】平成16年1月29日(2004.1.29)

【年通号数】公開・登録公報2004-004

【出願番号】特願2002-188053(P2002-188053)

【国際特許分類第7版】

H 01 L 23/12

【F I】

H 01 L 23/12 501P

【手続補正書】

【提出日】平成16年6月29日(2004.6.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の入出力端子中に複数の同種の入出力端子が配置されたICを備え、当該IC上に絶縁層を介して再配線層が形成され、当該再配線層を介して前記入出力端子とバンプとが電気的に接続された半導体チップにおいて、前記再配線層を用いて前記同種の入出力端子を電気的に接続したことを特徴とする半導体チップ。

【請求項2】

回路形成面の外周領域に複数の入出力端子が配列され、かつこれら複数の入出力端子中に複数の同種の入出力端子が配置されたICを備え、当該ICの前記回路成形面上に絶縁層を介して再配線層が形成され、当該再配線層を介して前記回路成形面の外周部に配置された入出力端子と前記回路成形面の内周部に配置されたバンプとが電気的に接続された半導体チップにおいて、前記再配線層を用いて前記同種の入出力端子を電気的に接続したことを特徴とする半導体チップ。

【請求項3】

前記絶縁層が厚膜プロセスで形成されていることを特徴とする請求項1又は請求項2に記載の半導体チップ。

【請求項4】

前記再配線層が厚膜プロセスで形成されていることを特徴とする請求項1又は請求項2に記載の半導体チップ。

【請求項5】

前記再配線層が銅で形成されていることを特徴とする請求項1又は請求項2に記載の半導体チップ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【課題を解決するための手段】

本発明は、前記の目的を達成するため、複数の入出力端子中に複数の同種の入出力端子

が配置された I C を備え、当該 I C 上に絶縁層を介して再配線層が形成され、当該再配線層を介して前記入出力端子とバンプとが電気的に接続された半導体チップにおいて、前記再配線層を用いて前記同種の入出力端子を電気的に接続するという構成にした。

また、回路形成面の外周領域に複数の入出力端子が配列され、かつこれら複数の入出力端子中に複数の同種の入出力端子が配置された I C を備え、当該 I C の前記回路成形面上に絶縁層を介して再配線層が形成され、当該再配線層を介して前記回路成形面の外周部に配置された入出力端子と前記回路成形面の内周部に配置されたバンプとが電気的に接続された半導体チップにおいて、前記再配線層を用いて前記同種の入出力端子を電気的に接続するという構成にした。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

再配線層は、絶縁層上に自由に形成することができるので、回路成形面に形成された回路ブロックによって配線の自由度が制限される I C の内部配線に比べて導体抵抗や配線間容量を低減することができる。したがって、再配線層を用いて同種の入出力端子間を電気的に接続すると、同種の入出力端子間における電圧降下や信号波形のなまりを防止することができるので、半導体チップの動作特性を向上させることができる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【補正の内容】

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

【発明の効果】

以上説明したように、本発明によると、I C の内部配線に比べて導体抵抗や配線間容量が小さい再配線層を用いて、I C 上に配列された同種の入出力端子間を電気的に接続したので、同種の入出力端子間における電圧降下や信号波形のなまりを防止することができ、半導体チップの動作特性を向上させることができる。