

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/76 (2006.01)		(45) 공고일자	2006년08월18일
		(11) 등록번호	10-0613939
		(24) 등록일자	2006년08월10일
(21) 출원번호	10-1999-0015356	(65) 공개번호	10-1999-0083587
(22) 출원일자	1999년04월29일	(43) 공개일자	1999년11월25일
(30) 우선권주장	09/071,051	1998년04월30일	미국(US)
(73) 특허권자	애질런트 테크놀로지스, 인크. 미합중국 캘리포니아 (우편번호 94306-2024) 팔로 알토 페이지 밀로드 395		
(72) 발명자	슈짐-준 미국오레곤주97330코발리스노스이스트란캐스터스트리트2675  하다드호메이운 미국오레곤주97007비버튼사우스웨스트샌더링시티16460		
(74) 대리인	김창세		

심사관 : 소재현

(54) 반도체 기판에서의 트렌치 형성 방법

요약

절연 트렌치를 형성하는 동안 두 단계의 평탄화가 실행되어, 집적 회로 기판(10)이 보다 균일하게 평탄화 된다. 보호 층(44)의 침착 단계 및 평탄화 단계는 최종 평탄화 단계 전에 실행된다. 보호 재료(45)를 제공하여, 절연 트렌치 영역 위에 놓인 유전체 층(34)에 있는 리세스(36, 38)의 일부를 채운다. 제 1의 전체 평탄화 공정은 유전성 재료에서 디싱(dishing)을 유발하지 않고서도 보다 좁은 리세스를 제거하고 보다 깊은 리세스를 알아지게 한다. 보호 재료(45)의 대부분은 제 1의 전체 평탄화 공정에 의해 제거된다. 잔여 보호 재료는 스트립(strip)된다. 그 다음에, 트렌치 영역 외부의 유전 재료를 제거하는 최종적인 전체 평탄화 공정이 실행된다. 상기 트렌치의 명확한 경계가 형성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 절연 트렌치 제조 및 반도체 디바이스 제조 후의 집적 회로 웨이퍼에 대한 부분 단면도.

도 2는 절연 트렌치 제조 공정중의 도 1의 웨이퍼에 대한 부분 단면도.

도 3은 절연 트렌치 개구를 에칭한 후, 공정 중의 도 2의 웨이퍼(wafer-in-process)에 대한 부분 단면도.

도 4는 충전할 유전체 재료 층을 트렌치 개구에 전체적으로 제공한 후, 공정 중의 도 3의 웨이퍼에 대한 부분 단면도.

도 5는 유전체 층 위에 보호 층을 전체적으로 제공한 후, 공정 중의 도 4의 웨이퍼에 대한 부분 단면도.

도 6은 제 1 전체 평탄화 과정 후, 공정 중의 도 5의 웨이퍼에 대한 부분 단면도.

도 7은 보호 층을 제거한 후, 공정 중의 도 6의 웨이퍼에 대한 부분 단면도.

도 8은 최종 전체 평탄화 과정을 실행한 후, 공정 중의 도 7의 웨이퍼에 대한 부분 단면도.

도 9는 트렌치 절연의 형성을 완료한 후, 공정 중의 도 8의 웨이퍼에 대한 부분 단면도.

#### 도면의 주요 부분에 대한 부호의 설명

12, 14, 16 : 반도체 디바이스 18 : 구성 요소

19 : 액티브 영역 20, 32 : 절연 트렌치

22 : 반도체 기판 26 : 질화물 층

34 : 유전체 층 35 : 유전체 재료

36, 38 : 리세스 39, 46 : 외부면

44 : 보호 층 45 : 보호 재료

#### **발명의 상세한 설명**

##### **발명의 목적**

##### **발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 전반적으로 반도체 제조 공정에 관한 것으로, 보다 구체적으로는 절연 트렌치가 사용되는 집적 회로의 표면을 평탄화 하는 방법에 관한 것이다.

디바이스 또는 디바이스의 일부가 형성되는 반도체 기판의 한 영역을 액티브 영역이라고 한다. 디바이스가 원하는 특성을 나타내도록 하기 위해서는 각각의 디바이스의 액티브 영역이 절연되어야 한다. 디바이스의 절연은 대체로 국부 산화 기술 또는 트렌치 절연 기술을 사용하여 이루어진다. 국부 산화 기술은 액티브 영역들 사이에서 배리어(a barrier)로 작용하는 절연 재료의 후막(a thick film)을 사용한다. 트렌치 절연 기술에 있어서, 트렌치는 인접 디바이스의 액티브 영역들 사이에 형성된다. 트렌치는 유전 재료 또는 산화물 재료로 채워진다. 트렌치 절연의 장점은 국부 산화 기술을 사용할 경우 일반적으로 부닥칠 수 있는 기하학적 불규칙성(topographical irregularities)을 피하는 것이다. 국부 산화의 어려움은 산화물을 액티브 영역에 침식시키는 것으로, 당해 기술에서는 이를 버드 비크 효과(bird's beak effect)라고 한다. 트렌치 절연 기술을 사용하면 패키징 밀도가 상승된 고속 디바이스(increased packing density and higher speed devices)를 얻을 수 있다.

절연 트렌치를 형성할 때, 유전체의 침착 및 후속하는 폴리싱(polishing)의 결과로 매우 불규칙한 면이 생성될 수 있다. 불규칙성이 과하면, 비정상적인 디바이스 누전, 절연 무결성의 저하 및 이에 수반되는 금속화 결함이 발생할 수 있다. 이러한 불규칙성이 후속 제조 공정 동안 증가될 수 있기 때문에 기판 및 절연 트렌치는 가능한 한 평면인 것이 중요하다.

여러 가지 유형의 절연 트렌치가 당해 기술에서 알려져 있다. 깊고 좁은 트렌치는 한 디바이스를 다른 디바이스로부터 절연시키는데 사용된다. 얇은 트렌치는 디바이스 내에서 개별 소자들을 절연시키는데(즉, MOSFET에서 소스로부터 드레인을 절연시키는데) 사용된다. 넓은 트렌치는 금속화 패턴이 침착될 영역에 사용된다. 얇은 트렌치, 깊은 트렌치 및 넓은 트

렌치는 디바이스와 디바이스의 부품들을 절연하는데 교호적으로 사용될 수 있다. 이들 트렌치들은 (예를 들면 화학적 기상 증착(chemical vapor deposition)과 같은) 정각 침착 공정(conformal deposition processes)을 사용하여, 실리콘 이산화물 또는 실리콘 질화물과 같은 유전체 재료로 채워진다.

절연 트렌치 기술은 트렌치에 있는 유전체 재료는 유지하되, 액티브 영역에 있는 유전체 재료를 제거하는 평탄화 공정을 포함한다. 좁은 트렌치와 조밀하게 패킹된 트렌치는 비교적 쉽게 평탄화 될 수 있지만, 넓은 트렌치 또는 드문드문 채워진 트렌치는 보다 어렵다. 보다 구체적으로는, 좁은 트렌치를 평탄화하는데 사용되는 공정은 보다 넓은 트렌치로부터 유전체를 많이 제거할 수도 있다. 트렌치의 폭이 다르기 때문에 균일한 평탄화가 이루어지기 어렵다. 따라서, 균일한 평탄화를 이루는 절연 트렌치 제조 공정이 필요하다.

### 발명이 이루고자 하는 기술적 과제

본 발명에 따르면, 절연 트렌치 제조 동안에 두 단계의 평탄화가 수행되어, 절연 트렌치 형성 공정이 완료되면 집적 회로 기판의 평탄화가 보다 균일하게 된다.

본 발명의 일 측면에 따르면, 최종 평탄화 단계 전에 보호 층 침착 단계 및 평탄화 단계가 추가되었다. 절연 트렌치를 제조하는 동안, 질화물 층을 통하여 기판으로 에칭이 이루어져 트렌치 개구가 형성된다. 그 다음, 유전체 재료 층이 제공되어 트렌치를 채우고 질화물 층을 덮는다. 리세스(recess)가 유전체 층에 생성된다. 종래의 제조 공정에서 유전체 층의 평탄화로 인한 디싱(dishing)이, (종래기술에서 설명한 바와 같이, 결함(예를 들면, 비정상적인 디바이스 누전, 절연 무결성의 저하 및 이에 따른 금속화 결함)을 일으킨다. 보호 재료를 제공하는 본 발명의 단계에서는 트렌치 영역 위에 덮힌 유전체 층에 있는 리세스의 일부를 채운다. 그 다음, 제 1의 전체 평탄화 공정에서는, 절연 유전체 재료에서의 디싱(dishing)을 유발함이 없이, 좁은 리세스를 제거하고, 보다 깊은 리세스를 얕아지게 한다. 보호 재료중 다량이 제 1 전체 평탄화 공정에 의해 제거된다. 보호 재료는 유전체 층의 깊은 리세스에 남아 있다.

본 발명의 다른 측면에 따르면, 제 1 평탄화 공정 후, 잔여 보호 재료가 스트립된다. 그 다음, 최종의 전체 평탄화 공정이 실행된다. 이 공정 동안, 트렌치 영역 밖의 유전체 재료가 제거된다. 명확한 트렌치 경계가 생성된다. 트렌치 충전재의 측면 말단 부분(즉, 잔여 유전체 재료)은 기판 위에서 질화물 층에 의해 경계가 형성된다. 이러한 재료는 유전체 재료보다 단단하다. 따라서, 제 2 평탄화 기간 동안 유전체 재료는 질화물 층보다 낮은 레벨로 제거된다. 일단 질화물 층이 스트립되면 유전체 재료의 명확한 경계가 남는다.

따라서 본 발명의 장점은 효과적인 절연 트렌치를 이루는 것이다. 본 발명의 상기 측면 및 장점과 다른 측면 및 장점은 첨부 도면과 관련하여 이해될 다음의 상세한 설명을 참조하여 보다 잘 이해될 것이다.

### 발명의 구성 및 작용

도 1은 다수의 디바이스(12, 14, 16)를 포함하는 집적 회로 웨이퍼(10)의 일부분에 대한 단면도이다. 디바이스(14)는 다수의 구성 요소(18)를 포함한다. 본 명세서에서 사용되는 용어 "액티브 영역(active area)"은 디바이스나 디바이스 구성 요소가 형성되는 웨이퍼(10)의 영역(19)을 의미한다. 절연 트렌치(20)가 액티브 영역들 사이에 형성됨으로써, 보다 높은 디바이스 패킹 밀도와 보다 빠른 디바이스 속도를 이룰 수 있게 된다. 예시된 바와 같이 서로 다른 깊이의 트렌치가 형성될 수 있지만, 바람직한 실시예에서는 각각의 트렌치(20)가 동일한 깊이로 이루어진다. 도 2 내지 도 9는 본 발명의 실시예에 따른 절연 트렌치 제조 공정 동안의 여러 단계에서의 웨이퍼의 일부를 도시한다. 대개 절연 트렌치 제조 공정은 디바이스 제조 공정 이전에 실행되거나 또는 디바이스 제조 공정의 단계들과 상호 혼합된다.

초기에, 베어(bare) 상태의 또는 부분적으로 도핑된 실리콘 기판(22)을 처리를 위하여 세정하고 마련한다. 도 2를 참조하면, 산화물 재료 또는 다른 절연 재료 층(24)을 스트레스 완화 산화 침착 공정 동안 제공한다(예를 들면, 성장시킨다). 예시적인 재료는 실리콘 이산화물 및  $\text{Si}_3\text{N}_4$ 를 포함한다. 보호 재료(예를 들면, 질화물 재료) 층(26)을 산화물 층(24) 위에 제공한다(예를 들면, 침착시킨다). 포토레지스트층(28)을 질화물 층(26) 위에 제공한다. 원하는 마스크를 사용하여, 포토레지스트 층을 노출시켜 질화물 층(26)의 일 부분들이 드러나는 윈도우 영역(30)을 갖는 포토레지스트(28)의 영역들을 정의한다.

그 다음, 도 3을 참조하면, 트렌치 에칭 단계를 실행하여, 윈도우 영역(30)에 트렌치 개구(32)를 형성한다. 하나 이상의 에칭 공정에 있어서, 개구(32)는 질화물 층(26) 및 산화물 층(24)을 통하여 기판(22)으로 에칭된다. 그 후, 건식 스트립 공정(a wet stripping process) 또는 습식 스트립 공정(a dry stripping process)을 사용하여 포토레지스트(28)를 스트립한다.

그 다음, 산화물 사전 세정 공정을 사용하여 트렌치 영역(32) 내의 산화물 층(24)을 세정하고, 질화물(26) 및 기판(22)의 대응 에지로부터 멀어지도록 얼마간 뒤로 밀친다. 도 4를 참조하면, 기판(22)을 따라서 트렌치 개구(32)를 일렬로 세우는 산화물 층(24')을 제공한다(예를 들면, 성장시킨다). 층(24)용의 경우에서 처럼, 층(24')용으로 동일한 절연 재료나 또는 상이한 절연 재료를 사용한다.

산화물 재료와 같은 유전체 재료(35)가 트렌치 개구(32)내에 및 질화물 층(26) 위에 침착되는 트렌치 충전 공정을 실행한다. 예시적인 유전체 재료는 산화물, 대기보다 낮은 CVD, PECVD 또는 고밀도 플라즈마 산화물을 포함한다. 유전체 재료 층(34)은 도 4에 도시된다. 전형적으로, 침착 공정에 의해 균일한 양의 재료가 침착된다. 유전체 재료(35)가 침착되는 윤곽선 표면(contour surface)이 평탄하지 않기 때문에, 층(34)은 평탄한 윤곽선을 갖지 않는다. 도 4에 도시된 바와 같이, 트렌치 영역(32) 위에 덮힌 층(34)에 리세스(36, 38)가 있다. 보다 넓은 트렌치 위에 있는 리세스(38)는 보다 좁은 트렌치 위에 있는 리세스(36)보다 깊게 확장된다.

유전체 재료(35)가 침착된 후, 층(34)의 말단 표면(39)을 세정하여 오염을 제거한다. 공정 중의 웨이퍼(10)를 노에서 가열한 동안 어닐링 단계(annealing step)를 실행한다. 가열하면 유전체 재료(35)가 층(34)의 말단 표면(39)의 비평탄성(non-planarity)에 보다 조밀하게 부가된다.

어닐링 단계 후, 질화물 층(26)의 상부에 있는 층(34)은 질화물 층(26)의 말단 표면(41)에서부터 트렌치 영역(32)의 베이스(42)까지의 트렌치 개구(32)의 깊이 D1보다 큰 두께 TH1을 갖는다(즉,  $TH1 > D1$ ). 유전체 재료(35)는 유전체 층(34)의 가장 낮은 윤곽선(38')에서 두께 D1보다 큰 두께 D2로 확장되는 것이 바람직하다(즉,  $D2 > D1$ ). 두께 D2는 트렌치(32)의 베이스(42)에서부터 가장 깊은 리세스(38) 내의 표면(38')까지 확장된다. 몇가지 실시예에서, 두께 D2는 두께 D1보다 질화물 층(26)의 두께 D3에 근접하는 거리만큼 더 두껍다(즉,  $D2 - D1 \approx D3$ ).  $D2 - D1$ 은 두께 D3의 1/2와 같거나 1/2보다 큰 것이 바람직하다(즉,  $D2 - D1 \geq (0.5 * D3)$ ). 넓은 트렌치의 경우, 두께 D2는 두께 TH1과 동일하다.

도 5를 참조하면, 어닐링 단계후, 보호 재료(45)(예를 들면, 종래의 보호 층(26)용으로 명단에 오른 질화물 재료 또는 다른 재료) 층(44)은 유전체 층(34) 위의 공정중의 웨이퍼(10)에 제공된다. 그러한 재료는 층(26)의 재료와 동일하거나 또는 상이할 수 있다. 보호 층(44)의 말단 표면(46)은 리세스(36, 38) 위에 덮힌 리세스(36", 38")를 포함한다. 보호 층(44)의 효과는 리세스(36, 38)의 면적을 감소시키는 것으로, 특히, 리세스(36, 38)의 길이/폭 또는 직경을 감소시키는 것이다. 층(44)의 가장 깊은 리세스(38")의 가장 깊은 부분에서, 말단 표면은 부분 도면 부호(48)를 갖는다. 보호 층(44)의 두께는 두께 D4이다.

도 6을 참조하면, 제 1 전체 평탄화 공정(예를 들면, 기계적 평탄화 또는 화학 기계적 평탄화)은 그 다음에 공정 중인 웨이퍼(10) 상에서 실행된다. 몇몇 실시예에서, 평탄화는 적어도 표면(39, 48)까지 수행된다. 다른 실시예에서, 평탄화는 표면(48)을 지나서 까지 수행된다. 다른 실시예에서, 평탄화는 표면(48)의 몇 백 옴스트롱 이내 까지 수행된다. 평탄화 단계에서는 도 6에 도시된 바와 같이, 재료(45, 35)를 가장 깊은 리세스(38")의 표면(48)에 가까운 깊이까지 아래로 제거하는 것이 바람직하다. 층(44)의 침착 및 전체 평탄화의 효과는 보다 깊은 리세스(38, 38")의 디싱에 대하여 보호하면서, 보다 낮은 리세스(36, 36")를 제거하는 것이다. 바람직하기로는, 보호 재료(45)는 유전체 재료(35)보다 단단하다. 이는, 리세스(36")내의 보호 재료(45)의 임의의 디싱에 대해서는 저항하면서, 보다 얇은 리세스(36)에 인접한 유전체 재료(35)가 제거되도록 한다.

전체 평탄화 단계 후, 공정 중인 웨이퍼(10)의 말단 표면(50)은 많은 부분에서 유전체 재료(35)와, 깊은 리세스(38, 38") 부분에서 보호 재료(45)를 포함한다. 말단 표면(50)의 윤곽선은 트렌치 충전 단계 후에 말단 표면(39)의 윤곽선보다 평탄하지만, 아직 완전히 평탄하지는 않다. 보호 재료(45)와 경계를 이루는 유전체 재료(35)의 디싱없이, 보호 재료(45)의 디싱이 리세스(38) 내에 발생한다.

도 7을 참조하면, 공정 중인 웨이퍼의 말단 표면(50)으로부터(즉, 리세스(38)에 남아 있는 것으로 부터) 보호 재료(45)를 제거하기 위하여 전체 평탄화 후에 습식 스트립 공정을 실행한다. 그 다음, 공정 중인 웨이퍼(10)에 대해 제 2 전체 평탄화 공정(예를 들면, 기계적 평탄화 또는 화학 기계적 평탄화)을 실행한다. 도 8을 참조하면, 제 2 전체 평탄화 공정은 질화물 층(26)의 일 부분 위에 있는 유전체 층(34)을 제거하고, 몇몇 실시예에서는 질화물 층(26)을 박막화 한다. 유전체 재료(35)는 질화물 재료(26)보다 무른 것이 바람직하다. 제 2의 전체적 평탄화 단계를 완료하면, 트렌치(32) 내의 유전체 재료(35)의 말단 표면(54)은 전반적으로 평탄화되고 잔여 질화물 층(26)보다 높지 않은 레벨에 있게 된다. 노출된 표면(54, 26)을 세정하여 오염을 제거한다. 도 9를 참조하면, 질화물 층(26)의 잔여 부분들과 질화물 층 아래에 있는 산화물 층(24)의 부분들이 스트립된다. 몇몇 실시예에 있어서, 단지 질화물 층(26) 부분들만이 스트립된다. 몇몇 실시예에 있어서, 상기와 같은 스트립은 트렌치 영역(32) 내의 유전체 재료(35)의 말단 표면(54)을 세정하여 오염 제거하는 단계 이전에 실행된다.

도 9는 트렌치 절연 제조 공정을 완료시, 공정 중인 웨이퍼(10)의 일부를 도시한 것이다. 이후의 디바이스 제조 공정은 여러 가지 디바이스(14, 16, 18), 액티브 영역(19) 및 절연 트렌치(20)를 구비하는 도 1의 집적 회로 웨이퍼를 얻기 위해 실행된다. 절연 트렌치(20)는 유전체 재료(35)로 채워진 도 9의 트렌치이다. 게이트, 와이어링 라인, 상호 접속부, 접점 및 비아들의 도핑 및 형성은, 디바이스(12, 14, 18)와 디바이스 구성 요소(14)의 액티브 영역(19)(도 1을 참조)을 한정하도록 트렌치들(20) 사이의 기판(22)내 및 기판(22) 위에 있는 영역(60)에서 이루어진다.

본 발명의 양호한 실시예가 예시되고 설명되었다 할 지라도, 여러 가지 다른 방도, 수정 등이 사용될 수 있다. 따라서, 상기 설명은 첨부된 청구 범위로 정의되는 본 발명의 범위를 제한하는 것으로 받아들이지는 말아야 한다.

## 발명의 효과

본 발명에 따르면, 절연 트렌치 형성 공정을 완료하면 집적 회로 기판이 보다 균일하게 평탄화되는 두 단계의 평탄화가 절연 트렌치를 형성하는 동안 실행되는 반도체 기판에서의 트렌치 형성 방법이 제공된다.

## (57) 청구의 범위

### 청구항 1.

인접 반도체 디바이스 영역(19/18)을 절연시키는 작용을 하는 트렌치(20)를 반도체 기판(10)에 형성하는 방법에 있어서, 공정 중인 웨이퍼의 제 1 층(26)을 통하여 반도체 기판(22)내로 절연 트렌치(32)를 에칭하는 단계와, 상기 제 1 층(26) 위와 상기 절연 트렌치(32)내로 제 1 재료(35)의 제 2 층(34) - 상기 제 2 층의 외부면(39)의 윤곽선은 상기 절연 트렌치와 정렬하는 리세스(38)를 구비하도록 이루어짐 - 을 침착하는 단계와, 상기 제 2 층(34) 위에 제 2 재료(45)의 제 3 층(44) - 상기 제 3 층의 외부면(46)의 윤곽선은 상기 제 2 층 리세스(38) 및 상기 절연 트렌치(32)와 정렬하는 리세스(38")를 구비하도록 이루어짐 - 을 침착하는 단계와, 상기 제 3 층을 침착하는 단계 후에, 상기 공정 중인 웨이퍼의 상기 외부면(46)을 따라서 아래로 적어도 상기 제 2 층(34)까지 전체적으로 평탄화하되, 상기 제 2 층 리세스(38)내의 제 2 재료(45)는 남겨두는 단계와, 상기 평탄화 단계 후에, 상기 제 2 층 리세스(38)로부터 상기 제 2 재료(45)를 스트립하는 단계와, 상기 스트립 단계 후에, 상기 공정 중인 웨이퍼를 적어도 상기 제 1 층(26)까지 전체적으로 평탄화하되, 상기 절연 트렌치(32)에 제 1 재료(35)는 남겨두는 단계와, 상기 공정 중인 웨이퍼를 적어도 상기 제 1 층까지 전체적으로 평탄화하는 단계 후에, 상기 제 1 층(26)을 스트립하여 상기 절연 트렌치의 바깥쪽에 있는 상기 제 1 층을 제거하는 단계를 포함하는 반도체 기판에서의 트렌치 형성 방법.

### 청구항 2.

인접 반도체 디바이스 영역(12, 14/18, 16)을 절연시키는 작용을 하는 절연 트렌치(20)들을 반도체 기판(22)에 형성하는 방법에 있어서, 공정 중인 웨이퍼의 제 1 층(26)을 통하여 반도체 기판내로 다수의 절연 트렌치(32)들을 에칭하는 단계와, 상기 제 1 층(26) 위 및 상기 절연 트렌치들 내에 제 1 재료(35)의 제 2 층(34) - 상기 제 2 층의 외부면(39)의 윤곽선은 대응 절연 트렌치들과 정렬하는 리세스(38)를 구비하도록 이루어짐 - 을 침착하는 단계와,

상기 제 2 층(34) 위에 제 2 재료(45)의 제 3 층(44) - 상기 제 3 층의 외부 면(46)의 윤곽선은 상기 제 2 층 리세스(38) 및 상기 절연 트렌치(32)들과 정렬하는 리세스(36", 38")를 구비하도록 이루어짐 - 을 침착하는 단계와,

상기 제 3 층을 침착하는 단계 후에, 상기 공정 중인 웨이퍼의 상기 외부면을 따라서 아래로 적어도 상기 제 2 층(34)까지 전체적으로 평탄화하되, 상기 제 2 층 리세스(38)들중 적어도 하나의 리세스들 내의 제 2 재료(45)는 남겨두는 단계와,

상기 평탄화 단계 후에, 상기 적어도 하나의 제 2 층 리세스(38)들로부터 상기 제 2 재료(45)를 스트립하는 단계와,

상기 스트립 단계 후에, 상기 공정 중인 웨이퍼를 적어도 상기 제 1 층(26)까지 전체적으로 평탄화하되, 상기 절연 트렌치들 내의 제 1 재료(35)는 남겨두는 단계와,

상기 공정 중인 웨이퍼를 적어도 상기 제 1 층까지 전체적으로 평탄화하는 단계 후에, 상기 제 1 층(26)을 스트립하여 상기 절연 트렌치들의 바깥쪽에 있는 상기 제 1 층을 제거하는 단계

를 포함하는 반도체 기판에서의 트렌치 형성 방법.

### 청구항 3.

삭제

### 청구항 4.

각각 인접 반도체 디바이스 영역(12, 14/18, 16)을 절연시키는 작용을 하는 절연 트렌치들(20)을 반도체 기판(22)에 형성하는 방법에 있어서,

공정 중의 웨이퍼의 다수의 제 1 층(24, 26)을 통하여 상기 반도체 기판내로 다수의 절연 트렌치(32)를 에칭하는 단계와,

제 1 재료(35)의 제 2 층(34) - 상기 제 2 층의 외부면(39)의 윤곽선은 다수의 리세스(36, 38)를 구비하도록 이루어지며, 상기 다수의 리세스들 중 각 리세스는 상기 다수의 절연 트렌치들 중 대응하는 한 트렌치와 정렬함 - 을 상기 제 1 층 위와 상기 다수의 절연 트렌치내에 침착하는 단계와,

상기 제 2 층 위에 제 2 재료(45)의 제 3 층(44) - 상기 제 3 층의 외부면(46)의 윤곽선은 다수의 리세스(36", 38")를 구비하도록 이루어지며, 상기 다수의 제 3 층 리세스들 중 각 리세스는 상기 다수의 제 2 층 리세스들 중 대응하는 리세스 및 절연 트렌치와 정렬함 - 을 침착하는 단계와,

상기 제 3 층을 침착하는 상기 단계 후에, 상기 공정 중인 웨이퍼의 상기 외부면을 아래로 적어도 상기 제 2 층(34)까지 전체적으로 평탄화하되, 상기 제 2 층 리세스들 중 적어도 한 리세스(38") 내의 제 2 재료는 남겨두는 단계와,

상기 평탄화 단계 후에, 상기 적어도 하나의 제 2 층 리세스(38")로부터 상기 제 2 재료(45)를 스트립하는 단계와,

상기 스트립 단계 후에, 상기 공정 중인 웨이퍼를 적어도 아래로 상기 다수의 제 1 층(24, 26)까지 전체적으로 평탄화하되, 상기 다수의 절연 트렌치들(32)의 각 트렌치 내의 제 1 재료(35)는 남겨두는 단계와,

상기 공정 중인 웨이퍼를 적어도 상기 제 1 층까지 전체적으로 평탄화하는 단계 후에, 상기 다수의 제 1 층들 중 적어도 한 층을 스트립하여 상기 반도체 기판을 넘어 연장하는 경계를 정의하도록 상기 제 1 층을 제거하는 단계

를 포함하는 반도체 기판에서의 절연 트렌치 형성 방법.

### 청구항 5.

삭제

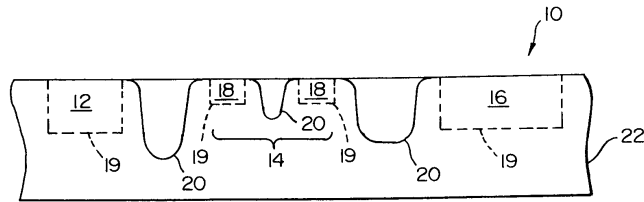
## 청구항 6.

제 1, 2 또는 4 항에 있어서,

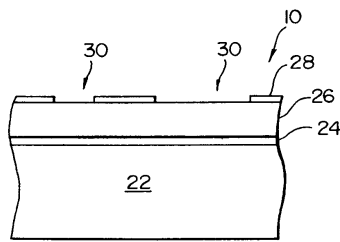
상기 절연 트렌치들 사이에 및 상기 절연 트렌치에 인접하게, 반도체 디바이스 구성 요소(12, 14, 16, 18)를 형성하는 단계를 더 포함하는 반도체 기판에서의 절연 트렌치 형성 방법.

도면

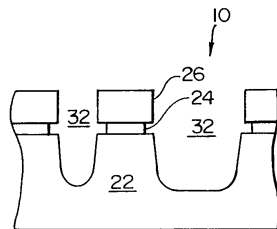
도면1



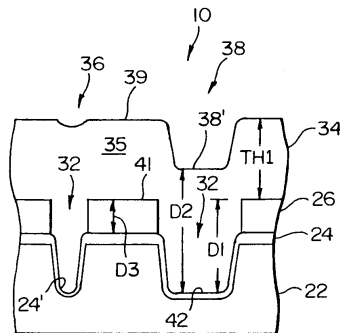
도면2



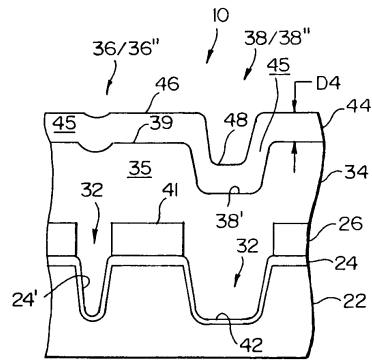
도면3



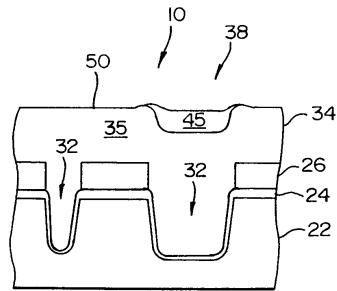
도면4



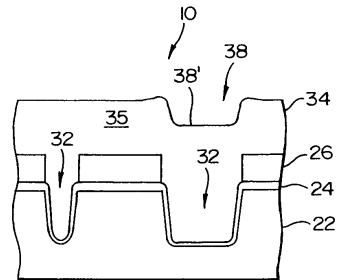
도면5



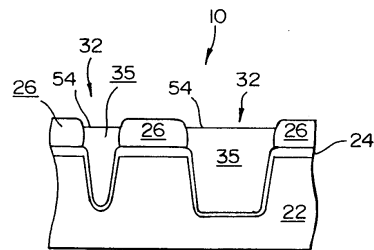
도면6



도면7



도면8



도면9

