

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月26日(26.12.2024)



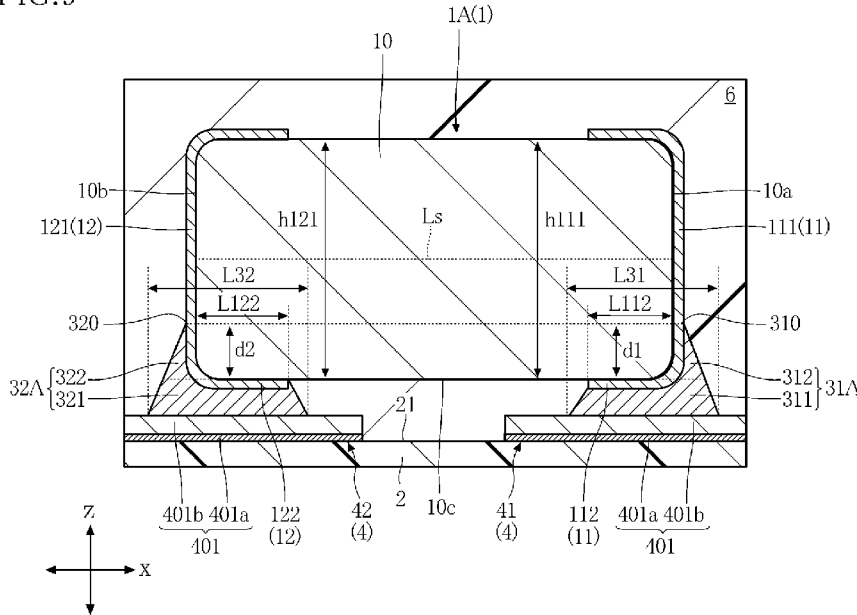
(10) 国際公開番号
WO 2024/262239 A1

- (51) 国際特許分類:
H05K 1/18 (2006.01) *H05K 3/34* (2006.01)
- (21) 国際出願番号: PCT/JP2024/019001
- (22) 国際出願日: 2024年5月23日(23.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-101348 2023年6月21日(21.06.2023) JP
- (71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 宮崎 弘規 (**MIYAZAKI Hiroki**);
〒6158585 京都府京都市右京区西院溝崎町2
1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (**USUI Takashi et al.**);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子装置

[図9]
FIG.9



(57) Abstract: An electronic device (A10) comprises: an electronic component (1); a support member (2) that supports the electronic component (1); a wiring part (41) formed in the support member (2); and a conductive bonding material (31A) that bonds a terminal (11) of the electronic component (1) to the wiring part (41). A main body (10) of the electronic component (1) has a side surface (10a) facing a first direction (x) orthogonal to the thickness direction (z), and a bottom surface (10c) facing the support member (2). The terminal (11) includes a side electrode (111) connected from one end



WO 2024/262239 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

edge to the other end edge of the side surface (10a) in the thickness direction (z). The conductive bonding material (31A) has a top portion (310) in the thickness direction (z). A distance (d1) along the thickness direction (z) between the top portion (310) and the bottom surface (10c) is 1/2, or smaller, of the size (h111) of the side electrode (111) in the thickness direction (z).

(57) 要約：電子装置 (A 1 0) は、電子部品 (1) と、電子部品 (1) を支持する支持部材 (2) と、支持部材 (2) に形成された配線部 (4 1) と、電子部品 (1) の端子 (1 1) を配線部 (4 1) に接合する導電性接合材 (3 1 A) とを備える。電子部品 (1) の本体部 (1 0) は、厚さ方向 (z) に直交する第 1 方向 (x) を向く側面 (1 0 a) と、支持部材 (2) に対向する底面 (1 0 c) とを有する。端子 (1 1) は、厚さ方向 (z) において側面 (1 0 a) の一方の端縁から他方の端縁まで繋がる側方電極 (1 1 1) を含む。導電性接合材 (3 1 A) は、厚さ方向 (z) における最頂部 (3 1 0) を有する。最頂部 (3 1 0) および底面 (1 0 c) 間の厚さ方向 (z) に沿う距離 (d 1) は、厚さ方向 (z) における側方電極 (1 1 1) の寸法 (h 1 1 1) の 1 / 2 倍以下である。

明 細 書

発明の名称：電子装置

技術分野

[0001] 本開示は、電子装置に関する。

背景技術

[0002] 従来、複電子部品を備える電子装置が知られている。たとえば、特許文献1には、従来の電子装置の一例が開示されている。特許文献1に記載の電子装置は、回路構造体と、封止樹脂体とを備える。回路構造体は、回路基板に電子部品が実装された構造体である。電子部品は、たとえば、チップ抵抗やチップコンデンサなどである。回路基板は、樹脂やセラミックスなどの絶縁基材に、銅（Cu）や銀（Ag）などの導体パターンによって配線が形成されたものである。電子部品は、たとえば、はんだを介して回路基板に実装されている。封止樹脂体は、たとえばエポキシ樹脂であり、回路構造体を封止している。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-181961号公報

発明の概要

発明が解決しようとする課題

[0004] 上記電子装置のように、電子部品がはんだなどの接合材を介して回路基板に接合される構成では、接合材の温度上昇に伴う体積膨張により、電子装置の内部に応力がかかる。たとえば、接合材は、電子部品への通電による電子部品の発熱、あるいは、電子装置を電気製品および電気自動車など（以下では単に「電子機器」という）の回路基板に実装する際のリフローなどにより、温度が上昇する。そして、内部応力により、電子装置（たとえば上記絶縁基材あるいは導体パターン）にクラックが発生する虞があり、電子装置の信頼性を低下させる。

[0005] 本開示は、従来より改良が施された電子装置を提供することを一の課題とする。特に本開示は、上記事情に鑑み、信頼性の低下を抑制することができる電子装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される電子装置は、本体部および第1端子を含む電子部品と、前記電子部品を支持する支持部材と、第1配線部を含み、前記支持部材に形成された配線層と、前記第1端子を前記第1配線部に接合する第1導電性接合材と、を備える。前記電子部品は、前記配線層に対して、前記電子部品の厚さ方向の一方に位置する。前記本体部は、前記厚さ方向に直交する第1方向の一方を向く第1側面と、当該第1側面に繋がり前記支持部材に対向する底面とを有する。前記第1端子は、前記第1側面を覆う第1側方電極を含み、前記第1側方電極は、前記厚さ方向において、前記第1側面の一方の端縁から他方の端縁まで繋がっている。前記第1導電性接合材は、前記厚さ方向の前記一方に位置する第1最頂部を有する。前記第1最頂部と前記底面との前記厚さ方向に沿う第1距離は、前記厚さ方向における前記第1側方電極の寸法の0倍以上1/2倍以下である。

発明の効果

[0007] 上記構成によれば、電子装置に関し、信頼性の低下を抑制することができる。

図面の簡単な説明

- [0008] [図1]図1は、第1実施形態にかかる電子装置を示す平面図である。
[図2]図2は、図1の平面図において、封止樹脂を想像線で示した図である。
[図3]図3は、図2の平面図において、封止樹脂を省略し、複数の電子部品を想像線で示した図である。
[図4]図4は、第1実施形態にかかる電子装置を示す底面図である。
[図5]図5は、第1実施形態にかかる電子装置を示す正面図であって、封止樹脂を想像線で示した図である。
[図6]図6は、第1実施形態にかかる電子装置を示す左側面図であって、封止

樹脂を想像線で示した図である。

[図7]図7は、第1実施形態にかかる電子装置を示す右側面図であって、封止樹脂を想像線で示した図である。

[図8]図8は、図2のV | | | - V | | | 線に沿う断面図である。

[図9]図9は、図8の一部を拡大した部分拡大断面図である。

[図10]図10は、図8の一部を拡大した部分拡大断面図である。

[図11]図11は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図12]図12は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図13]図13は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図14]図14は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図15]図15は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図16]図16は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図17]図17は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図18]図18は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図19]図19は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図20]図20は、第1実施形態の第1変形例にかかる電子装置を示す断面図であって、図8に対応する。

[図21]図21は、第1実施形態の第2変形例にかかる電子装置を示す断面図であって、図8に対応する。

[図22]図22は、第2実施形態にかかる電子装置を示す要部拡大断面図であって、図9に対応する。

[図23]図23は、本開示の電子装置の他の構成例を示す平面図であって、封止樹脂を想像線で示している。

発明を実施するための形態

[0009] 本開示の電子装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0010] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B（の）上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B（の）上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B（の）上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B（の）上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B（の）上に位置していること」を含む。「ある方向に見てある物Aがある物Bに重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。「ある物A（の材料）がある材料Cを含む」とは、「ある物A（の材料）がある材料Cからなる場合」、および、「ある物A（の材料）の主成分がある材料Cである場合」を含む。「ある面Aがある方向B（の一方または他方）を向く」と

は、特段の断りのない限り、面Aの方向Bに対する角度が 90° である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。「ある物Aがある物B（ある方向B）に直交する」とは、特段の断りがない限り、ある物Aのある物B（ある方向B）に対する角度が厳密に 90° である場合に限定されず、当該角度が略 90° （たとえば製造上のばらつきによって生じる誤差の範囲）である場合も含む。

[0011] 図1～図10は、第1実施形態にかかる電子装置A10を示している。電子装置A10は、複数の電子部品1、支持部材2、複数の導電性接合材3、配線層4、複数の端子5および封止樹脂6を備える。電子装置A10は、電子機器（電気製品および電気自動車など）の回路基板に表面実装されるものである。電子装置A10は、リードレスパッケージ型である。電子装置A10の平面視形状は、たとえば矩形である。

[0012] 説明の便宜上、電子装置A10の厚さ方向を「厚さ方向z」という。以下の説明では、厚さ方向zの一方を上方といい、他方を下方ということがある。「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、厚さ方向zにおける各部品等の相対的位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。「平面視」とは、厚さ方向zに見たときをいう。厚さ方向zに対して直交する1つの方向を「第1方向x」という。厚さ方向zおよび第1方向xに直交する方向を「第2方向y」という。

[0013] 複数の電子部品1はそれぞれ、図2および図5～図10に示すように、支持部材2に支持される。複数の電子部品1はそれぞれ、SMD（Surface Mount Device：表面実装部品）である。複数の電子部品1はそれぞれ、たとえば抵抗器、コンデンサ、インダクタまたはダイオードなどのいずれかである。複数の電子部品1はそれぞれ、電子装置A10の機能素子である。電子装置A10では、複数の電子部品1は、2つの電子部品1A、1Bを含む。つまり、電子装置A10は、2つの電子部品1A、1Bを備える。電子装置A10において、複数の電子部品1の数は、2つに限定されず、1つであっても

よいし、3つ以上であってもよい。複数の電子部品1（2つの電子部品1A，1B）の各厚さ（厚さ方向zの寸法）は、たとえば200 μ m以上1500 μ m以下である。

[0014] 複数の電子部品1（2つの電子部品1A，1B）はそれぞれ、図2、図5および図8に示すように、本体部10および一对の端子11，12を含む。次で説明する本体部10および一对の端子11，12は、特段の断りがない限り、各電子部品1（各電子部品1A，1B）で共通する。

[0015] 本体部10は、電子部品1における機能中枢であり、電子部品1の通電により、抵抗器、コンデンサ、インダクタまたはダイオードなどとして動作する。図2に示すように、図示された例では、本体部10は、平面視において、第1方向xを長手方向とする矩形である。

[0016] 図8～図10に示すように、本体部10は、一对の側面10a，10bおよび底面10cを有する。一对の側面10a，10bは、各電子部品1の長手方向（図示された例では第1方向x）において互いに離間し、且つ、各電子部品1の長手方向（図示された例では第1方向x）において互いに反対側を向く。底面10cは、一对の側面10a，10bの各々に繋がり、これらに挟まれている。底面10cは、厚さ方向z下方を向き、支持部材2に対向する。本体部10は、一对の側面10a，10bおよび底面10cの他、厚さ方向z上方を向く上面と、第2方向yの一方を向く側面と、第2方向yの他方を向く側面とを有する。

[0017] 図2、図5および図8～図10に示すように、一对の端子11，12は、第1方向xの両側にそれぞれ配置される。各電子部品1（各電子部品1A，1B）において、端子11は、第1方向xの一方の端部に配置され、端子12は、第1方向xの他方の端部に配置される。

[0018] 端子11は、図9および図10に示すように、側方電極111および底面電極112を含む。側方電極111は、側面10aの全体を覆う。よって、側方電極111は、側面10aのうちの厚さ方向z上方（一方）の端縁から、側面10aのうちの厚さ方向z下方（他方）の端縁まで繋がる。底面電極

112は、底面10cの一部を覆う。底面電極112は、底面10cのうちの第1方向xの一方の端縁付近を覆う。底面電極112は、側方電極111に繋がる。底面電極112の第1方向xの寸法L112（つまり端子11の第1方向xの寸法）は、たとえば50 μ m以上800 μ m以下である。端子11は、側方電極111および底面電極112の他、本体部10の上面の一部を覆う部分と、本体部10の第2方向yの一方を向く側面の一部と、本体部10の第2方向yの他方を向く側面の一部を覆う部分とを含んでいる。本開示において、側方電極111と底面電極112との境界は、底面10cを基準としており、厚さ方向z上方側が側方電極111であり、厚さ方向z下方側が底面電極112である。

[0019] 端子12は、図9および図10に示すように、側方電極121および底面電極122を含む。側方電極121は、側面10bの全体を覆う。よって、側方電極121は、側面10bのうちの厚さ方向z上方（一方）の端縁から、側面10bのうちの厚さ方向z下方（他方）の端縁まで繋がる。底面電極122は、底面10cの一部を覆う。底面電極122は、底面10cのうちの第1方向xの他方の端縁付近を覆う。底面電極122は、側方電極121に繋がる。底面電極122の第1方向xの寸法L122（つまり端子12の第1方向xの寸法）は、たとえば50 μ m以上800 μ m以下である。端子12は、側方電極121および底面電極122の他、本体部10の上面の一部を覆う部分と、本体部10の第2方向yの一方を向く側面の一部と、本体部10の第2方向yの他方を向く側面の一部を覆う部分とを含んでいる。本開示において、側方電極121と底面電極122との境界は、底面10cを基準としており、厚さ方向z上方側が側方電極121であり、厚さ方向z下方側が底面電極122である。

[0020] 支持部材2は、図2および図5～図10に示すように、複数の電子部品1を支持する。支持部材2は、たとえば絶縁性樹脂を含む。当該絶縁性樹脂は、たとえば封止樹脂6と同じ（後述するようにエポキシ樹脂）であるが、封止樹脂6と異なってもよい。支持部材2には、先述の絶縁性樹脂にシリ

かなどのフィラーが混入されていてもよい。支持部材 2 は、絶縁性樹脂ではなく、単結晶の真性半導体（たとえばケイ素（Si））を含む構成でもよいし、ガラスを含む構成でもよいし、セラミックを含む構成であってもよい。支持部材 2 の平面視形状は、図 2～図 4 に示すように、たとえば矩形である。支持部材 2 の厚さ（厚さ方向 z に沿う寸法）は、何ら限定されないが、たとえば $30\ \mu\text{m}$ 以上 $300\ \mu\text{m}$ 以下である。支持部材 2 は、搭載面 2 1、裏面 2 2 および複数の側面 2 3 を有する。

[0021] 図 5～図 8 に示すように、搭載面 2 1 および裏面 2 2 は、厚さ方向 z において離間する。搭載面 2 1 と裏面 2 2 は、互いに反対側を向く。搭載面 2 1 は、支持部材 2 の上面であり、裏面 2 2 は、支持部材 2 の下面である。搭載面 2 1 は、複数の電子部品 1 に対向する。裏面 2 2 は、電子装置 A 1 0 を回路基板に実装した際、当該回路基板に対向する。本実施形態では、搭載面 2 1 は、封止樹脂 6 に覆われ、裏面 2 2 は、封止樹脂 6 から露出する。図 5～図 8 に示すように、複数の側面 2 3 はそれぞれ、搭載面 2 1 と裏面 2 2 との間に挟まれている。各側面 2 3 の厚さ方向 z の上端は、搭載面 2 1 に繋がり、各側面 2 3 の厚さ方向 z の下端は、裏面 2 2 に繋がる。各側面 2 3 は、平坦であり、かつ、搭載面 2 1 および裏面 2 2 のそれぞれに直交する。図 2～図 4 に示すように、複数の側面 2 3 は、第 1 方向 x の一方を向くもの、第 1 方向 x の他方を向くもの、第 2 方向 y の一方を向くもの、および、第 2 方向 y の他方を向くものを含む。

[0022] 支持部材 2 の厚さ（厚さ方向 z の寸法）と、各電子部品 1 の厚さ（厚さ方向 z の寸法）との、寸法関係は、何ら限定されないが、好ましくは、支持部材 2 の厚さは、各電子部品 1 の厚さの $1/20$ 倍以上 $1/5$ 倍以下である。たとえば、各電子部品 1 の厚さが $500\ \mu\text{m}$ である例において、支持部材 2 の厚さは、 $25\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ であることが好ましい。

[0023] 配線層 4 は、電子装置 A 1 0 の内部に配置される導電体である。配線層 4 は、複数の電子部品 1 と複数の端子 5 とを電氣的に繋ぐ。配線層 4 は、図 5 に示すように、支持部材 2 の搭載面 2 1 に形成される。

- [0024] 配線層4は、図2、図3、図5および図8に示すように、複数の配線部41、42、43を含む。複数の配線部41、42、43は、互いに離間する。複数の配線部41、42、43は、第1方向xに沿って配置されている。図示された例では、配線部42は、第1方向xにおいて、配線部41と配線部42との間に位置する。配線部41は、配線部42に対して、第1方向xの一方に位置する。
- [0025] 図8に示すように、配線部41には、電子部品1Aの端子11が接合される。よって、配線部41は、電子部品1Aの端子11に導通する。配線部41は、複数の端子5のいずれかに導通する。図8に示すように、配線部42には、電子部品1Aの端子12および電子部品1Bの端子11がそれぞれ接合される。よって、配線部42は、電子部品1Aの端子12および電子部品1Bの端子11の各々に導通する。図8に示すように、配線部43には、電子部品1Bの端子12が接合される。配線部43は、複数の端子5のいずれかに導通する。よって、配線部43は、電子部品1Bの端子12に導通する。図2、図5および図8に示すように、電子部品1Aは、平面視において、2つの配線部41、42に跨って配置されている。電子部品1Bは、平面視において、2つの配線部42、43に跨って配置されている。
- [0026] 配線層4（複数の配線部41、42、43の各々）は、図9および図10に示すように、導通層401を含む。導通層401は、互いに離間する2つの部位を電氣的に接続し、これらの間の導通経路をなす。
- [0027] 導通層401は、図9および図10に示すように、シード層401aおよび金属層401bを含む。シード層401aは、搭載面21に形成されている。シード層401aは、たとえばチタン（Ti）を含む。金属層401bは、シード層401aに積層される。金属層401bは、たとえば銅（Cu）を含む。この構成とは異なり、導通層401は、導電体からなる単層であってもよい。導通層401の厚さ（厚さ方向zの寸法）は、何ら限定されないが、たとえば10 μ m以上100 μ m以下である。
- [0028] 複数の導電性接合材3はそれぞれ、配線層4と、複数の電子部品1のいずれ

れかとを接合する。複数の導電性接合材 3 を介して、複数の電子部品 1 は、配線層 4 に導通する。複数の導電性接合材 3 はそれぞれ、導電性の接合材である。複数の導電性接合材 3 は、たとえばはんだである。当該はんだは、錫 (Sn) を組成に含む合金 (たとえば Sn-銀 (Ag) 合金) を含み、且つフラックスを含有する。複数の導電性接合材 3 の各組成は、この例に限定されない。複数の導電性接合材 3 はそれぞれ、はんだではなく、焼結金属あるいは導電性ペースト材であってもよい。本実施形態では、図 2、図 3、図 5 および図 8 に示すように、複数の導電性接合材 3 は、一对の導電性接合材 3 1 A, 3 2 A および一对の導電性接合材 3 1 B, 3 2 B を含む。

[0029] 図 2 および図 8 などに示すように、一对の導電性接合材 3 1 A, 3 2 A は、電子部品 1 A を配線層 4 に接合する。導電性接合材 3 1 A は、電子部品 1 A の端子 1 1 と配線部 4 1 とを接合する。導電性接合材 3 2 A は、電子部品 1 A の端子 1 2 と配線部 4 2 とを接合する。図示された例では、各導電性接合材 3 1 A, 3 2 A は、たとえば錐体状であって、各導電性接合材 3 1 A, 3 2 A の厚さ方向 z に直交する断面の面積は、厚さ方向 z 下方に向かうほど大きい。

[0030] 図 2 および図 8 などに示すように、一对の導電性接合材 3 1 B, 3 2 B は、電子部品 1 B を配線層 4 に接合する。導電性接合材 3 1 B は、電子部品 1 B の端子 1 1 と配線部 4 2 とを接合する。導電性接合材 3 2 B は、電子部品 1 B の端子 1 2 と配線部 4 3 とを接合する。図示された例では、各導電性接合材 3 1 B, 3 2 B は、たとえば錐体状であって、各導電性接合材 3 1 B, 3 2 B の厚さ方向 z に直交する断面の面積は、厚さ方向 z 下方に向かうほど大きい。

[0031] 図 9 および図 10 に示すように、各導電性接合材 3 1 A, 3 1 B は、介在部 3 1 1 およびフィレット 3 1 2 を含む。各導電性接合材 3 1 A, 3 1 B において、介在部 3 1 1 とフィレット 3 1 2 とを互いに繋がり、一体的に形成されている。導電性接合材 3 1 A の介在部 3 1 1 は、厚さ方向 z において、電子部品 1 A と配線部 4 1 との間に介在する。導電性接合材 3 1 B の介在部

311は、厚さ方向zにおいて、電子部品1Bと配線部42との間に介在する。各導電性接合材31A、31Bの介在部311の厚さ（厚さ方向z）の寸法は、何ら限定されないが、たとえば $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。各導電性接合材31A、31Bにおいて、フィレット312は、対応する電子部品1A、1Bの側方電極111の一部を覆う。各導電性接合材31A、31Bにおいて、フィレット312は、対応する電子部品1A、1Bの側方電極111に接する。各フィレット312の側面は、厚さ方向zに直交するx-y平面に対して平坦に傾斜しているが、凸に湾曲していてもよいし、凹に湾曲していてもよい。

[0032] 各導電性接合材31A、31Bは、図5、図9および図10に示すように、最頂部310を有する。本実施形態では、各導電性接合材31A、31Bにおいて、フィレット312が最頂部310を有する。次で説明する最頂部310は、特段の断りがない限り、各導電性接合材31A、31Bで共通する。

[0033] 最頂部310は、導電性接合材31A、31Bのうち、最も厚さ方向z上方に位置する部位である。最頂部310と底面10cとの厚さ方向zに沿う距離d1（図9および図10参照）は、厚さ方向zにおける側方電極111の寸法h111（図9および図10参照）の0倍以上1/2倍以下（好ましくは0倍以上1/4倍以下）である。つまり、側方電極111に沿って這い上がる導電性接合材31A、31Bの高さは、側方電極111の下端から、側方電極111の厚さ方向zの中央Ls（図9および図10参照）までである。本実施形態では、各導電性接合材31A、31Bは、フィレット312を含むので、距離d1は、厚さ方向zにおける側方電極111の寸法h111の0倍よりも大きく1/2倍以下（好ましくは1/4倍以下）である。換言すると、各導電性接合材31A、31Bがフィレット312を含まない構成では、距離d1は、対応する側方電極111の厚さの0倍となる。

[0034] 各導電性接合材31A、31Bの第1方向xの寸法L31（図2、図9および図10参照）と、各電子部品1A、1Bの底面電極112の第1方向x

の寸法 L_{112} （図2、図9および図10参照）との寸法関係は、何ら限定されないが、好ましくは、各導電性接合材31A、31Bの第1方向 x の寸法 L_{31} は、底面電極112の第1方向 x の寸法 L_{112} の1.0倍以上1.5倍以下である。

[0035] 図9および図10から理解されるように、各導電性接合材32A、32Bは、介在部321およびフィレット322を含む。各導電性接合材32A、32Bにおいて、介在部321とフィレット322とを互いに繋がり、一体的に形成されている。導電性接合材32Aの介在部321は、厚さ方向 z において、電子部品1Aと配線部42との間に介在する。導電性接合材32Bの介在部321は、厚さ方向 z において、電子部品1Bと配線部43との間に介在する。各導電性接合材32A、32Bの介在部321の厚さ（厚さ方向 z ）の寸法は、何ら限定されないが、たとえば $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。各導電性接合材32A、32Bにおいて、フィレット322は、対応する電子部品1A、1Bの側方電極121の一部を覆う。各導電性接合材32A、32Bにおいて、フィレット322は、対応する電子部品1A、1Bの側方電極121に接する。各フィレット322の側面は、厚さ方向 z に直交する $x-y$ 平面に対して平坦に傾斜しているが、凸に湾曲していてもよいし、凹に湾曲していてもよい。

[0036] 各導電性接合材32A、32Bは、図5、図9および図10に示すように、最頂部320を有する。本実施形態では、各導電性接合材32A、32Bにおいて、フィレット322が最頂部320を有する。次で説明する最頂部320は、特段の断りがない限り、各導電性接合材32A、32Bで共通する。

[0037] 最頂部320は、導電性接合材32A、32Bのうち、最も厚さ方向 z 上方に位置する部位である。最頂部320と底面10cとの厚さ方向 z に沿う距離 d_2 （図9および図10参照）は、厚さ方向 z における側方電極121の寸法 h_{121} （図9および図10参照）の0倍以上 $1/2$ 倍（好ましくは0倍以上 $1/4$ 倍以下）である。つまり、側方電極121に沿って這い上が

る導電性接合材 3 2 A, 3 2 B の高さは、側方電極 1 2 1 の下端から、側方電極 1 2 1 の厚さ方向 z の中央 L s (図 9 および図 1 0 参照) までである。本実施形態では、導電性接合材 3 2 A, 3 2 B はそれぞれ、フィレット 3 2 2 を含むので、距離 d 2 は、厚さ方向 z における側方電極 1 2 1 の寸法 h 1 2 1 の 0 倍よりも大きく 1 / 2 倍以下 (好ましくは 1 / 4 倍以下) である。換言すると、導電性接合材 3 2 A, 3 2 B がフィレット 3 2 2 を含まない構成では、距離 d 2 は、側方電極 1 2 1 の厚さの 0 倍となる。本実施形態では、図 5、図 9 および図 1 0 から理解されるように、最頂部 3 2 0 は、第 1 方向 x に見て、最頂部 3 1 0 と同じ位置になる。つまり、側方電極 1 2 1 に沿って這い上がる導電性接合材 3 2 A, 3 2 B の高さは、側方電極 1 1 1 に沿って這い上がる導電性接合材 3 1 A, 3 1 B の高さと同じである。

[0038] 各導電性接合材 3 2 A, 3 2 B の第 1 方向 x の寸法 L 3 2 (図 2、図 9 および図 1 0 参照) と、各電子部品 1 A, 1 B の底面電極 1 2 2 の第 1 方向 x の寸法 L 1 2 2 (図 2、図 9 および図 1 0 参照) との寸法関係は、何ら限定されないが、好ましくは、各導電性接合材 3 2 A, 3 2 B の第 1 方向 x の寸法 L 3 2 は、底面電極 1 2 2 の第 1 方向 x の寸法 L 1 2 2 の 1. 0 倍以上 1. 5 倍である。

[0039] 複数の端子 5 はそれぞれ、配線層 4 に導通しており、かつ、電子装置 A 1 0 の外部に露出した導電体である。複数の端子 5 はそれぞれ、電子装置 A 1 0 を回路基板に実装する際の端子となる。図 5 ~ 図 8 に示すように、複数の端子 5 はそれぞれ、支持部材 2 を厚さ方向 z に貫通する。図示された例では、電子装置 A 1 0 は、2 つの端子 5 を備える。図 8 に示すように、2 つの端子 5 の一方は、配線部 4 1 に接しており、2 つの端子 5 の他方は、配線部 4 3 に接している。この例とは異なり、電子装置 A 1 0 は、配線部 4 2 に接する端子 5 をさらに備えていてもよい。

[0040] 複数の端子 5 はそれぞれ、図 5 ~ 図 8 に示すように、柱状部 5 1 および外部電極部 5 2 を含む。次で説明する柱状部 5 1 および外部電極部 5 2 はそれぞれ、特段の断りがない限り、各端子 5 で共通する。

[0041] 図8に示すように、柱状部51は、支持部材2を厚さ方向zに貫通する。柱状部51は、たとえば金属材料を含む。当該金属材料は、何ら限定されないが、たとえばCuである。柱状部51の平面視形状は、何ら限定されないが、図2および図3に示す例では矩形である。柱状部51の上面（厚さ方向z上方を向く面）は、たとえば支持部材2の搭載面21と面一である。この柱状部51の上面は、配線層4に接する。複数の端子5には、柱状部51の上面が配線層4のいずれにも接しないものがある。このような端子5は、ダミー端子となる。柱状部51の下面（厚さ方向z下方を向く面）は、支持部材2から露出する。この柱状部51の下面は、たとえば支持部材2の裏面22と面一である。本実施形態では、すべての端子5において、柱状部51の側面（第1方向xまたは第2方向yを向く面）は、支持部材2に覆われているが、この例と異なり、複数の端子5には、柱状部51の側面が露出したものがある。

[0042] 図8に示すように、外部電極部52は、柱状部51のうち、支持部材2の裏面22から露出する部位に接する。図5～図8に示すように、外部電極部52は、裏面22から突き出る。外部電極部52は、無電解めっきにより形成される。外部電極部52は、たとえば、柱状部51に接する側からNi層、パラジウム（Pd）層、金（Au）層の順に積層された複数の金属層から構成される。外部電極部52は、その他の構成として、柱状部51に接する側から、Ni層、Au層の順に積層された複数の金属層、あるいは、Cu層、Ag層、Sn層の順に積層された複数の金属層とすることができる。外部電極部52の材料および形成方法は、これらの例に限定されない。

[0043] 封止樹脂6は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。封止樹脂6は、当該エポキシ樹脂にシリカなどのフィラーが混入されていてもよい。封止樹脂6は、図1、図2および図5～図8に示すように、複数の電子部品1（2つの電子部品1A、1B）を覆う。封止樹脂6は、図5～図8に示すように、複数の導電性接合材3（複数の導電性接合材31A、31B、32A、32B）と、配線層4と、支持部材2の一部とを覆う。封止

樹脂6は、搭載面21上に形成される。封止樹脂6は、平面視において矩形状である。封止樹脂6の厚さ（厚さ方向zに沿う寸法）は、何ら限定されないが、たとえば300 μ m以上1200 μ m以下である。封止樹脂6は、図1および図5～図8に示すように、樹脂主面61、樹脂裏面62および複数の樹脂側面63を有する。

[0044] 図5～図8に示すように、樹脂主面61および樹脂裏面62は、厚さ方向zにおいて離間する。樹脂主面61と樹脂裏面62とは、厚さ方向zにおいて互いに反対側を向く。樹脂主面61は、厚さ方向zにおいて、搭載面21と同じ方向を向き、樹脂裏面62は、厚さ方向zにおいて裏面22と同じ方向を向く。樹脂裏面62は、搭載面21に接する。樹脂裏面62には、配線層4の形状に応じて凹凸がある。図1、図2および図5～図8に示すように、複数の樹脂側面63の各々は、厚さ方向zにおいて樹脂主面61と樹脂裏面62とに挟まれており、これらに繋がる。複数の樹脂側面63は、複数の側面23のうちの対応する1つと面一である。

[0045] 次に、電子装置A10の製造方法の一例について、図11～図19を参照して説明する。図11～図19は、電子装置A10の製造方法における一工程を示す断面図である。これらの断面図は、図8に示す断面に対応する。

[0046] まず、図11に示すように、支持基板80を準備し、当該支持基板80上に複数の柱状部51を形成する。支持基板80は、たとえば単結晶の真性半導体材料を含む。当該半導体材料は、たとえばSiである。支持基板80を準備する工程では、たとえば支持基板80として、シリコンウエハを準備する。支持基板80は、厚さ方向zにおいて互いに反対側を向く基板主面80aおよび基板裏面80bを有する。複数の柱状部51は、たとえば次の工程により形成される。まず、基板主面80aにシード層を形成する。当該シード層の形成は、たとえばスパッタリング法による。そして、シード層上にレジストをパターンニングし、電解めっきにより複数の柱状部51を形成する。その後、レジスト層および不要なシード層を除去する。これらの工程を経て、支持基板80の基板主面80aに、複数の柱状部51を形成する。

- [0047] 次いで、図12に示すように、支持基板80の基板主面80aに、複数の柱状部51を覆う支持部材2（樹脂層）を形成する。支持部材2（樹脂層）の形成は、たとえばモールド成形による。支持部材2（樹脂層）は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。支持部材2（樹脂層）としては、当該合成樹脂ではなく、他の絶縁性の樹脂材料であってもよい。支持部材2（樹脂層）は、厚さ方向zにおいて互いに反対側を向く搭載面21および裏面22を有する。搭載面21は、基板主面80aと同じ方向を向き、裏面22は、基板主面80aに対向する。
- [0048] 次いで、図13に示すように、支持部材2（樹脂層）を研削する。当該支持部材2の研削は、搭載面21から厚さ方向z下方に向かって行い、柱状部51が露出するまで行う。当該研削の方法は特に限定されない。研削ではない方法により、支持部材2を低背化してもよい。
- [0049] 次いで、図14に示すように、配線層4を形成する。配線層4は、たとえば次の工程により形成される。まず、搭載面21、各柱状部51の上に、シード層401aを形成する。当該シード層401aの形成は、たとえばスパッタリング法による。たとえばシード層401aとして、Ti層およびCu層が順に積層される。次に、シード層401a上にレジストをパターンニングし、電解めっきにより金属層401bを形成する。たとえば、金属層401bは、Cuを含む。その後、レジストおよび不要なシード層401a（金属層401bから露出するシード層401a）を除去する。これらの工程を経て、配線層4（複数の配線部41, 42, 43）が形成される。
- [0050] 次いで、図15に示すように、複数の導電性接合材3（複数の導電性接合材31A, 31B, 32A, 32B）を形成する。複数の導電性接合材3を形成する工程では、たとえば、各導電性接合材3としてののはんだペーストを、スクリーン印刷によって、配線層4上に形成する。
- [0051] 次いで、図16に示すように、複数の電子部品1を搭載し、その後、複数の電子部品1を接合する。図16に示すように、複数の電子部品1を搭載する工程では、電子部品1Aの端子11と導電性接合材31Aとを、電子部品

1 Aの端子1 2と導電性接合材3 2 Aとを、電子部品1 Bの端子1 1と導電性接合材3 1 Bとを、電子部品1 Bの端子1 2と導電性接合材3 2 Bとをそれぞれ対応させて載置する。その後、各電子部品1（各電子部品1 A，1 B）を載置した状態で、リフローを行う。このリフローによる熱によって各導電性接合材3 1 A，3 1 B，3 2 A，3 2 Bが熔融し、各導電性接合材3 1 A，3 1 B，3 2 A，3 2 Bがペースト状である時よりも流動性が高くなる。次いで、熔融した各導電性接合材3 1 A，3 1 B，3 2 A，3 2 Bを冷却する。これにより、各導電性接合材3 1 A，3 1 B，3 2 A，3 2 Bが固化し、各電子部品1（各電子部品1 A，1 B）が接合される。固化した後の各導電性接合材3 1 A，3 1 Bは、介在部3 1 1およびフィレット3 1 2を含む。固化した後の各導電性接合材3 2 A，3 2 Bは、介在部3 2 1および介在部3 2 1が形成される。

[0052] 次いで、図1 7に示すように、封止樹脂6を形成する。封止樹脂6は、支持部材2の上方に、複数の電子部品1および配線層4を覆うように、形成される。封止樹脂6の形成は、たとえばモールド成形による。封止樹脂6は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。封止樹脂6としては、当該合成樹脂ではなく、他の絶縁性の樹脂材料であってもよい。封止樹脂6は、厚さ方向zの一方を向く樹脂主面6 1を有する。封止樹脂6の低背化のために、各電子部品1が露出しない程度に、封止樹脂6を、樹脂主面6 1から厚さ方向z下方に研削してもよい。

[0053] 次いで、図1 8に示すように、支持基板8 0を除去する。当該支持基板8 0の除去では、たとえば、図1 7に示す状態において、基板裏面8 0 b側から支持基板8 0を研削する。当該研削では、支持基板8 0を、基板裏面8 0 b側から行う。図示された例では、当該研削を、支持基板8 0の除去後も継続して行うことで、支持部材2および柱状部5 1を低背化する。この低背化は、行わなくてもよい。

[0054] 次いで、図1 9に示すように、外部電極部5 2を形成する。外部電極部5 2は、裏面2 2から露出する柱状部5 1の頂面に形成される。外部電極部5

2の形成は、たとえば無電解めっきによる。当該無電解めっきでは、柱状部51に接する側から、Ni層、Pd層、Au層の順に積層させる。これにより、各々が柱状部51および外部電極部52を含む複数の端子5が形成される。

[0055] その後、図19に示す切断線CLで、封止樹脂6を切断することで、個片化する。封止樹脂6の切断は、たとえばダイシングブレードを用いた切削加工により行われる。

[0056] 以上の工程を経て、図1～図10に示す電子装置A10が製造される。電子装置A10の製造方法は、上記した例に限定されない。たとえば、支持部材2が単結晶の真性半導体（たとえばSi）を含む場合、次のように製造される。それは、上記支持基板80（シリコンウエハ）に、エッチング等により溝を形成する。次いで、当該溝に複数の柱状部51を形成する。次いで、支持部材2（樹脂層）を形成することなく、配線層4を形成する。封止樹脂6の形成後において、支持基板80を除去するのではなく、先述の溝に形成された複数の柱状部51が露出するまで、研削する。このような工程に変更することで、支持部材2が半導体材料からなる電子装置A10が製造される。

[0057] 電子装置A10の作用および効果は、次の通りである。

[0058] 電子装置A10は、第1導電性接合材としての導電性接合材31Aを備える。導電性接合材31Aは、第1最頂部としての最頂部310を有する。そして、最頂部310と本体部10の底面10cとの厚さ方向zに沿う距離d1（第1距離）は、厚さ方向zにおける側方電極111の寸法の0倍以上1/2倍以下である。側方電極111は、「第1側方電極」の一例である。この構成によれば、端子11と配線部41との導通を確保したまま、導電性接合材31Aの量（体積）を適度に少なくできる。したがって、導電性接合材31Aの温度上昇に伴う体積膨張によって生じる応力を低減させることができる。これにより、電子装置A10にクラックが発生することを抑制できるので、電子装置A10は、信頼性の低下を抑制することができる。導電性接

合材 3 1 A は、仮に体積が同じであっても、厚さ方向 z の寸法が相対的に大きいものと小さいものとを比較すると、小さいものの方が、体積膨張による応力のうち厚さ方向 z に沿ってかかる応力が小さい。そのため、支持部材 2 にかかる応力が低減するため、支持部材 2 へのクラックの発生が抑制される。このことは、導電性接合材 3 1 B においても同様である。

[0059] 特に、上記距離 d 1 は、厚さ方向 z における側方電極 1 1 1 の寸法の (0 倍以上) 1 / 4 倍以下である。この構成では、導電性接合材 3 1 A の量 (体積) がさらに少ないので、電子装置 A 1 0 は、導電性接合材 3 1 A の温度上昇に伴う体積膨張によって生じる応力を低減させる上で好ましい。

[0060] 電子装置 A 1 0 では、上述の通り、導電性接合材 3 1 A の温度上昇に伴う体積膨張によって生じる応力を低減させるため、導電性接合材 3 1 A の量 (体積) を適度に少なくしている。これにより、第 1 方向 x における導電性接合材 3 1 A の寸法は、第 1 方向 x における底面電極 1 1 2 の寸法 L 1 1 2 の 1. 0 倍以上 1. 5 倍以下となる。底面電極 1 1 2 は、「第 1 底面電極」の一例である。換言すると、電子装置 A 1 0 では、第 1 方向 x における導電性接合材 3 1 A の寸法を、第 1 方向 x における底面電極 1 1 2 の寸法 L 1 1 2 の 1. 0 倍以上 1. 5 倍以下とすることで、端子 1 1 と配線部 4 1 との導通を確保したまま、導電性接合材 3 1 A の量 (体積) を適度に少なく構成できる。このことは、他の導電性接合材 3 1 B, 3 2 A, 3 2 B においても同様である。

[0061] 電子装置 A 1 0 では、各導電性接合材 3 1 A, 3 1 B は、フィレット 3 1 2 を含む。この構成によれば、電子装置 A 1 0 の製造過程 (たとえば封止樹脂 6 を形成する前) において、各電子部品 1 A, 1 B の端子 1 1 が、配線層 4 に適正に接合されているかの外観検査が容易となる。同様に、各導電性接合材 3 2 A, 3 2 B は、フィレット 3 2 2 を含む。この構成によれば、電子装置 A 1 0 の製造過程 (たとえば封止樹脂 6 を形成する前) において、各電子部品 1 A, 1 B の端子 1 2 が、配線層 4 に適正に接合されているかの外観検査が容易となる。

[0062] 電子装置A10では、支持部材2の厚さは、各電子部品1の厚さの $1/20$ 倍以上 $1/5$ 倍以下である。本願発明者の研究によれば、支持部材2は、薄い方が、支持部材2の反りを低減されることが分かった。一方で、支持部材2は、厚い方が導電性接合材31Aの温度上昇に伴う体積膨張を抑制できることが分かった。したがって、電子装置A10は、支持部材2の厚さを上記範囲（ $1/20$ 倍以上 $1/5$ 倍以下）にすることで、支持部材2の反りを低減しつつ、導電性接合材31Aの温度上昇に伴う体積膨張を抑制することができる。

[0063] 電子装置A10は、第2導電性接合材としての導電性接合材32Aを備える。導電性接合材32Aは、第2最頂部としての最頂部320を有する。そして、最頂部320と本体部10の底面10cとの厚さ方向zに沿う距離d2（第2距離）は、厚さ方向zにおける側方電極121の寸法の0倍以上 $1/2$ 倍以下である。側方電極121は、「第2側方電極」の一例である。この構成によれば、端子12と配線部42との導通を確保したまま、導電性接合材32Aの量（体積）を適度に少なくできる。したがって、導電性接合材32Aの温度上昇に伴う体積膨張によって生じる応力を低減させることができる。これにより、電子装置A10にクラックが発生することを抑制できるので、電子装置A10は、信頼性の低下を抑制することができる。導電性接合材32Aは、仮に体積が同じであっても、厚さ方向zの寸法が相対的に大きいものと小さいものとを比較すると、小さいものの方が、体積膨張による応力のうち厚さ方向zに沿ってかかる応力が小さい。そのため、支持部材2にかかる応力が低減するため、支持部材2へのクラックの発生が抑制される。このことは、導電性接合材32Bにおいても同様である。

[0064] 電子装置A10では、各電子部品1A、1Bに対する2つの最頂部310、320は、第1方向xに見て、厚さ方向zにおいて同じ位置にある。つまり、2つの最頂部310、320は、同じ高さにある。この構成によれば、各電子部品1A、1Bの端子11と端子12とが、配線層4に同じ（あるいは略同じ）形状に接合されるので、電子装置A10は、各電子部品1A、1

Bが傾いた姿勢で接合されることを抑制できる。

- [0065] 電子装置A10では、各電子部品1A、1Bは、封止樹脂6に覆われている。この構成によれば、封止樹脂6を備えない構成と比較して、支持部材2への、各導電性接合材3（導電性接合材31A、31B、32A、32B）の体積膨張による応力が大きくなる。そのため、支持部材2にクラックが生じる可能性が高くなる。したがって、各電子部品1A、1Bが封止樹脂6に覆われた構成において、各導電性接合材3（導電性接合材31A、31B、32A、32B）を適度に少なくして、各導電性接合材3（導電性接合材31A、31B、32A、32B）の体積膨張による応力を小さくすることは、電子装置A10にクラックが発生することを抑制する上で、好ましい。
- [0066] 電子装置A10では、支持部材2は、絶縁性樹脂を含み、当該絶縁性樹脂は、封止樹脂6の構成材料（たとえばエポキシ樹脂）と同じである。この構成によれば、支持部材2の線膨張係数と封止樹脂6の線膨張係数とが同じになる。したがって、電子装置A10は、電子装置A10における熱応力の影響を抑制することが可能となる。
- [0067] 以下に、本開示の電子装置の他の実施形態および変形例について、説明する。各実施形態および各変形例における各部の構成は、技術的な矛盾が生じない範囲において相互に組み合わせ可能である。
- [0068] 図20は、第1実施形態の第1変形例にかかる電子装置A11を示している。電子装置A11は、電子装置A10と比較して、次の点で異なる。それは、各配線部41、42、43がめっき層402を含む点である。
- [0069] 図20に示すように、電子装置A11では、配線部41は、導通層401とめっき層402とを含み、配線部42は、導通層401と2つのめっき層402とを含み、配線部43は、導通層401とめっき層402とを含む。次で説明するめっき層402は、特段の断りがない限り、各配線部41、42、43で共通する。
- [0070] めっき層402は、導通層401に積層されている。たとえば、めっき層402の各導電性接合材3に対する濡れ性は、導通層401の各導電性接合

材3に対する濡れ性よりも高い。たとえば、めっき層402は、Niを含む。

[0071] 電子装置A11では、電子部品1Aの端子11は、導電性接合材31Aにより、配線部41のめっき層402に接合され、電子部品1Bの端子12は、導電性接合材32Aにより、配線部42の2つのめっき層402のうちの一方に接合される。電子装置A11では、電子部品1Bの端子11は、導電性接合材31Bにより、配線部42の2つのめっき層402のうちの他方に接合され、電子部品1Bの端子12は、導電性接合材32Bにより、配線部43のめっき層402の他方に接合される。

[0072] 各配線部41, 42, 43において、めっき層402の第1方向xの寸法は、何ら限定されないが、たとえば、対応する導電性接合材31A, 31B, 32A, 32Bの第1方向xの寸法と、同じ（あるいは略同じ）である。この例では、各めっき層402の第1方向xの寸法は、底面電極112の第1方向xの寸法L112または底面電極122の第1方向xの寸法L122の1.0倍以上1.5倍以下である。

[0073] 電子装置A11は、電子装置A10と同様に、第1導電性接合材としての導電性接合材31Aを備え、導電性接合材31Aは、第1最頂部としての最頂部310を有する。そして、最頂部310と本体部10の底面10cとの厚さ方向zに沿う距離d1（第1距離）は、厚さ方向zにおける側方電極111の寸法の0倍以上1/2倍以下である。したがって、電子装置A11は、電子装置A10と同様に、導電性接合材31Aの温度上昇に伴う体積膨張によって生じる応力を低減させることができるので、電子装置A11にクラックが発生することを抑制できる。その他、電子装置A11は、電子装置A10と共通する構成により、電子装置A10と同様の効果を奏する。

[0074] さらに、電子装置A11では、各配線部41, 42, 43は、めっき層402を含み、各導電性接合材3（各導電性接合材31A, 31B, 32A, 32B）は、対応するめっき層402に接合される。この構成によれば、めっき層402から導通層401への導電性接合材3の流出が抑制される。上

記電子装置A10では、各導電性接合材3の温度上昇に伴う体積膨張によって生じる応力を低減させるために、各導電性接合材3の量（体積）を適度に少なくしている。この構成において、各導電性接合材3の平面視サイズが大きいほど、当該導電性接合材3の厚さ方向zの寸法が小さくなる。そこで、各めっき層402によって、対応する導電性接合材3の平面視サイズが大きくなりすぎることを抑制できるので、当該導電性接合材3の厚さ方向zの寸法を適度に確保できる。したがって、電子装置A11は、各導電性接合材3の厚さ不足を抑制できるので、各電子部品1A、1Bの端子11および端子12と配線層4との接合強度の低下および電気伝導性の低下を抑制できる。つまり、電子装置A11は、信頼性の低下を抑制できる。

[0075] 電子装置A11では、めっき層402の各導電性接合材3に対する濡れ性は、導通層401の各導電性接合材3に対する濡れ性よりも高い。この構成によれば、めっき層402から導通層401への流出を抑制することができる。

[0076] 電子装置A11では、配線部42には、電子部品1Aの端子12および電子部品1Bの端子11の両方が接合されている。このような構成においては、2つの導電性接合材32A、31Bが配線部42に配置されており、仮に各導電性接合材32A、31Bに意図せぬ流出が発生すると、2つの導電性接合材32A、31Bが一体化される。このような一体化は、各導電性接合材32A、31Bの流出を促進し、各導電性接合材32A、31Bの厚さ不足を招く。よって、めっき層402によって、各導電性接合材32A、31Bの流出を抑制することは、各導電性接合材32A、31Bの厚さ不足を抑制する上で好ましい。つまり、電子装置A11は、信頼性の低下を抑制する上で、好ましい構造である。

[0077] 図21は、第1実施形態の第2変形例にかかる電子装置A12を示している。電子装置A12は、電子装置A10と比較して、次の点で異なる。それは、電子装置A12の封止樹脂6の各樹脂側面63に段差がある点である。

[0078] 図21に示すように、電子装置A12では、各樹脂側面63は、第1側部

631および第2側部632を有する。各樹脂側面63において、第1側部631と第2側部632とは、同じ方向を向く。第1側部631は、平面視において、第2側部632よりも外方に配置されている。第1側部631は、樹脂主面61に繋がり、第2側部632は、複数の側面23のうちの対応する1つに繋がる。第2側部632は、これに繋がる側面23と面一である。このような構成により、各樹脂側面63には、段差がある。

[0079] 図21に示すように、複数の端子5には、側面23から柱状部51が露出したものが含まれる。この側面23から柱状部51が露出した端子5において、外部電極部52は、柱状部51のうち、支持部材2の裏面22から露出した面と、支持部材2の側面23から露出した面とを覆っている。

[0080] 電子装置A12は、電子装置A10と同様に、第1導電性接合材としての導電性接合材31Aを備え、導電性接合材31Aは、第1最頂部としての最頂部310を有する。そして、最頂部310と本体部10の底面10cとの厚さ方向zに沿う距離d1（第1距離）は、厚さ方向zにおける側方電極111の寸法の0倍以上1/2倍以下である。したがって、電子装置A12は、電子装置A10と同様に、導電性接合材31Aの温度上昇に伴う体積膨張によって生じる応力を低減させることができるので、電子装置A12にクラックが発生することを抑制できる。その他、電子装置A12は、電子装置A10と共通する構成により、電子装置A10と同様の効果を奏する。

[0081] さらに、電子装置A12では、封止樹脂6の各樹脂側面63に段差があり、この段差により、複数の端子5は、側面23から柱状部51が露出したものを含んでいる。この構成によれば、柱状部51が側面23から露出した端子5において、外部電極部52が柱状部51のうちの側面23から露出する面にも形成される。したがって、電子装置A12を、電子機器などの回路基板に実装した際、当該実装時に用いる導電性接合材（たとえばはんだ）にフィレットが形成されうる。つまり、電子装置A12は、電子装置A10よりも、電子機器などの回路基板に適正に接合されているかの外観検査が容易となる。

[0082] 図22は、第2実施形態にかかる電子装置A20を示している。電子装置A20は、電子装置A10と比較して、次の点で異なる。第1に、電子装置A20の導電性接合材31Aは、フィレット312を含んでいない点である。第2に、電子装置A20の導電性接合材32Aは、フィレット322を含んでいない点である。本変形例において、各導電性接合材31B、32Bの図示は省略するが、導電性接合材31Bは、本変形例の導電性接合材31Aと同様に構成されてもよいし、電子装置A10と同じであってもよい。導電性接合材32Bは、本変形例の導電性接合材32Aと同様に構成されてもよいし、電子装置A10と同じであってもよい。

[0083] 図22に示すように、電子装置A20の導電性接合材31Aは、介在部311で構成されている。図示された例では、導電性接合材31Aの最頂部310は、第1方向xに見て、電子部品1Aの端子11の側方電極111と底面電極112との境界に重なる。電子装置A20の導電性接合材32Aは、介在部321で構成されている。図示された例では、導電性接合材32Aの最頂部320は、第1方向xに見て、電子部品1Aの端子12の側方電極121と底面電極122との境界に重なる。

[0084] 電子装置A20は、電子装置A10と同様に、第1導電性接合材としての導電性接合材31Aを備え、導電性接合材31Aは、第1最頂部としての最頂部310を有する。そして、最頂部310と本体部10の底面10cとの厚さ方向zに沿う距離d1（第1距離）は、厚さ方向zにおける側方電極111の寸法の0倍以上1/2倍以下である。したがって、電子装置A20は、電子装置A10と同様に、導電性接合材31Aの温度上昇に伴う体積膨張によって生じる応力を低減させることができるので、電子装置A20にクラックが発生することを抑制できる。このことは、導電性接合材31Bにおいても同様である。その他、電子装置A20は、他の電子装置A10～A12と共通する構成により、当該電子装置A10～A12と同様の効果を奏する。

[0085] 本実施形態から理解されるように、本開示の電子装置において、各導電性

接合材 3 1 A, 3 1 B において、フィレット 3 1 2 が形成されているか否かは何ら限定されない。本開示の電子装置において、各導電性接合材 3 2 A, 3 2 B において、フィレット 3 2 2 が形成されているか否かは何ら限定されない。

[0086] 上記第 1 ないし第 2 実施形態（これらの変形例を含む）では、電子部品 1 の数は、2 つである例を示したが、本開示の電子装置において、電子部品 1 の数は、1 つであってもよいし、3 つ以上であってもよい。

[0087] 上記第 1 ないし第 2 実施形態（これらの変形例を含む）と異なる例において、電子装置は、少なくとも 1 つの電子部品 1 の他に、半導体素子を備えていてもよい。図 2 3 は、半導体素子 1 9 をさらに備えた電子装置を示している。図 2 3 に示す電子装置では、配線層 4 は、複数の配線部 4 0 を含んでおり、複数の電子部品 1 の各々は、複数の配線部 4 0 のうちのいずれか 2 つに跨って接合されている。これにより、複数の電子部品 1 が適宜電氣的に接続される。半導体素子 1 9 は、たとえば L S I などの集積回路である。この例と異なり、半導体素子 1 9 は、L D O (Low Drop Out) などの電圧制御用素子、オペアンプなどの増幅用素子、トランジスタおよびダイオードなどのディスクリット素子であってもよい。図 2 3 に示す例では、半導体素子 1 9 は、複数の配線部 4 0 のいくつかに跨ってフリップチップ実装されている。これにより、半導体素子 1 9 と、複数の電子部品 1 のいずれかおよび複数の端子 5 のいずれかが、少なくとも 1 つの配線部 4 0 を介して、適宜電氣的に接続される。本変形例から理解されるように、本開示の電子装置は、電子部品だけを備えるものに限定されず、半導体素子をさらに備える構成を含む。

[0088] 本開示にかかる電子装置は、上記した実施形態に限定されるものではない。本開示の電子装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載された実施形態を含む。

付記 1.

本体部および第 1 端子を含む電子部品と、

前記電子部品を支持する支持部材と、

第 1 配線部を含み、前記支持部材に形成された配線層と、
前記第 1 端子を前記第 1 配線部に接合する第 1 導電性接合材と、
を備え、
前記電子部品は、前記配線層に対して、前記電子部品の厚さ方向の一方に
位置し、
前記本体部は、前記厚さ方向に直交する第 1 方向の一方を向く第 1 側面と
、当該第 1 側面に繋がり前記支持部材に対向する底面とを有し、
前記第 1 端子は、前記第 1 側面を覆う第 1 側方電極を含み、
前記第 1 側方電極は、前記厚さ方向において、前記第 1 側面の一方の端縁
から他方の端縁まで繋がっており、
前記第 1 導電性接合材は、前記厚さ方向の前記一方に位置する第 1 最頂部
を有し、
前記第 1 最頂部と前記底面との前記厚さ方向に沿う第 1 距離は、前記厚さ
方向における前記第 1 側方電極の寸法の 0 倍以上 1 / 2 倍以下である、電子
装置。

付記 2.

前記第 1 導電性接合材は、前記厚さ方向において前記電子部品と前記第 1
配線部との間に介在する第 1 介在部と、前記第 1 最頂部を有し且つ前記第 1
介在部に繋がる第 1 フィレットとを含み、
前記第 1 フィレットは、前記第 1 側方電極の一部を覆う、付記 1 に記載の
電子装置。

付記 3.

前記第 1 距離は、前記厚さ方向における前記第 1 側方電極の寸法の 1 / 4
倍以下である、付記 1 または付記 2 に記載の電子装置。

付記 4.

前記第 1 端子は、前記底面の一部を覆い且つ前記第 1 側方電極に繋がる第
1 底面電極を含み、
前記第 1 方向における前記第 1 導電性接合材の寸法は、前記第 1 方向にお

ける前記第1底面電極の寸法の1.0倍以上1.5倍以下である、付記1ないし付記3のいずれかに記載の電子装置。

付記5.

前記第1配線部は、前記支持部材に積層された導通層と、当該導通層に積層されためっき層とを含み、

前記第1導電性接合材は、前記めっき層に接する、付記4に記載の電子装置。

付記6.

前記めっき層の前記第1導電性接合材に対する濡れ性は、前記導通層の前記第1導電性接合材に対する濡れ性よりも高い、付記5に記載の電子装置。

付記7.

前記第1方向における前記めっき層の寸法は、前記第1方向における前記第1底面電極の1.0倍以上1.5倍以下である、付記5または付記6に記載の電子装置。

付記8.

前記厚さ方向における前記支持部材の寸法は、前記厚さ方向における前記電子部品の寸法の1/20倍以上1/5倍以下である、付記1ないし付記7のいずれかに記載の電子装置。

付記9.

第2導電性接合材をさらに備え、

前記配線層は、前記第1配線部から離間する第2配線部を含み、

前記電子部品は、前記第1端子から離間する第2端子を含み、

前記第2導電性接合材は、前記第2端子を前記第2配線部に接合する、付記1ないし付記8のいずれかに記載の電子装置。

付記10.

前記本体部は、前記底面に繋がり且つ前記第1方向の他方を向く第2側面を有し、

前記第2端子は、前記第2側面を覆う第2側方電極を含み、

前記第2側方電極は、前記厚さ方向において、前記第2側面の一方の端縁から他方の端縁まで繋がっており、

前記第2導電性接合材は、前記厚さ方向の前記一方に位置する第2最頂部を有し、

前記第2最頂部と前記底面との前記厚さ方向に沿う第2距離は、前記厚さ方向における前記第2側方電極の寸法の0倍以上1/2倍以下である、付記9に記載の電子装置。

付記11.

前記第1方向に見て、前記第1最頂部と前記第2最頂部とは、前記厚さ方向において同じ位置にある、付記10に記載の電子装置。

付記12.

前記第2導電性接合材は、前記厚さ方向において前記電子部品と前記第2配線部との間に介在する第2介在部と、前記第2最頂部を有し且つ前記第2介在部に繋がる第2フィレットとを含み、

前記第2フィレットは、前記第2側方電極の一部を覆う、付記10または付記11に記載の電子装置。

付記13.

前記第2端子は、前記底面の一部を覆い且つ前記第2側方電極に繋がる第2底面電極を含む、付記10ないし付記12のいずれかに記載の電子装置。

付記14.

前記支持部材に形成された封止樹脂をさらに備え、

前記封止樹脂は、前記電子部品を覆う付記1ないし付記13のいずれかに記載の電子装置。

付記15.

前記封止樹脂は、エポキシ樹脂を含む、付記14に記載の電子装置。

付記16.

前記支持部材は、絶縁性樹脂を含む、付記14または付記15に記載の電子装置。

付記 17.

前記支持部材は、前記封止樹脂と同じ材料を含む、付記 16 に記載の電子装置。

符号の説明

- [0089] A 1 0, A 1 1, A 1 2, A 2 0 : 電子装置
1, 1 A, 1 B : 電子部品 1 0 : 本体部
1 0 a : 側面 1 0 b : 側面
1 0 c : 底面 1 1, 1 2 : 端子
1 1 1, 1 2 1 : 側方電極 1 1 2, 1 2 2 : 底面電極
1 9 : 半導体素子 2 : 支持部材
2 1 : 搭載面 2 2 : 裏面 2 3 : 側面
3, 3 1 A, 3 1 B, 3 2 A, 3 2 B : 導電性接合材
3 1 0, 3 2 0 : 最頂部 3 1 1, 3 2 1 : 介在部
3 1 2, 3 2 2 : フィレット 4 : 配線層
4 0, 4 1, 4 2, 4 3 : 配線部 4 0 1 : 導通層
4 0 1 a : シード層 4 0 1 b : 金属層
4 0 2 : めっき層 5 : 端子
5 1 : 柱状部 5 2 : 外部電極部
6 : 封止樹脂 6 1 : 樹脂主面
6 2 : 樹脂裏面 6 3 : 樹脂側面
6 3 1 : 第 1 側部 6 3 2 : 第 2 側部
8 0 : 支持基板 8 0 a : 基板主面
8 0 b : 基板裏面 C L : 切断線

請求の範囲

[請求項1]

本体部および第1端子を含む電子部品と、
前記電子部品を支持する支持部材と、
第1配線部を含み、前記支持部材に形成された配線層と、
前記第1端子を前記第1配線部に接合する第1導電性接合材と、
を備え、
前記電子部品は、前記配線層に対して、前記電子部品の厚さ方向の一方に位置し、
前記本体部は、前記厚さ方向に直交する第1方向の一方を向く第1側面と、当該第1側面に繋がり前記支持部材に対向する底面とを有し、
前記第1端子は、前記第1側面を覆う第1側方電極を含み、
前記第1側方電極は、前記厚さ方向において、前記第1側面の一方の端縁から他方の端縁まで繋がっており、
前記第1導電性接合材は、前記厚さ方向の前記一方に位置する第1最頂部を有し、
前記第1最頂部と前記底面との前記厚さ方向に沿う第1距離は、前記厚さ方向における前記第1側方電極の寸法の0倍以上1/2倍以下である、電子装置。

[請求項2]

前記第1導電性接合材は、前記厚さ方向において前記電子部品と前記第1配線部との間に介在する第1介在部と、前記第1最頂部を有し且つ前記第1介在部に繋がる第1フィレットとを含み、
前記第1フィレットは、前記第1側方電極の一部を覆う、請求項1に記載の電子装置。

[請求項3]

前記第1距離は、前記厚さ方向における前記第1側方電極の寸法の1/4倍以下である、請求項1または請求項2に記載の電子装置。

[請求項4]

前記第1端子は、前記底面の一部を覆い且つ前記第1側方電極に繋がる第1底面電極を含み、

前記第1方向における前記第1導電性接合材の寸法は、前記第1方向における前記第1底面電極の寸法の1.0倍以上1.5倍以下である、請求項1ないし請求項3のいずれかに記載の電子装置。

[請求項5] 前記第1配線部は、前記支持部材に積層された導通層と、当該導通層に積層されためっき層とを含み、

前記第1導電性接合材は、前記めっき層に接する、請求項4に記載の電子装置。

[請求項6] 前記めっき層の前記第1導電性接合材に対する濡れ性は、前記導通層の前記第1導電性接合材に対する濡れ性よりも高い、請求項5に記載の電子装置。

[請求項7] 前記第1方向における前記めっき層の寸法は、前記第1方向における前記第1底面電極の1.0倍以上1.5倍以下である、請求項5または請求項6に記載の電子装置。

[請求項8] 前記厚さ方向における前記支持部材の寸法は、前記厚さ方向における前記電子部品の寸法の1/20倍以上1/5倍以下である、請求項1ないし請求項7のいずれかに記載の電子装置。

[請求項9] 第2導電性接合材をさらに備え、
前記配線層は、前記第1配線部から離間する第2配線部を含み、
前記電子部品は、前記第1端子から離間する第2端子を含み、
前記第2導電性接合材は、前記第2端子を前記第2配線部に接合する、請求項1ないし請求項8のいずれかに記載の電子装置。

[請求項10] 前記本体部は、前記底面に繋がり且つ前記第1方向の他方を向く第2側面を有し、

前記第2端子は、前記第2側面を覆う第2側方電極を含み、

前記第2側方電極は、前記厚さ方向において、前記第2側面の一方の端縁から他方の端縁まで繋がっており、

前記第2導電性接合材は、前記厚さ方向の前記一方に位置する第2最頂部を有し、

前記第2最頂部と前記底面との前記厚さ方向に沿う第2距離は、前記厚さ方向における前記第2側方電極の寸法の0倍以上1/2倍以下である、請求項9に記載の電子装置。

[請求項11] 前記第1方向に見て、前記第1最頂部と前記第2最頂部とは、前記厚さ方向において同じ位置にある、請求項10に記載の電子装置。

[請求項12] 前記第2導電性接合材は、前記厚さ方向において前記電子部品と前記第2配線部との間に介在する第2介在部と、前記第2最頂部を有し且つ前記第2介在部に繋がる第2フィレットとを含み、

前記第2フィレットは、前記第2側方電極の一部を覆う、請求項10または請求項11に記載の電子装置。

[請求項13] 前記第2端子は、前記底面の一部を覆い且つ前記第2側方電極に繋がる第2底面電極を含む、請求項10ないし請求項12のいずれかに記載の電子装置。

[請求項14] 前記支持部材に形成された封止樹脂をさらに備え、

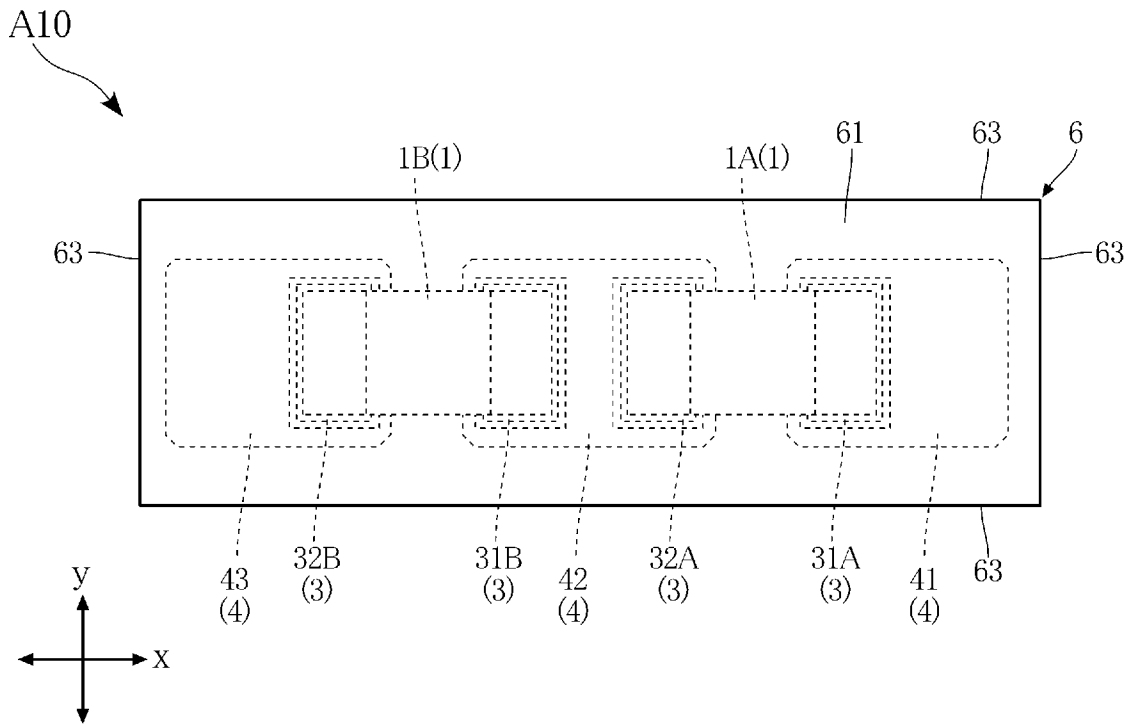
前記封止樹脂は、前記電子部品を覆う請求項1ないし請求項13のいずれかに記載の電子装置。

[請求項15] 前記封止樹脂は、エポキシ樹脂を含む、請求項14に記載の電子装置。

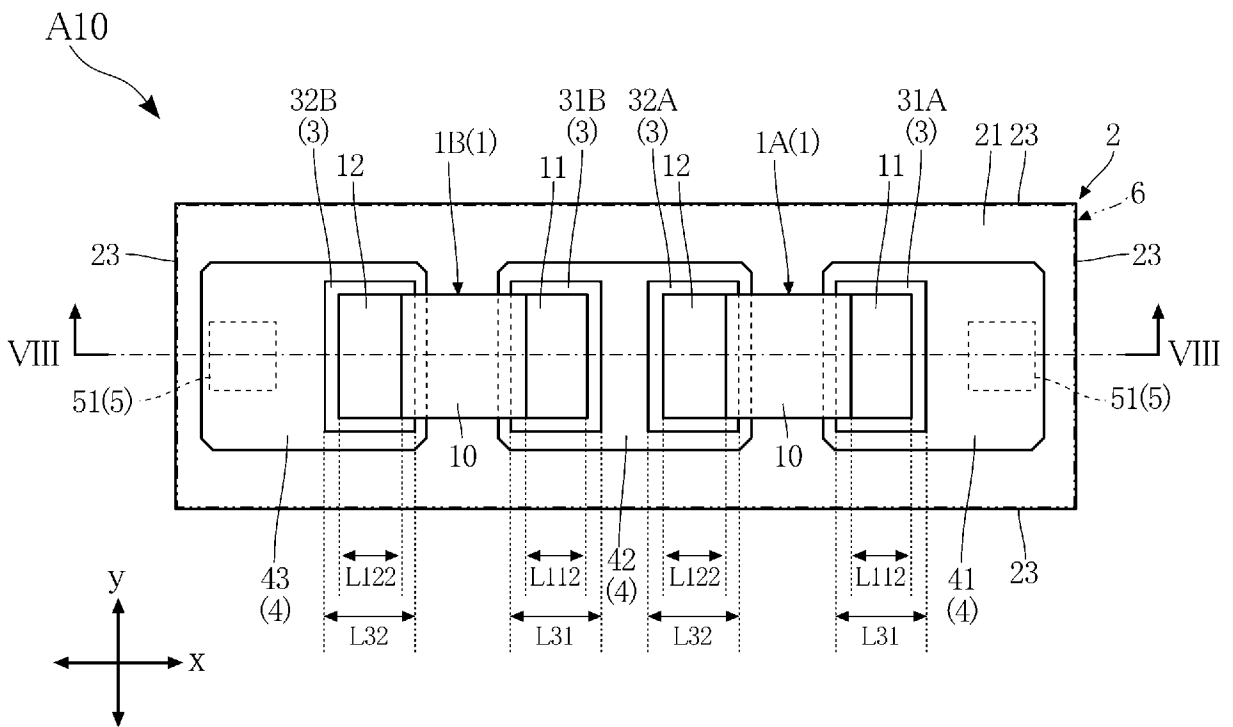
[請求項16] 前記支持部材は、絶縁性樹脂を含む、請求項14または請求項15に記載の電子装置。

[請求項17] 前記支持部材は、前記封止樹脂と同じ材料を含む、請求項16に記載の電子装置。

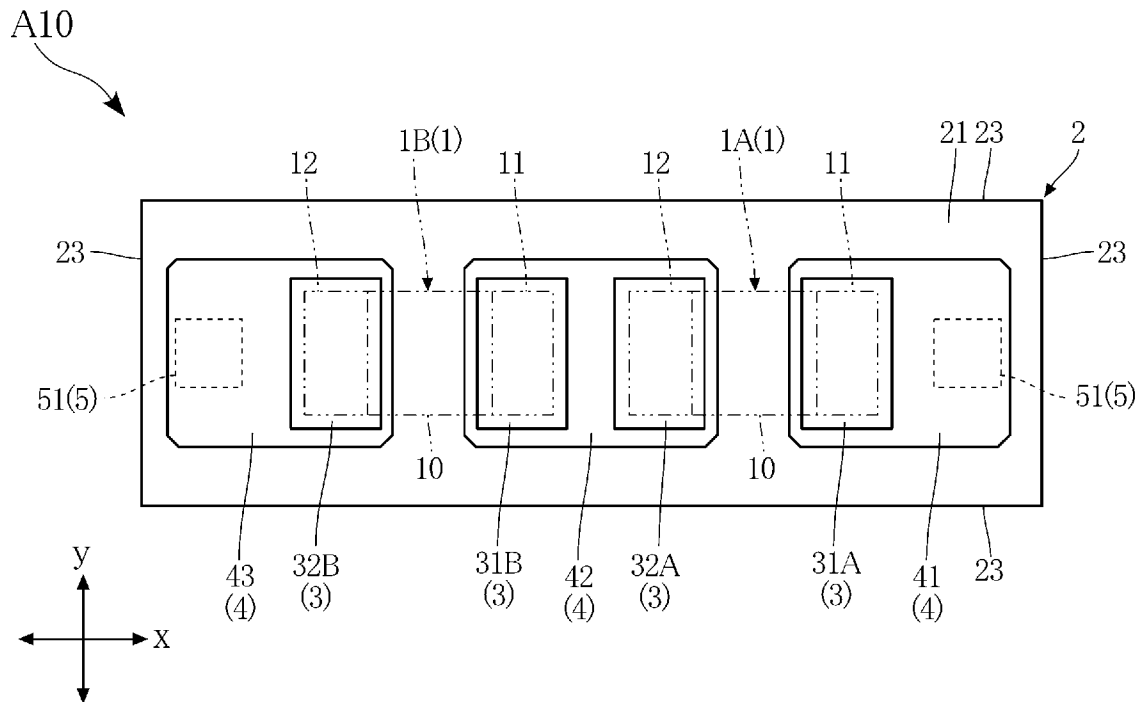
[図1]
FIG.1



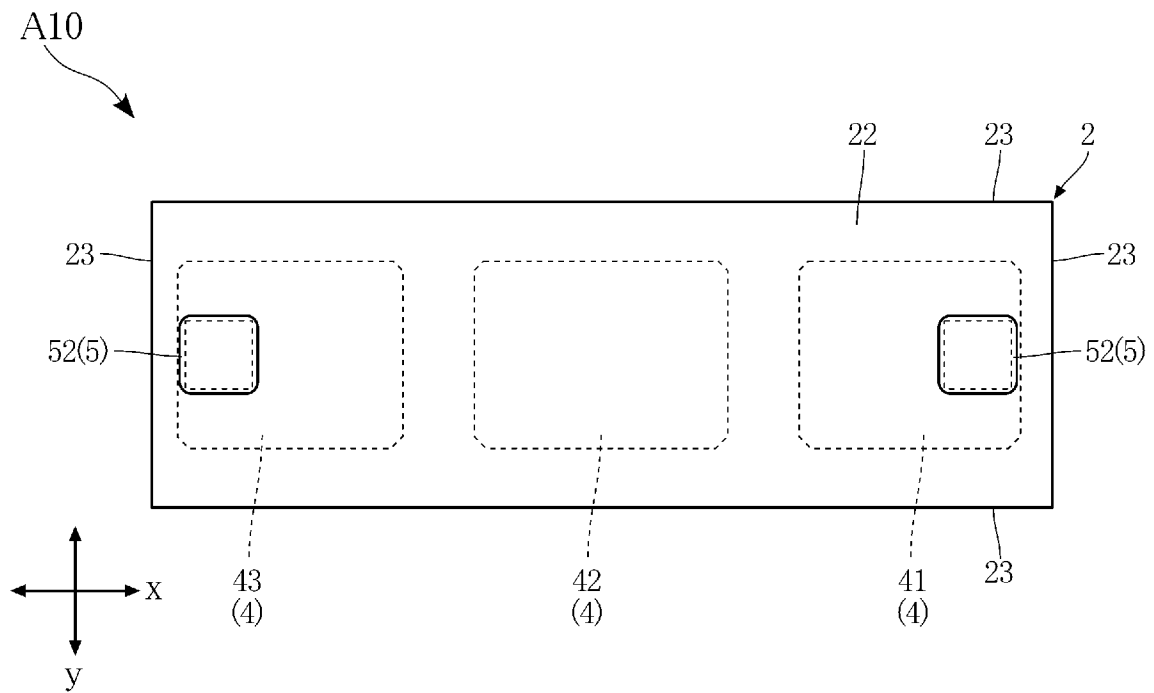
[図2]
FIG.2



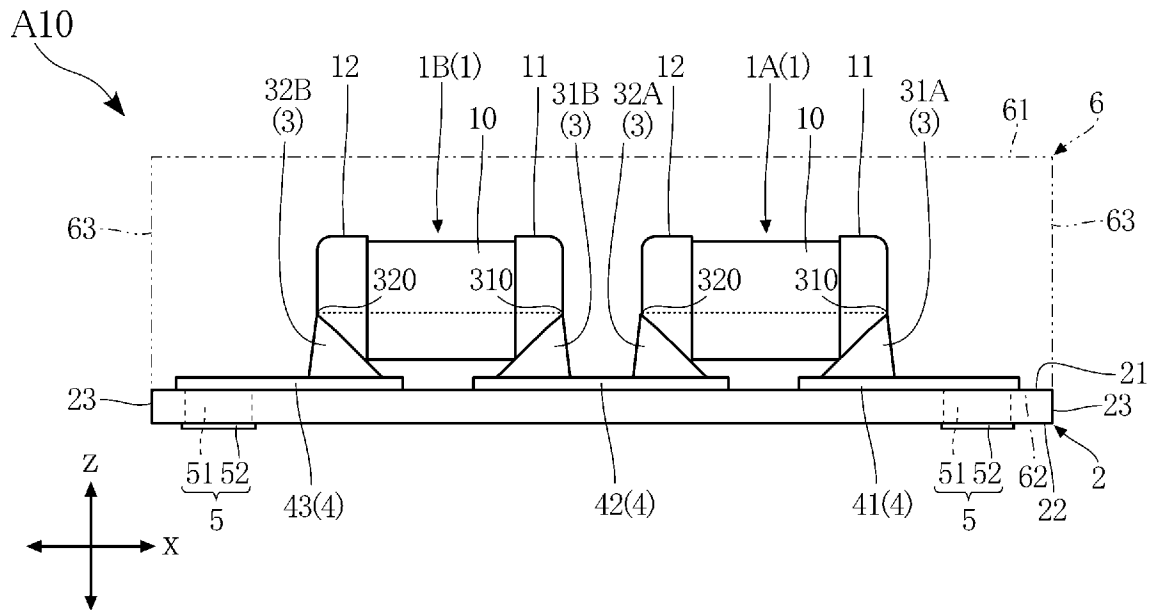
[]3
FIG.3



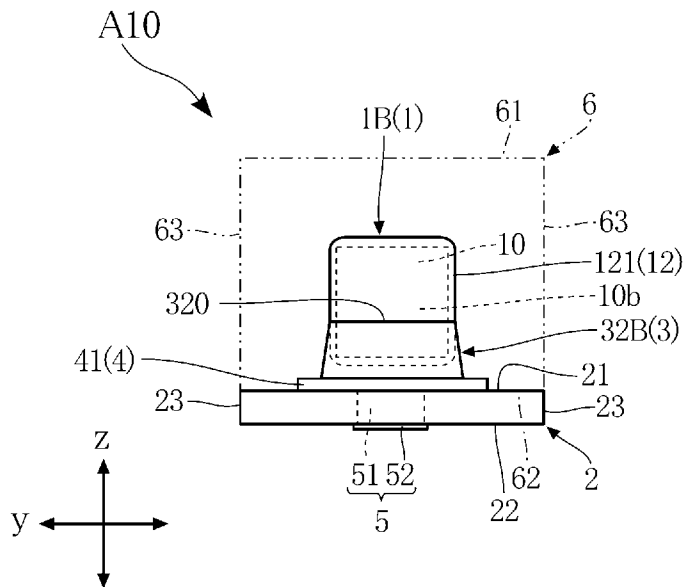
[]4
FIG.4



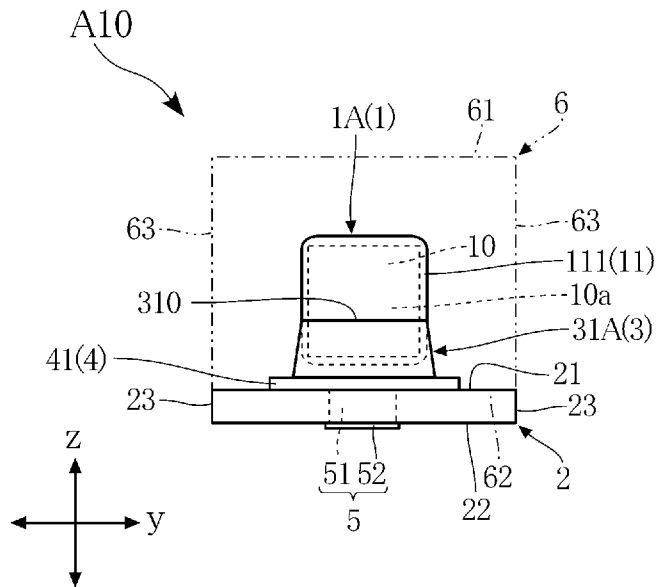
【図5】
FIG.5



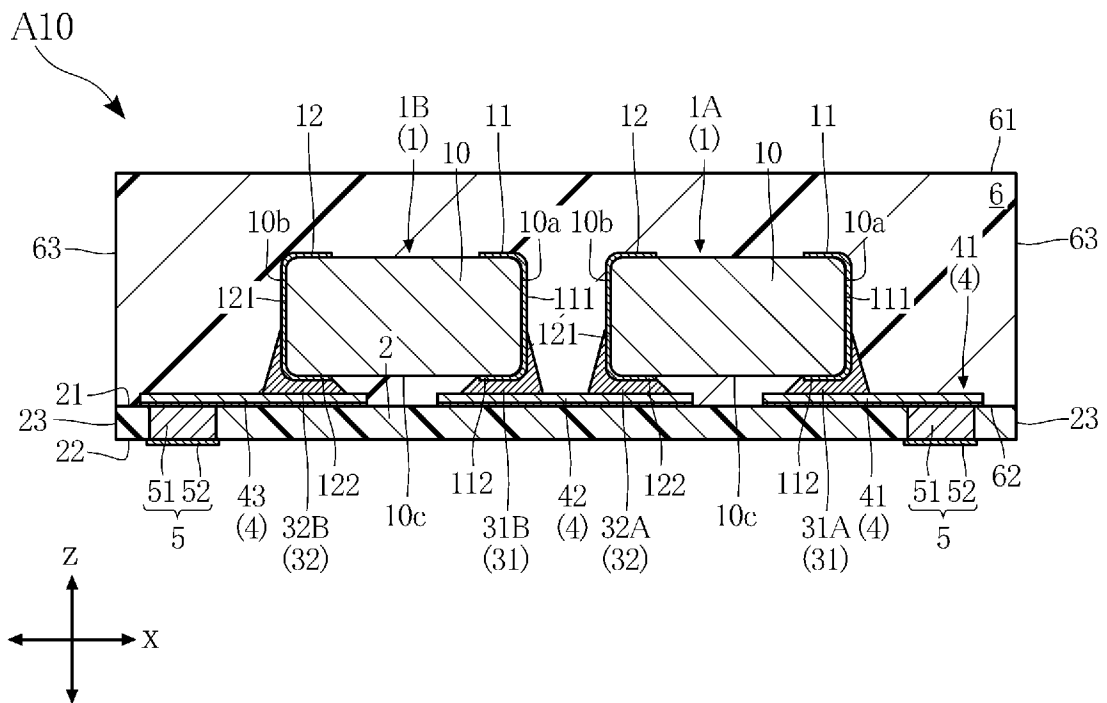
【図6】
FIG.6

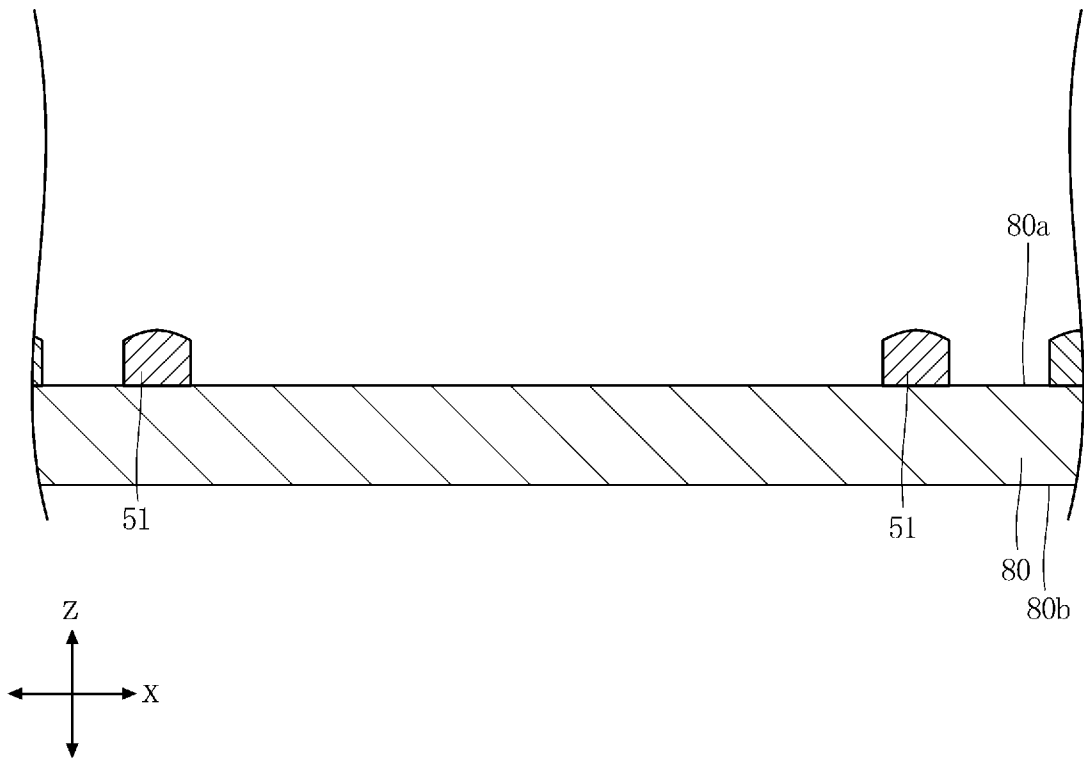
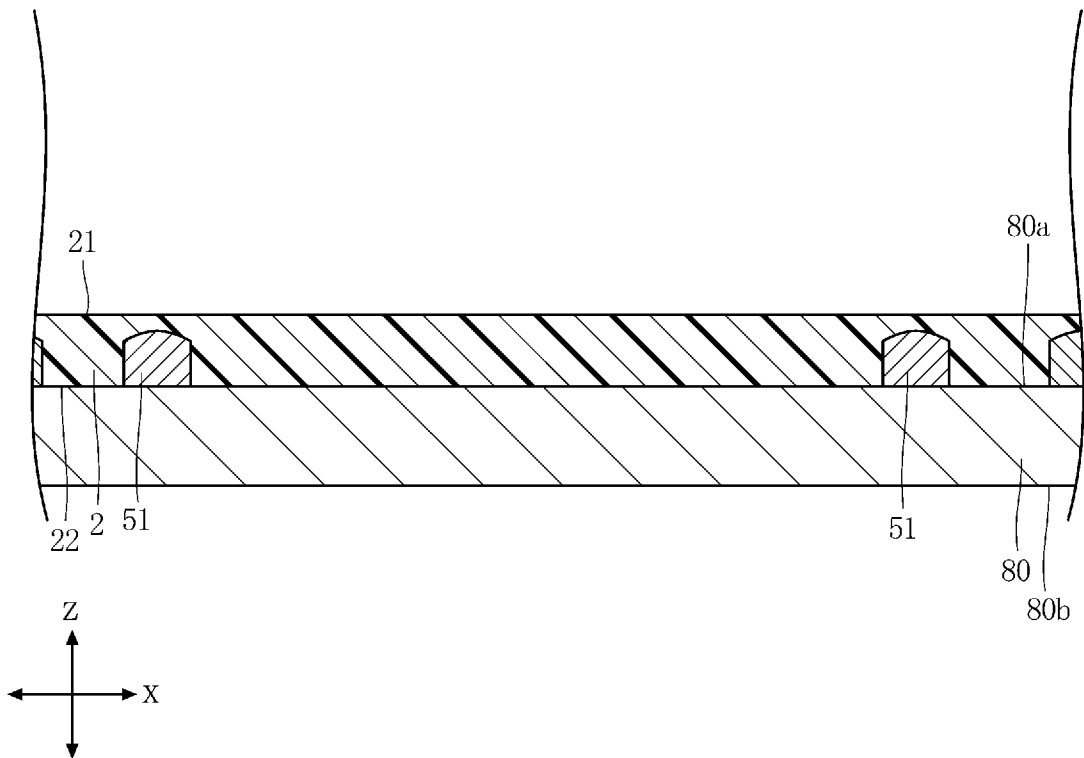


[図7]
FIG.7

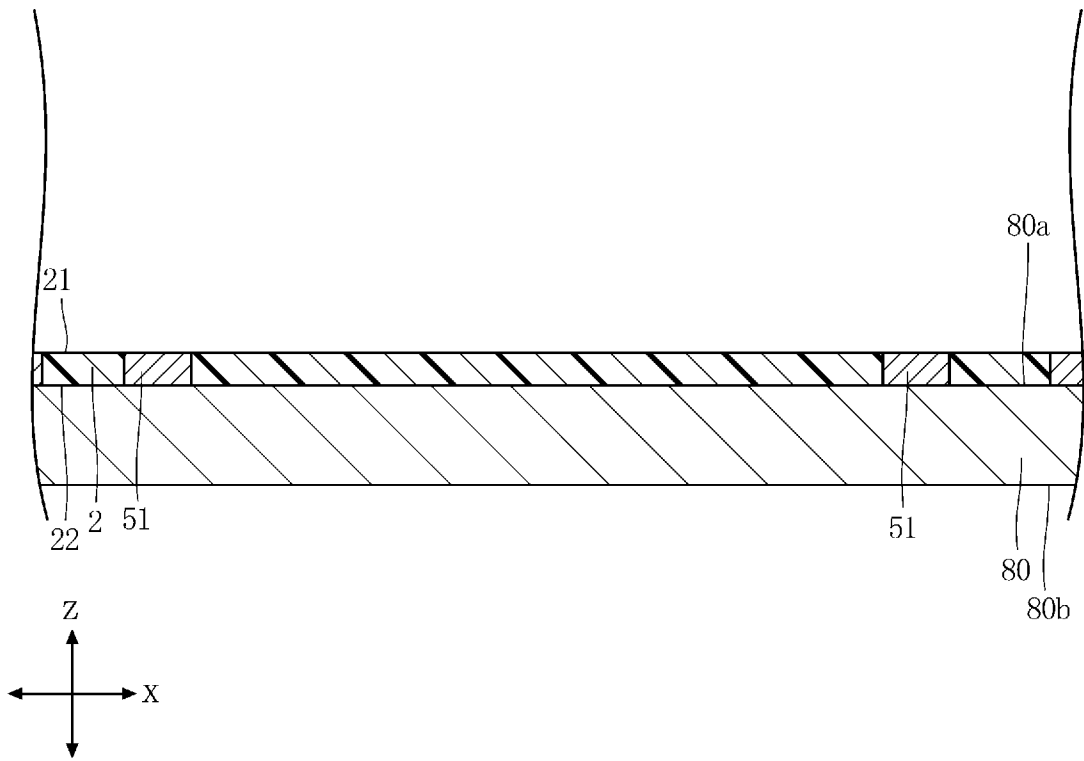


[図8]
FIG.8

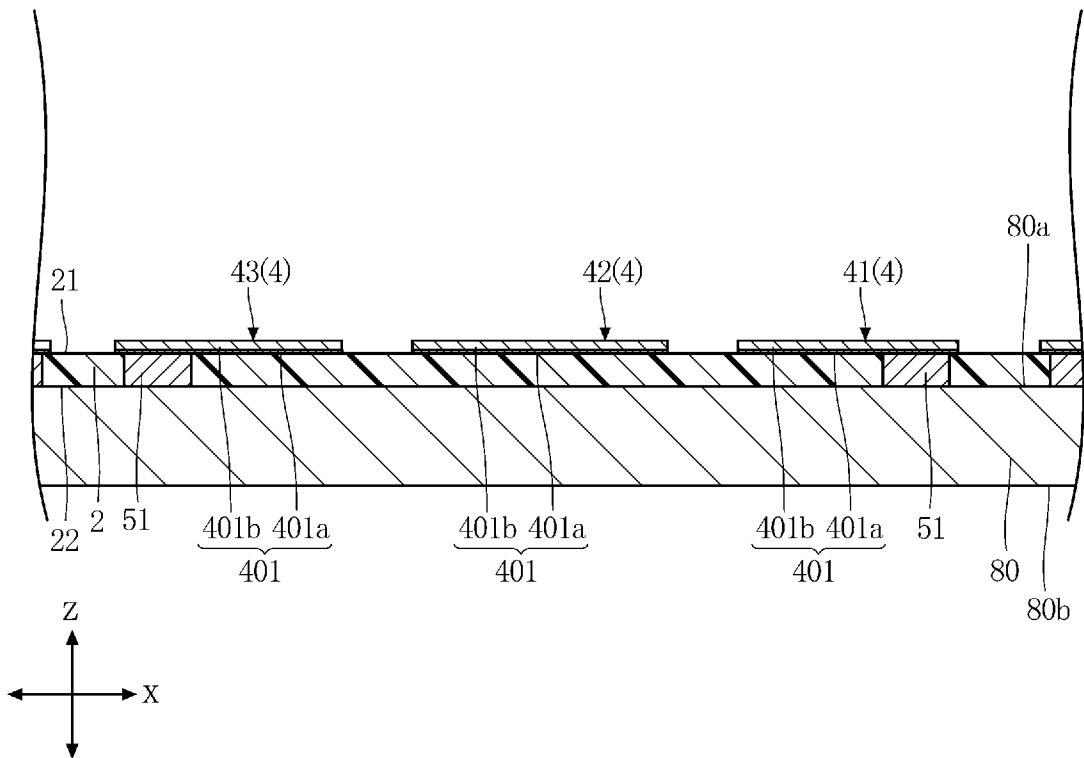


[図11]
FIG.11[図12]
FIG.12

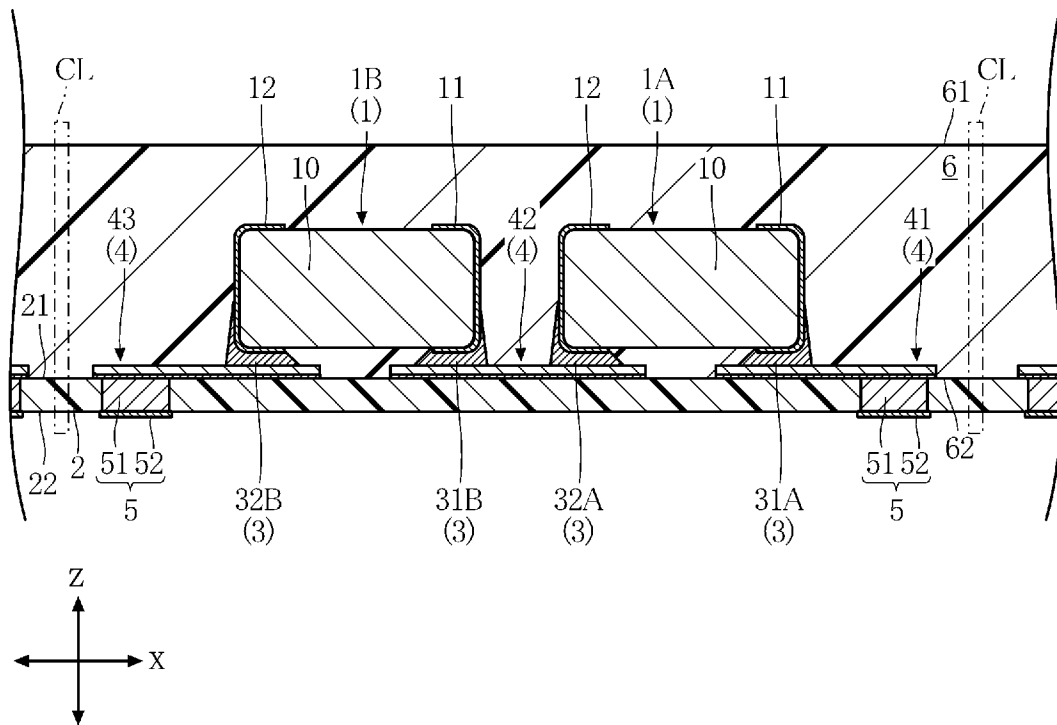
[図13]
FIG.13



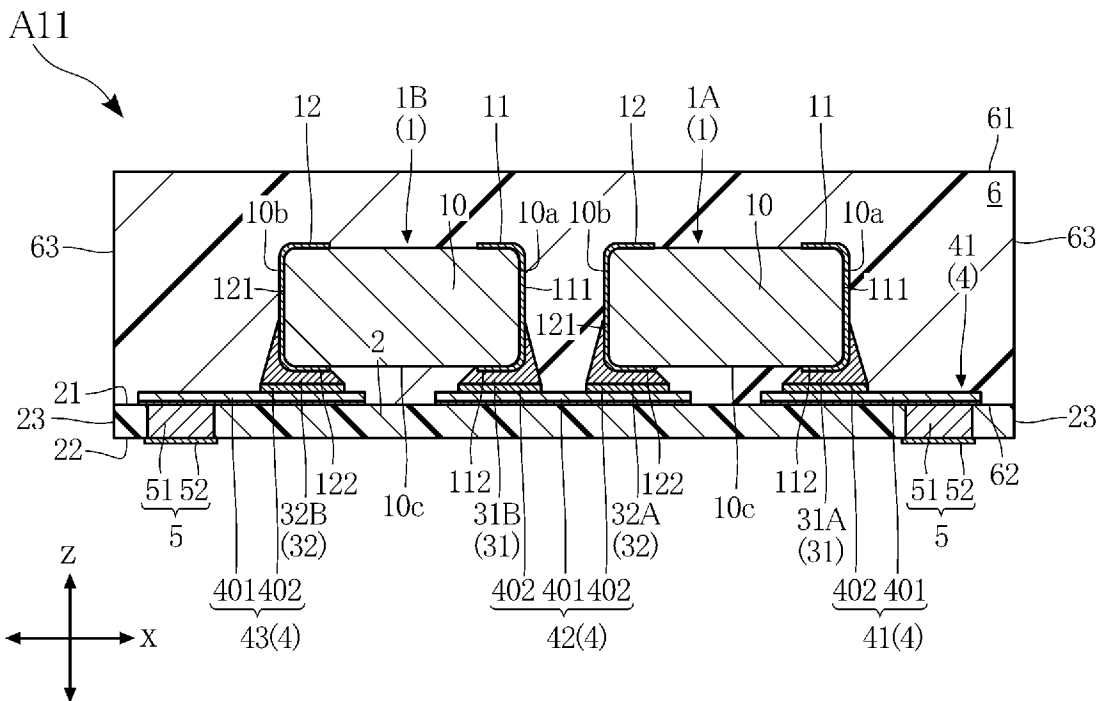
[図14]
FIG.14




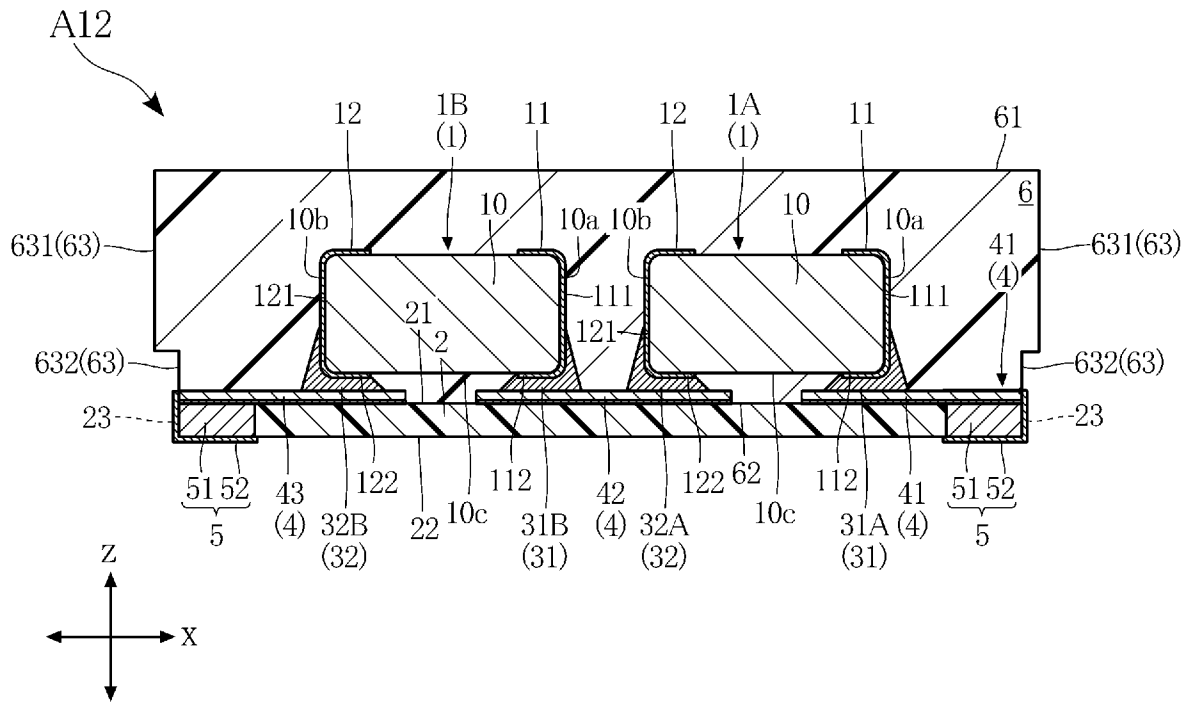
[図19]
FIG.19




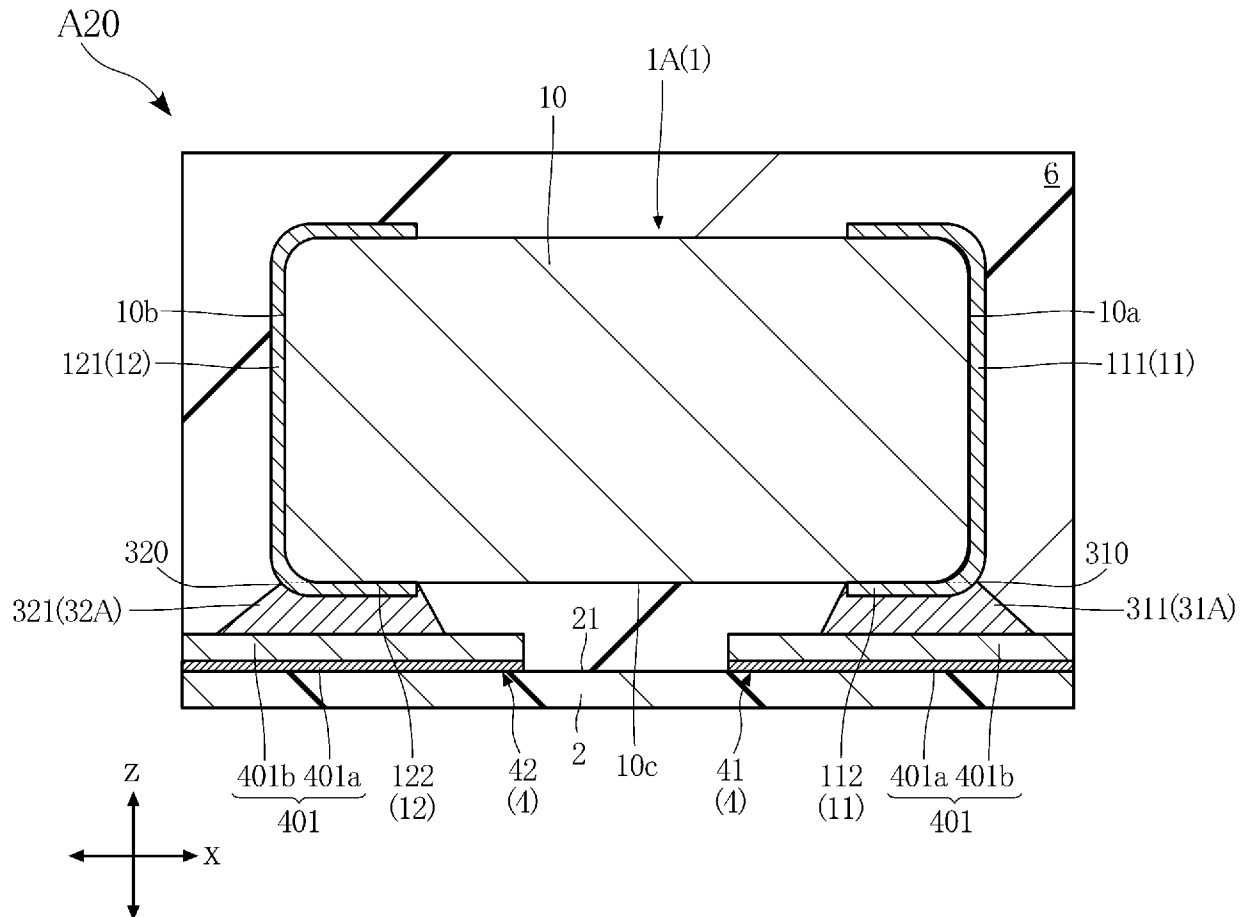
[図20]
FIG.20



[] FIG.21



[] FIG.22



[FIG. 23]

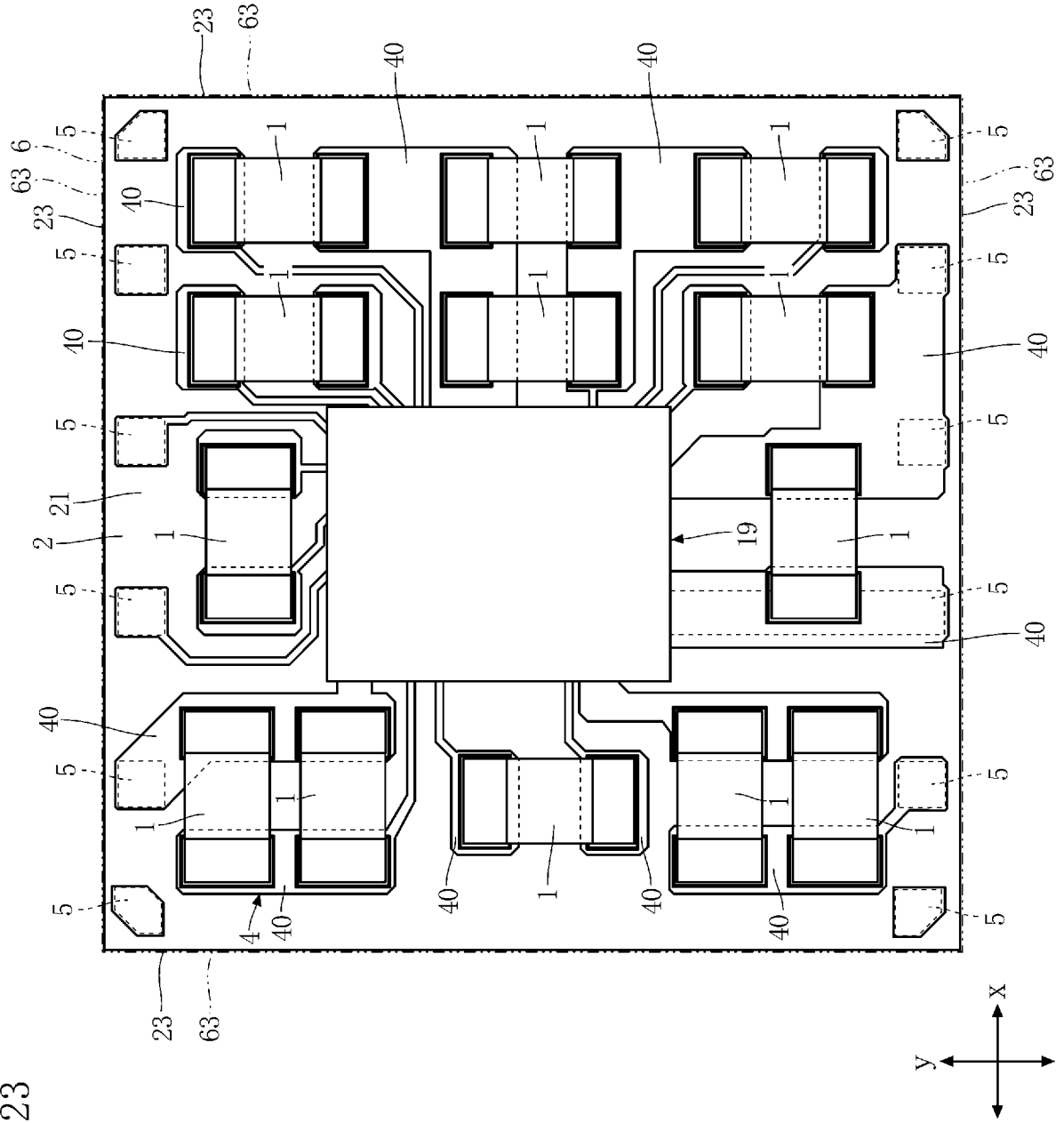


FIG. 23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019001

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H05K 1/18</i> (2006.01)i; <i>H05K 3/34</i> (2006.01)i FI: H05K1/18 J; H05K3/34 507C		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H05K1/18; H05K3/34		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 80499/1991 (Laid-open No. 33568/1993) (MITSUBISHI ELECTRIC CORPORATION) 30 April 1993 (1993-04-30), paragraphs [0002], [0006], [0009], fig. 17	1-4, 8-13
Y		5-7, 14-17
Y	JP 2018-14381 A (FUJITSU LIMITED) 25 January 2018 (2018-01-25) paragraphs [0035]-[0041], fig. 11	5-7, 14-17
Y	JP 2021-72434 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 06 May 2021 (2021-05-06) paragraphs [0013], [0016]-[0018], [0021], fig. 2	14-17
A	JP 2005-251904 A (DENSO CORPORATION) 15 September 2005 (2005-09-15)	1-17
A	JP 6-163305 A (SONY CORPORATION) 10 June 1994 (1994-06-10)	1-17
A	JP 2000-244105 A (DENSO CORPORATION) 08 September 2000 (2000-09-08)	1-17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 July 2024		Date of mailing of the international search report 16 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019001

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/115441 A1 (OLYMPUS CORPORATION) 06 July 2017 (2017-07-06)	1-17
A	JP 2011-9397 A (FUJIKURA LTD.) 13 January 2011 (2011-01-13)	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/019001

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	5-33568	U1	30 April 1993	(Family: none)	
JP	2018-14381	A	25 January 2018	US 2018/0027654 A1	paragraphs [0074]-[0080], fig. 11
JP	2021-72434	A	06 May 2021	US 2021/0134754 A1	paragraphs [0048], [0051]-[0053], [0056], fig. 2
				CN 112750796 A	
				KR 10-2021-0052244 A	
				TW 202117973 A	
JP	2005-251904	A	15 September 2005	(Family: none)	
JP	6-163305	A	10 June 1994	(Family: none)	
JP	2000-244105	A	08 September 2000	(Family: none)	
WO	2017/115441	A1	06 July 2017	(Family: none)	
JP	2011-9397	A	13 January 2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H05K 1/18(2006.01)i; H05K 3/34(2006.01)i FI: H05K1/18 J; H05K3/34 507C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H05K1/18; H05K3/34 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	日本国実用新案登録出願3-80499号(日本国実用新案登録出願公開5-33568号)の願書に添付した明細書及び図面の内容を記録したCD-ROM（三菱電機株式会社）30.04.1993（1993-04-30）段落[0002], [0006], [0009], 図1	1-4, 8-13
Y		5-7, 14-17
Y	JP 2018-14381 A（富士通株式会社）25.01.2018（2018-01-25）段落[0035]-[0041], 図11	5-7, 14-17
Y	JP 2021-72434 A（新光電気工業株式会社）06.05.2021（2021-05-06）段落[0013], [0016]-[0018], [0021], 図2	14-17
A	JP 2005-251904 A（株式会社デンソー）15.09.2005（2005-09-15）	1-17
A	JP 6-163305 A（ソニー株式会社）10.06.1994（1994-06-10）	1-17
A	JP 2000-244105 A（株式会社デンソー）08.09.2000（2000-09-08）	1-17
A	WO 2017/115441 A1（オリンパス株式会社）06.07.2017（2017-07-06）	1-17
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 05.07.2024	国際調査報告の発送日 16.07.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 信 3T 3309 電話番号 03-3581-1101 内線 3368	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-9397 A (株式会社フジクラ) 13.01.2011 (2011 - 01 - 13)	1-17

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/019001

引用文献	公表日	パテントファミリー文献	公表日
JP 5-33568 U1	30.04.1993	(ファミリーなし)	
JP 2018-14381 A	25.01.2018	US 2018/0027654 A1 段落[0074]-[0080], 図11	
JP 2021-72434 A	06.05.2021	US 2021/0134754 A1 段落[0048], [0051]-[0053], [0056], 図2 CN 112750796 A KR 10-2021-0052244 A TW 202117973 A	
JP 2005-251904 A	15.09.2005	(ファミリーなし)	
JP 6-163305 A	10.06.1994	(ファミリーなし)	
JP 2000-244105 A	08.09.2000	(ファミリーなし)	
WO 2017/115441 A1	06.07.2017	(ファミリーなし)	
JP 2011-9397 A	13.01.2011	(ファミリーなし)	