

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-328059

(P2005-328059A)

(43) 公開日 平成17年11月24日(2005.11.24)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78	3 O 1 G 5 F 0 4 8
HO 1 L 21/8234	HO 1 L 27/08	1 O 2 C 5 F 1 1 0
HO 1 L 27/088	HO 1 L 29/78	3 O 1 B 5 F 1 4 0
HO 1 L 29/786	HO 1 L 29/78	6 1 7 U
HO 1 L 51/00	HO 1 L 29/78	6 1 7 T

審査請求 未請求 請求項の数 24 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2005-139334 (P2005-139334)  
 (22) 出願日 平成17年5月12日 (2005.5.12)  
 (31) 優先権主張番号 10/845,719  
 (32) 優先日 平成16年5月14日 (2004.5.14)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531  
 インターナショナル・ビジネス・マシー  
 ズ・コーポレーション  
 INTERNATIONAL BUSIN  
 ESS MASCHINES CORPO  
 RATION  
 アメリカ合衆国10504 ニューヨーク  
 州 アーモンク ニュー オーチャード  
 ロード  
 (74) 代理人 100086243  
 弁理士 坂口 博  
 (74) 代理人 100091568  
 弁理士 市位 嘉宏  
 (74) 代理人 100108501  
 弁理士 上野 剛史

最終頁に続く

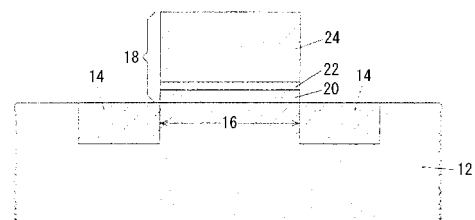
(54) 【発明の名称】 高誘電率ゲート酸化物を有する電界効果トランジスタの閾値及びフラットバンド電圧安定化層

(57) 【要約】

【課題】 構造の閾値電圧及びフラットバンド電圧を安定化させることができる、Si含有ゲート電極と高kゲート誘電体との間の中間層を含む相補型金属酸化物半導体(CMOS)構造

【解決手段】 閾値電圧及びフラットバンド電圧の望ましくないシフトを防止する相補型金属酸化物半導体(CMOS)に用いるための絶縁中間層が設けられる。絶縁中間層は、4.0より大きい誘電定数を有するゲート誘電体とSi含有ゲート導体との間に配置される。本発明の絶縁中間層は、随意的には酸素を含有することができるあらゆる金属窒化物であり、閾値及びフラットバンド電圧を安定化させることができる。好ましい実施形態においては、絶縁中間層は、窒化アルミニウム又は酸窒化アルミニウムであり、ゲート誘電体は、酸化ハフニウム、ケイ酸ハフニウム又は酸窒化ハフニウムシリコンである。本発明は、p型電界効果トランジスタの閾値及びフラットバンド電圧を安定化させるのに特に有用である。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

相補型金属酸化物半導体 (CMOS) 構造であって、

ソース及びドレイン拡散領域が配置され、該ソース及びドレイン拡散領域がチャンネル領域によって分離された半導体基板と、

前記チャンネル領域の上に配置されたゲートスタックと、

を備え、前記ゲートスタックは、高kゲート誘電体と、絶縁中間層と、Si含有ゲート導体とからなり、前記絶縁中間層は、前記高kゲート誘電体と前記Si含有ゲート導体との間に配置されて、構造の閾値電圧及びフラットバンド電圧を目標値に安定化させることができる、CMOS構造。

10

## 【請求項 2】

前記半導体基板が、Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP、他のIII/V又はII/VI化合物半導体、有機半導体、又は積層半導体からなる、請求項1に記載のCMOS構造。

## 【請求項 3】

前記半導体基板が、Si、SiGe、シリコン・オン・絶縁体又はシリコンゲルマニウム・オン・絶縁体からなる、請求項1に記載のCMOS構造。

## 【請求項 4】

前記半導体基板に、n型ドーパント、p型ドーパント、又はその両方がドーパされた、請求項1に記載のCMOS構造。

20

## 【請求項 5】

前記高kゲート誘電体が、酸化物、窒化物、酸窒化物又はケイ酸塩からなる、請求項1に記載のCMOS構造。

## 【請求項 6】

前記高kゲート誘電体が、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{SrTiO}_3$ 、 $\text{LaAlO}_3$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{SiO}_2$ 、窒化 $\text{SiO}_2$ 又はケイ酸塩、或いはその窒化物又は窒化ケイ酸塩からなる、請求項1に記載のCMOS構造。

## 【請求項 7】

前記絶縁中間層が、金属窒化物からなる、請求項1に記載のCMOS構造。

## 【請求項 8】

前記金属窒化物がさらに酸素を含有する、請求項7に記載のCMOS構造。

30

## 【請求項 9】

前記絶縁中間層が、窒化アルミニウム ( $\text{AlN}$ )、酸窒化アルミニウム ( $\text{AlO}_x\text{N}_y$ )、窒化ホウ素 ( $\text{BN}$ )、酸窒化ホウ素 ( $\text{BO}_x\text{N}_y$ )、窒化ガリウム ( $\text{GaN}$ )、酸窒化ガリウム ( $\text{GaON}$ )、窒化インジウム ( $\text{InN}$ )、酸窒化インジウム ( $\text{InON}$ )、又はこれらの組み合わせからなる、請求項1に記載のCMOS構造。

## 【請求項 10】

前記絶縁中間層が $\text{AlN}$ 又は $\text{AlO}_x\text{N}_y$ からなる、請求項1に記載のCMOS構造。

## 【請求項 11】

前記絶縁中間層が1から25の厚さを有する、請求項1に記載のCMOS構造。

40

## 【請求項 12】

前記Si含有ゲート導体がSi又はSiGe合金からなる、請求項1に記載のCMOS構造。

## 【請求項 13】

前記Si含有ゲート導体が、少なくともホウ素をドーパされたポリシリコンからなる、請求項1に記載のCMOS構造。

## 【請求項 14】

相補型金属酸化物半導体 (CMOS) 構造であって、

ソース及びドレイン拡散領域が配置され、該ソース及びドレイン拡散領域がチャンネル領域によって分離された半導体基板と、

50

前記チャネル領域の上に配置されたゲートスタックと、  
を備え、前記ゲートスタックは、ハフニウム含有高kゲート誘電体と、窒化アルミニウム含有絶縁中間層と、Si含有ゲート導体とからなり、前記窒化アルミニウム絶縁中間層は、前記ハフニウム含有高kゲート誘電体と前記Si含有ゲート導体との間に配置されて、構造の閾値電圧及びフラットバンド電圧を目標値に安定化させることができる、CMOS構造。

【請求項15】

改善された閾値電圧及びフラットバンド電圧安定性を有する相補型金属酸化物半導体(CMOS)構造を形成する方法であって、

高kゲート誘電体、Si含有ゲート導体、及び前記高kゲート誘電体と前記Si含有ゲート導体との間に配置された絶縁中間層と、からなるゲートスタックを半導体基板上に設けるステップと、

前記ゲートスタックにバイアスをかけて、前記絶縁中間層が構造の閾値電圧及びフラットバンド電圧を目標値に安定化させるようにするステップと、を含む方法。

【請求項16】

前記ゲートスタックを設けるステップは、前記高k誘電体、前記絶縁中間層、及び前記Si含有ゲート導体のブランケット層を半導体基板上に蒸着させ、リソグラフィ及びエッチングによって前記ブランケット層にパターン形成することを含む、請求項15に記載の方法。

【請求項17】

前記ゲートスタックを設けた後に、前記ゲートスタックに当接する前記半導体基板にソース及びドレイン拡散領域が形成される、請求項15に記載の方法。

【請求項18】

前記絶縁中間層が、蒸着又は熱成長によって形成される、請求項15に記載の方法。

【請求項19】

前記絶縁中間層が金属窒化物からなる、請求項15に記載の方法。

【請求項20】

前記金属窒化物がさらに酸素を含有する、請求項19に記載の方法。

【請求項21】

前記絶縁中間層が、窒化アルミニウム( $AlN$ )、酸窒化アルミニウム( $AlO_xN_y$ )、窒化ホウ素( $BN$ )、酸窒化ホウ素( $BO_xN_y$ )、窒化ガリウム( $GaN$ )、酸窒化ガリウム( $GaON$ )、窒化インジウム( $InN$ )、酸窒化インジウム( $InON$ )、又はこれらの組み合わせからなる、請求項15に記載の方法。

【請求項22】

前記絶縁中間層が $AlN$ 又は $AlO_xN_y$ からなる、請求項15に記載の方法。

【請求項23】

前記高kゲート誘電体が、 $HfO_2$ 、ケイ酸ハフニウム、又は酸窒化ハフニウムシリコンからなる、請求項15に記載の方法。

【請求項24】

前記Si含有ゲート導体がSi又はSiGe合金からなる、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、半導体デバイスに関し、より詳細には、構造の閾値電圧及びフラットバンド電圧を安定化させることができる、Si含有ゲート電極と高kゲート誘電体との間の中間層を含む相補型金属酸化物半導体(CMOS)構造に関する。

【背景技術】

【0002】

標準的なシリコン相補型金属酸化物半導体(CMOS)技術においては、p型電界効果

10

20

30

40

50

トランジスタ ( p F E T ) は、二酸化ケイ素又は酸窒化ケイ素ゲート酸化物層の上に蒸着されるゲート電極として、ホウ素 ( 又は他のアクセプタ ) ドープ p 型ポリシリコン層を用いるものである。このポリシリコン層を通してゲート電圧が印加されて、ゲート酸化物層の下の n 型シリコンに反転チャンネルが形成される。

#### 【 0 0 0 3 】

p F E T を適正に動作させるためには、ポリシリコン ( ポリ - S i ) ゲート電極に印加された僅かな負電圧において、反転が起こり始めるようにするのがよい。これは、図 1 に描かれるようなゲートスタック構造のバンドアラインメントの結果として起こる。特に、図 1 は、ゲートバイアスゼロにおける典型的な p F E T のポリ - S i / ゲート酸化物のゲートスタックにわたる適切なバンドアラインメントを示す。図 1 においては、 $E_c$ 、 $E_v$ 、及び  $E_f$  は、それぞれ、シリコン内の伝導帯エッジ、価電子帯エッジ、及びフェルミ準位である。ポリ - S i / ゲート酸化物 / n 型シリコンのスタックは、0 V 付近において反転側に、+ 1 V 付近において蓄積側に振れるキャパシタを形成する ( 基板のドーピングに依拠して )。したがって、反転が起こり始める電圧として解釈することができる閾値電圧  $V_t$  は、約 0 V であり、キャパシタが蓄積側に振れ始める電圧を丁度超えた電圧であるフラットバンド電圧は、約 + 1 V である。閾値及びフラットバンド電圧の正確な値は、シリコン基板のドーピングレベルに依存し、適切な基板ドーピングレベルを選択することによって或る程度変化させることができる。

10

#### 【 0 0 0 4 】

別の技術においては、二酸化ケイ素又は酸窒化ケイ素誘電体は、より高い誘電定数をもつゲート材料と置き換えられることになる。これらの材料は、「高 k」材料として知られており、「高 k」という用語は、誘電定数が 4.0 より高い、好ましくは約 7.0 より高い絶縁材料を示す。ここで言及される誘電定数は、特に指定のない限り真空に対するものである。種々の可能性のある酸化ハフニウム、ケイ酸ハフニウム、又は酸窒化ハフニウムシリコンは、高温でのそれらの優れた熱安定性により、従来のゲート誘電体の最も適当な置換候補とすることができる。

20

#### 【 0 0 0 5 】

【特許文献 1】米国特許出願公開 US 2002/0090773 号 A1

【特許文献 2】米国特許出願公開 US 2002/0190302 号 A1

【特許文献 3】米国特許第 6,541,079 号

30

【非特許文献 1】C. Hobbs 他、「Fermi Level Pinning at the Poly-Si/Metal Oxide Interface」、2003 シンポジウムの VLSI Technology Digest of Technical Papers

【非特許文献 2】L. A. Ragnarsson 他、「Physical and electrical properties of reactive molecular beam deposited aluminum nitride in metal-oxide-silicon structures」、J. Applied Physics、93 (2003) 3912 - 3919

【非特許文献 3】S. Guha 他、「High temperature stability of Al<sub>2</sub>O<sub>3</sub> dielectrics on Si: Interfacial metal diffusion and mobility degradation」、Applied Physics Letters、81 (2002) 2956 - 2958

40

【非特許文献 4】S. Skordas 他、「Low temperature metal organic chemical vapor deposition of aluminum oxide thin films for advanced CMOS gate dielectric applications, in Silicon Materials - Processing, Characterization, and Reliability」、J. L. Veteran, P. S. Ho, D. O'

50

Meara, V. Misra, 2002, p 36

【非特許文献5】D. A. Buchanan他、「80nm poly-silicon gated n-FETs with ultra-thin Al<sub>2</sub>O<sub>3</sub> gate dielectric for ULSI applications」、IEDM Technical Digest (2000) 223-226

【非特許文献6】C. S. Park他、「In Integrable Dual Metal Gate CMOS Process using Ultrathin Aluminum Nitride Buffer Layer」、IEEE Electron Dev. Lett. 24 (2003) 298-300

【非特許文献7】D. C. Gilmer他、「Compatibility of Silicon Gates with Hafnium-based Gate Dielectrics」、Microelectronic Engineering, Vol. 69, 2003年9月2-4発行、p 138-144 10

【発明の開示】

【発明が解決しようとする課題】

【0006】

残念なことに、酸化ハフニウム又はケイ酸ハフニウムといった誘電体を用いてp型電界効果トランジスタが製造されるときに、デバイスのフラットバンド電圧が、約+1Vに近い理想的な位置から約0+/ - 300mVにシフトされる問題が良く知られている。このフラットバンド電圧におけるシフトは、非特許文献1に公表されている。結果として、デバイスの閾値電圧は、約-1Vにシフトされる。この閾値電圧のシフトは、Hfベースのゲート酸化層とポリシリコン層との間の密接な相互作用によるものであると考えられる。1つのモデル(例えばC. Hobbs他による上記文献を参照されたい)は、そうした相互作用によって、ポリシリコン-ゲート酸化層界面におけるシリコンバンドギャップの状態の密度が増加されて、「フェルミ準位ピンニング」が引き起こされることを推測する。したがって、閾値電圧は、「正しい」位置になく、すなわち、それは使用可能なCMOS(相補型金属酸化層半導体)技術にとっては高過ぎる。 20

【0007】

上記の閾値電圧シフトの問題に対する1つの可能な解決策は、チャネル植え込みを用いて閾値をシフトさせることができる基板加工技術によるものである。基板加工技術は、閾値電圧シフトを安定化させるための1つの可能性のある手段ではあるが、それができるのは限られた範囲までであり、ポリ-Siゲート電極とハフニウム含有高誘電定数ゲート誘電体とからなるゲートスタックを含むFETには不適當である。 30

【0008】

上述の閾値電圧及びフラットバンド電圧シフトの問題のために、こうしたFETの閾値及びフラットバンド電圧を安定化させることができるポリシリコン/高kゲート誘電体CMOS技術を開発することは、ほとんど不可能であった。したがって、ポリ-Si/高k誘電体ゲートスタックを含むFETの閾値電圧及びフラットバンド電圧を安定化させることができる方法及び構造が必要とされている。

【課題を解決するための手段】

40

【0009】

本発明は、高kゲート誘電体とSi含有ゲート導体との間に絶縁中間層を組み込むことによって、上記の閾値及びフラットバンド電圧変動の問題を解決するものである。本発明に用いられる絶縁中間層は、空間的分離によって高kゲート誘電体とSi含有ゲート導体との間の相互作用を防止することができる、あらゆる絶縁材料である。さらに、本発明に用いられる絶縁中間層は、その付加に伴う(直列静電容量効果による)ゲート静電容量の減少が最小となるようにするのに十分なだけ高い(約4.0又はそれより高いオーダーの)誘電定数を有する。本発明に用いられる絶縁中間層は、層の界面付近にp型ドーパントの供給を与えてSi含有層の界面付近のp型挙動を保証するために、少なくとも部分的に解離することができ、高kゲート誘電体からSi含有ゲート導体に、及びそれとは逆で 50

の不純物の拡散を防止することができる。

【0010】

本発明の絶縁中間層は、高kゲート誘電体とSi含有ゲート電極との間の相互作用を防止する化学的中間層であることに注目されたい。本発明の中間層は、下にある高kゲート誘電体と実質的に反応しないので、高kゲート誘電体と反応してケイ化物を生成することはない。本発明の中間層はまた、上にあるSi含有ゲート導体とは反応しない。

【0011】

本発明の絶縁中間層の別の特徴的特性は、それが化学的に安定であるのでケイ素がそれを還元できないことである。本発明の中間層の或る程度の解離が起こりうる場合には、本発明の中間層は、ケイ素へのn型ドーパントとなるべきではない。そうではなく、本発明の中間層は、p型ドーパントか又は中性ドーパントのいずれかにして、デバイス性能に悪影響を及ぼさないようにすることができる。また、本発明に用いられる絶縁中間層は、(標準的CMOS加工では典型的な、約1000の)高温に耐えることができる耐火性化合物とするべきである。

10

【0012】

上述の基準に適合し、それにより本発明の絶縁中間層として用いられる絶縁材料は、あらゆる絶縁金属窒化物、すなわち、随意的には酸素を含むことができる金属窒化物含有材料を含む。絶縁中間層の例には、この限りではないが、窒化アルミニウム(AlN)、酸窒化アルミニウム( $AlO_xN_y$ )、窒化ホウ素(BN)、酸窒化ホウ素( $BO_xN_y$ )、窒化ガリウム(GaN)、酸窒化ガリウム( $GaON$ )、窒化インジウム(InN)、酸窒化インジウム( $InON$ )、及びこれらの組み合わせがある。絶縁中間層は、高kゲート誘電体とSi含有ゲート電極との間に配置された薄い中間層である。典型的には、絶縁中間層は、約1から約25の範囲の厚さを有し、約2から約15の厚さが、より典型的である。

20

【0013】

過去において、本発明の中間層化合物の幾つかが、ゲート酸化物自体として(例えば、非特許文献2、非特許文献3、非特許文献4、非特許文献5)又はエッチング停止層として(例えば非特許文献6を参照されたい)用いられている。これらの開示にも拘わらず、本発明の出願人は、随意的に酸素を含むことができる絶縁金属窒化物が、こうした絶縁中間層が存在しないときには典型的に作動中にシフトする(それが実際に作動によって生じる問題ではないとき、代わりに製造に用いることができる)ことになる閾値電圧及びフラットバンド電圧を安定化させる目的のために用いられている従来技術を知らない。

30

【0014】

電気的特性の均一性の改善を試みるために、酸化ハフニウムとポリシリコンとの間の材料層として酸化アルミニウム( $Al_2O_3$ )を用いることがこれまで報告されている。例えば、非特許文献7を参照されたい。この教示にも拘わらず、本出願人は、 $Al_2O_3$ 層がケイ酸ハフニウムとポリシリコンとの間に挟み込まれたときには、閾値電圧及びフラットバンド電圧のシフトに関して有利な改良が存在しないことを突き止めた。これらの発見事項は、後で更に詳しく提示する。

【0015】

同時継続中の、同一出願人に譲渡された特許文献1は、ソース領域、ドレイン領域、及びそれらの間のチャネル領域を有し、該チャネル領域の上に絶縁体が配置され、該絶縁層の上にゲート電極が配置された基板を含む電界効果トランジスタ構造を説明している。絶縁層は、窒化アルミニウムのみ、もしくは酸化アルミニウム、二酸化ケイ素又は窒化ケイ素の上に又は下に配置された窒化アルミニウムを含むことができる。窒化アルミニウムは、この開示においては、漏れ電流の低いデバイスを与えるために用いられる。

40

【0016】

同時継続中の、同一出願人に譲渡された特許文献2は、窒素を含有するゲート誘電体として絶縁層を含む電界効果トランジスタの拡散障壁を説明している。窒素は、絶縁層の上に窒素化合物を注入し、窒化物形成し又は蒸着することによって導入することができる。

50

## 【0017】

ここで挙げられた技術は、いずれも、トランジスタの閾値電圧及びフラットバンド電圧を目標値に安定化させる手段として、高k誘電体とSi含有電極との間に絶縁中間層を使用することを開示するものではない。

## 【0018】

広義には、本発明は、ソース及びドレイン拡散領域が配置された半導体基板を含む相補型金属酸化物半導体(CMOS)構造を提供するものであり、ソース及びドレイン拡散領域は、デバイスチャネルによって分離され、該デバイスチャネルの上にゲートスタックが配置され、該ゲートスタックは、高kゲート誘電体と、絶縁中間層と、ケイ素含有ゲート導体とからなり、絶縁中間層は、高kゲート誘電体とSi含有ゲート導体との間に配置され、構造の閾値電圧及びフラットバンド電圧を目標値に安定化させることができる。

10

## 【0019】

本発明の1つの非常に好ましい実施形態においては、CMOS構造が、ソース及びドレイン拡散領域が配置された半導体基板を含むものとして提供され、該ソース及びドレイン拡散領域は、デバイスチャネルによって分離され、該デバイスチャネルの上にゲートスタックが配置され、該ゲートスタックは、ハフニウム含有高kゲート誘電体と、窒化アルミニウム含有絶縁中間層と、ケイ素含有ゲート導体とからなり、窒化アルミニウム含有絶縁中間層は、ハフニウム含有高kゲート誘電体とSi含有ゲート導体との間に配置され、構造の閾値電圧及びフラットバンド電圧を目標値に安定化させることができる。

## 【0020】

本発明の別の態様においては、改善された閾値電圧及びフラットバンド電圧安定性を有する相補型金属酸化物半導体(CMOS)構造を形成する方法が提供される。この方法は、半導体基板上に、高kゲート誘電体と、Si含有ゲート導体と、高kゲート誘電体とSi含有ゲート導体との間に配置された絶縁中間層と、からなるゲートスタックを設け、該ゲートスタックに公知の技術のいずれかによってバイアスをかけ、それにより絶縁中間層が構造の閾値電圧及びフラットバンド電圧を目標値に安定化させるステップを含む。

20

## 【発明を実施するための最良の形態】

## 【0021】

Si含有ゲート電極と高kゲート誘電体との間に絶縁金属窒化物含有中間層を含み、該中間層が、その閾値電圧及びフラットバンド電圧を安定化させることができるCMOS構造と、それを製造する方法を提供するものである本発明を、ここでさらに詳しく説明する。「金属窒化物含有中間層」という用語は、金属窒化物及び金属酸窒化物層を含む。図2においては、構造は縮尺で描かれたものではないことに留意されたい。また、半導体基板上に単一のFETが示されているが、本発明は、同じ基板の表面上に複数のFETが存在することも考慮に入れてある。隣接するFETは、図2に示されていない分離領域によって互いに分離することができる。また、スペーサは、図2に示されたFET構造の側壁上に形成することができる。

30

## 【0022】

本発明のCMOS構造10を示す絵画的な図(断面図による)である図2を参照する。特に、CMOS構造10は、半導体基板12と、該半導体基板12に配置され、デバイスチャネル16によって互いに分離されたソース/ドレイン拡散領域14と、デバイスチャネル16の上に配置された高k誘電体20、高k誘電体20の上に配置された絶縁中間層22、絶縁中間層22の上に配置されたSi含有ゲート導体24とからなるゲートスタック18とを含む。

40

## 【0023】

図2に示された構造の種々の構成材、並びにそれを形成するのに用いることができる工程を、ここで更に詳しく説明する。

## 【0024】

図2に示された構造は、最初に、高kゲート誘電体20、絶縁中間層22及びSi含有ゲート導体24のブランケット層を半導体基板12の表面上に設けることによって作られ

50

る。本発明によれば、絶縁中間層 22 は、高 k ゲート誘電体 20 と Si 含有ゲート導体 24 との間に配置される。

#### 【0025】

本発明に用いられる半導体基板 12 は、この限りではないが、Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP 及び他の全ての III/V 又は II/V 化合物半導体を含むどんな半導体材料も含む。半導体基板 12 はまた、Si/SiGe、シリコン・オン・絶縁体 (SOI) 又は SiGe・オン・絶縁体 (SGOI) といった有機半導体又は積層半導体を含むことができる。本発明の幾つかの実施形態においては、半導体基板 12 は、Si 含有半導体材料、すなわちケイ素を含有する半導体材料からなるものであることが好ましい。半導体基板 12 は、ドーピングする、ドーピングしない、もしくはドーピングされた領域とドーピングされていない領域とを含むことができる。

10

#### 【0026】

半導体基板 12 はまた、第 1 ドーピング (n- 又は p-) 領域と、第 2 ドーピング (n- 又は p-) 領域とを含むことができる。明瞭にするために、本発明の図面中にドーピング領域は具体的に示されていない。第 1 ドーピング領域及び第 2 ドーピング領域は、同一のものであってもよいし、又はそれらは異なる導電率及び、又はドーピング濃度を有するものであってもよい。これらのドーピング領域は、「ウェル」として知られている。

#### 【0027】

次いで、典型的には、少なくとも 1 つの分離領域 (図示せず) が半導体基板 12 に形成される。分離領域は、トレンチ分離領域とするか又はフィールド酸化物分離領域とすることができる。トレンチ分離領域は、当業者には周知の従来のトレンチ分離工程を用いて形成される。例えば、トレンチ分離領域を形成するために、リソグラフィ、エッチング及びトレンチ誘電体によるトレンチの充填を用いることができる。随意的には、トレンチの充填の前にトレンチにライナを形成することができ、トレンチの充填の後に緻密化段階を行うことができ、同様にトレンチ充填に続いて平坦化処理を行うことができる。所謂ケイ素の局所的酸化処理を用いてフィールド酸化物を形成することができる。少なくとも 1 つの分離領域が、典型的には隣接するゲートが反対の導電性をもつときに要求される分離を隣接するゲート領域間に与えることに留意されたい。隣接するゲート領域は、同じ導電性 (すなわち n 型又は p 型の両方) をもつことができ、或いはそれらは異なる導電性をもつことができる (すなわち、一方が n 型で他方が p 型)。

20

30

#### 【0028】

半導体基板 12 内に少なくとも 1 つの分離領域を形成した後に、構造の表面上に高 k ゲート誘電体 20 が形成される。高 k ゲート誘電体 20 は、例えば、酸化、窒化又は酸窒化といった熱成長工程によって形成することができる。或いは、高 k ゲート誘電体 20 は、層成長工程、例えば、化学気相成長 (CVD)、プラズマ CVD、有機金属化学気相成長 (MOCVD)、原子層蒸着 (ALD)、蒸着、反応性スパッタリング、化学溶液堆積、その他の同様の層成長工程によって形成することができる。高 k ゲート誘電体 20 はまた、上記の工程のあらゆる組み合わせを用いて形成することができる。

#### 【0029】

高 k ゲート誘電体 20 は、約 4.0 より大きい、好ましくは 7.0 より大きい誘電定数を有する絶縁材料からなる。特に、本発明に用いられる高 k ゲート誘電体 20 は、この限りではないが、酸化物、窒化物、酸窒化物及び、又は金属ケイ酸塩及び窒化金属ケイ酸塩を含むケイ酸塩を含む。一実施形態においては、ゲート誘電体 20 は、例えば、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{SrTiO}_3$ 、 $\text{LaAlO}_3$ 、 $\text{Y}_2\text{O}_3$  及びこれらの混合物といった酸化物からなる。ゲート誘電体 20 の非常に好ましい例は、 $\text{HfO}_2$ 、ケイ酸ハフニウム、及び酸窒化ハフニウムケイ素を含む。

40

#### 【0030】

高 k ゲート誘電体 20 は、その物理的厚さを変えることができるが、典型的には、高 k ゲート誘電体 20 は、約 0.5 から約 10 nm までの厚さを有し、約 0.5 から約 3 nm の厚さがより典型的である。それは、基板上に最初に蒸着される酸化ケイ素又は酸窒化ケ

50

イ素の薄層（約0.1から約1.5nmのオーダーの）の上に蒸着させることができる。

【0031】

次に、高kゲート誘電体20のブランケット層の上に絶縁中間層22が形成される。上述のように、本発明に用いられる絶縁中間層22は、以下の特性、すなわち、(i)空間的分離によって高kゲート誘電体20とSi含有ゲート導体24との間の相互作用を防止することができる、(ii)その付加に伴う（直列静電容量効果による）ゲート静電容量の減少が最小となるようにするのに十分なだけ高い誘電定数（約4.0又はそれより大きいオーダーの）を有すること、(iii)層の界面付近にp型ドーパントの供給を与えてSi含有ゲート電極材料の界面付近のp型挙動を保证するために、少なくとも部分的に解離可能であること、(iv)高kゲート誘電体20からSi含有ゲート導体24への原子の拡散を防止できること、(v)その後のSi含有ゲート導体24の下での酸化を防止できること、の少なくとも1つを有する。

10

【0032】

本発明の絶縁中間層22は、高kゲート誘電体20とSi含有ゲート導体24との間の相互作用を防止する化学的中間層である。本発明の中間層22は、下にある高kゲート誘電体20と実質的に反応しない（それがドーパント源として働くときなどに存在する分解が僅かであるか又は部分的である）ので、高kゲート誘電体と反応してケイ化物を生成することはない。本発明の絶縁中間層22の別の特徴的特性は、ケイ素が該本発明の絶縁中間層22を還元できないことである。本発明の中間層22に或る程度の解離が起こりうる場合には、本発明の中間層22は、デバイス性能に悪影響を及ぼさないようなp型ドーパントか又は中性ドーパントのいずれかとなるべきである。また、本発明に用いられる絶縁中間層22は、（標準的CMOS加工では典型的な、約1000の）高温に耐えることができる耐火性化合物とするべきである。

20

【0033】

上述の基準に適合し、それにより本発明の絶縁中間層22として用いられる絶縁材料は、随意的には酸素を含むことができるあらゆる絶縁金属窒化物を含む。絶縁中間層の例には、この限りではないが、窒化アルミニウム(AlN)、酸窒化アルミニウム(AlO<sub>x</sub>N<sub>y</sub>)、窒化ホウ素(BN)、酸窒化ホウ素(BO<sub>x</sub>N<sub>y</sub>)、窒化ガリウム(GaN)、酸窒化ガリウム(GaON)、窒化インジウム(InN)、酸窒化インジウム(InON)、及びこれらの組み合わせがある。本発明の1つの好ましい実施形態においては、絶縁中間層22は、AlNか又はAlO<sub>x</sub>N<sub>y</sub>である。

30

【0034】

絶縁中間層22は、典型的には約1から約25の範囲の厚さを有し、約2から約15の厚さが、より典型的である。

【0035】

絶縁中間層22は、例えば、化学気相成長(CVD)、プラズマCVD、アルミニウム及び窒素ベースの前駆体を用いる原子層蒸着(ALD)、原子又は分子窒素（随意的には励起種とすることができる）及び随意的には酸素のビーム又は雰囲気と共に金属が蒸着される物理的気相成長又は分子ビーム蒸着、有機金属化学気相成長(MOCVD)、原子層蒸着、スパッタリングなどといった種々の層成長工程によって形成することができる。或いは、絶縁中間層22は、既に層成長された絶縁金属層の熱窒化又は酸窒化によって形成することができる。或いは、金属酸窒化物は、最初に金属窒化物を層成長させ、次いで適切な酸素環境において部分的に酸化させて酸窒化物を生じさせることにより形成することができる。

40

【0036】

絶縁中間層22を形成する1つの好ましい方法は、高真空下で、市販の無線周波数(RF)窒素又は窒素・酸素原子供給源からの窒素又は酸素・窒素ビームを用いて、抵抗加熱型の標準的Al放出セルからAlを蒸発させることによるものである。窒化物のみを蒸着させるためには、単一のRF窒素源で十分である。酸窒化物のためには、第2の酸素RF源を用いることができる。或いは、酸素は、単純にRF源なしの分子ビームとして供給す

50

ることができる。高真空下で蒸着させる工程は、例えば、その内容全体を引用によりここに組み入れる特許文献3に記載されている。放出セルは、典型的には、蒸着工程中に約1000 - 1200の温度を有する。蒸着工程は、典型的には、約200 - 450Wのパワーと、約1 - 3 s c c mの流速を有するRF源を用いて行われる。これらの数値はまた、問題なしに提示された範囲から広い範囲で変更することができる。基板温度は、典型的には、蒸着中に150 から650 の間に保たれる。また、蒸着温度は、提示された範囲外に変更することもできる。ベース真空チャンバ圧は、典型的には約 $5 \times 10^{-10}$ から $2 \times 10^{-9}$  トールの範囲である。

#### 【0037】

それを形成するのに用いられる技術に拘わりなく、本発明において形成される絶縁中間層22は、高kゲート誘電体20の上に連続的かつ均一に存在する層である。「連続的」とは、絶縁中間層22が、その中に大きな破断及び、又は気孔をもたないことを意味し、「均一」とは、絶縁中間層22が、蒸着されたときに構造にわたってほぼ同じ厚さを有することを意味する。絶縁中間層22は、それが特定の結晶構造をもたないことを意味するアモルファスとすることができる。絶縁中間層22は、使用される材料、並びにそれを形成するのに用いられる技術に応じて、アモルファスに近い他の相で存在してもよい。

#### 【0038】

絶縁中間層22を形成した後に、例えば、物理的気相成長、CVD又は蒸着といった公知の層成長工程を用いて、Si含有ゲート導体24となるSi含有材料のブランケット層が絶縁中間層22上に形成される。ゲート導体24を形成するのに用いられるSi含有材料は、単一結晶、ポリ結晶又はアモルファス形態のSi又はSiGe合金層を含む。前述のSi含有材料の組み合わせも、ここでは考慮されている。Si含有材料のブランケット層24は、ドーパされたものであってもよいし、ドーパされていないものであってもよい。ドーパされたものである場合には、それを形成するために、その場でのドーピング蒸着工程を用いることができる。或いは、ドーパされたSi含有層は、蒸着、イオン打ち込み及びアニーリングによって形成することができる。Si含有層のドーピングは、形成されたゲート導体の作業機能をシフトさせる。ドーパントイオンの実例は、As、P、B、Sb、Bi、In、Al、Ga又はこれらの組み合わせを含む。本発明のこの時点で層形成されるSi含有層24の厚さ、すなわち高さは、使用される層成長工程によって変わる。典型的には、Si含有層24は、約20から約180nmの垂直方向の厚さを有し、約40から約150nmの厚さが、より典型的である。

#### 【0039】

本発明によれば、絶縁中間層22は、pFETが形成されたときの閾値電圧及びフラットバンド電圧安定化における特定の改善を示す。pFETは、ホウ素のようなp型ドーパントでドーパされたポリ-Siを含む。

#### 【0040】

Si含有材料24のブランケット層の成長後に、例えば、物理的気相成長又は化学的気相成長といった層成長工程を用いて、Si含有材料24のブランケット層の上に誘電キャップ層(図示せず)を形成することができる。誘電キャップ層は、酸化物、窒化物、酸窒化物又はそれらのいずれかの組み合わせとすることができる。誘電キャップ層24の厚さ、すなわち高さは、約20から約180nmであり、約30から約140nmの厚さが、より典型的である。

#### 【0041】

誘電キャップ(存在する場合には)、ブランケットSi含有層24、及び随意的には絶縁中間層22、並びに高kゲート誘電体20が、リソグラフィ及びエッチングによってパターン形成されて、パターン形成されたゲートスタック18が与えられる。複数のパターン形成されたゲートスタックが形成されるとき、該ゲートスタックは、同じ寸法、すなわち長さをもつことができ、又はそれらはデバイス性能を改善するために種々の寸法をとることができる。本発明のこの時点でのパターン形成されたゲートスタック18の各々は、少なくともSi含有ゲート導体24を含む。リソグラフィ段階は、ブランケット積層構造

の上面にフォトリジストを適用し、該フォトリジストを所望の放射パターンに露光させ、通常のレジスト現像剤を用いて該露光されたフォトリジストを現像することを含む。次いで、フォトリジストにおけるパターンが、1つ又はそれ以上の乾燥エッチング段階を用いて構造に転写される。或る実施形態においては、ブランケット積層構造の層の1つにパターンが転写された後に、パターン形成されたフォトリジストを除去することができる。他の実施形態においては、パターン形成されたフォトリジストは、エッチングが完了した後に除去される。

**【0042】**

パターン形成されたゲートスタックを形成するために本発明において用いることができる適切な乾式エッチング工程は、この限りではないが、反応性イオンエッチング、イオンビームエッチング、プラズマエッチング又はレーザアブレーションを含む。使用される乾式エッチング工程は、常にではないが、このエッチング段階が典型的にはゲート誘電体を除去しないように下にある高kゲート誘電体20に対して選択される。しかしながら、或る実施形態においては、このエッチング段階は、既にエッチングされていてゲートスタックの材料層によって保護されていないゲート誘電体20の一部を除去するために用いることができる。

10

**【0043】**

次に、少なくとも1つのスペーサ(図示せず)が、典型的には、常にではないが、パターン形成されたゲートスタックの各々の露出された側壁上に形成される。少なくとも1つのスペーサは、酸化物、窒化物、酸窒化物及び、又はそれらのいずれかの組み合わせといった絶縁体からなる。この少なくとも1つのスペーサは、蒸着及びエッチングによって形成される。

20

**【0044】**

少なくとも1つのスペーサの幅は、ソース及びドレインのケイ化物コンタクト(後で形成される)が下にあるゲートスタックの縁部を侵さないようにするのに十分なだけ広くなければならない。典型的には、少なくとも1つのスペーサが、底部において計測された約20から約80nmの幅を有するときに、ソース/ドレインケイ化物は、下にあるゲートスタックの縁部を侵さない。

**【0045】**

ゲートスタック18はまた、本発明のこの時点で、それに熱酸化、窒化又は酸窒化処理を行うことによって非活性化することができる。非活性化段階は、ゲートスタックまわりに非活性化材料の薄層を形成する。この段階は、前のスペーサ形成段階の代わりに、又はそれと併せて用いることができる。スペーサ形成段階と共に用いられるときには、ゲートスタック非活性化工程の後にスペーサ形成が起こる。

30

**【0046】**

次いで、ソース/ドレイン拡散領域14(スペーサが存在しているか又は存在していない)が基板に形成される。イオン打ち込み及びアニーリング段階を用いて、ソース/ドレイン拡散領域14が形成される。アニーリング段階は、前の打ち込み段階によって打ち込まれたドーパントを活性化させるように働く。イオン打ち込み及びアニーリングの条件は、当業者には周知である。

40

**【0047】**

ソース/ドレイン拡散領域14はまた、通常の間延打込みを用いてソース/ドレイン打込みを行う前に形成された間延打込み領域を含むことができる。間延打込みの後に、活性化アニールを行うか、或いは間延打込みの際にドーパントを打ち込むことができ、同じ活性化アニールサイクルを用いてソース/ドレイン打込みを活性化させることができる。ここでは八口打込みも考慮されている。

**【0048】**

次に、既に除去されていない場合には、ゲート誘電体20の露出部分が、ゲート誘電体20を選択的に除去する化学エッチング工程を用いて除去される。このエッチング段階は、半導体基板12の上面の上で止まる。ゲート誘電体20の露出部分を除去するためにど

50

んな化学エッチング剤を用いても良いが、一実施形態においては、希フッ化水素酸（DHF）が用いられる。

【0049】

前述の種々の組み合わせ及び実施形態のうち、本発明の特に好ましいCMOS構造は、高kゲート誘電体20が、 $\text{HfO}_2$ 、ケイ酸ハフニウム又はハフニウム酸窒化ケイ素からなり、かつ絶縁中間層22が、随意的には幾らかの酸素を含有することができるAlNからなるものである。特に好ましい構造はまた、ホウ素ドーブポリ-Siゲート導体24を含む。特に好ましい構造の他の変形及び置換も、ここでは考慮されており、除外されるべきではない。

【0050】

上記の処理段階は、図2に示されたCMOS構造を形成する。当業者には周知の処理段階を用いて、ケイ化物コンタクト（ソース/ドレイン及びゲート）の形成、並びに金属相互接続と同じレベルのBEOL（ラインのバックエンド）相互接続の形成といった更なるCMOS加工を形成することができる。

【0051】

以下の実施例は、本発明の絶縁中間層を用いることの重要性を実証するために、説明する目的で与えられる。

【0052】

（実施例1）

この例においては、酸化又はケイ酸Hf層が、フィールド酸化物によって予めパターン形成されたシリコンウェハ上に最初に成長される。酸化及びケイ酸Hfは、有機金属化学気相成長法（MOCVD）及び原子層化学気相成長法（ALCVD）を用いて蒸着された。酸化及び窒化Hf層の厚さは、ケイ酸塩については2nmから4nmの範囲内であり、その組成は、 $y/(x+y)$ が約0.2-0.3である $\text{Hf}_x\text{Si}_y\text{O}_4$ であった。これらの酸化物は、厚さ0.3-1.2nmの酸化ケイ素又は酸窒化ケイ素コーティングを有するn型シリコンウェハ上に蒸着された。この層の存在は、あくまで随意的なものであった。

【0053】

酸化及びケイ酸Hfの蒸着の後に、ウェハを、窒化アルミニウム蒸着用の超高真空蒸着チャンバに装填した。窒化アルミニウムは、市販の無線周波数原子窒素源からの窒素ビームを用いて、抵抗加熱型の標準Al放出セルからAlを蒸発させることによって蒸着された。放出セルの温度は、作動の間、1000-1200であった。原子窒素源は、200-450Wの範囲、及び1-3sccmの窒素流速で作動するものであった。基板温度は、蒸着の間、150から650の間に保たれた。ベース真空チャンバ圧は、約 $5 \times 10^{-10}$ から $2 \times 10^{-9}$ トルであった。

【0054】

AlN蒸着の間、圧力は $1 \times 10^{-5}$ トルの範囲に上昇した。厚さ0.5-2.0nmのAlN層の蒸着の後に基板を取り出し、標準手順を用いて化学気相成長法によって、厚さ約150nmのアモルファスシリコン層を蒸着させた。次いで、アモルファスシリコンに、ホウ素をイオン打ち込みし、該ドーパントを約950-1000でアニーリングすることによって活性化させ、その後再び標準半導体加工手順を行った。或る場合においては、 $\text{SiO}_2/\text{Si}(100)$ 界面状態を非活性化するために、フォーミングガスアニールを行った。次いで、これらの構造から、リソグラフィによって $10 \times 10$ 、 $20 \times 20$ 、 $50 \times 50$ 及び $100 \times 100$ 平方ミクロンのオーダーの概略寸法を有するパッドサイズを定めるキャパシタを作成した。したがって、キャパシタ構造は、Bドーブポリシリコン/厚さ0.5-2nmのAlN/厚さ2-4nmのケイ酸Hf又は $\text{HfO}_2$ /0.3-1.2nmの $\text{SiO}_2$ 又は $\text{SiON}$ （又は蒸着後の変化によりそれより厚い）/シリコン（100）ウェハであった。また、同じスタック構造をもつ標準pFETを製造するために、標準デバイス加工を行った。

【0055】

10

20

30

40

50

キャパシタが電氣的に試験されたときに、それらは、フラットバンド電圧が、図3 A - 3 D及び図4の計測データに示されるような1.0 Vにおける理想的な位置の200 - 400 mV以内となったことを示した。図3 A - 3 Dの結果は、トランジスタ上に成長し、それらの上に0.8から1.3 nmの間のAlNを有する、ケイ酸Hf層の組からの結果であった。AlNが周囲環境に曝されたときに、その一部が酸化して、酸化アルミニウム層がもたらされる。ゲートスタックが同様の構造をもっているpFETを試験したときに、それらはまた、デバイスの閾値電圧が、予想通りに、図4のpFETの静電容量 - 電圧プロットに示されるような理想的な位置(200 - 400 mV以内)の近くにとどまっていたことを示した。図4に見られるように、ケイ酸Hfを有するデバイスは、対照デバイスと比べて、負のバイアスに向けて強くシフトされた。また、2つの水平な線によって示されるように、AlNキャップ層を用いて、対照デバイスに対し、フラットバンド( $dV_{fb}$ )及び閾値( $dV_t$ )電圧の大きなシフトが達成された。

#### 【0056】

図5 A - 5 Bは、ゲート酸化物としてケイ酸Hfを用いて作成されたpFETからの結果を示す。また、AlN閾値安定化層が用いられ、閾値電圧はゼロに向けてシフトされた。これらのpFETのトランジスタ性能データが図6に示されている。図6に示されるように、AlNキャップ層があるとき、デバイス性能の大きな低下は観測されなかった。

#### 【0057】

上記のデータに照らして、AlN層の存在によって、閾値電圧が所望の値の近くに安定化された。明らかに、AlN中間層は、電氣的性能を損なうことなく、ケイ化又は酸化Hfとポリシリコン層との間の有効な障壁として働く。

#### 【0058】

(マイクロ構造の問題)

蒸着に続き、及び周囲環境に曝した後に、酸化アルミニウムは窒化アルミニウムより熱力学的に安定であるので、窒化アルミニウムの一部を酸化させることができる。これは、中間層の性能に悪影響を及ぼさない。

#### 【0059】

窒化アルミニウムは低温(< 650)で蒸着されるので、それは均一な連続層となっていき、そのため酸化又はケイ酸Hfがポリシリコンに大きく露出されることはない。

(比較実施例)

#### 【0060】

ケイ酸ハフニウムゲート誘電体を備えたFETの閾値及びフラットバンド電圧に対する原子層蒸着(ALD)された $Al_2O_3$ の影響を調べた。20蒸着サイクルに対応する $Al_2O_3$ 厚さのとき、フラットバンド及び閾値電圧における大きな変化は起こらないことが示された。この観察は、デバイス用途に関係する厚さ範囲内の物理的に閉じたキャップの形成を防止することができる $Al_2O_3$ 成長の抑制によって、或る程度説明することができる。

#### 【0061】

使用された高k誘電体は、Siソースとしてシランを有するMOCVD蒸着ケイ酸ハフニウムであった。 $Al_2O_3$ キャップ層は、前駆体としてTMM A及び $H_2O$ を有する原子層蒸着(ALD)を用いて蒸着された。キャップ厚さは、2から20サイクルのTMM A/ $H_2O$ 蒸着サイクルの数によって制御された。nFET及びpFETは、標準CMOSプロセスフローを用いて製造され、静電容量電圧計測値を用いて、デバイスのフラットバンド及び閾値電圧を計測した。

#### 【0062】

(結果)

この研究の主な結果を図7 - 図10にまとめる。図7は、8インチのSiウェハーにおける種々の位置で計測された $Al_2O_3$ キャップ層( $SiO_2$ 等価厚さ数、EOTで表わされる)の厚さへの寄与を示す。EOT数は、キャップされていないケイ酸ハフニウム層の静電容量に対して増加する蓄積静電容量から抽出した。図に示すように、最初の成長抑

10

20

30

40

50

制の後に、1サイクル当り約0.1nmの $Al_2O_3$ のリニア成長が観測される。これは、5サイクルより少ない場合にはキャップ層が閉じられそうにないことを示唆するものである。閉鎖されたキャップは、成長速度が厚い $Al_2O_3$ 層と同一であるとき、 $Al_2O_3$ 蒸着の10及び20サイクルの後に形成される可能性が高い。

#### 【0063】

図8におけるデータは、対照 $SiO_2$  nFETと、ケイ酸ハフニウム(20%)を有し、かつポリ-Si蒸着の前に該ケイ酸ハフニウム上に蒸着されるキャップ層として、0(カーブA)、2(カーブB)、5(カーブC)、10(カーブD)及び20(カーブE)サイクルの $Al_2O_3$ を有するnFETの静電容量電圧特徴を示す。図に示すように、 $SiO_2$ をケイ酸ハフニウム高k誘電体と置換したときに、大きいシフトが観測された。 $Al_2O_3$ 材料が、実際に全ゲート静電容量に寄与するのであれば、蓄積及び反転静電容量における減少は、データから明らかである(図7参照)。しかしながら、フラットバンド及び閾値電圧は、図10に要約されるように、キャップ層の厚さと共に顕著に変化することはない。

10

#### 【0064】

図9におけるデータは、対照 $SiO_2$  pFETと、ケイ酸ハフニウム(20%)を有し、かつポリ-Si蒸着の前に該ケイ酸ハフニウム上に蒸着されるキャップ層として、0(カーブA)、2(カーブB)、5(カーブC)、10(カーブD)及び20(カーブE)サイクルの $Al_2O_3$ を有するpFETの静電容量電圧特徴を示す。図8に示すように、 $SiO_2$ をケイ酸ハフニウム高k誘電体と置換したときに、大きいシフトが観測された。 $Al_2O_3$ 材料が、実際に全ゲート静電容量に寄与するのであれば、蓄積及び反転静電容量における減少は、データから明らかである(図7参照)。しかしながら、フラットバンド及び閾値電圧は、図10に要約されるように、キャップ層の厚さと共に顕著に変化することはない。

20

#### 【0065】

図10におけるデータは、図8-図9に示されたデータから抽出されたフラットバンド電圧及び閾値電圧を要約する。図に示すように、 $SiO_2$ をケイ酸ハフニウム誘電体と置換したときに、大きい電圧変化が観測されたが、ケイ酸ハフニウム上の $Al_2O_3$ キャップ層によって変化が引き起こされることはなかった。

#### 【0066】

デバイスのフラットバンド及び閾値電圧が、受け入れ難い値を示すことから、提示されたデータは、ゲート誘電体としての $SiO_2$ をケイ酸ハフニウムに置き換えることの難しさを示している。データはまた、任意のキャッピング層の使用によって、対照デバイスで観測された理想値に向けてフラットバンド電圧又は閾値電圧が改善されないことを示す。 $SiN$ キャップに加えて、 $Al_2O_3$ キャップは、ハフニウムベースのゲート誘電体を有するFETの製造の助けとはならない。適切なキャップ層を見つけるのは容易なことではない。

30

#### 【0067】

本発明は、特にその好ましい実施形態に関して図示され、説明されたが、当業者であれば、本発明の精神及び範囲から逸脱することなく、形態及び細部における上記の及びその他の変更を行うことができることを理解するであろう。したがって、本発明は、説明され、図示された正確な形態及び細部に限定されるものではなく、添付の特許請求の範囲に含まれることを意図されているものである。

40

#### 【図面の簡単な説明】

#### 【0068】

【図1】ゲートバイアスゼロ、 $V_g = 0V$ における典型的なpFETの従来技術のゲートスタックにわたるおおよそのバンドアラインメントを示す概略図である。量 $E_c$ 及び $E_v$ は、それぞれケイ素基体及びポリシリコンゲートの伝導及び価電子帯エッジを表わす。 $E_f$ は、ゲートバイアスゼロにおけるケイ素基体及びポリシリコンゲートのフェルミ準位位置(点線)を表す。

50

【図2】高kゲート誘電体とポリ-Siゲート電極との間に配置された本発明の閾値電圧安定化中間層を含む本発明のCMOS構造の絵図的表現(断面図による)である。

【図3A】4nmHfケイ酸塩/Si基板上に0.6から1.3nmのAlN閾値安定化中間層を含むゲートスタック上にホウ素ドーパポリシリコンゲートを備えた一組のゲートスタックの静電容量-電圧曲線を示すグラフである。図3B及び3DにおけるAlN蒸着温度は300であり、図3A及び3Cにおいては600であった。フラットバンド電圧( $V_{fb}$ )は、0.6から0.76Vの範囲内である。SiO<sub>2</sub>と等価な酸化物厚さ(EOT)は、AlN厚さ及びHFケイ酸塩厚さに応じて2.9から4.8nmまで変化する。EOTにおける「中央」から「縁部」への変動は、これらの実験に用いられる8インチウェハーにわたるHf-ケイ酸塩厚さの変動によるものである。

10

【図3B】4nmHfケイ酸塩/Si基板上に0.6から1.3nmのAlN閾値安定化中間層を含むゲートスタック上にホウ素ドーパポリシリコンゲートを備えた一組のゲートスタックの静電容量-電圧曲線を示すグラフである。

【図3C】4nmHfケイ酸塩/Si基板上に0.6から1.3nmのAlN閾値安定化中間層を含むゲートスタック上にホウ素ドーパポリシリコンゲートを備えた一組のゲートスタックの静電容量-電圧曲線を示すグラフである。

【図3D】4nmHfケイ酸塩/Si基板上に0.6から1.3nmのAlN閾値安定化中間層を含むゲートスタック上にホウ素ドーパポリシリコンゲートを備えた一組のゲートスタックの静電容量-電圧曲線を示すグラフである。

【図4】3種類のpFETデバイスの静電容量-電圧曲線の比較である。実線は、厚さ2.5nmのSiO<sub>2</sub>ゲート酸化物の酸化物対照デバイスである。白丸は、ゲート誘電体として1nmのSiO<sub>2</sub>界面酸化物上に厚さ3nmのHf-ケイ酸塩層を備えたpFETを示し、黒丸は、Hf-ケイ酸塩とホウ素ドーパポリシリコンゲート電極との間のAlN閾値安定化層を備えたpFETを示す。

20

【図5A】厚さ3nmのHf-ケイ酸塩層と厚さ0.9から1.2nmのAlNキャップ層とを備えた典型的なpFETデバイスの典型的な分割CVである。

【図5B】厚さ3nmのHf-ケイ酸塩層と厚さ0.9から1.2nmのAlNキャップ層とを備えた典型的なpFETデバイスのドレイン電流対ゲート電圧( $I_d - V_g$ )特徴である。 $I_d - V_g$ 曲線は、100mVのドレインソース電圧において計測された。各場合においては、8インチのウェハーにわたって9つのデバイスが計測された。

30

【図6】Hf-ケイ酸塩を有するpFETデバイス及びAlNキャップ層を備えたHf-ケイ酸塩を有するpFETデバイス反転電荷密度の関数としての移動性変動を示すプロットである。

【図7】ALD Al<sub>2</sub>O<sub>3</sub>蒸着サイクルの関数としてのケイ酸ハフニウム(20%)上のAl<sub>2</sub>O<sub>3</sub>キャップ層のSiO<sub>2</sub>と等価な酸化物厚さ(EOT)を示すプロットである。

【図8】比較実施例において報告された種々のnFETの静電容量電圧特徴を示すプロットである。

【図9】比較実施例において報告された種々のpFETの静電容量電圧特徴を示すプロットである。

40

【図10】図8及び図9に示されたデータから抽出されたフラットバンド電圧及び閾値電圧を示すプロットである。

【符号の説明】

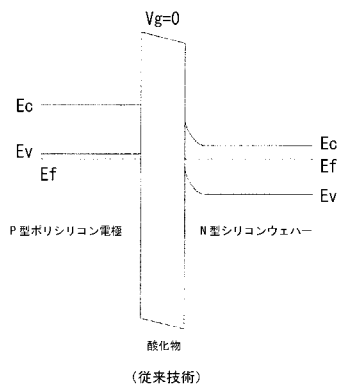
【0069】

- 12：半導体基板
- 14：ソース/ドレイン拡散領域
- 16：デバイスチャネル
- 18：ゲートスタック
- 20：高k誘電体
- 22：絶縁中間層

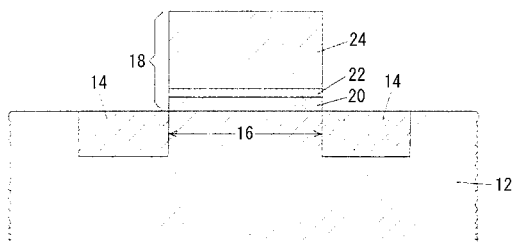
50

24 : Si 含有ゲート導体

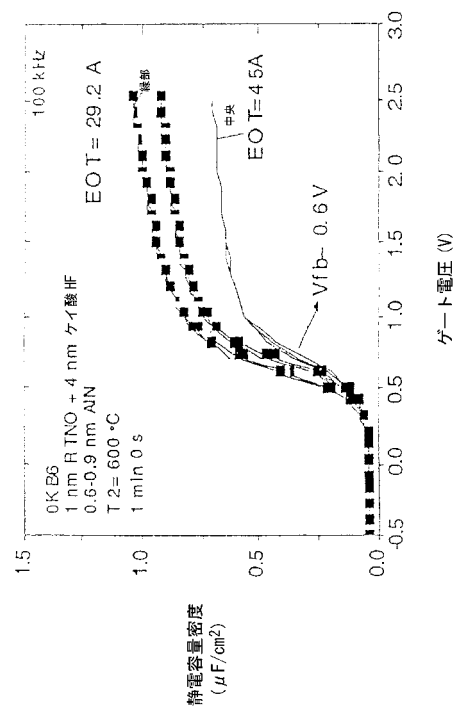
【 図 1 】



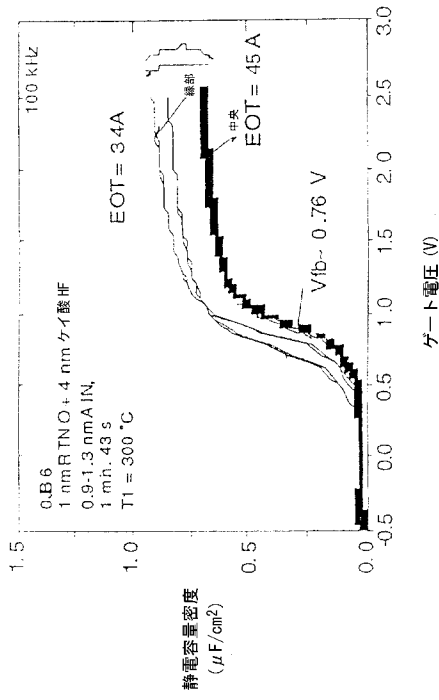
【 図 2 】



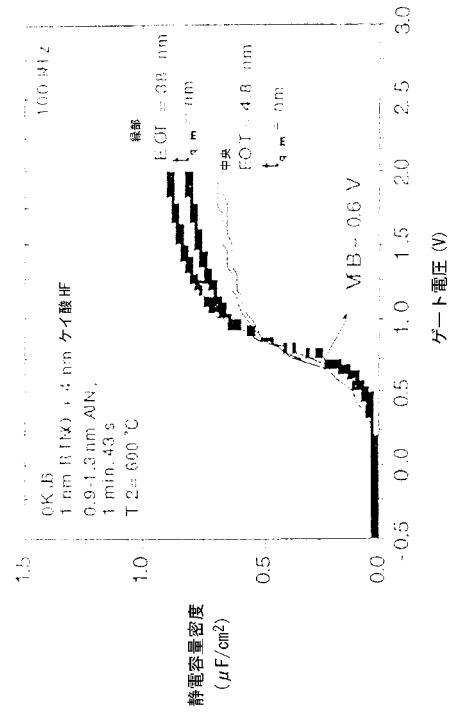
【 図 3 A 】



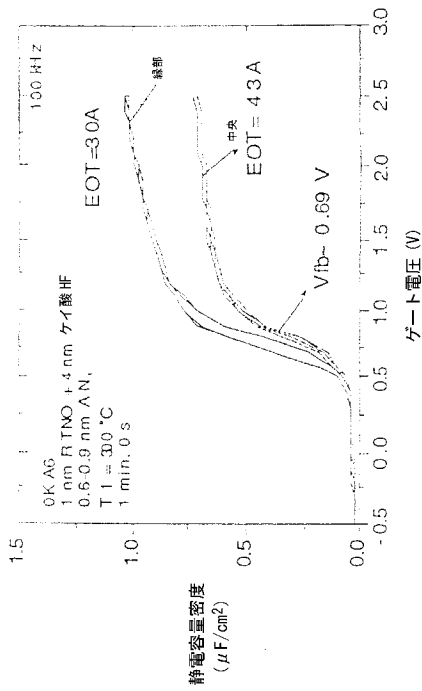
【 図 3 B 】



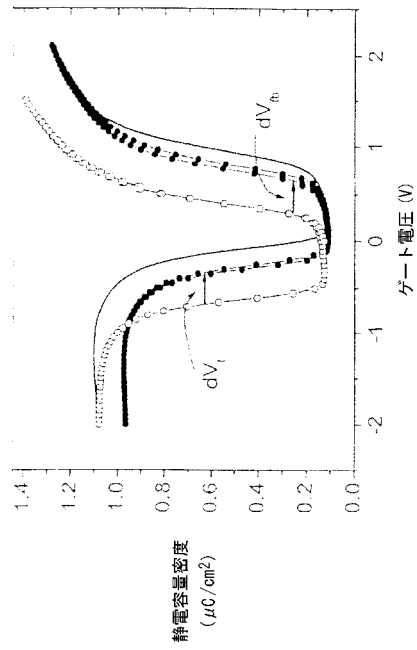
【 図 3 C 】



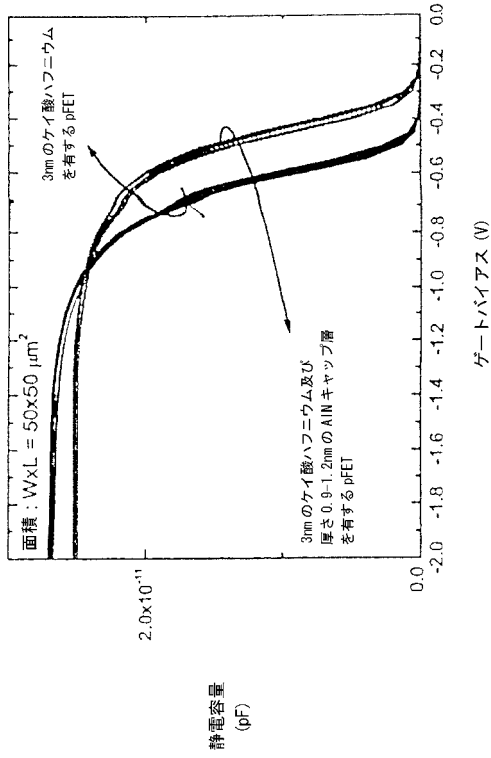
【 図 3 D 】



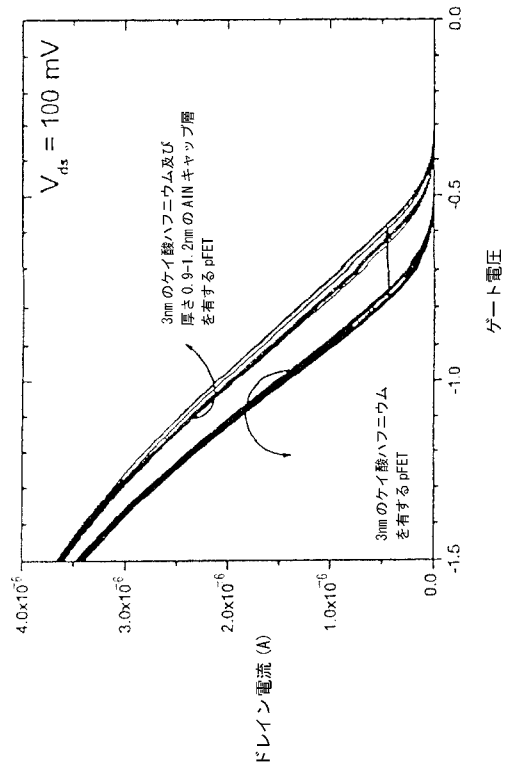
【 図 4 】



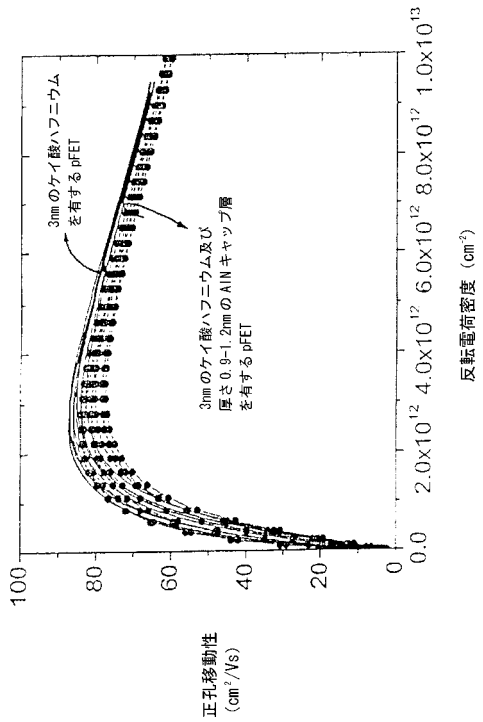
【 図 5 A 】



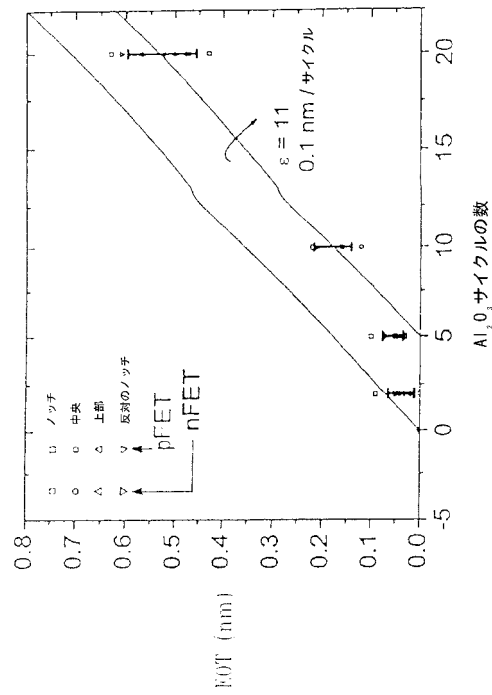
【 図 5 B 】



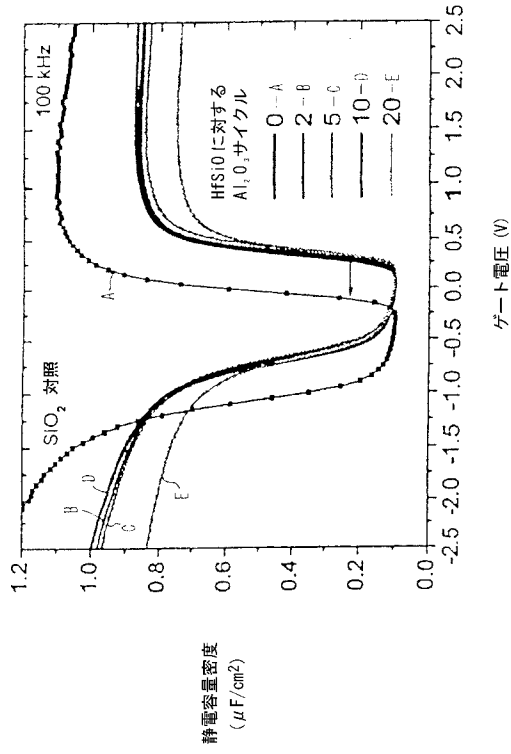
【 図 6 】



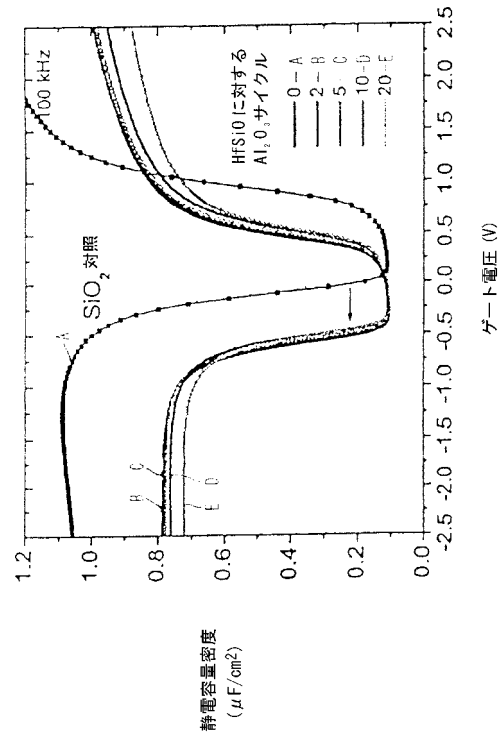
【 図 7 】



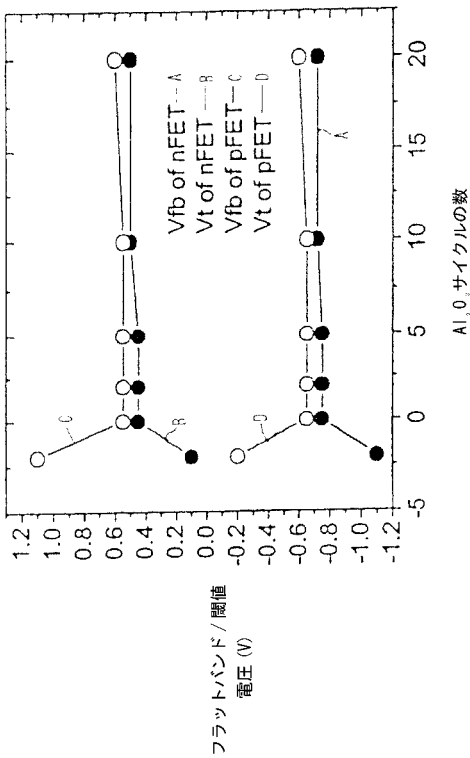
【 図 8 】



【 図 9 】



【 図 10 】



## フロントページの続き

(51)Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 1 L 29/28

- (72)発明者 ネスター・エイ・ボヤルチュク・ジュニア  
アメリカ合衆国 1 2 6 0 1 ニューヨーク州 ポキプシー デビッド・ドライブ 6 1
- (72)発明者 エドゥアルド・エイ・カルティエ  
アメリカ合衆国 1 0 0 2 4 ニューヨーク州 ニューヨーク 西 8 5 番ストリート 1 0 1 ア  
パートメント 6 - 6
- (72)発明者 マーチン・エム・フランク  
アメリカ合衆国 1 0 0 2 4 ニューヨーク州 ニューヨーク 西 7 7 番ストリート 3 1 0 ア  
パートメント # 3 B
- (72)発明者 エフゲニー・ゴーセフ  
アメリカ合衆国 1 0 5 4 1 ニューヨーク州 マホパック レイブン・ロード 1 0
- (72)発明者 スプラティク・ゲーハ  
アメリカ合衆国 1 0 5 1 4 ニューヨーク州 チャパクア ミルウッド・ロード 5 6 9
- (72)発明者 ビジャイ・ナラヤナン  
アメリカ合衆国 1 0 0 6 9 ニューヨーク州 ニューヨーク リバーサイド・ブルーバード 1  
8 0 アパートメント 1 2 C

F ターム(参考) 5F048 AA07 AC01 AC03 BA01 BA14 BA15 BA16 BB07 BB11 BB14  
BE03 BG12 BG13  
5F110 AA08 BB04 CC02 EE08 EE09 EE32 EE42 EE43 EE45 FF01  
FF02 FF04 FF09 FF10 FF23 FF26 FF27 FF28 FF29 FF30  
GG01 GG02 HJ13 HJ23 HM13 NN65  
5F140 AA06 AB03 AC01 AC36 BA00 BA01 BA02 BA03 BA05 BA06  
BA07 BA08 BA18 BD01 BD02 BD04 BD09 BD11 BD13 BE07  
BE08 BE09 BE10 BF01 BF04 BF34 BF38 BG08 BG28 BG30  
BG32 BG33 BG38 BG51 BG53 BH14 BK02 BK13 BK21 CB01  
CB04 CB08