

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
G06F 15/31

(45) 공고일자 1992년08월03일  
(11) 공고번호 특1992-0006283

(21) 출원번호	특1989-0001694	(65) 공개번호	특1989-0013558
(22) 출원일자	1989년02월14일	(43) 공개일자	1989년09월23일
(30) 우선권주장	63-37921 1988년02월19일 일본(JP) 63-63695 1988년03월18일 일본(JP) 63-298722 1988년11월26일 일본(JP) 63-298723 1988년11월26일 일본(JP)		
(71) 출원인	미쯔비시덴끼 가부시끼가이샤 시기 모리야 일본국 도쿄도 지요다구 마루노우찌 2-2-3		
(72) 발명자	무라카미 도쿠미찌 일본국 가나자와켄 가마꾸라시 오후나 5-1-1 미쯔비시덴끼 가부시끼가이샤 썬신시스템 기쥬쯔까이하쯔센타내 긴조 나오또 일본국 가나자와켄 가마꾸라시 오후나 5-1-1 미쯔비시덴끼 가부시끼가이샤 썬신시스템 기쥬쯔까이하쯔센타내 가미자와 고 일본국 가나자와켄 가마꾸라시 오후나 5-1-1 미쯔비시덴끼 가부시끼가이샤 썬신시스템 기쥬쯔까이하쯔센타내		
(74) 대리인	백남기		

심사관 : 김연호 (책자공보 제2878호)

(54) 디지털신호 처리방식

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

디지털신호 처리방식

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 의한 디지털신호 처리방식의 구성을 도시한 블록도.

제2도는 본 발명의 1실시예에 의한 3입력 1출력의 연산처리의 흐름도.

제3도는 종래의 디지털신호 처리방식의 구성을 도시한 블록도.

제4도는 제3도의 디지털신호 처리방식의 연산처리의 흐름도.

\*도면의 주요부분에 대한 부호의 설명

20~23 : 어드레스 생성기                      24~26 : 데이터 메모리

33 : 레지스터                                      34~37 : 셀렉터

34, 35 : 제1의 셀렉터군                      36, 37 : 제2의 셀렉터군

38 : 연산기    40 : 승산기

42 : 출력셀렉터                                      43 : 가산기

44 : 어큐물레이터

[발명의 상세한 설명]

본 발명은 디지털신호 계열을 대상으로 연산처리를 행하는 디지털신호 처리방식에 관한 것이다. 제3도는, 예를들면 1986년도 일본 통신학회 통신부문 전국대회 심포지움 예고(No. S10-1)에 개시된 종래의 디지털신호 처리방식의 블록도이며, 도면에서(1)은 동시에 2개의 데이터를 리드하고 라이트할 수 있는 듀얼포트 내부데이터 메모리(2P-RAM이라 한다). (2)는 리드 또는 라이트 데이터의 어드레스를 산출하는 어드레스 생성부, (3)은 연산에 따른 데이터의 내부 전송에 사용되는 데이터버스, (4) 및 (5)는 2P-RAM(1)내의 데이터를 선택하는 셀렉터, (6)은 셀렉터(4)에서 선택된 피연산 데이터를 유지하는 레지스터, (7)은 셀렉터(5)에서 선택된 연산데이터를 유지하는 레지스터, (8)은 승산기, (9)는 승산기(8)의 출력을 유지하는 레지스터이다. (10)은 레지스터 (6)의 출력과 어큐뮬레이터 (ACC0~ACC3)(14)의 출력을 선택하는 셀렉터, (11)은 레지스터(9)의 출력과 레지스터(7)의 출력을 선택하는 셀렉터, (12)는 셀렉터(10), (11)의 출력을 입력해서 연산을 행하는 산술논리연산기, (13)은 이 산술논리연산기(12)의 출력과 외부용 데이터 레지스터(16)의 데이터를 선택하는 셀렉터이다.

상기 어큐뮬레이터(14)는 연산기(12)의 출력을 유지하여 누산등에 사용하는 어큐뮬레이터이다. 또, 상기 외부용 데이터 레지스터(16)은 외부데이터 메모리(17)의 데이터를 유지하는 것이다. (15)는 어드레스 생성부(2)에서 생성된 어드레스 데이터를 유지하여 외부 메모리(17)에 전송하는 외부용 어드레스 레지스터이다.

다음에 동작에 대해서 설명한다. 본 발명은 내장된 마이크로 프로그램의 펄스코드 및 데이터의 리드, 연산, 연산결과 라이트를 병렬 파이프라인 처리로 실행하는 디지털신호 처리 프로세서에 의한 처리를 행하는 것이며, 3입력 1출력 연산을 행하는 경우의 동작을 다음에 나타낸다. 단, 연산기, 승산기, 어드레스 생성기, 데이터 메모리, 셀렉터등의 각부는 명령마이크로모드에 따라서 제어된다. 가산, 감산, 최대값, 최소값등을 구하는 2입력 산술연산을 모아서  $a \oplus b$ 로 나타내고, 승산을  $a \times b$ 로 나타내기로 한다. 단, a, b는 각각 독립된 데이터이다. 여기에서, 상기 산술연산과 승산을 조합해서 3입력 1출력의 연산을 다음의 식으로 정의한다.

$$Z_i = (a_i \oplus b_i) \times c_i \dots\dots\dots(1)$$

$$Z_i = (a_i \times b_i) \oplus c_i \dots\dots\dots(2)$$

(i=1~N)

단,  $a_i, b_i, c_i$ 는 각각 독립적인 데이터 계열로 하여 2P-RAM(1)에 기억되어 있는 것으로 한다. 예를 들면, (1)식의 3입력 연산을 제3도의 디지털신호 처리방식으로 실행하는 경우의 처리흐름을 제4도에 도시한다.

실제의 디지털신호 처리 프로세서인 DSSP1(Digital Speech Signal Processor 1)에서는 제3도의 데이터 어드레스 생성부(2)에서 데이터용 어드레스 값을 2개의 데이터 계열 A 및 B의 각각의 선두 어드레스에 설정하고 단순 인크리먼트의 모드로한 후, 순차적으로 2개의 데이터 계열 A 및 B의 데이터를 2P-RAM(1)에서 셀렉터(4), (5)를 거쳐서 레지스터(6) 및 레지스터(7)로 한다. 셀렉터(10) 및 (11)에서는 각각 레지스터(6) 및 레지스터(7)측을 선택하여 산술논리연산기 (12)로 산술연산( $a_i \oplus b_i$ )를 행하고 셀렉터(13)에서 산술논리연산기(12)측을 선택하여 어큐뮬레이터(ACC0~ACC3)(14)의 어느것인가에 일단 저장한 후, 데이터버스(3)을 경유해서 외부용 데이터 레지스터(16)을 거쳐서 외부메모리(17)에 기억한다. 이때, 외부메모리용 어드레스는 상기 어드레스 생성부(2)내에서 2P-RAM(1)용의 어드레스의 하나와 링크되어 있으므로 단순인 크리먼트모드로 되어 있다.

다음에 스텝 ST3에서 재차 데이터 어드레스 생성부(2)에서 데이터용 어드레스값을 데이터계열 C 및 ( $a_i \oplus b_i$ )의 데이터 계열의 선두 어드레스로 되도록 설정하고, 2P-RAM(1)에서  $c_i$ 의 데이터를 레지스터(6)에 리드한다.

한편, 외부메모리(17)에서 ( $a_i \oplus b_i$ )의 데이터를 셀렉터(5)에서 데이터버스측을 선택하는 것에 의해 레지스터(7)에 페치한다. 단, 데이터 계열C와 ( $a_i \oplus b_i$ )의 데이터 계열의 페치타이밍을 일치시키기 위하여 스텝ST4에서 사전에 2명령 외부메모리에서 빈(空) 리드로 할 필요가 있다. 이 리드된 2개의 데이터는 스텝ST5에서 승산기(8)로 승산되어 그 결과가 레지스터(9)에 저장되고, 다음의 사이클에서 산술논리연산기(12)를 통과하여 어큐뮬레이터(ACC0~ACC3)(14)의 어느것인가에 일단 저장되고 데이터버스(3)을 경유해서 2P-RAM(1)에 기억된다.

이상의 동작을 파이프라인 처리에 의해 병렬동작이 행하여지기 때문에 N개의 데이터 계열에 대해서 2P-RAM(1)에서 리드하고 나서 처리결과를 외부메모리(17)에 기억할 때까지 산술연산인 경우 (N+3)기계사이클을 요한다.

이 상태를 다음의 표1 및 표2에 도시한다.

표1은 ( $a_i \oplus b_i$ )를 연산하고 그 결과를 외부메모리(17)에 전송하는 경우이다. 또, 표2는 ( $a_i \oplus b_i$ )를 외부메모리(17)에서 리드해서( $a_i \oplus b_i$ )  $\times c_i$ 를 연산하고, 2P-RAM(1)로 전송하는 경우를 나타내고 있다. 단, 이 표1, 표2의 어느것에 있어서도 "X"표는 미지수이며, 또, 표1, 표2에서 외부용 데이터 레지스터(16)의 기계사이클 N+3이 라이트완료를 표시하고, 표2중의 외부용 데이터 레지스터(16)의 기계사이클 0에서 외부용데이터 레지스터(16)에는 사전에 빈 리드를 하여 둔다(2기계 사이클을 요한다).

[표 1]

기계사이클	레지스터 6	레지스터 7	레지스터 9	accx	외부용 데이터 레지스터 16
1	$a_1$	$b_1$	X	X	X
2	$a_2$	$b_2$	$a_1 \times b_1$	$a_1 \oplus b_1$	X
3	$a_3$	$b_3$	$a_2 \times b_2$	$a_2 \oplus b_2$	$a_1 \oplus b_1$
4	$a_4$	$b_4$	$a_3 \times b_3$	$a_3 \oplus b_3$	$a_2 \oplus b_2$
⋮	⋮	⋮	⋮	⋮	⋮
N	$a_N$	$b_N$	$a_{N-1} \times b_{N-1}$	$a_{N-1} \oplus b_{N-1}$	$a_{N-1} \oplus b_{N-2}$
N+1	X	X	$a_N \times b_N$	$a_N \oplus b_N$	$a_{N-1} \oplus b_{N-1}$
N+2	X	X	X	X	$a_N \oplus b_N$
N+3	X	X	X	X	X

[표 2]

기계사이클	레지스터 6	레지스터 7	레지스터 9	accx	외부용 데이터 레지스터 16
0	X	X	X	X	$a_1 \oplus b_1$
1	$a_1 \oplus b_1$	$c_1$	X		$a_2 \oplus b_2$
2	$a_2 \oplus b_2$	$c_2$	$(a_1 \oplus b_1) \times c_1$		$a_3 \oplus b_3$
3	$a_3 \oplus b_3$	$c_3$	$(a_2 \oplus b_2) \times c_2$		$a_4 \oplus b_4$
⋮	⋮	⋮	⋮		⋮
N	$a_N \oplus b_N$	$c_N$	$(a_{N-1} \oplus b_{N-1}) \times c_{N-1}$		X
N+1	X	X	$(a_N \oplus b_N) \times c_N$		X
N+2	X	X	X		X
N+3	X	X	X	X	X

다음에 외부메모리(17)에서 빈 리드를 2회 행한 후(타이밍 맞춤), N개의 데이터 계열로 승산을 행하여 2P-RAM(1)로 저장하는데 (N+3) 기계사이클, 그 밖의 어드레스 초기설정에 2명령을 필요로 하기 때문에 합계사이클은 (2N+10)사이클로 된다. (2)식의 연산에 대해서도 (2N+10)사이클을 요한다. 이상과 같이 N개의 데이터 계열에 대하여 3입력 1출력 연산을 DSSP1과 같은 최대 2입력 연산밖에 행할 수 없는 프로세서로 실행하면, 약 2N 기계사이클(N이 충분히 큰 경우)이 필요하다는 것을 알 수 있다.

또, 상기 3입력 1출력의 연산결과를 누산하는 경우를 다음에 설명한다.

$$S = \sum_{i=1}^N (a_i \oplus b_i) \times c_i \dots\dots\dots(3)$$

$$S = \sum_{i=1}^N (a_i \oplus b_i) \oplus c_i \dots\dots\dots(4)$$

(3)식의 경우,  $(a_i \oplus b_i)$ 와  $c_i$ 의 승산결과(레지스터 P9의 출력) 및 도중에서의 누산값을 산술논리 연산기FALU(12)의 입력으로 하여 가산결과를 셀렉터(13)을 거쳐서 다시 동일한 어큐뮬레이터(14)에 입력하는 것에 의해 가능하게 되므로, 처리사이클수는  $(2N+10)$ 사이클로 불변이다. (4)식의 경우, 일단 2P-RAM(1)에 저장한  $(a_i \times b_i) \oplus c_i$ 의 데이터 계열을 재차 리드하면서 순차적으로 산술논리연산기(12)에서 누산하므로, 새롭게 N사이클이 필요하게 되어 총 사이클의 수는  $(3N+10)$ 으로 된다.

종래의 디지털신호 처리방식은 이상과 같이 구성되어 있으므로, 3개의 각각 독립된 데이터 계열에 대한 3입력 1출력의 연산을 실행하는 경우, 3입력 1출력의 연산을 2단계로 나누어서 2입력 1출력의 연산을 2회 행하는 것 이외에 어드레스 제어나 메모리로의 전송등의 처리를 위해 연산처리 시간이 길게 된다는 문제점이 있었다.

본 발명의 목적은 상기와 같은 문제점을 해결하기 위하여 이루어진 것으로, 3입력 1출력의 연산을 한번에 실행할 수 있음과 동시에 중간결과 저장을 위한 어드레스 제어나 메모리로의 전송등의 처리를 생략할 수가 있어 고속으로 3입력 1출력의 연산을 실행할 수 있는 디지털신호 처리방식을 얻는데 있다.

본 발명에 관한 디지털신호 처리방식은 3개의 독립된 데이터 계열에 대하여 각각 독립적이고, 동시에 데이터의 리드를 행할 수 있도록 한 제1 내지 제3의 리드데이터용 어드레스 생성기와 서로의 출력을 입력으로써 산술연산과 승산의 조합에 의한 3입력 1출력의 연산을 고속으로 실행하도록 한 연산기와 승산기를 마련한 것이다.

본 발명에서 제1 내지 제3의 리드데이터를 어드레스 생성기에서 3개의 독립된 데이터계열에 대해서 각각 독립적이고 동시에 데이터를 리드해서 이 리드한 데이터를 연산기에 전송해서 산술연산을 행함과 동시에, 승산기로 승산을 행하고, 연산기 또는 승산기의 출력을 일시에 메모리에서 물러나게 하지 않고, 다음의 스텝에서 연산기의 출력을 승산기에 부가하고, 승산기의 출력을 연산기에 부가하여 산술연산과 승산의 조합으로 3입력 1출력의 연산을 고속으로 실행할 수 있다.

이하, 본 발명의 실시예를 도면에 따라서 설명한다. 제1도에서(20), (21), (22)는 리드데이터용 어드레스생성기, (23)은 라이트 데이터용 어드레스 생성기, (24), (25), (26)은 데이터 메모리로서, 라이트 데이터용 어드레스 생성기(23)에서 생성된 어드레스 데이터가 입력된다. (27), (28), (29)는 데이터 메모리(24), (25), (26)에서의 리드데이터를 전송하는 데이터버스, (30), (31), (32)는 각각 상기 데이터 버스(27), (28), (29)에서 전송되는 데이터를 유지하는 레지스터, (33)은 레지스터(32)의 출력을 유지하는 레지스터이다. (34)는 레지스터(30)과 레지스터(33)의 출력을 선택하는 셀렉터, (35)는 레지스터(31)의 출력과 레지스터(41)의 출력을 선택하는 셀렉터이고, 셀렉터(34)와 (35)로 제1의 셀렉터군을 이루고 있다. (36)은 레지스터(30)의 출력과 레지스터(39)의 출력을 선택하는 셀렉터, (37)은 레지스터(31)의 출력과 레지스터(33)의 출력을 선택하는 셀렉터이고, 셀렉터(36)과 (37)은 제2의 셀렉터군을 이루고 있다. (38)은 셀렉터(34)와 (35)의 출력을 입력으로 하여 연산을 행하는 연산기, (40)은 셀렉터(36)과 (37)의 출력을 입력으로 하여 승산을 행하는 승산기이다. 또, 레지스터(39)는 상기 연산기(38)의 출력을 유지하는 레지스터이며, 레지스터(41)은 승산기(40)의 출력을 유지하는 레지스터이다. (42)는 2개의 레지스터(39)와 (41)에서의 입력중, 1개를 선택해서 출력하는 셀렉터, (43)은 출력셀렉터(42)의 출력과 어큐뮬레이터(44)의 출력을 가산하는 가산기이며, 그 출력은 상기 어큐뮬레이터(44)에 출력하도록 하고 있다. (45)는 상기 어큐뮬레이터(44), 출력셀렉터(42)의 출력데이터를 전송하는 데이터버스, (46)은 외부와의 데이터 입출력을 행하는 외부인터페이스회로이다. 또한, (101) ~ (103), (111) ~ (113), (121) ~ (123)은 각각 상기 데이터 메모리(24), (25), (26)의 출력을 데이터버스(27), (28), (29)에 출력하는 신호선을 표시한다.

다음에 동작에 대해서 설명한다. 제1도에서 N개의 요소를 갖는 데이터계열  $A = \{a_i \mid i=1 \sim N\}$ ,  $B = \{b_i \mid i=1 \sim N\}$ ,  $C = \{c_i \mid i=1 \sim N\}$ 이 사전에 각각 데이터 메모리(24), 데이터 메모리(25) 및 데이터 메모리(26)에 저장되어 있는 것으로 한다. 상기의 조건에 따라 3입력 1출력의 연산을 행하는 경우의 동작을 다음에 나타낸다. 또, 그 연산처리흐름을 제2도에 도시한다. 먼저, 스타트해서 스텝 ST11에서 첫 번째로 입력데이터 3계열 및 출력결과 저장장소의 선두어드레스를 각각 이 어드레스 생성기(20)~(23)에 의해 초기 설정한다. 그후, 어드레스 생성기는 단순 인크리먼트 동작으로 한다. 데이터 메모리(24)는 어드레스 생성기(20), 데이터 메모리(25)는 어드레스 생성기(21), 데이터 메모리(26)은 어드레스 생성기(22)와 각각 대응하고 있으며, 각 데이터 메모리(24)~(26)은 어드레스 생성기(20)~(22)의 어드레스에 따라서 데이터를 리드한다.

단, 3개의 데이터버스(27) ~ (29) (X-BUS, Y-BUS, Z-BUS)에 대하여 각각 데이터 메모리(24) ~ (26)에서 입력가능하기 때문에 각 데이터 메모리(24)~(26)에서의 특성의 데이터 버스에 대한 출력은 3개중 1개만 유효로 하고, 나머지 2개는 하이 임피던스상태로 되도록 제어한다. 이때, 데이터 버스의 출력은 유효로한 1개의 데이터로 된다. 예를들면, 레지스터(30)에 A의 데이터 계열을 입력하는 경우, 신호선(101)로 A 계열의 데이터를 출력하고, 그 밖의 데이터메모리(25), (26)에서 데이터 버스

(27)로의 출력신호선(111) 및 신호선(121)은 하이임피던스 상태로 한다. 그밖의 데이터 버스에 대해서도 마찬가지이다.

이상과 같이 해서 레지스터(30), (31), (32)에 각 데이터계열의 데이터를 세트한다. 또한, 3개의 데이터 버스(27)~(29)는 각각 3개의 데이터 메모리(24)~(26)에서 데이터를 선택할 수 있으므로, 레지스터(30)~(32)로의 데이터 세트의 조합은 3<sup>3</sup>정도 가능하다.

이하, 3입력 연산으로써 다음의 2식을 정의하고, 그 처리 방법을 나타낸다.

$$(a_i \oplus b_i) \times c_i \dots\dots\dots(1)$$

$$(a_i \times b_i) \oplus c_i \dots\dots\dots(2)$$

단,  $(x \oplus y)$ 는 2입력 데이터 x, y에 대한 가산, 감산, 최대값, 최소값등을 구하는 산술논리연산을 나타내고,  $(x \times y)$ 는 승산을 나타내는 것으로 한다. (1)식의 처리흐름의 설명을 다음의 표3에 나타낸다. 또한, 표3의 "X"표는 미지수를 나타낸다.

[표 3a]

기계사이클	레지스터30	레지스터31	레지스터32	레지스터33	레지스터39	레지스터41	출력셀렉터 42의 출력
1	a <sub>1</sub>	b <sub>1</sub>	c <sub>1</sub>	X	X	X	X
2	a <sub>2</sub>	b <sub>2</sub>	c <sub>2</sub>	c <sub>1</sub>	a <sub>1</sub> ⊕b <sub>1</sub>	X	X
3	a <sub>3</sub>	b <sub>3</sub>	c <sub>3</sub>	c <sub>2</sub>	a <sub>2</sub> ⊕b <sub>2</sub>	(a <sub>1</sub> ⊕b <sub>1</sub> )×c <sub>1</sub>	X
4	a <sub>4</sub>	b <sub>4</sub>	c <sub>4</sub>	c <sub>3</sub>	a <sub>3</sub> ⊕b <sub>3</sub>	(a <sub>1</sub> ⊕b <sub>1</sub> )×c <sub>2</sub>	↙
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
N	a <sub>N</sub>	b <sub>N</sub>	c <sub>N</sub>	c <sub>N-1</sub>	a <sub>N-1</sub> ⊕b <sub>N-1</sub>	⋮	⋮
N+1	X	X	X	c <sub>N</sub>	a <sub>N</sub> ⊕b <sub>N</sub>	⋮	↙

[표 3b]

N+2	X	X	X	X	X	(a <sub>N</sub> ⊕b <sub>N</sub> )×c <sub>N</sub>	
N+3	X	X	X	X	X	X	(a <sub>N</sub> ⊕b <sub>N</sub> )×c <sub>N</sub>

먼저, 스텝 ST12에서 셀렉터(34)로 레지스터(30)측을, 셀렉터(35)로 레지스터(31)측을 선택한다. 그 2개가 선택된 데이터(a<sub>i</sub> 및 b<sub>i</sub>)를 연산기(38)로 연산(a<sub>i</sub> ⊕ b<sub>i</sub>)를 행하고, 그 연산결과를 레지스터(39)에 저장한다. 이 값은 다음의 스텝에서 레지스터(39)에서 출력된다.

한편, 레지스터(32)의 데이터c<sub>i</sub>는 레지스터(33)에 의해 1스텝 지연시켜진다. 다음의 스텝에서는 셀렉터(36)으로 레지스터(39)측을, 셀렉터(37)로 레지스터(33)측을 각각 선택하고, 이 2개의 데이터(a<sub>i</sub> ⊕ b<sub>i</sub>)와 c<sub>i</sub>를 승산기(40)에 의해 승산을 실행하고 승산결과 (a<sub>i</sub> ⊕ b<sub>i</sub>)×c<sub>i</sub>를 레지스터(41)에 저장한다. 이 값은 다음의 스텝에서 레지스터(41)에서 출력된다. 출력셀렉터(42)에서는 레지스터(41)측을 선택하는 것에 의해, 데이터(a<sub>i</sub> ⊕ b<sub>i</sub>)×c<sub>i</sub>가 어드레스 생성기(23)이 나타내는 어드레스에 따라서 데이터 버스(45)를 거쳐서 데이터 메모리(24)~(26)의 어느것인가에 전송된다.

이와 같이, 본 발명에서는 데이터리드, 연산실행, 데이터 라이트를 파이프라인 처리에 의해 연속실행하는 것에 의해 각 부의 동작제어를 병렬로 동작시킬 수가 있다. 따라서, 상기의 3입력 1출력의 연산동작을 N개의 요소를 갖는 데이터계열에 대하여 집행한 경우, 선두 데이터를 리드하고 나서 최종 데이터 처리결과를 메모리에 라이트할 때까지 (N+3)사이클을 요한다.

다음에 (2)식의 처리흐름의 설명을 다음의 표4에 나타낸다. 또한, 이 표4의 "X"표는 미지수를 나타낸다.

[표 4]

기계사이클	레지스터30	레지스터31	레지스터32	레지스터33	레지스터39	레지스터41	출력셀렉터 42의 출력
1	$a_1$	$b_1$	$c_1$	X	X	X	X
2	$a_2$	$b_2$	$c_2$	$c_1$	X	$a_1 \times b_1$	X
3	$a_3$	$b_3$	$c_3$	$c_2$	$(a_1 \times b_1) \oplus c_1$	$a_2 \times b_2$	X
4	$a_4$	$b_4$	$c_4$	$c_3$	$(a_2 \times b_2) \oplus c_2$	$a_3 \times b_3$	$(a_1 \times b_1) \oplus c_1$
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
N	$a_N$	$b_N$	$c_N$	$c_{N-1}$	⋮	⋮	⋮
N+1	X	X	X	$c_N$	⋮	$a_N \times b_N$	⋮
N+2	X	X	X	X	$(a_N \times b_N) \oplus c_N$	X	⋮
N+3	X	X	X	X	X	X	$(a_N \times b_N) \oplus c_N$

3입력 데이터를 레지스터(30)~(32)로 리드하는 동작은 상기(1)식의 경우와 마찬가지이다. (2)식을 실행하는 경우, 셀렉터(36)으로 레지스터(30)측을, 셀렉터(37)로 레지스터(31)측을 선택하고, 승산기(40)에 의해  $(a_i \times b_i)$ 를 실행하여 그 결과를 레지스터(41)에 세트한다.

다음의 스텝에서는 셀렉터(34)로 레지스터(33)측을, 셀렉터(35)로 레지스터(41)측을 선택하고, 연산기(38)에 의해  $(a_i \times b_i) \oplus c_i$ 를 실행하고 레지스터(39)에 세트한다. 레지스터(39)의 데이터는 다음의 스텝에서 셀렉터(42)로 레지스터(39)측을 선택하는 것에 의해, 그 선택결과가 데이터 메모리(24)~(26)의 어느것인가로 라이트된다.

이와 같이 하는 것에 의해 (2)식의 경우에 대해서도 (1)식의 경우와 마찬가지로 (N+3)의 사이클을 요한다.

또한, 2입력 1출력의 연산에 대해서  $(a_i \oplus b_i)$ 의 경우는 셀렉터(34)로 레지스터(30)측을, 셀렉터(35)로 레지스터(31)측을 선택하고, 연산기(38)에서 실행 후, 다음의 스텝에서 셀렉터(42)로 레지스터(39)측을 선택하는 것에 의해 구해지고,  $(a_i \times b_i)$ 의 경우는 셀렉터(36)으로 레지스터(30)측을, 셀렉터(37)로 레지스터(31)측을 선택하고, 승산기(40)에서 실행 후, 다음의 스텝에서 셀렉터(42)로 레지스터(41)측을 선택하는 것에 의해 구해진다.

이상에서 3입력 1출력의 연산처리 속도는 DSSP1에 비해서  $((2N+10)/(N+7))$ 배, 즉 N이 큰 경우는 약 2배의 처리속도로 된다. 또, 상기 3입력 1출력의 연산의 누산을 구하는 경우, 중간까지의 누산결과 또는 초기값을 어큐뮬레이터(44)에 저장하고 순차적으로 3입력 1출력의 연산결과와 상기 어큐뮬레이터(44)를 가산기(43)에 의해 가산 후, 재차 어큐뮬레이터(44)에 저장하는 처리를 반복하는 것에 의해 행한다. 따라서, 누산을 행하는 것에 의해 처리 사이클수가 늘어나는 일은 없다.

이상과 같이 본 발명에 의하면, 독립된 3계열의 데이터를 동시에 리드함과 동시에 연산기의 출력을 승산기로 입력 가능하게 하고, 한쪽 승산기의 출력을 연산기로 입력 가능하게 함과 동시에, 셀렉터에 의해 상기연산기와 승산기의 입력 및 출력을 선별 제어하도록 구성하였으므로, 3입력1출력의 연산의 조합순서를 가변으로 하고, 또한 중간의 연산결과를 저장하기 위한 어드레스 제어나 메모리로서 전송처리를 생략하여 고속으로 3입력 1출력의 연산결과를 실행할 수 있는 효과가 있다.

**(57) 청구의 범위**

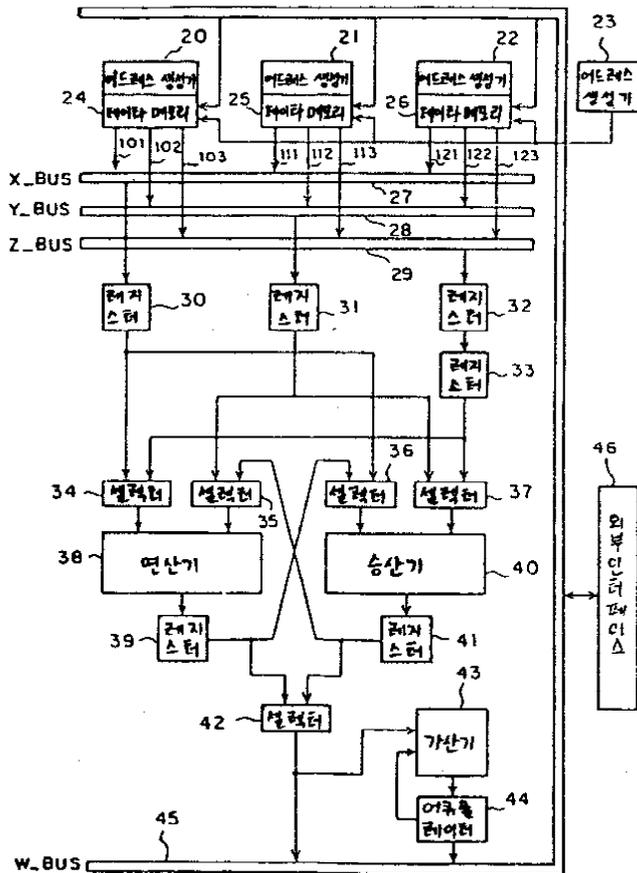
**청구항 1**

내장된 마이크로 프로그램의 페치, 디코드 및 데이터의 리드, 연산, 연산결과 라이트를 병렬 파이프라인 처리로 실행하는 디지털신호 처리방식에 있어서, 상기 마이크로 프로그램의 내용에 따라서 각각 독립적으로 리드데이터용 어드레스를 생성하는 제1 내지 제3의 어드레스 생성기, 라이트 데이터의 라이트 장소 및 어드레스를 표시하는 라이트 어드레스 정보를 생성하는 제4의 어드레스 생성기, 각각 제1 내지 제3의 어드레스 생성기의 어드레스에 따라서 데이터를 리드하고, 상기 제4의 어드레스 생성기의 어드레스 정보에 따라서 데이터를 라이트하는 제1 내지 제3의 데이터 메모리, 상기 제1의 데이터 메모리의 데이터와 상기 제2의 데이터 메모리의 데이터로 이루어지는 제1의 데이터쌍과 상기 제3의 데이터 메모리의 데이터와 승산기의 출력데이터로 이루어지는 제2의 데이터쌍 중, 상기

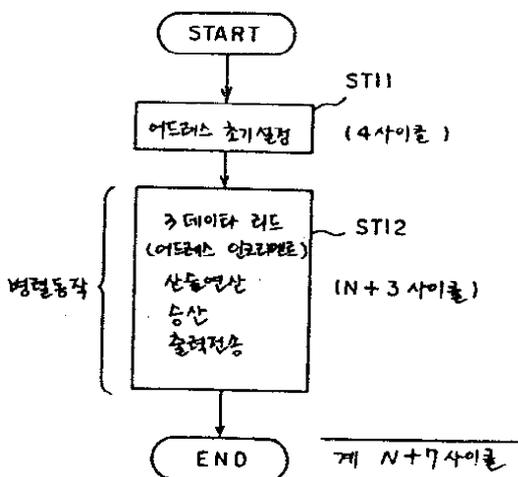
마이크로 프로그램의 제어에 의해 어느것인가의 데이터쌍을 제1의 셀렉터군에서 선택하여 그 선택된 쌍의 2개의 데이터에 대하여 산술논리연산을 행하는 연산기, 상기 제1의 데이터쌍과 상기 제 3 의 데이터 메모리의 데이터 및 상기 연산기의 출력데이터로 이루어지는 제3의 데이터쌍 중, 상기 마이크로 프로그램의 제어에 의해 어느것인가의 데이터쌍을 선택해서 그 선택한 데이터쌍의 2개의 데이터에 대하여 상기 승산기에 승산을 행하게 하기 위하여 출력하는 제2의 셀렉터군, 상기 연산기의 출력과 상기 승산기의 출력중 어느것인가를 선택하여 데이터버스로 출력해서 외부회로로 데이터의 전송을 행하는 출력셀렉터, 이 출력셀렉터의 출력과 누산용의 가산기에 누산값을 가산시키기 위하여 출력함과 동시에 이 가산기의 가산결과를 누적유지하고, 또한 출력을 상기 제1 내지 제3의 데이터 메모리의 라이트 데이터로써 전송하는 어큐뮬레이터를 구비한 것을 특징으로 하는 디지털신호 처리 방식.

도면

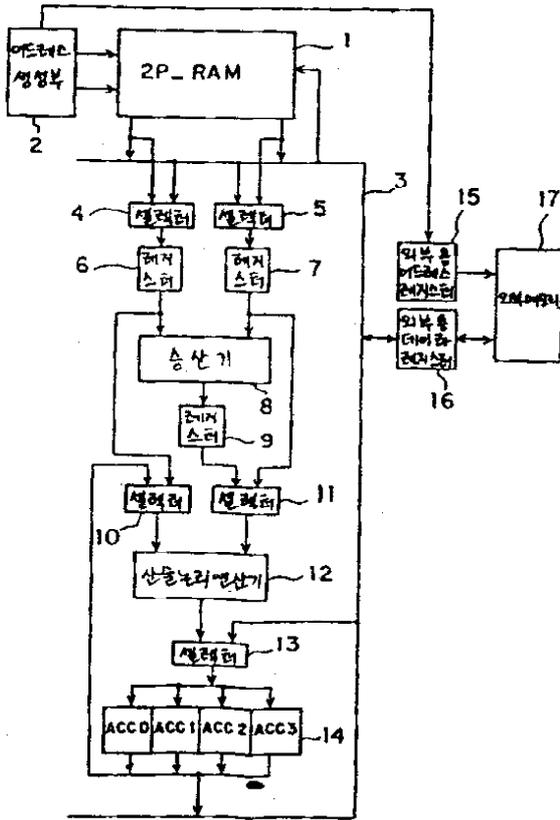
도면1



도면2



도면3



도면4

