



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0071929  
(43) 공개일자 2012년07월03일

(51) 국제특허분류(Int. Cl.)

H03K 5/135 (2006.01) H03L 7/081 (2006.01)

(21) 출원번호 10-2010-0133666

(22) 출원일자 2010년12월23일

심사청구일자 없음

(71) 출원인

한국전자통신연구원

대전광역시 유성구 가정로 218 (가정동)

국립대학법인 울산과학기술대학교 산학협력단

울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자

정진두

대전광역시 동구 대전로 935, 한밭자이아파트  
104동 2403호 (삼성동)

이형수

대전광역시 유성구 왕가봉로 23, 열매마을 1104  
동 302호 (노은동)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

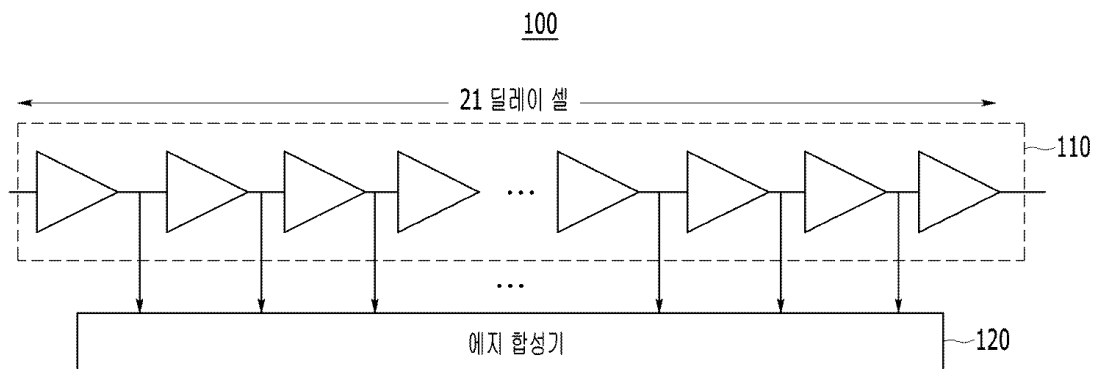
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 UWB 시스템에서의 펄스 발생 장치

### (57) 요약

UWB 시스템에서의 펄스 발생 장치는 입력되는 펄스를 미리 설정된 시간만큼 지연시켜 지연된 펄스를 각각 출력하는 복수의 지연 셀과 복수의 지연 셀의 출력단에 연결되어 있으며, 복수의 지연 셀에서 각각 출력되는 지연된 펄스를 입력 받아 지연된 시간만큼의 미세 펄스들로 출력하고, 출력한 미세 펄스들을 하나의 임펄스 신호로 구성하는 에지 합성기를 포함한다. 이때, 에지 합성기는 복수의 지연 셀 중 제 $n$  지연 셀과 제 $n+1$  지연 셀에서 각각 출력되는 제1 지연된 펄스 및 제2 지연된 펄스를 입력 받아, 미세 펄스를 각각 생성하는 복수의 배타적 논리합 소자와 복수의 배타적 논리합 소자에 포함되어 있는 제1 배타적 논리합 소자 및 제2 배타적 논리합 소자에서 각각 출력되는 제1 미세 펄스 및 제2 미세 펄스를 입력 받아 하나의 임펄스 신호로 구성하는 논리합 소자로 구성된다.

### 대표도



(72) 발명자

**최상성**

대전광역시 유성구 노은로 416, 송림마을아파트  
504동 1301호 (하기동)

**변영재**

울산광역시 울주군 언양읍 유니스트길 50, 울산과  
학기술대학원

**최윤희**

울산광역시 울주군 언양읍 유니스트길 50, 울산과  
학기술대학원

**김영수**

울산광역시 울주군 언양읍 유니스트길 50, 울산과  
학기술대학원

이 발명을 지원한 국가연구개발사업

과제고유번호 KI001929

부처명 지식경제부

연구사업명 산업원천기술개발사업

연구과제명 WBAN In-body 시스템 및 On-body 시스템 개발(표준화연계)

주관기관 한국전자통신연구원

연구기간 2010.03.01~2011.02.28

---

## 특허청구의 범위

### 청구항 1

UWB 시스템에서의 펄스 발생 장치에 있어서,

입력되는 펄스를 미리 설정된 시간만큼 지연시켜 지연된 펄스를 각각 출력하는 복수의 지연 셀; 및

상기 복수의 지연 셀의 출력단에 연결되어 있으며, 상기 복수의 지연 셀에서 각각 출력되는 지연된 펄스를 입력 받아 지연된 시간만큼의 미세 펄스들로 출력하고, 상기 출력한 미세 펄스들을 하나의 임펄스 신호로 구성하는 에지 합성기

를 포함하며,

상기 에지 합성기는,

상기 복수의 지연 셀 중 제 $n$  지연 셀과 제 $n+1$  지연 셀에서 각각 출력되는 제1 지연된 펄스 및 제2 지연된 펄스를 입력 받아, 미세 펄스를 각각 생성하는 복수의 배타적 논리합 소자; 및

상기 복수의 배타적 논리합 소자에 포함되어 있는 제1 배타적 논리합 소자 및 제2 배타적 논리합 소자에서 각각 출력되는 제1 미세 펄스 및 제2 미세 펄스를 입력 받아 상기 하나의 임펄스 신호로 구성하는 논리합 소자

를 포함하는 펄스 발생 장치.

### 청구항 2

제1항에 있어서,

상기 에지 합성기는,

상기 복수의 지연 셀 중 미리 설정한 지연 셀의 출력단에 연결되어 있으며, 상기 펄스와 함께 입력되는 제어 신호에 따라 연결되어 있는 지연 셀로부터 출력되는 지연된 펄스를 상기 배타적 논리합 소자로의 출력을 제어하는 논리곱 소자

를 더 포함하는 펄스 발생 장치.

### 청구항 3

제2항에 있어서,

상기 논리곱 소자는 상기 펄스 발생 장치가 제1 채널 내지 제3 채널 중 어느 하나의 채널에서 신호를 전송할 수 있도록 제어하는 펄스 발생 장치.

### 청구항 4

제1항에 있어서,

상기 배타적 논리합 소자는,

입력되는 제1 지연된 펄스 및 제2 지연된 펄스로부터 생성되는 두 개의 미세 펄스 중 먼저 발생하는 미세 펄스를 선택하여 출력하는 펄스 발생 장치.

### 청구항 5

UWB 시스템에서의 펄스 발생 장치에 있어서,

펄스와 함께 입력되는 제어 신호에 따라 신호를 전송하는 채널을 선택하도록, 출력하는 미세 펄스의 수를 제어하는 채널 설정부; 및

상기 채널 설정부에서 출력되는 미세 펄스를 입력 받아 상기 하나의 임펄스 신호로 구성하는 논리합 소자부를 포함하며,

상기 채널 설정부는,

입력되는 펄스를 미리 설정된 시간만큼 지연시켜 지연된 펄스를 각각 출력하는 복수의 지연 셀; 및

상기 복수의 지연 셀 중 제 $n$  지연 셀과 제 $n+1$  지연 셀에서 각각 출력되는 제1 지연된 펄스 및 제2 지연된 펄스를 입력 받아, 미세 펄스를 각각 생성하는 복수의 배타적 논리합 소자

를 포함하는 펄스 발생 장치.

## 청구항 6

제5항에 있어서,

상기 채널 설정부는,

상기 복수의 지연 셀 중 미리 설정한 지연 셀의 출력단에 연결되어 있으며, 상기 제어 신호에 따라 연결되어 있는 지연 셀로부터 출력되는 지연된 펄스를 상기 배타적 논리합 소자로 출력하는 것을 제어하는 논리곱 소자를 포함하는 펄스 발생 장치.

## 청구항 7

제6항에 있어서,

상기 채널 설정부는 제1 채널 설정부, 제2 채널 설정부 및 제3 채널 설정부를 포함하며,

상기 제1 채널 설정부는 복수의 지연 셀 및 상기 복수의 지연 셀의 출력단에 연결되어 있는 복수의 배타적 논리합 소자를 포함하고,

상기 제2 채널 설정부 및 제3 채널 설정부는 복수의 지연 셀, 상기 복수의 지연 셀의 출력단에 연결되어 있는 복수의 논리곱 소자 및 상기 복수의 논리곱 소자의 출력단에 연결되어 있는 배타적 논리합 소자를 포함하는 펄스 발생 장치.

## 명세서

### 기술 분야

[0001] 본 발명은 UWB 시스템에서의 펄스 발생 장치에 관한 것이다.

### 배경 기술

[0002] 일반적으로 UWB 시스템은 기존의 주파수 대역보다 넓은 주파수 대역을 점유한다. 여기서 넓은 주파수 대역이란 중심 주파수 대역의 20%의 주파수 대역을 점유하거나 500MHz 이상의 주파수 대역을 점유하는 것을 말한다. 넓은 주파수 대역을 점유하는 목적은 다른 통신 시스템에 영향을 주기 않기 위하여 신호 에너지를 초광대역으로 분산하여 송신함으로써, 다른 협대역 신호에 간섭을 주지 않고 통신을 할 수 있도록 하기 위함이다.

[0003] 이와 같이 넓은 주파수를 가지기 위해서는 시간 측면에서 매우 짧은 펄스가 요구된다. 이러한 초단펄스를 통신에 이용하면, 낮은 듀티 사이클(duty cycle)에 의해 신호를 낮은 전력으로 전송할 수 있으며, 다중 경로 노이즈에 강한 특징을 가진다.

[0004] UWB(Ultra Wide Band) 방식을 이용하는 시스템으로 IEEE 802.15.4a에서는 2006년 저속 UWB 방식의 표준화 방식을 제안하고 있다. 여기에는 크게 임펄스를 사용하는 IR-UWB(Impulse Radio-UWB, 임펄스 초광대역) 방식과 칩(Chirp) 신호를 사용하는 CSS(Chirp Spread Spectrum, 칩 신호 확산 스펙트럼) 방식 그리고 노이즈와 같은 카오스(Chaotic) 신호를 이용하는 방식으로 구분한다.

[0005] 특히 IR-UWB 방식은 펄스의 구성에 제한이 없으며 Range와 같은 거리 측정 알고리즘에서 강한 코릴레이션 특성으로 많이 이용되고 있다. 또한 IR-UWB 방식은 저전력으로 구현할 수 있다는 점에서, 저전력 소모를 필요로 하는 WPAN(Wireless Personal Area Networks, 근거리 무선 개인통신망), WBAN(Wireless Body Area Network, 무선 인체 영역 통신) 등의 시스템에 손쉽게 적용될 수 있다.

[0006] 또한 초저전력 소모(Ultra low power consumption)를 위해 IR-UWB 시스템의 송수신단은, Non-coherent 시스템으로 LO/MIXER(로컬 오실레이터/혼합기)를 없애는 추세이다. LO/MIXER는 통신 시스템의 송수신단에서 많은 전력을 소모하는 부분으로, 이를 저전력을 소모하는 다른 부분으로 대체할 수 있다면 매우 큰 전력이득을 볼 수

있다.

[0007] 이것을 위해 현재 각광 받고 있는 방법이 올 디지털 펄스 발생기(All-Digital Pulse Generator)를 사용하는 방법이다. 올 디지털 방식으로 만들어진 펄스 발생기는 커패시턴스에 의한 CV2과 문턱아래 누설(Subthreshold leakage)에 의한 에너지 소모만이 일어나게 되어, 초저전력 소모를 달성하는데 아주 큰 역할을 할 수 있다. 이에 대해 도 1을 참조로 설명하기로 한다.

[0008] 도 1은 일반적인 UWB 시스템의 펄스 발생기 구조이다.

[0009] 도 1에 도시된 바와 같이, 올 디지털 펄스 발생기는 LO/MIXER를 쓰지 않는 IR-UWB 시스템에서 핵심 부분으로, 이것의 구현이 시스템의 성능과 저비용에 직접적으로 연결된다. 종래의 일반적인 올 디지털 펄스 발생기는 PPM(Pulse Position Modulation, 펄스 위상 변조)된 펄스가 입력되면, 지연 셀(Delay Cell)을 이용하여 원하는 만큼의 지연된 입력 신호를 생성해 낸다.

[0010] 지연된 입력 신호들의 상승/하강 에지(rising/falling edge)들을 논리곱 소자(AND gate)를 이용한 마스크 레지스터(Mask Register)를 통해 원하는 개수만큼 내보내어, 배타적 논리합 소자 트리(XOR gate Tree)를 이용한 에지 합성기(Edge Combiner)를 통해 통신에 이용되는 임펄스 신호를 생성해 낸다. 배타적 논리합 소자를 통과한 에지들은 지연된 간격만큼의 듀티 사이클을 가지는 미세 펄스폭(Fine Pulse Width)으로 생성되어 임펄스 신호의 중심 주파수를 결정하며, 마스크 레지스터는 미세 펄스의 개수를 정하여 발생된 임펄스 신호의 대역폭을 조절한다.

## 발명의 내용

### 해결하려는 과제

[0011] 따라서, 본 발명은 논리합 소자를 통한 0.13um CMOS 공정에 맞는 올 디지털 펄스 발생기를 제공한다.

### 과제의 해결 수단

[0012] 상기 본 발명의 기술적 과제를 달성하기 위한 본 발명의 하나의 특징인 UWB 시스템에서의 펄스 발생 장치는,

[0013] 입력되는 펄스를 미리 설정된 시간 만큼 지연시켜 지연된 펄스를 각각 출력하는 복수의 지연 셀; 및 상기 복수의 지연 셀의 출력단에 연결되어 있으며, 상기 복수의 지연 셀에서 각각 출력되는 지연된 펄스를 입력 받아 지연된 시간만큼의 미세 펄스들로 출력하고, 상기 출력한 미세 펄스들을 하나의 임펄스 신호로 구성하는 에지 합성기를 포함하며, 상기 에지 합성기는 상기 복수의 지연 셀 중 제n 지연 셀과 제n+1 지연 셀에서 각각 출력되는 제1 지연된 펄스 및 제2 지연된 펄스를 입력 받아, 미세 펄스를 각각 생성하는 복수의 배타적 논리합 소자; 및 상기 복수의 배타적 논리합 소자에 포함되어 있는 제1 배타적 논리합 소자 및 제2 배타적 논리합 소자에서 각각 출력되는 제1 미세 펄스 및 제2 미세 펄스를 입력 받아 상기 하나의 임펄스 신호로 구성하는 논리합 소자를 포함한다.

[0014] 상기 본 발명의 기술적 과제를 달성하기 위한 본 발명의 또 다른 특징인 UWB 시스템에서의 펄스 발생 장치는,

[0015] 펄스와 함께 입력되는 제어 신호에 따라 신호를 전송하는 채널을 선택하도록, 출력하는 미세 펄스의 수를 제어하는 채널 설정부; 및 상기 채널 설정부에서 출력되는 미세 펄스를 입력 받아 상기 하나의 임펄스 신호로 구성하는 논리합 소자부를 포함하며, 상기 채널 설정부는 입력되는 펄스를 미리 설정된 시간 만큼 지연시켜 지연된 펄스를 각각 출력하는 복수의 지연 셀; 및 상기 복수의 지연 셀 중 제n 지연 셀과 제n+1 지연 셀에서 각각 출력되는 제1 지연된 펄스 및 제2 지연된 펄스를 입력 받아, 미세 펄스를 각각 생성하는 복수의 배타적 논리합 소자를 포함한다.

### 발명의 효과

[0016] 본 발명의 실시예에 따르면 트랜지스터의 수가 줄어, 작은 반도체 본체 면적(die area) 및 저 비용을 실현할 수 있다.

### 도면의 간단한 설명

[0017] 도 1은 일반적인 UWB 시스템의 펄스 발생기 구조이다.

도 2는 본 발명의 실시예에 따른 올 디지털 펄스 발생기의 구조도이다.

도 3은 본 발명의 실시예에 따른 올 디지털 펄스 발생기의 상세 구조도이다.

도 4는 본 발명의 실시예에 따른 미세 펄스 생성 후 배타적 논리합 소자와 논리합 소자의 논리적 기능 비교를 나타낸 예시도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0018] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0019] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0020] 이하 도면을 참조로 하여, 본 발명의 실시예에 따른 0.13nm CMOS 공정에 맞는 올 디지털 오실레이터 구조에 대하여 설명하기로 한다.
- [0021] 도 2는 본 발명의 실시예에 따른 올 디지털 펄스 발생기의 구조도이고, 도 3은 본 발명의 실시예에 따른 올 디지털 펄스 발생기의 상세 구조도이다.
- [0022] 먼저 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 올 디지털 펄스 발생기(100)는 복수 개의 지연 셀(110) 및 에지 합성기(120)를 포함한다.
- [0023] 지연 셀(110)은 복수 개 직렬 연결되어 있으며, 본 발명의 실시예에서는 21개 직렬 연결되어 있다고 가정한다. PPM 변조된 펄스가 지연 셀(110)로 입력되면 20개의 지연 신호가 발생된다. 지연 셀(110)에서 변조된 펄스가 지연 신호로 생성되는 과정은 이미 알려진 사항으로, 본 발명의 실시예에서는 상세한 설명을 생략하기로 한다.
- [0024] 에지 합성기(120)는 지연 셀(110)로부터 발생하는 복수개의 지연 신호를 수신하여, 지연된 시간만큼의 복수개의 미세 펄스를 생성한다. 그리고 생성한 복수개의 미세 펄스를 하나의 임펄스 신호로 구성한다. 예를 들어, 본 발명의 실시예에서는 20개의 지연 신호가 발생하기 때문에, 10개의 미세 펄스가 생성된다. 본 발명의 실시예에 따른 에지 합성기(120)는 복수의 배타적 논리곱 소자, 복수의 논리곱 소자 및 복수의 논리합 소자로 이루어진다.
- [0025] 본 발명의 실시예에서는 기본적으로 UWB 주파수 대역의 로 밴드(low band)를 사용하며, 채널의 용도에 따라 지연 셀을 조정하여 가변 시킬 수 있다. 본 발명의 실시예에서는 채널을 제1 채널, 제2 채널 및 제3 채널 세 가지 채널로 구분하는 것을 예로 하여 설명한다.
- [0026] 제1 채널의 중심 주파수는 3.496GHz, 지연 시간  $\Delta t$ 는 143ps이고, 제2 채널의 중심 주파수는 4.000GHz, 지연 시간  $\Delta t$ 는 125ps이며, 제3 채널의 중심 주파수는 4.504GHz, 지연 시간  $\Delta t$ 는 111ps이다. 이들 채널의 용도에 따라 미세 펄스의 수를 제어하는 기능을 수행하는 채널 설정부는 복수 개의 지연 셀과 배타적 논리합 소자 및 논리곱 소자가 포함되어 있다. 그리고 채널 설정부는 논리합 소자부와 연결되어 있어, 채널 설정부에서 출력되는 미세 펄스를 논리합 소자부에서 하나의 임펄스 신호로 구성되도록 한다.
- [0027] 다시 말해, 채널 설정부는 제1 채널 설정부, 제2 채널 설정부 및 제3 채널 설정부로 나뉘며, 제1 채널 설정부에는 복수 개의 지연 셀과 배타적 논리합 소자가 포함되어 있고, 제2 채널 설정부 및 제3 채널 설정부는 복수 개의 지연 셀, 논리곱 소자 및 배타적 논리합 소자를 포함한다. 이를 통해 채널 설정부에서 출력되는 미세 펄스의 수가 제어되고, 이를 토대로 채널 선택이 가능해진다.
- [0028] 올 디지털 펄스 발생기의 구조에 대해 좀 더 상세히 살펴보면 도 3에 도시된 바와 같이, 복수의 지연 셀(110)은 직렬로 연결되어 있다. 그리고 복수의 지연 셀(110)의 출력은 바로 에지 합성기(120)로 입력된다.
- [0029] 여기서 에지 합성기(120)는 일반적인 펄스 발생기에 탑재된 배타적 논리합 소자로만 구현된 에지 합성기가 아니라, 배타적 논리합 소자(121)와 논리합 소자(122) 및 논리곱 소자(123)를 함께 배치하여 구현한다. 즉, 복수의 지연 셀(110)에서 각각 지연된 복수의 신호들의 에지를 이용하여 미세 펄스를 만드는 과정에는 배타적 논리합 소자(121)를 배치하고, 배타적 논리합 소자(121)에서 생성된 복수의 미세 펄스를 합쳐 하나의 임펄스 신호로 구성하는 과정에는 논리합 소자(122)를 배치한다. 그리고 채널 용도에 따라 지연 셀(110) 일부의 출력

단에 논리곱 소자(123)를 배치하여 제1 채널 내지 제3 채널 중 어느 하나의 채널용으로 사용될 수 있도록 한다.

[0030] 다시 말해, 제1 지연 셀(110-1)의 출력과 제2 지연 셀(110-2)의 출력이 예지 합성기(110)의 제1 배타적 논리합 소자(121-1)로 입력된다. 그리고 제3 지연 셀(110-3)의 출력과 제4 지연 셀(110-4)의 출력이 제2 배타적 논리합 소자(121-2)로 입력되고, 이와 같은 방식으로 제1 지연 셀(110-1)부터 제16 지연 셀(110-5)까지의 출력이 제1 배타적 논리합 소자(121-1)부터 제8 배타적 논리합 소자(121-3)로 입력된다.

[0031] 그리고 제1 지연 셀(110-1)부터 제16 지연 셀(110-5)까지, 그리고 각각의 지연 셀에서 출력되는 지연된 신호들을 이용하여 미세 펄스를 만드는 제1 배타적 논리합 소자(121-1)부터 제8 배타적 논리합 소자(121-3)까지 묶어 제1 채널에서 동작할 수 있도록 구성한다. 제1 채널에서 동작하도록 하는 각각의 소자들은 디폴트(default)로 설정되어 있는 것을 예로 하여 설명한다.

[0032] 또한, 제17 지연 셀 이후의 지연 셀들을 포함하는 구성 요소는 제2 채널 및 제3 채널로 구성된다. 즉, 제2 채널은 제17 지연 셀(110-6), 제18 지연 셀(110-7), 제1 논리곱 소자(123-1), 제2 논리곱 소자(123-2) 및 제9 배타적 논리합 소자(121-4)를 포함한다. 그리고 제3 채널은 제19 지연 셀(110-8), 제20 지연 셀(110-9), 제3 논리곱 소자(123-3), 제4 논리곱 소자(123-4) 및 제10 배타적 논리합 소자(121-5)를 포함한다. 이때 제1 논리곱 소자(123-1) 내지 제4 논리곱 소자(123-4)는 펄스와 함께 입력되는 제어 신호에 따라 동작하여, 제2 채널 또는 제3 채널을 이용하여 신호를 전송할 수 있도록 한다.

[0033] 이들 구조에 대해 좀 더 상세하게 설명하면, 신호의 주기가 10ns이고, 지연 셀에서의 지연(d)은 1ns 주기로 지연된다고 가정한다. 제1 지연 셀(110-1)과 제2 지연 셀(110-2)로 신호가 입력되면 1ns와, 2ns 만큼 지연된 펄스가 출력된다. 이는 모든 지연 셀이 동일한 지연 주기를 갖는 지연 셀로 구성되기 때문이다. 그러면 제1 배타적 논리합 소자(121-1)에서는 두 개의 미세 펄스가 생성되는데, 본 발명의 실시예에서는 두 개의 미세 펄스 중 먼저 발생한 미세 펄스만을 출력으로 내보내는 것을 예로 하여 설명한다.

[0034] 이렇게 미세 펄스가 생성되면 제1 배타적 논리합 소자(121-1)와 제2 배타적 논리합 소자(121-2)의 출력단에 연결되어 있는 제1 논리합 소자(122-1)는 두 개의 미세 펄스를 입력 받아 하나의 임펄스 신호로 구성한다. 미세 펄스 생성 후 배타적 논리합 소자와 논리합 소자의 논리적 기능에 대하여 도 4를 참조로 비교한다.

[0035] 도 4는 본 발명의 실시예에 따른 미세 펄스 생성 후 배타적 논리합 소자와 논리합 소자의 논리적 기능 비교를 나타낸 예시도이다.

[0036] 도 4에 도시된 바와 같이, 하나의 미세 펄스가 생성되면, 배타적 논리합 소자와 논리합 소자는 논리적으로 같은 기능을 수행하게 되어, 최종 생성되는 임펄스 신호의 형태를 동일하게 만들 수 있다. 물론 배타적 논리합 소자 하나만을 사용하여 예지 합성을 수행하면 비교적 균일한 형태의 임펄스 신호를 생성할 수 있다.

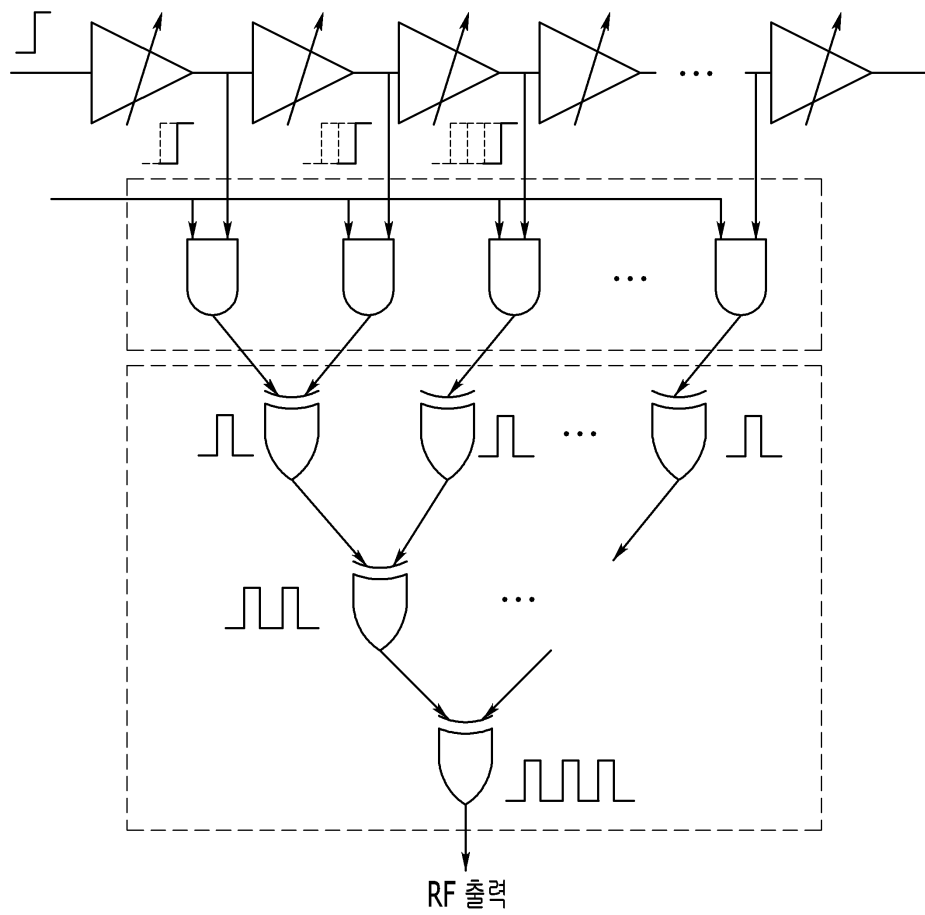
[0037] 그러나, 이는 논리합 소자를 구성하는 트랜지스터들의 사이즈 비율을 조절함으로써 극복될 수 있으며, 무엇보다도 논리합 소자에 사용되는 트랜지스터의 수가 배타적 논리합 소자에 사용되는 수보다 적기 때문에, 좀 더 작은 반도체 본체 면적으로 생산 단가를 낮출 수 있다.

[0038] 즉, 도 4의 (a)에 나타낸 바와 같이 signal A로 표시된 출력 펄스와 signal B로 표시된 출력 펄스를 입력 받은 배타적 논리합 소자는 두 신호를 배타적 논리합 하여 하나의 임펄스 신호로 생성한다. 이는 도 4의 (b)에 나타낸 바와 같이 논리합 소자를 이용하여도 동일한 결과를 낼 수 있다. 따라서, 본 발명의 실시예에서는 트랜지스터의 수를 낮추어 좀 더 작은 반도체 본체 면적으로 생산 단가를 낮출 수 있도록 하기 위하여 논리합 소자를 이용한다.

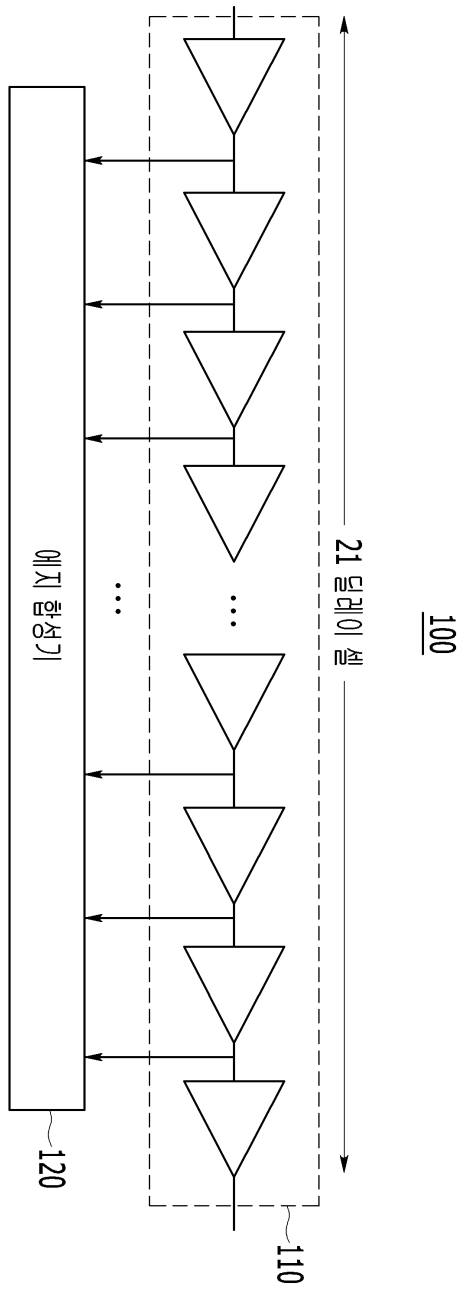
[0039] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

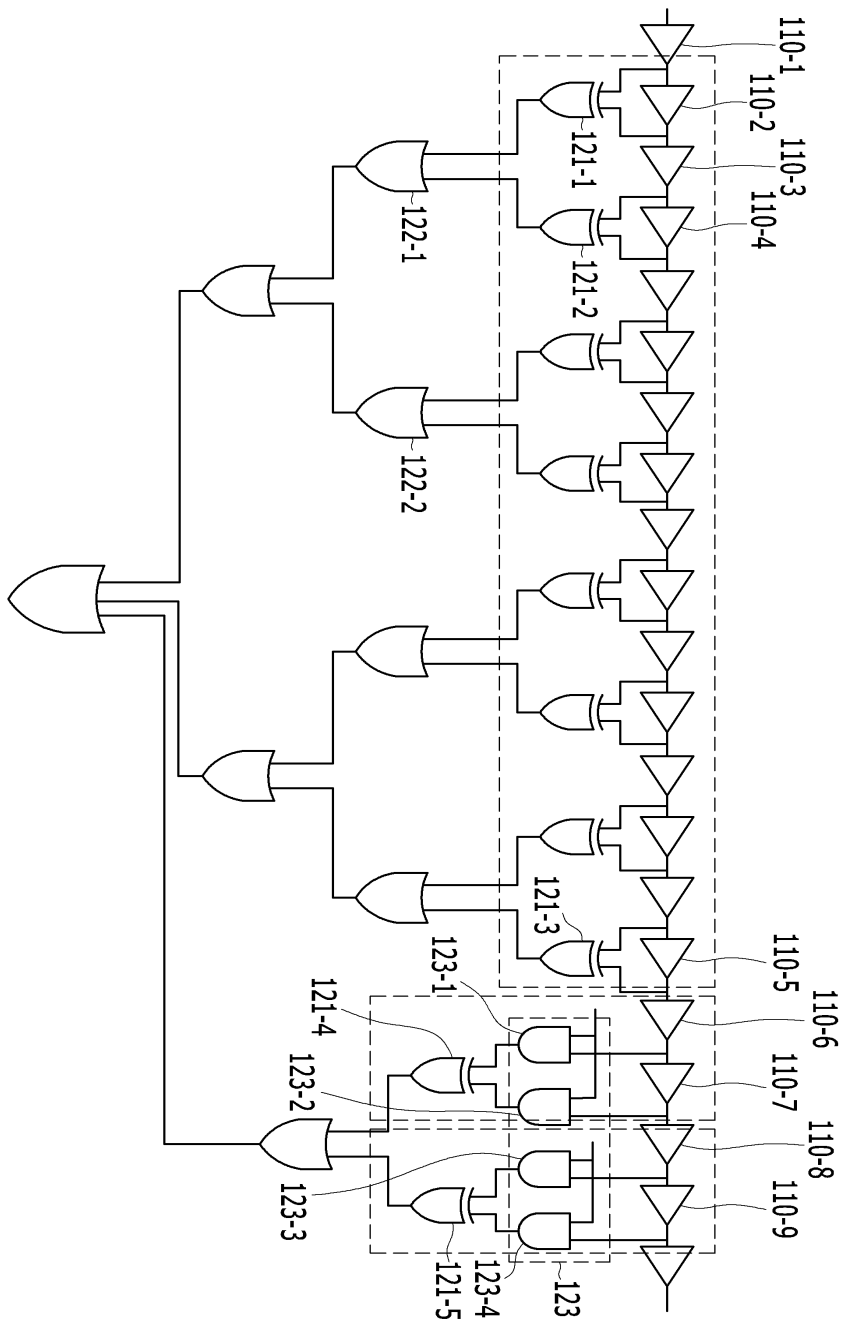
도면1



도면2



도면3



도면4

