

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月14日(14.03.2024)



(10) 国際公開番号

WO 2024/053003 A1

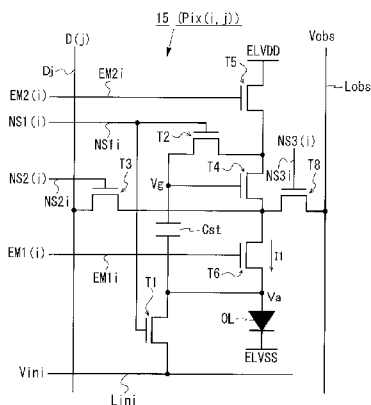
- (51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2022/033521
- (22) 国際出願日: 2022年9月7日(07.09.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: シャープディスプレイテクノロジー株式会社(SHARP DISPLAY TECHNOLOGY CORPORATION) [JP/JP]; 〒5190198 三重県亀山市白木町幸川4 6 4 番 Mic (JP).
- (72) 発明者: 山本 薫(YAMAMOTO, Kaoru). 田中耕平(TANAKA, Kohhei).
- (74) 代理人: 島田 明宏, 外(SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: The present application discloses a display device that is a current-driven variable refresh rate display device such as an organic EL display device, and enables rapid switching from a low refresh rate to a high refresh rate while suppressing occurrence of flicker. In this display device, an on-bias voltage line for supplying on-bias voltage Vobs to be applied to a driving transistor in a pixel circuit in order to reduce the influence of the hysteresis characteristic of the driving transistor on display brightness is provided in a display unit. Therefore, in pixel circuits in the same row connected to the same data signal line when an operation mode is switched to a low refresh mode to a high refresh mode, a pixel circuit to which data is written and a pixel circuit to which the on-bias voltage is applied can be mixed. Consequently, rapid switching from the low refresh rate to the high refresh rate becomes possible.

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：本願は、有機EL表示装置のような電流駆動型の可変リフレッシュレート方式の表示装置であってフリッカの発生を抑えつつ低リフレッシュレートから高リフレッシュレートへの素早い切り替えを可能にした表示装置を開示する。この表示装置では、画素回路内の駆動トランジスタのヒステリシス特性による表示輝度への影響を軽減すべく当該駆動トランジスタに印加されるオンバイアス電圧 V_{obs} を供給するためのオンバイアス電圧線が表示部に設けられている。このため、動作モードが低リフレッシュモードから高リフレッシュモードに切り替わるときに同一のデータ信号線に接続される同一列の画素回路においてデータ書込を行う画素回路とオンバイアス電圧が印加される画素回路とが混在できるようになっている。これにより、低リフレッシュレートから高リフレッシュレートへの素早い切り替えが可能となる。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機EL（Electro Luminescence）素子等の電流で駆動される表示素子を備えた電流駆動型の表示装置、および、その駆動方法に関する。

背景技術

[0002] 近年、有機EL素子（有機発光ダイオード（Organic Light Emitting Diode：OLED）とも呼ばれる）を含む画素回路を備えた有機EL表示装置が実用化されている。有機EL表示装置の画素回路は、有機EL素子に加えて、駆動トランジスタや、書込制御トランジスタ、保持キャパシタ等を含んでいる。駆動トランジスタや書込制御トランジスタには、薄膜トランジスタ（Thin Film Transistor）が使用され、駆動トランジスタの制御端子としてのゲート端子に保持キャパシタが接続され、この保持キャパシタには、駆動回路からデータ信号線を介して、表示すべき画像を表す映像信号に応じた電圧（より詳しくは、当該画素回路で形成すべき画素の階調値を示す電圧）がデータ電圧として与えられる。有機EL素子は、それに流れる電流に応じた輝度で発光する自発光型表示素子である。駆動トランジスタは、有機EL素子と直列に設けられ、保持キャパシタに保持される電圧にしたがって、有機EL素子に流れる電流を制御する。

[0003] 一方、表示内容に応じてリフレッシュレートを変更することにより消費電力を低減できる可変リフレッシュレート方式（以下「VRR方式」ともいう）の表示装置が知られている。このようなVRR方式の表示装置では、リフレッシュ動作を行う隣接するフレーム期間の間にリフレッシュ動作を行わないフレーム期間を挿入することによりリフレッシュレートを変更する構成が採用されており、例えば静止画を表示するときには動画表示の場合に比べリフレッシュレートを大きく低下させることで、消費電力を大幅に低減するこ

とができる。このVRR方式は、画素回路内のトランジスタが酸化物半導体を用いたトランジスタのようにオフリーク電流が小さい場合に有効に適用できる。

[0004] 有機EL表示装置において上記のようなVRR方式を採用した場合、リフレッシュ動作を行うフレーム期間（以下「リフレッシュフレーム期間」または「RFフレーム期間」という）では、各画素回路内の有機EL素子は、フレーム期間毎に設けられる非発光期間に発光制御トランジスタにより消灯状態とされるが、リフレッシュ動作を行わないフレーム期間（以下「非リフレッシュフレーム期間」または「NRFフレーム期間」という）では、駆動回路の動作が停止し、各画素回路内の当該有機EL素子は、その前のリフレッシュフレーム期間において書き込まれたデータ電圧に応じた輝度で発光を続ける。一般に、VRR方式の表示装置において静止画表示を行う場合、リフレッシュ動作を行わずに表示を継続する期間（これは連続する複数のNRFフレーム期間から構成され、以下「NRF動作期間」という）は、リフレッシュ動作を行う期間（1つのRFフレーム期間または連続する複数のRFフレーム期間から構成され、以下「RF動作期間」という）に比べ格段に長く、表示動作中に、そのようなRF動作期間とNRF動作期間とが交互に現れる。このため、VRR方式の表示装置において静止画を表示すると、RF動作期間における有機EL素子の消灯がフリッカとして視認されることになる。

[0005] これに対し特許文献1（米国特許出願公開第2019/0057646号明細書）には、低リフレッシュレートによる駆動（低周波駆動）を行う場合に視認されるフリッカを解消すべく、RF動作期間（データリフレッシュ期間 $T_{refresh}$ ）での有機EL素子（発光ダイオード304）の消灯による輝度低下に加えて、NRF動作期間（拡張ブランキング期間 T_{blank} ）においても適切な頻度で輝度低下が生じるように構成された画素回路とその駆動方法が記載されている（段落[0049]～[0052]、図8A、8B、9A、9B参照）。

[0006] しかし、N R F 動作期間においても適切な頻度で輝度低下が生じるように構成されていても（以下、このような構成を「周期的消灯構成」という）、画素回路における駆動トランジスタとしての薄膜トランジスタはヒステリシス特性を有することから、低周波駆動において依然としてフリッカが視認される。すなわち、この周期的消灯構成では、駆動トランジスタとしての薄膜トランジスタに加えられる電圧ストレスがR F 動作期間とN R F 動作期間とで異なることから、その駆動トランジスタのヒステリシス特性のためにR F 動作期間とN R F 動作期間とで消灯波形が若干異なり、これによりフリッカが視認される。

[0007] これに対し上記の特許文献1には、R F 動作期間（データリフレッシュ期間 $T_{refrech}$ ）のみならずN R F 動作期間（拡張ブランキング期間 T_{blank} ）においても、駆動トランジスタに意図的にバイアスストレス電圧（以下「オンバイアスストレス電圧」または「オンバイアス電圧」という）を印加して、ヒステリシス特性による（有機E L 素子の輝度への）影響をバランスさせることが記載されている（同文献の図5、図10、段落[0053] 参照）。このようにすれば、低周波駆動においても、駆動トランジスタのヒステリシス特性に起因するフリッカの発生を抑制することができる。

先行技術文献

特許文献

[0008] 特許文献1：米国特許出願公開第2019/0057646号明細書

発明の概要

発明が解決しようとする課題

[0009] 上記のようなV R R 方式の有機E L 表示装置では、静止画を表示する場合において、隣接するR F フレーム期間の間にN R F フレーム期間を挿入することにより、リフレッシュレートが低下し駆動回路の消費電力が低減される。このような有機E L 表示装置では、リフレッシュ周期は、隣接するR F フ

レーム期間に挿入されるN R Fフレーム期間の数によって1フレーム期間を単位として変更できる。しかし、動画表示のためにN R Fフレーム期間の途中でリフレッシュ要求が生じることがある。この場合、上記のようにオンバイアス電圧を印加する構成を有する従来の有機E L表示装置では、当該N R Fフレーム期間の終了時点まではリフレッシュ動作を開始することができなかった。その結果、低いリフレッシュレートで静止画表示を行っている場合に高リフレッシュレートの動画表示への切り替わり時の応答が遅くなるという問題があった。

[0010] そこで、有機E L表示装置のような電流駆動型の表示装置において、静止画表示等における消費電力の低減のために可変リフレッシュレート方式（V R R方式）を採用した場合に、フリッカの発生を抑えつつ低リフレッシュレートから高リフレッシュレートへの素早い切り替えを可能にすることが望まれる。

課題を解決するための手段

[0011] 本発明の幾つかの実施形態に係る表示装置は、低リフレッシュモードと高リフレッシュモードを含む少なくとも2つの動作モードを有する表示装置であって、

複数のデータ信号線と、複数の制御走査線と、前記複数のデータ信号線および前記複数の制御走査線に沿って配置された複数の画素回路とを含む表示部と、

外部から入力される画像データに基づき複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の制御走査線を選択的に駆動することにより前記複数の画素回路を制御する走査側駆動回路と、

前記少なくとも2つの動作モードのいずれかで、前記画像データの表す画像が前記複数の画素回路により表示されるように、前記データ側駆動回路および前記走査側駆動回路を制御する表示制御回路とを備え、

前記複数の画素回路のそれぞれは、

前記複数のデータ信号線の1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、前記表示素子への電流の供給量を制御する駆動トランジスタと、対応するデータ信号線の電圧を前記保持キャパシタにデータ電圧として書き込むか否かを制御する書込制御スイッチング素子と、前記駆動トランジスタのヒステリシス特性による前記表示素子の輝度への影響を低減するためのバイアス電圧を前記駆動トランジスタに印加するバイアス印加回路とを含み、

当該画素回路に対応するデータ信号線の電圧がデータ電圧として他の画素回路の前記保持キャパシタに書き込まれるときに当該画素回路において前記バイアス印加回路から前記駆動トランジスタに対し同時または並行的に前記バイアス電圧を印加できるように構成されており、

前記表示制御回路は、

前記低リフレッシュモードでは、前記画像データに基づく複数のデータ電圧を前記複数の画素回路にそれぞれ書き込む1つまたは複数のリフレッシュフレーム期間と前記複数の画素回路への前記複数のデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間とが交互に現れるように前記データ側駆動回路および前記走査側駆動回路を制御し、

前記高リフレッシュモードでは、前記画像データに基づく複数のデータ電圧を前記複数の画素回路にそれぞれ書き込むリフレッシュフレーム期間が連続するように前記データ側駆動回路および前記走査側駆動回路を制御し、

前記走査側駆動回路は、

各リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、所定のデータ書込期間に前記対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれるように前記書込制御スイッチング素子を制御し、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、所定のバイアス期間の間は前記バイアス電圧が前記駆動トランジス

タに印加されるように前記バイアス印加回路を制御し、

前記低リフレッシュモードにおいていずれかの非リフレッシュフレーム期間中に外部から新たな画像データが入力された場合に、当該非リフレッシュフレーム期間の終了時点よりも前の所定時点で新たなリフレッシュフレーム期間が開始されて当該新たな画像データに基づく複数のデータ電圧が前記複数の画素回路にそれぞれ書き込まれるとともに、前記複数の画素回路のうち当該非リフレッシュフレーム期間において前記バイアス電圧が前記駆動トランジスタに印加されていない画素回路では、前記所定時点から前記終了時点までにおいて前記バイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加されるように、前記書込制御スイッチング素子と前記バイアス印加回路とを制御する。

[0012] 本発明の他の幾つかの実施形態に係る表示装置は、上記幾つかの実施形態に係る表示装置において、

前記表示部は、前記バイアス電圧を供給するためのバイアス電圧線を更に含み、

前記バイアス印加回路は、前記バイアス電圧線に接続されており、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて前記バイアス期間の間は前記バイアス電圧線から前記バイアス電圧が前記駆動トランジスタに印加されるように前記バイアス印加回路を制御する。

[0013] 本発明の更に他の幾つかの実施形態に係る表示装置は、上記幾つかの実施形態に係る表示装置において、

前記表示部は、前記表示素子を初期化する初期化電圧を供給するための初期化電圧線を更に含み、

前記バイアス印加回路は、前記初期化電圧線に接続されており、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて前記バイアス期間の間は前記初期化電圧線の電圧が前記バイアス電圧として前記駆動トランジスタに印加されるように前記バイアス印加回路を制御する。

[0014] 本発明の更に他の幾つかの実施形態に係る表示装置は、上記幾つかの実施

形態に係る表示装置において、

前記複数のデータ信号線にそれぞれ対応して前記データ側駆動回路の外部または内部に設けられた複数のマルチプレクサであって、それぞれが、対応するデータ信号線に印加すべきデータ信号と前記バイアス電圧とを時分割的に当該対応するデータ信号線に出力する複数のマルチプレクサを更に備え、

前記書込制御スイッチング素子は、前記バイアス印加回路を構成し、

前記走査側駆動回路は、

各リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、当該画素回路に対応するデータ信号線にデータ信号が与えられる所定期間を前記データ書込期間として前記データ書込期間の間は前記書込制御スイッチング素子をオン状態に制御し、かつ、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間に前記駆動トランジスタに対し前記バイアス電圧が印加されるように当該所定期間の間は前記書込制御スイッチング素子をオン状態に制御し、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間を前記バイアス期間として前記バイアス期間の間は前記書込制御スイッチング素子をオン状態に制御する。

[0015] 本発明の幾つかの実施形態に係る表示装置の駆動方法は、低リフレッシュモードと高リフレッシュモードを含む少なくとも2つの動作モードを有する表示装置の駆動方法であって、

前記表示装置は、複数のデータ信号線と、複数の制御走査線と、前記複数のデータ信号線および前記複数の制御走査線に沿って配置された複数の画素回路とを含む表示部を備え、

前記複数の画素回路のそれぞれは、

前記複数のデータ信号線の1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、前記表示素子への電流の供給量を制御する駆動トランジスタと、対応するデータ信号線の

電圧を前記保持キャパシタにデータ電圧として書き込むか否かを制御する書込制御スイッチング素子と、前記駆動トランジスタのヒステリシス特性による前記表示素子の輝度への影響を低減するためのバイアス電圧を前記駆動トランジスタに印加するバイアス印加回路とを含み、

当該画素回路に対応するデータ信号線の電圧がデータ電圧として他の画素回路の前記保持キャパシタに書き込まれるときに当該画素回路において前記バイアス印加回路から前記駆動トランジスタに対し同時または並行的に前記バイアス電圧を印加できるように構成されており、

前記駆動方法は、

外部から入力される画像データに基づき複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動ステップと、

前記複数の制御走査線を選択的に駆動することにより前記複数の画素回路を制御する走査側駆動ステップとを含み、

前記走査側駆動ステップは、

前記低リフレッシュモードにおいて、前記画像データに基づく複数のデータ電圧を前記複数の画素回路にそれぞれ書き込む1つまたは複数のリフレッシュフレーム期間と前記複数の画素回路への前記複数のデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間とが交互に現れるように前記複数の画素回路を制御する低リフレッシュ駆動ステップと、

前記高リフレッシュモードにおいて、前記画像データに基づく複数のデータ電圧を前記複数の画素回路にそれぞれ書き込むリフレッシュフレーム期間が連続するように前記複数の画素回路を制御する高リフレッシュ駆動ステップとを含み、

前記低リフレッシュ駆動ステップでは、

各リフレッシュフレーム期間において、前記複数の画素回路のそれぞれで、所定のデータ書込期間に前記対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれるように前記書込制御スイッチング素子が制御され、

各非リフレッシュフレーム期間において、前記複数の画素回路のそれぞれで、所定のバイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加されるように前記バイアス印加回路が制御され、

前記走査側駆動ステップは、前記低リフレッシュモードにおいていずれかの非リフレッシュフレーム期間中に外部から新たな画像データが入力された場合に、当該非リフレッシュフレーム期間の終了時点よりも前の所定時点で新たなリフレッシュフレーム期間が開始されて当該新たな画像データに基づく複数のデータ電圧が前記複数の画素回路にそれぞれ書き込まれるとともに、前記複数の画素回路のうち当該非リフレッシュフレーム期間において前記バイアス電圧が前記駆動トランジスタに印加されていない画素回路では、前記所定時点から前記終了時点までにおいて前記バイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加されるように、前記書込制御スイッチング素子と前記バイアス印加回路とを制御するモード切替駆動ステップを更に含む。

発明の効果

[0016] 本発明の上記幾つかの実施形態によれば、電流によって駆動される表示素子、駆動トランジスタ、書込制御スイッチング素子、および、保持キャパシタを含む画素回路を複数備え、低リフレッシュモードと高リフレッシュモードを含む少なくとも2つの動作モードを有する表示装置において、各画素回路は、駆動トランジスタのヒステリシス特性による表示素子の輝度への影響を低減するためのバイアス電圧を駆動トランジスタに印加するバイアス印加回路を更に含んでいる。また、各画素回路は、当該画素回路に対応するデータ信号線の電圧がデータ電圧として他の画素回路の保持キャパシタに書き込まれるときに当該画素回路においてバイアス印加回路から駆動トランジスタに対し同時または並行的に上記バイアス電圧を印加できるように構成されている。例えば、表示部に上記バイアス電圧を供給するためのバイアス電圧線または表示素子を初期化する初期化電圧を供給するための初期化電圧線が設けられている場合には、当該バイアス電圧線または当該初期化電圧線に各画

素回路内のバイアス印加回路を接続しておき、上記他の画素回路の保持キャパシタにデータ電圧を書き込むときに同時に当該画素回路内の駆動トランジスタに上記バイアス電圧を印加することができる。また、これに代えて、各データ信号線につき、当該データ信号線に印加すべきデータ信号と上記バイアス電圧とを時分割的に当該データ信号線に出力するマルチプレクサを設けておき、当該画素回路において書込制御スイッチング素子で上記バイアス印加回路を構成し、上記他の画素回路の保持キャパシタに上記データ電圧を書き込むときに当該データ信号線から当該画素回路内の駆動トランジスタに上記バイアス電圧を並行的に（時分割的に）印加することができる。

[0017] このように構成された表示装置では、外部から入力される画像データに基づく複数のデータ電圧を上記複数の画素回路にそれぞれ書き込む1つまたは複数のリフレッシュフレーム期間と上記複数の画素回路への当該複数のデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間とが交互に現れる低リフレッシュモードで動作しているときに、非リフレッシュフレーム期間中に外部から新たな画像データが入力された場合には、当該非リフレッシュフレーム期間の終了時点よりも前の所定時点で新たなリフレッシュフレーム期間が開始されて当該新たな画像データに基づく複数のデータ電圧が上記複数の画素回路にそれぞれ書き込まれるとともに、上記複数の画素回路のうち当該非リフレッシュフレーム期間において上記バイアス電圧が駆動トランジスタに印加されていない画素回路では、当該所定時点から当該終了時点までにおいて所定のバイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加される。

[0018] このような本発明の上記幾つかの実施形態によれば、低リフレッシュモードで静止画を表示しているときに動画表示用の新たな画像データが入力された場合に、上記バイアス電圧の印加によってフリッカの発生を抑えつつ動作モードを低リフレッシュモードから高リフレッシュモードに素早く切り替え、低リフレッシュレートでの静止画表示から高リフレッシュレートでの動画表示への切り替わりの遅延を抑えることができる。

図面の簡単な説明

[0019] [図1]第1の実施形態に係る表示装置の全体構成を示すブロック図である。

[図2]可変リフレッシュレート方式の比較例としての表示装置の概略動作を説明するためのタイミングチャートである。

[図3]可変リフレッシュレート方式の比較例としての表示装置における画素回路の構成を示す回路図である。

[図4]上記比較例における画素回路のデータ書込動作、アノード初期化動作、および、オンバイアス印加動作を説明するための回路図（A～C）である。

[図5]上記比較例における画素回路の駆動を説明するためのタイミングチャートである。

[図6]上記比較例に係る表示装置の問題点を説明するためのタイミングチャートである。

[図7]上記第1の実施形態における画素回路の構成を示す回路図である。

[図8]上記第1の実施形態における画素回路のデータ初期化動作、データ書込動作、および、点灯動作を説明するための回路図（A～C）である。

[図9]上記第1の実施形態における画素回路のアノード初期化動作およびオンバイアス印加動作を説明するための回路図（A，B）である。

[図10]上記第1の実施形態における画素回路の第1の駆動例を説明するためのタイミングチャートである。

[図11]上記第1の実施形態における画素回路の第2の駆動例を説明するためのタイミングチャートである。

[図12]上記第1の実施形態における画素回路の第3の駆動例を説明するためのタイミングチャートである。

[図13]上記第1の実施形態において画素回路を駆動するための駆動回路との接続関係を示すブロック図（A，B）である。

[図14]上記第1の実施形態に係る表示装置の第1の動作例を説明するためのタイミングチャートである。

[図15]上記第1の実施形態に係る表示装置の第2の動作例を説明するための

タイミングチャートである。

[図16]上記第1の実施形態に係る表示装置の第3の動作例を説明するためのタイミングチャートである。

[図17]第2の実施形態に係る表示装置における画素回路の構成を示す回路図である。

[図18]上記第2の実施形態における画素回路のデータ書込動作、アノード初期化動作、および、オンバイアス印加動作を説明するための回路図（A～C）である。

[図19]第3の実施形態に係る表示装置における画素回路の構成を示す回路図である。

[図20]上記第3の実施形態における画素回路のデータ書込動作、アノード初期化動作、および、オンバイアス印加動作を説明するための回路図（A～C）である。

[図21]上記第3の実施形態における画素回路の駆動を説明するためのタイミングチャートである。

[図22]第4の実施形態に係る表示装置の全体構成を示すブロック図である。

[図23]上記第4の実施形態に係る表示装置における画素回路の構成を示す回路図である。

[図24]上記第4の実施形態における画素回路のデータ初期化動作、データ書込動作、および、点灯動作を説明するための回路図（A～C）である。

[図25]上記第4の実施形態における画素回路のアノード初期化動作およびオンバイアス印加動作を説明するための回路図（A，B）である。

[図26]上記第4の実施形態における画素回路の駆動を説明するためのタイミングチャートである。

[図27]第5の実施形態に係る表示装置における画素回路の構成を示す回路図である。

[図28]上記第5の実施形態における画素回路のデータ書込動作およびオンバイアス印加動作を説明するための回路図（A，B）である。

[図29]上記第5の実施形態における画素回路の駆動を説明するためのタイミングチャートである。

[図30]上記第5の実施形態において動作モード（リフレッシュレート）を切り替えるときの画素回路の駆動を説明するためのタイミングチャート（A，B）である。

発明を実施するための形態

[0020] 以下、添付図面を参照しつつ実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第1導通端子に相当し、他方は第2導通端子に相当する。また、以下の各実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0021] <1. 第1の実施形態>

<1. 1 全体構成>

図1は、第1の実施形態に係る表示装置10の全体構成を示すブロック図である。この表示装置10は、内部補償を行う有機EL表示装置である。すなわち、この表示装置10において、各画素回路15は、その内部の駆動トランジスタの閾値電圧のばらつきや変動を補償する機能を有している。また、この表示装置10は、可変リフレッシュレート方式（VRR方式）を採用しており、表示すべき内容（例えば静止画か動画か）に応じて、隣接するリフレッシュフレーム期間の間に非リフレッシュフレーム期間を適宜に挿入することによってリフレッシュレートを変更することができる。

[0022] 以下では、表示装置10は、静止画を表示するための低リフレッシュレートと動画を表示するための高リフレッシュレートとの間でリフレッシュレートが切り替わるように構成されており、高リフレッシュレートでは、リフレッシュフレーム期間（RFフレーム期間）のみが連続し、非リフレッシュ

レーム期間（N R Fフレーム期間）は挿入されないものとする。しかし、これに限らず、表示すべき画像に応じて3つ以上のリフレッシュレートの間で切り替わるように表示装置10が構成されていてもよい。また以下では、リフレッシュレートに応じた動作モードを導入して説明を進める。すなわち表示装置10は、低リフレッシュレートで表示動作を行う低リフレッシュモードと、高リフレッシュレートで表示動作を行う高リフレッシュモードとを含む少なくとも2つの動作モードを有するものとする。

[0023] 図1に示すように、この表示装置10は、表示部11、表示制御回路20、データ側駆動回路30、走査側駆動回路40、および、電源回路50を備えている。データ側駆動回路30は、データ信号線駆動回路（「データドライバ」とも呼ばれる）として機能する。走査側駆動回路40は、走査信号線駆動回路（「ゲートドライバ」とも呼ばれる）および発光制御回路（「エミッションドライバ」とも呼ばれる）として機能する。図1に示す構成ではこれら走査側の2つの回路が1つの走査側駆動回路40として実現されているが、これら2つの回路が適宜分離された構成であってもよく、また、これら2つの回路が表示部11の一方側と他方側に分離されて配置される構成であってもよい。また、データ側駆動回路および走査側駆動回路の少なくとも一部が表示部11と一体的に形成されていてもよい。これらの点は、後述の他の実施形態や変形例においても同様である。電源回路50は、表示部11に供給すべき後述のハイレベル電源電圧 E_{LVDD} 、ローレベル電源電圧 E_{LVSS} 、および初期化電圧 V_{ini} と、表示制御回路20、データ側駆動回路30、および走査側駆動回路40に供給すべき電源電圧（不図示）とを生成する。

[0024] 表示部11には、 m 本（ m は2以上の整数）のデータ信号線 $D_1, D_2, \dots, D_m$ と、これらに交差する n 本（ n は2以上の整数）の第1走査信号線 $NS_{11}, NS_{12}, \dots, NS_{1n}$ 、 n 本の第2走査信号線 $NS_{21}, NS_{22}, \dots, NS_{2n}$ 、および、 n 本の第3走査信号線 $NS_{31}, NS_{32}, \dots, NS_{3n}$ とが配設されている。また、 n 本の第1走査信号線 $NS_{11} \sim N$

S 1 n にそれぞれ沿って n 本の第 1 発光制御線（第 1 エミッションライン）E M 1 1 ~ E M 1 n が配設され、さらに、n 本の第 1 走査信号線 N S 1 1 ~ N S 1 n にそれぞれ沿って n 本の第 2 発光制御線（第 2 エミッションライン）E M 2 1 ~ E M 2 n が配設されている。

[0025] また表示部 1 1 には、m 本のデータ信号線 D 1 ~ D m および n 本の第 1 走査信号線 N S 1 1 ~ N S 1 n に沿ってマトリクス状に配置された m × n 個の画素回路 1 5 が設けられている。各画素回路 1 5 は、m 本のデータ信号線 D 1 ~ D m のいずれか 1 つに対応するとともに n 本の第 1 走査信号線 N S 1 1 ~ N S 1 n のいずれか 1 つに対応する（以下、各画素回路 1 5 を区別する場合には、i 番目の第 1 走査信号線 N S 1 i および j 番目のデータ信号線 D j に対応する画素回路を「i 行 j 列目の画素回路」といい、符号 “P i x (i , j) ” で示す）。また各画素回路 1 5 は、n 本の第 2 走査信号線 N S 2 1 ~ N S 2 n のいずれか 1 つに対応し、n 本の第 3 走査信号線 N S 3 1 ~ N S 3 n のいずれか 1 つに対応し、n 本の第 1 発光制御線 E M 1 1 ~ E M 1 n のいずれか 1 つに対応し、n 本の第 2 発光制御線 E M 2 1 ~ E M 2 n のいずれか 1 つに対応する。

[0026] また表示部 1 1 には、各画素回路 1 5 に共通の図示しない電源線が配設されている。すなわち、後述の有機 E L 素子を駆動するためのハイレベル電源電圧 E L V D D を供給するための固定電圧線としての第 1 電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号 “E L V D D ” で示す）、および、有機 E L 素子を駆動するためのローレベル電源電圧 E L V S S を供給するための固定電圧線としての第 2 電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号 “E L V S S ” で示す）が配設されている。さらに表示部 1 1 には、各画素回路 1 5 の初期化のためのリセット動作（「初期化動作」ともいう）に使用する初期化電圧 V i n i を供給するための図示しない固定電圧線としての初期化電圧線 L i n i が配設されるとともに、各画素回路 1 5 にオンバイアス電圧 V o b s を供給するためのオンバイアス電圧線 L o b s が配設されている。ハイレベル電源電圧

ELVDD、ローレベル電源電圧ELVSS、および初期化電圧 V_{ini} は、電源回路50から供給される。オンバイアス電圧 V_{obs} は、本実施形態では表示制御回路20から供給されるが、電源回路50から供給されてもよい。

[0027] 表示制御回路20は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号 S_{in} を表示装置10の外部から受け取り、この入力信号 S_{in} に基づきデータ側制御信号 S_{cd} および走査側制御信号 S_{cs} を生成し、データ側制御信号 S_{cd} をデータ側駆動回路30に、走査側制御信号 S_{cs} を走査側駆動回路40にそれぞれ出力する。なお以下では、入力信号 S_{in} における画像情報として新たな画像データが入力されたときに高リフレッシュモードで動作し、その後、新たな画像データが入力されない状態が所定時間以上続いたときに動作モードが低リフレッシュモードに切り替わるように、表示制御回路20がデータ側駆動回路30および走査側駆動回路40を制御するものとする。しかし、これに代えて又はこれと共に、低リフレッシュモードと高リフレッシュモードのうちいずれの動作モードで表示部11を駆動するかを示す動作モード信号 S_m が入力信号 S_{in} に含まれているものとし、表示制御回路20は、この動作モード信号 S_m の示す動作モードで表示部11が駆動されるようにデータ側駆動回路30および走査側駆動回路40を制御するようにしてもよい。

[0028] データ側駆動回路30は、表示制御回路20からのデータ側制御信号 S_{cd} に基づきデータ信号線 $D_1 \sim D_m$ を駆動する。すなわちデータ側駆動回路30は、データ側制御信号 S_{cd} に基づき、表示すべき画像を表す m 個のデータ信号 $D(1) \sim D(m)$ を生成してデータ信号線 $D_1 \sim D_m$ にそれぞれ印加する。

[0029] 走査側駆動回路40は、第1走査信号線 $NS_{11} \sim NS_{1n}$ 、第2走査信号線 $NS_{21} \sim NS_{2n}$ 、第3走査信号線 $NS_{31} \sim NS_{3n}$ 、第1発光制御線 $EM_{11} \sim EM_{1n}$ 、および第2発光制御線 $EM_{21} \sim EM_{2n}$ からなる制御走査線を選択的に駆動することにより、表示部11における $m \times n$ 個

の画素回路15を制御する（より詳しくは、各画素回路15においてスイッチング素子として機能する各トランジスタを制御する）。このために走査側駆動回路40は、表示制御回路20からの走査側制御信号 S_{cs} に基づき、第1走査信号 $NS1(1) \sim NS1(n)$ を生成して第1走査信号線 $NS11 \sim NS1n$ にそれぞれ印加し、第2走査信号 $NS2(1) \sim NS2(n)$ を生成して第2走査信号線 $NS21 \sim NS2n$ にそれぞれ印加し、第3走査信号 $NS3(1) \sim NS3(n)$ を生成して第3走査信号線 $NS31 \sim NS3n$ にそれぞれ印加し、第1発光制御信号 $EM1(1) \sim EM1(n)$ を生成して第1発光制御線 $EM11 \sim EM1n$ にそれぞれ印加し、第2発光制御信号 $EM2(1) \sim EM2(n)$ を生成して第2発光制御線 $EM21 \sim EM2n$ にそれぞれ印加する。これにより走査側駆動回路40は、第1走査信号線 $NS11 \sim NS1n$ 、第2走査信号線 $NS21 \sim NS2n$ 、および第3走査信号線 $NS31 \sim NS3n$ を駆動する走査信号線駆動回路として機能するとともに、第1発光制御線 $EM11 \sim EM1n$ および第2発光制御線 $EM21 \sim EM2n$ を駆動する発光制御回路として機能する。

[0030] より詳細には、走査側駆動回路40は、リフレッシュフレーム期間 T_{rf} では、走査信号線駆動回路として、走査側制御信号 S_{cs} に基づき生成される上記の第1走査信号 $NS1(1) \sim NS1(n)$ 、第2走査信号 $NS2(1) \sim NS2(n)$ 、および、第3走査信号 $NS3(1) \sim NS3(n)$ により、 n 本の第1走査信号線 $NS11 \sim NS1n$ を1水平期間に対応する所定期間ずつ順次に選択し、 n 本の第2走査信号線 $NS21 \sim NS2n$ を1水平期間に対応する所定期間ずつ順次に選択し、 n 本の第3走査信号線 $NS31 \sim NS3n$ を1水平期間に対応する所定期間ずつ順次に選択する（これらの選択タイミングの詳細は図10を参照して後述する）。これにより、選択された第1走査信号線 $NS1k$ に対応した m 個の画素回路 $P_{ix}(k, 1) \sim P_{ix}(k, m)$ が一括して選択される。そして、この第1走査信号線 $NS1k$ とともに第2走査信号線 $NS2k$ が選択されているときに、データ側駆動回路30からデータ信号線 $D1 \sim Dm$ に印加された m 個のデータ信号 D

(1) ~ D (m) の電圧（以下では、これらの電圧を区別せずに単に「データ電圧」と呼ぶことがある）が画素データとして、画素回路 $P i x (k, 1) \sim P i x (k, m)$ にそれぞれ書き込まれる。また、第3走査信号 $N S 3 k$ が選択されているときに、画素回路 $P i x (k, 1) \sim P i x (k, m)$ のそれぞれに含まれる駆動トランジスタ（のソース端子）にオンバイアス電圧 $V o b s$ が印加される。

[0031] また走査側駆動回路40は、RFフレーム期間 $T r f$ において、第1発光制御線 $E M 1 1 \sim E M 1 n$ および第2発光制御線 $E M 2 1 \sim E M 2 n$ を、それらが第1走査信号線 $N S 1 1 \sim N S 1 n$ 、第2走査信号線 $N S 2 1 \sim N S 2 n$ 、および第3走査信号線 $N S 3 1 \sim N S 3 n$ の上記駆動に連動して選択的に非活性化されるように駆動する。すなわち、走査側駆動回路40は、発光制御回路として、走査側制御信号 $S c s$ に基づき生成される上記の第1発光制御信号 $E M 1 (1) \sim E M 1 (n)$ および第2発光制御信号 $E M 2 (1) \sim E M 2 (n)$ により、 i 番目の第1発光制御線 $E M 1 i$ を第 i 水平期間を含む所定期間だけ非活性状態とし、それ以外の期間では活性状態とし、また、 i 番目の第2発光制御線 $E M 2 i$ を第 i 水平期間を含む所定期間だけ非活性状態とし、それ以外の期間では活性状態とする（ i は $1 \leq i \leq n$ なる整数）。 i 番目の第1発光制御線 $E M 1 i$ が活性状態である期間と i 番目の第2発光制御線 $E M 2 i$ が活性状態である期間とは若干異なる（詳細は後述の図10参照）。 i 番目の第1走査信号線 $N S 1 i$ に対応する画素回路（以下「 i 行目の画素回路」ともいう） $P i x (i, 1) \sim P i x (i, m)$ 内の有機EL素子は、 i 番目の第1発光制御線 $E M 1 i$ および第2発光制御線 $E M 2 i$ が共に活性状態である間、 i 行目の画素回路 $P i x (i, 1) \sim P i x (i, m)$ にそれぞれ書き込まれたデータ電圧に応じた輝度で発光する。

[0032] 一方、NRFフレーム期間 $T n r f$ では、走査側駆動回路40は、第1走査信号線 $N S 1 1 \sim N S 1 n$ および第2走査信号線 $N S 2 1 \sim N S 2 n$ の駆動を停止するが、第3走査信号線 $N S 3 1 \sim N S 3 n$ 、第1発光制御線 $E M 1 1 \sim E M 1 n$ 、および第2発光制御線 $E M 2 1 \sim E M 2 n$ をリフレッシュ

フレーム期間 T_{rf} と同様に駆動する（後述の図 10 参照）。

[0033] <1. 2 比較例>

本実施形態に係る表示装置 10 の動作を説明する前に、比較例として従来の表示装置の概略動作を図 2 を参照して以下に説明する。図 2 は、可変リフレッシュレート方式（VRR 方式）の比較例としての表示装置の概略動作を説明するためのタイミングチャートである。図 2 において、 $PX(i)$ は、 i 行目の画素回路 $Pix(i, 1) \sim Pix(i, m)$ を示し（ $i = 1 \sim n$ ）、 $Data$ は、データ信号 $D(1) \sim D(n)$ を総称的に示しており、“ACT” はデータ書込のための信号状態（データ電圧）を示し、“BLK” はブランキングの信号状態を示し、“OBS” はオンバイアス印加のための信号状態（オンバイアス電圧 V_{obs} ）を示し、“ANR” を有機 EL 素子のアノード初期化のための信号状態（アノード初期化電圧 V_{anr} ）示している。また、リフレッシュフレーム期間 T_{rf} において斜め方向に延びる太い実線は、各行の画素回路 $PX(i) = Pix(i, 1) \sim Pix(i, m)$ においてデータ書込が行われるタイミングを示し（ $i = 1 \sim n$ ）、非リフレッシュフレーム期間 T_{nrf} において斜め方向に延びる太い点線は、各行の画素回路 $PX(i)$ においてオンバイアス印加またはアノード初期化が行われるタイミングを示している（ $i = 1 \sim n$ ）。

[0034] 図 2 に示す例は、RF フレーム期間 T_{rf} の後に複数の NRF フレーム期間 T_{nrf} が続く低リフレッシュモードで動作しているときに動画表示のためのリフレッシュ要求 Rq_mv が発生した場合の表示装置の動作を示している。この例では、NRF フレーム期間 T_{nrf} の途中で動画表示のためのリフレッシュ要求 Rq_mv が発生するが、上記比較例としての表示装置の動作モードは、当該 NRF フレーム期間 T_{nrf} の終了時点（図 2 において Cg_mod で示される時点）において高リフレッシュモードに切り替わり、その終了時点から RF フレーム期間 T_{rf} が始まる。その後、高リフレッシュモードで動作している間は RF フレーム期間 T_{rf} が連続する。このように上記比較例としての表示装置では、低リフレッシュモードでの NRF フ

レーム期間 T_{nrf} において動画表示のためのリフレッシュ要求が発生した場合、直ちに高リフレッシュモードに移行して RF フレーム期間 T_{rf} を開始することはできない。以下、この理由について説明する。

[0035] 図3は、上記比較例としての表示装置における画素回路15aの構成を示す回路図であり、より詳しくは、 i 番目の第1走査信号線 $NS1_i$ および j 番目のデータ信号線 D_j に対応する画素回路15aすなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である($1 \leq i \leq n$ 、 $1 \leq j \leq m$)。この画素回路15aは、内部補償方式の画素回路であり、図3に示すように、表示素子としての1個の有機EL素子OLと、6個のトランジスタ $T1 \sim T6$ (以下、これらを「初期化トランジスタ $T1$ 」、「閾値補償トランジスタ $T2$ 」、「書込制御トランジスタ $T3$ 」、「駆動トランジスタ $T4$ 」、「第2発光制御トランジスタ $T5$ 」、「第1発光制御トランジスタ $T6$ 」という)と、保持キャパシタ C_{st} とを含んでいる。

[0036] この画素回路15aにおいて、トランジスタ $T1 \sim T6$ はNチャネル型トランジスタである。これらのNチャネル型トランジスタ $T1 \sim T6$ として、チャネル層が酸化物半導体で形成された薄膜トランジスタ(以下「酸化物TFT」という)が使用される。酸化物TFTとしては、酸化インジウムガリウム亜鉛($InGaZnO$)を含む薄膜トランジスタ(以下「IGZO-TFT」という)を使用することができる。なお、駆動トランジスタ $T4$ 以外のトランジスタ $T1 \sim T3$ 、 $T5$ 、 $T6$ はスイッチング素子として動作する。

[0037] 図3に示すように、上記比較例における画素回路 $P_{ix}(i, j)$ には、それに対応する第1走査信号線(以下、画素回路に注目した説明において「対応第1走査信号線」ともいう) $NS1_i$ と、それに対応する第2走査信号線(以下、画素回路に注目した説明において「対応第2走査信号線」ともいう) $NS2_i$ と、それに対応する第3走査信号線(以下、画素回路に注目した説明において「対応第3走査信号線」ともいう) $NS3_i$ と、それに対応する第1発光制御線(以下、画素回路に注目した説明において「対応第1発

光制御線」ともいう) $EM1_i$ と、それに対応する第2発光制御線(以下、画素回路に注目した説明において「対応第2発光制御線」ともいう) $EM2_i$ と、それに対応するデータ信号線(以下、画素回路に注目した説明において「対応データ信号線」ともいう) D_j と、初期化電圧線 Lin_i と、ハイレベル電源線 $ELVDD$ と、ローレベル電源線 $ELVSS$ とが接続されている。なお、上記比較例では、図1に示した上記第1の実施形態とは異なり、オンバイアス電圧 $Vobs$ は、データ信号線 D_j を介して各画素回路 $Pix(i, j)$ に供給され、オンバイアス電圧 $Vobs$ を供給するためのオンバイアス電圧線 $Lobs$ は表示部11には設けられていない。

[0038] 図3に示すように、上記比較例における画素回路 $Pix(i, j)$ では、駆動トランジスタ $T4$ の第1導通端子としてのドレイン端子は、第2発光制御トランジスタ $T5$ を介してハイレベル電源線 $ELVDD$ に接続されている。駆動トランジスタ $T4$ の第2導通端子としてのソース端子は、第1発光制御トランジスタ $T6$ を介して有機EL素子 OL の第1端子としてのアノード電極に接続されるとともに、書込制御トランジスタ $T3$ を介して対応データ信号線 D_j に接続されている。駆動トランジスタ $T4$ の制御端子としてのゲート端子は、保持キャパシタ Cst を介して有機EL素子 OL の第1端子に接続されるとともに、閾値補償トランジスタ $T2$ を介して当該駆動トランジスタのドレイン端子に接続されている。また、有機EL素子 OL の上記アノード電極は、初期化トランジスタ $T1$ を介して初期化電圧線 Lin_i にも接続されており、有機EL素子 OL の第2端子としてのカソード電極は、ローレベル電源線 $ELVSS$ に接続されている。初期化トランジスタ $T1$ および閾値補償トランジスタ $T2$ のゲート端子は、共に対応第1走査信号線 $NS1_i$ に接続されており、書込制御トランジスタ $T3$ のゲート端子は対応第2走査信号線 $NS2_i$ に、第1発光制御トランジスタ $T6$ のゲート端子は対応第1発光制御線 $EM1_i$ に、第2発光制御トランジスタ $T5$ のゲート端子は対応第2発光制御線 $EM2_i$ に、それぞれ接続されている。

[0039] 次に、図3に示した画素回路15aすなわち比較例における i 行 j 列目の

画素回路 $P_{i \times (i, j)}$ における動作を、図3とともに図4を参照して説明する。ただし、ここでは、リフレッシュレートの変更に関連する動作についてのみ説明する。図4において、点線の円は、その中のトランジスタがオン状態であることを示し、点線の×印は、それを付されたトランジスタがオフ状態であることを示している。このような表現方法は、図8、図9、図18、図20、図24、図25、および、図28においても採用されている。

[0040] 図4(A)は、RFフレーム期間において画素回路 $P_{i \times (i, j)}$ に対応データ信号線 D_j の電圧（データ信号 $D(j)$ の電圧）がデータ電圧として書き込まれるデータ書込期間 $T_{wr}(i)$ での回路状態を示している。このデータ書込期間 $T_{wr}(i)$ では、書込制御トランジスタ T_3 、閾値補償トランジスタ T_2 、および初期化トランジスタ T_1 がオン状態であり、第1発光制御トランジスタ T_6 および第2発光制御トランジスタ T_5 がオフ状態である。これにより、対応データ信号線 D_j の電圧が、データ電圧 V_{data} として、オン状態の閾値補償トランジスタ T_2 によってダイオード接続状態となった駆動トランジスタ T_4 を介して保持キャパシタ C_{st} に書き込まれ、保持キャパシタ C_{st} にはデータ電圧 V_{data} と初期化電圧と差 $V_{data} - V_{ini}$ に相当する電圧（正確には、閾値補償の施されたデータ電圧と初期化電圧との差に相当する電圧 $V_{data} + V_{th} - V_{ini}$ ）が保持される。

[0041] 図4(B)は、NRFフレーム期間において画素回路 $P_{i \times (i, j)}$ における有機EL素子OLのアノード電極が初期化されるアノード初期化期間（「アノードリセット期間」または「表示素子初期化期間」ともいう） $T_{anr}(i)$ での回路状態を示している。このアノード初期化期間 $T_{anr}(i)$ では、書込制御トランジスタ T_3 および第1発光制御トランジスタ T_6 がオン状態であり、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、および初期化トランジスタ T_1 がオフ状態である。これにより、対応データ信号線 D_j の電圧が、アノード初期化電圧 V_{anr} として、書込制御トランジスタ T_3 および第1発光制御トランジスタ T_6 を介して有機EL素

子OLのアノード電極に与えられ、有機EL素子OLのアノード電極の電圧（以下「アノード電圧」という） V_a が初期化される。これにより、有機EL素子OLの発光動作に対する過去の表示履歴の影響が遮断される。

[0042] 図4（C）は、NRFフレーム期間において画素回路 $P_{ix}(i, j)$ における駆動トランジスタ T_4 のソース端子にオンバイアス電圧 V_{obs} が印加されるオンバイアス期間 $T_{obs}(i)$ での回路状態を示している。このオンバイアス期間 $T_{obs}(i)$ では、書込制御トランジスタ T_3 がオン状態であり、第1発光制御トランジスタ T_6 、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、および初期化トランジスタ T_1 がオフ状態である。これにより、対応データ信号線 D_j の電圧が、オンバイアス電圧 V_{obs} として、書込制御トランジスタ T_3 を介して駆動トランジスタ T_4 のソース端子に印加される。これにより、駆動トランジスタ T_4 のヒステリシス特性による表示輝度への影響が低減される。

[0043] 図5は、図4に示すように各画素回路 $P_{ix}(i, j)$ を動作させるための駆動信号の変化、すなわち、第1走査信号 $NS1(i)$ 、 $NS1(i-1)$ 、第2走査信号 $NS2(i)$ 、 $NS2(i-1)$ 、第1発光制御信号 $EM1(i)$ 、 $EM1(i-1)$ 、第2発光制御信号 $EM2(i)$ 、 $EM2(i-1)$ 、およびデータ信号 $D(j)$ の変化を示すタイミングチャートである。図5において、符号“ $T_{ini}(k)$ ”は、 k 行目の画素回路 $P_X(k) = P_{ix}(k, 1) \sim P_{ix}(k, m)$ のデータ初期化期間を示し、符号“ $T_{wr}(k)$ ”は、 k 行目の画素回路 $P_X(k)$ のデータ書込期間を示し、符号“ $T_{anr}(k)$ ”は、 k 行目の画素回路 $P_X(k)$ のアノード初期化期間を示し、符号“ $T_{em}(k)$ ”は、 k 行目の画素回路 $P_X(k)$ の発光期間を示す。

[0044] RFフレーム期間 T_{rf} では、図5に示すように駆動信号が変化することにより、第1走査信号線 $NS1_1 \sim NS1_n$ 、第2走査信号線 $NS2_1 \sim NS2_n$ 、第1発光制御線 $EM1_1 \sim EM1_n$ 、および第2発光制御線 $EM2_1 \sim EM2_n$ が選択的に駆動され、データ信号線 $D_1 \sim D_m$ には、画素回路

$P_{ix}(i, 1) \sim P_{ix}(i, m)$ に書き込むべきデータ電圧がそれぞれ与えられる ($i = 1 \sim n$)。このような駆動信号により、RF フレーム期間 T_{rf} に含まれるデータ初期化期間 $T_{ini}(i)$ において画素回路 $P_{ix}(i, j)$ における保持キャパシタ C_{st} の初期化 (データ初期化) が行われ、RF フレーム期間 T_{rf} に含まれるデータ書込期間 $T_{wr}(i)$ において画素回路 $P_{ix}(i, j)$ に対しデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として書き込まれる (図 4 (A) 参照)。

[0045] アノード初期化のみが行われる NR F フレーム期間 T_{nrf} では、図 5 に示すように、第 1 走査信号線 $NS11 \sim NS1n$ および第 1 発光制御線 $EM11 \sim EM1n$ の駆動が停止されるが、第 2 走査信号線 $NS21 \sim NS2n$ および第 2 発光制御線 $EM21 \sim EM2n$ の駆動は継続し、データ信号線 $D1 \sim Dm$ には、アノード初期化電圧 V_{anr} が与えられる。これにより、アノード初期化期間 $T_{anr}(i)$ において画素回路 $P_{ix}(i, j)$ における有機 EL 素子 OL のアノード電圧 V_a が初期化される (図 4 (B) 参照)。

[0046] アノード初期化およびオンバイアス印加が行われる NR F フレーム期間 T_{nrf} では、図 5 に示すように、第 1 走査信号線 $NS11 \sim NS1n$ の駆動が停止されるが、第 2 走査信号線 $NS21 \sim NS2n$ 、第 1 発光制御線 $EM11 \sim EM1n$ 、および第 2 発光制御線 $EM21 \sim EM2n$ が選択的に駆動され、データ信号線 $D1 \sim Dm$ には、アノード初期化電圧 V_{anr} およびオンバイアス電圧 V_{obs} が同一の電圧として与えられる。これにより、オンバイアス期間 $T_{obs}(i)$ において画素回路 $P_{ix}(i, j)$ における駆動トランジスタ $T4$ のソース端子にデータ信号 $D(j)$ の電圧がオンバイアス電圧 V_{obs} として与えられ (図 4 (C) 参照)、アノード初期化期間 $T_{anr}(i)$ において画素回路 $P_{ix}(i, j)$ における有機 EL 素子 OL のアノード電圧 V_a が初期化される (図 4 (B) 参照)。

[0047] 次に、図 6 を参照して、上記のような比較例としての表示装置において低リフレッシュモードにおける NR F フレーム期間 T_{nrf} の途中で動画表示

のためのリフレッシュ要求 Rq_mv が発生した場合の問題点について説明する。ここでは、このように NRF フレーム期間 T_{nrf} の途中で動画表示のためのリフレッシュ要求 Rq_mv が発生した場合、図6に示すように当該 NRF フレーム期間 T_{nrf} の終了まで待たず終了前の時点前（ Cg_mod で示される時点）において高リフレッシュモードに移行し、当該時点から RF フレーム期間 T_{rf} が始まるという動作例を仮に想定する。

[0048] このような動作例では、図6に示すように、当該 NRF フレーム期間 T_{nrf} の途中で高リフレッシュモードに切り替わってから当該 NRF フレーム期間 T_{nrf} の終了時点までの期間 T_{mx} では、アノード初期化とデータ書込とを並行して実行する必要がある。すなわち、この期間 T_{mx} では、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i_1, j)$ とアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i_2, j)$ とを混在させる必要がある（ $1 \leq i_1 < i_2 \leq n$ ）。しかし、図4および図5に示すように、上記比較例における画素回路 $P_{ix}(i, j)$ には、アノード初期化電圧 V_{anr} 、オンバイアス電圧 V_{obs} 、および、データ電圧 V_{data} のいずれもが、データ信号線 D_j を介して与えられる。したがって、同一のデータ信号線 D_j に接続される画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ すなわち同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i_1, j)$ とアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i_2, j)$ とを混在させることができない。このため、上記比較例に係る表示装置では、図6に示すように NRF フレーム期間 T_{nrf} の途中で高リフレッシュモードに移行することはできず、図2に示すように、当該 NRF フレーム期間 T_{nrf} の終了時点で高リフレッシュモードに切り替わることになる。

[0049] 上記のように、上記比較例に係る表示装置では、低リフレッシュモードで静止画を表示しているときに動画表示のためのリフレッシュ要求 Rq_mv が発生しても直ちに高リフレッシュモードに移行してリフレッシュ動作を開

始することはできない。その結果、低リフレッシュモードで静止画を表示している場合において高リフレッシュモードでの動画表示への切り替わりが遅くなるという問題があった。そこで、本実施形態に係る表示装置は、低リフレッシュモードで静止画を表示している場合において高リフレッシュモードでの動画表示へ素早く切り替えられるように、同一列の画素回路 $P_{i \times (1, j)} \sim P_{i \times (n, j)}$ においてデータ書込とアノード初期化またはオンバイアス印加とを同時に実行できるように構成されている。以下、このような本実施形態における画素回路について説明する。

[0050] <1. 3 第1の実施形態における画素回路の構成および動作>

図7は、本実施形態における画素回路15の構成を示す回路図であり、より詳しくは、 i 番目の第1走査信号線 $NS1_i$ および j 番目のデータ信号線 D_j に対応する画素回路15すなわち i 行 j 列目の画素回路 $P_{i \times (i, j)}$ の構成を示す回路図である ($1 \leq i \leq n$ 、 $1 \leq j \leq m$)。この画素回路15は、図3に示した比較例における画素回路15aと同様、表示素子としての1個の有機EL素子OL、初期化トランジスタT1、閾値補償トランジスタT2、書込制御トランジスタT3、駆動トランジスタT4、第1発光制御トランジスタT6、第2発光制御トランジスタT5、および、保持キャパシタ C_{st} を備えている。トランジスタT1～T6はNチャネル型の薄膜トランジスタ（より詳しくは酸化物TFT）であり、駆動トランジスタT4以外のトランジスタT1～T3、T5、T6はスイッチング素子として動作する。

[0051] 図7を図3と比較すればわかるように、本実施形態における画素回路15は、上記比較例における画素回路15aとは異なり、スイッチング素子として動作するNチャネル型の薄膜トランジスタ（より詳しくは酸化物TFT）であるバイアス制御トランジスタT8を更に備えている。

[0052] 図7に示すように本実施形態における画素回路 $P_{i \times (i, j)}$ には、図3の比較例における画素回路 $P_{i \times (i, j)}$ と同様、それに対応する第1走査信号線（対応第1走査信号線） $NS1_i$ 、それに対応する第2走査信号

線（対応第2走査信号線） $NS2_i$ 、それに対応する第1発光制御線（対応第1発光制御線） $EM1_i$ 、それに対応する第2発光制御線（対応第2発光制御線） $EM2_i$ 、それに対応するデータ信号線（対応データ信号線） D_j 、初期化電圧線 Lin_i 、ハイレベル電源線 $ELVDD$ 、および、ローレベル電源線 $ELVSS$ が接続されている。これに加えて、本実施形態における画素回路 $Pix(i, j)$ には、それに対応する第3走査信号線 $NS3_i$ （以下、画素回路に注目した説明において「対応第3走査信号線」ともいう）、および、オンバイアス電圧線 $Lobs$ も接続されている（図1、図7参照）。

[0053] 本実施形態における画素回路 $Pix(i, j)$ 内における構成要素 $T1 \sim T6$ 、 Cst 、 OL の間の接続関係、および、当該画素回路 $Pix(i, j)$ に接続される上記の信号線 $NS1_i$ 、 $NS2_i$ 、 $EM1_i$ 、 $EM2_i$ 、 D_j 、電源線 $ELVDD$ 、 $ELVSS$ 、初期化電圧線 Lin_i と当該構成要素 $T1 \sim T6$ 、 Cst 、 OL との接続関係は、図7に示す通りであって、上記比較例における画素回路 $Pix(i, j)$ の接続関係（図3参照）と同様である。

[0054] 図7に示すように、本実施形態における画素回路15に設けられたスイッチング素子としてのバイアス制御トランジスタ $T8$ は、第1導通端子をオンバイアス電圧線 $Lobs$ に接続され、第2導通端子を駆動トランジスタ $T4$ の第2導通端子としてのソース端子に接続され、制御端子としてのゲート端子を対応第3走査信号線 $NS3_i$ に接続されている。本実施形態では、このバイアス制御トランジスタ $T8$ が、駆動トランジスタ $T4$ のヒステリシス特性による表示輝度への影響を低減するためのバイアス印加回路を構成する。

[0055] 次に、図7に示した画素回路15すなわち本実施形態における i 行 j 列目の画素回路 $Pix(i, j)$ における動作を、図7とともに図8および図9を参照して説明する。

[0056] 図8(A)は、RFフレーム期間 Trf におけるデータ初期化期間 $Tini$ での画素回路 $Pix(i, j)$ の回路状態を示している。このデータ初期

化期間 T_{ini} は、画素回路 $P_{ix}(i, j)$ の保持キャパシタ C_{st} に保持された電圧を初期化するための期間であり、保持キャパシタ C_{st} に保持されている電圧の初期化は、駆動トランジスタ T_4 のゲート端子の電圧 V_g の初期化に相当する。このデータ初期化期間 T_{ini} では、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、および初期化トランジスタ T_1 がオン状態であり、書込制御トランジスタ T_3 、第1発光制御トランジスタ T_6 、およびバイアス制御トランジスタ T_8 がオフ状態である。これにより、保持キャパシタ C_{st} が、ハイレベル電源電圧 $ELVDD$ と初期化電圧 V_{ini} との差の電圧 $ELVDD - V_{ini}$ に初期化され、駆動トランジスタ T_4 のゲート端子の電圧（以下「ゲート電圧」という） V_g は、ハイレベル電源電圧 $ELVDD$ に初期化される。このとき、オン状態の初期化トランジスタ T_1 により、有機EL素子OLのアノード電極の電圧（アノード電圧） V_a も初期化電圧 V_{ini} に初期化される。

[0057] 図8（B）は、RFフレーム期間 T_{rf} におけるデータ書込期間 T_{wr} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このデータ書込期間 T_{wr} では、書込制御トランジスタ T_3 、閾値補償トランジスタ T_2 、および初期化トランジスタ T_1 がオン状態であり、第1発光制御トランジスタ T_6 、第2発光制御トランジスタ T_5 、およびバイアス制御トランジスタ T_8 がオフ状態である。これにより、対応データ信号線 D_j の電圧が、データ電圧 V_{data} として、オン状態の閾値補償トランジスタ T_2 によってダイオード接続状態となった駆動トランジスタ T_4 を介して保持キャパシタ C_{st} に書き込まれ、保持キャパシタ C_{st} にはデータ電圧と初期化電圧との差 $V_{data} - V_{ini}$ に相当する電圧（正確には、閾値補償の施されたデータ電圧と初期化電圧との差に相当する電圧 $V_{data} + V_{th} - V_{ini}$ ）が保持される（ $V_{th} > 0$ ）。なおデータ書込期間 T_{wr} では、オン状態の初期化トランジスタ T_1 により、有機EL素子OLのアノード電圧 V_a も初期化電圧 V_{ini} に初期化される。

[0058] 図8（C）は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nr}

fにおける発光期間 T_{em} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。この発光期間 T_{em} は、画素回路 $P_{ix}(i, j)$ における有機EL素子OLが点灯する期間である。この発光期間 T_{em} では、第1発光制御トランジスタ T_6 および第2発光制御トランジスタ T_5 がオン状態であり、書込制御トランジスタ T_3 、閾値補償トランジスタ T_2 、初期化トランジスタ T_1 、およびバイアス制御トランジスタ T_8 がオフ状態である。これにより、保持キャパシタ C_{st} に保持された電圧に応じた量の電流 I_1 が、ハイレベル電源線 $ELVDD$ から第2発光制御トランジスタ T_5 、駆動トランジスタ T_4 、第1発光制御トランジスタ T_6 、および、有機EL素子OLを経由してローレベル電源線 $ELVSS$ に流れ、有機EL素子OLは、この電流 I_1 に応じた輝度で発光する。

[0059] 図9(A)は、NRFフレーム期間 T_{nrf} における表示素子初期化期間としてのアノード初期化期間 T_{anr} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このアノード初期化期間 T_{anr} では、バイアス制御トランジスタ T_8 および第1発光制御トランジスタ T_6 がオン状態であり、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、初期化トランジスタ T_1 、および書込制御トランジスタ T_3 がオフ状態である。このように本実施形態におけるアノード初期化期間 T_{anr} では、上記比較例におけるアノード初期化期間 $T_{anr}(i)$ での回路状態(図4(B))とは異なり、書込制御トランジスタはオフ状態でありバイアス制御トランジスタ T_8 がオン状態である。これにより、オンバイアス電圧線 $Lobs$ の電圧 $Vobs$ がアノード初期化電圧 $Vanr$ として、バイアス制御トランジスタ T_8 および第1発光制御トランジスタ T_6 を介して有機EL素子OLのアノード電極に与えられ、有機EL素子OLのアノード電圧 Va が初期化される。このようなアノード電圧 Va の初期化により、有機EL素子OLの発光動作に対する過去の表示履歴の影響が遮断されて表示品質の低下が抑えられる。

[0060] 図9(B)は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} におけるオンバイアス期間 $Tobs$ での画素回路 $P_{ix}(i, j)$ の回路

状態を示している。このオンバイアス期間 T_{obs} では、バイアス制御トランジスタ T_8 がオン状態であり、第1発光制御トランジスタ T_6 、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、初期化トランジスタ T_1 、および書込制御トランジスタ T_3 がオフ状態である。このように本実施形態におけるオンバイアス期間 T_{obs} では、上記比較例におけるオンバイアス期間 $T_{obs}(i)$ での回路状態（図4（C））とは異なり、書込制御トランジスタはオフ状態でありバイアス制御トランジスタ T_8 がオン状態である。これにより、オンバイアス電圧線 L_{obs} の電圧がオンバイアス電圧 V_{obs} として、バイアス制御トランジスタ T_8 を介して駆動トランジスタ T_4 のソース端子に印加される。その結果、駆動トランジスタ T_4 のヒステリシス特性による表示輝度への影響が低減される。このようにして、リフレッシュレートを切り替えつつ表示を行う場合であっても、フリッカの視認されない良好な表示が得られる。

[0061] <1. 3. 1 第1の駆動例>

図10は、図8および図9に示すように各画素回路 $P_{ix}(i, j)$ を動作させるための第1の駆動例を説明するためのタイミングチャートであり、当該第1の駆動例における駆動信号の変化、すなわち、第1走査信号 $NS1(i)$ 、 $NS1(i-1)$ 、第2走査信号 $NS2(i)$ 、 $NS2(i-1)$ 、第3走査信号 $NS3(i)$ 、第1発光制御信号 $EM1(i)$ 、 $EM1(i-1)$ 、第2発光制御信号 $EM2(i)$ 、 $EM2(i-1)$ 、およびデータ信号 $D(j)$ の変化を示している。本駆動例では、走査側駆動回路40は、走査信号線駆動回路を構成する第1走査信号線駆動回路、第2走査信号線駆動回路、および第3走査信号線駆動回路、ならびに、第1発光制御回路および第2発光制御回路を含み、第1走査信号線駆動回路と第2走査信号線駆動回路と第3走査信号線駆動回路と第1発光制御回路と第2発光制御回路のそれぞれは、縦続接続された n 段の双安定回路（以下「単位回路」という）を有し、これらの単位回路と各画素回路とは、図13（A）に示すように接続されている。すなわち、 k 行目の画素回路 $P_{ix}(k, 1) \sim P_{ix}(k,$

m) には、第1走査信号線駆動回路と第2走査信号線駆動回路と第3走査信号線駆動回路と第1発光制御回路と第2発光制御回路におけるk段目の単位回路NS1(Uk), NS2(Uk), NS3(Uk), EM1(Uk), EM2(Uk)が接続される(k=1~n)。なお、説明の便宜上、図10では、1つのRFフレーム期間Trfと、それに続く1つのNRFフレーム期間Tnrfにおける当該駆動信号の変化を示している。通常は多数のNRFフレーム期間Tnrfが連続し、また、RFフレーム期間Trfも複数続いてもよい。この点は、他の駆動例を説明するための図11、図12においても同様である。

[0062] RFフレーム期間Trfでは、図10に示すように駆動信号が変化することにより、第1走査信号線NS11~NS1n、第2走査信号線NS21~NS2n、第3走査信号線NS31~NS3n、第1発光制御線EM11~EM1n、および第2発光制御線EM21~EM2nが選択的に駆動され、データ信号線D1~Dmには、画素回路Pix(i, 1)~Pix(i, m)に書き込むべきデータ電圧がそれぞれ与えられる(i=1~n)。このような駆動信号により、データ初期化期間Tiniにおいて画素回路Pix(i, j)における保持キャパシタCstの初期化(データ初期化)が行われ、データ書込期間Twrにおいて画素回路Pix(i, j)に対しデータ信号D(j)の電圧がデータ電圧Vdataとして書き込まれる(図8(A)参照)。本駆動例では、図10に示すように、RFフレーム期間Trfにおいて、データ初期化期間Tiniとデータ書込期間Twrとの間にオンバイアス期間Tobsが設けられており、各画素回路Pix(i, j)におけるオンバイアス期間Tobsでは、対応第1走査信号線NS1iの信号NS1(i)、対応第2走査信号線NS2iの信号NS2(i)、対応第1発光制御線EM1iの信号EM1(i)、対応第2発光制御線EM2iの信号EM2(i)がいずれもLレベル(非アクティブ)であり、対応第3走査信号線NS3iの信号NS3(i)がHレベル(アクティブ)である。これにより、当該画素回路Pix(i, j)は図9(B)に示すように動作し、オンバ

イアス電圧線 L_{obs} の電圧がオンバイアス電圧 V_{obs} として駆動トランジスタ T_4 のソース端子に印加される。

[0063] N R Fフレーム期間 T_{nrf} では、図10に示すように駆動信号が変化することにより、第1走査信号線 $NS_{11} \sim NS_{1n}$ 、第2走査信号線 $NS_{21} \sim NS_{2n}$ 、第3走査信号線 $NS_{31} \sim NS_{3n}$ 、第1発光制御線 $EM_{11} \sim EM_{1n}$ 、および第2発光制御線 $EM_{21} \sim EM_{2n}$ が選択的に駆動され、データ信号線 $D_1 \sim D_m$ は、高インピーダンス状態に維持される。このような駆動信号により、各画素回路 $P_{ix}(i, j)$ につき、N R Fフレーム期間 T_{nrf} において、オンバイアス期間 T_{obs} およびアノード初期化期間 T_{anr} が設けられる。このうちオンバイアス期間 T_{obs} では、R Fフレーム期間 T_{rf} に含まれるオンバイアス期間 T_{obs} と同様、対応第1走査信号線 NS_{1i} の信号 $NS_1(i)$ 、対応第2走査信号線 NS_{2i} の信号 $NS_2(i)$ 、対応第1発光制御線 EM_{1i} の信号 $EM_1(i)$ 、対応第2発光制御線 EM_{2i} の信号 $EM_2(i)$ がいずれもLレベル（非アクティブ）であり、対応第3走査信号線 NS_{3i} の信号 $NS_3(i)$ がHレベル（アクティブ）である。これにより、当該画素回路 $P_{ix}(i, j)$ は図9（B）に示すように動作し、駆動トランジスタ T_4 のソース端子にオンバイアス電圧線 L_{obs} の電圧がオンバイアス電圧 V_{obs} として印加される。また、アノード初期化期間 T_{anr} では、対応第1走査信号線 NS_{1i} の信号 $NS_1(i)$ 、対応第2走査信号線 NS_{2i} の信号 $NS_2(i)$ 、対応第2発光制御線 EM_{2i} の信号 $EM_2(i)$ がいずれもLレベル（非アクティブ）であり、対応第3走査信号線 NS_{3i} の信号 $NS_3(i)$ および対応第1発光制御線 EM_{1i} の信号 $EM_1(i)$ がHレベル（アクティブ）である。これにより、当該画素回路 $P_{ix}(i, j)$ は図9（A）に示すように動作し、オンバイアス電圧線 L_{obs} の電圧がアノード初期化電圧 V_{anr} として、バイアス制御トランジスタ T_8 を介して有機EL素子OLのアノード電極に与えられてアノード電圧 V_a が初期化される。

[0064] <1. 3. 2 第2の駆動例>

図11は、図8および図9に示すように各画素回路 $P_{ix}(i, j)$ を動作させるための第2の駆動例を説明するためのタイミングチャートであり、当該第2の駆動例における駆動信号の変化、すなわち、第1走査信号 $NS1(i)$ 、 $NS1(i-1)$ 、第2走査信号 $NS2(i)$ 、 $NS2(i-1)$ 、第3走査信号 $NS3(i)$ 、第1発光制御信号 $EM1(i)$ 、 $EM1(i-1)$ 、第2発光制御信号 $EM2(i)$ 、 $EM2(i-1)$ 、およびデータ信号 $D(j)$ の変化を示している。本駆動例においても、図13(A)に示すように、 k 行目の画素回路 $P_{ix}(k, 1) \sim P_{ix}(k, m)$ には、第1走査信号線駆動回路と第2走査信号線駆動回路と第3走査信号線駆動回路と第1発光制御回路と第2発光制御回路における k 段目の単位回路 $NS1(U_k)$ 、 $NS2(U_k)$ 、 $NS3(U_k)$ 、 $EM1(U_k)$ 、 $EM2(U_k)$ が接続される($k=1 \sim n$)。

[0065] RFフレーム期間 T_{rf} では、図11に示すように駆動信号が変化することにより、第1走査信号線 $NS11 \sim NS1n$ 、第2走査信号線 $NS21 \sim NS2n$ 、第3走査信号線 $NS31 \sim NS3n$ 、第1発光制御線 $EM11 \sim EM1n$ 、および第2発光制御線 $EM21 \sim EM2n$ が選択的に駆動され、データ信号線 $D1 \sim Dm$ には、画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ に書き込むべきデータ電圧がそれぞれ与えられる($i=1 \sim n$)。このような駆動信号により、上記第1の駆動例と同様、データ初期化期間 T_{ini} において画素回路 $P_{ix}(i, j)$ における保持キャパシタ C_{st} の初期化(データ初期化)が行われ(図8(A)参照)、データ書込期間 T_{wr} において画素回路 $P_{ix}(i, j)$ に対しデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として書き込まれる(図8(B)参照)。

[0066] 本駆動例では、第1の駆動例とは異なり、図11に示すように、RFフレーム期間 T_{rf} 内に2つのオンバイアス期間 T_{obs} が設けられている。すなわち、RFフレーム期間 T_{rf} において、データ初期化期間 T_{ini} とデータ書込期間 T_{wr} との間にオンバイアス期間 T_{obs} が設けられているだけでなく、データ書込期間 T_{wr} の後にもオンバイアス期間 T_{obs} が設け

られている。各画素回路 $P_{ix}(i, j)$ につき、これら2つのオンバイアス期間 T_{obs} のいずれにおいても対応第1走査信号線 $NS1i$ の信号 $NS1(i)$ 、対応第2走査信号線 $NS2i$ の信号 $NS2(i)$ 、対応第1発光制御線 $EM1i$ の信号 $EM1(i)$ 、および対応第2発光制御線 $EM2i$ の信号 $EM2(i)$ がLレベル（非アクティブ）であり、対応第3走査信号線 $NS3i$ の信号 $NS3(i)$ がHレベル（アクティブ）である。これにより、当該画素回路 $P_{ix}(i, j)$ は図9（B）に示すように動作し、オンバイアス電圧線 L_{obs} の電圧がオンバイアス電圧 V_{obs} として駆動トランジスタ $T4$ に印加される。したがって、本駆動例によれば、第1の駆動例に比べ、駆動トランジスタ $T4$ のヒステリシス特性による表示輝度への影響を更に低減することができる。

[0067] N R F フレーム期間 T_{nrf} では、第1の駆動例と同様（図10）、図11に示すように駆動信号が変化することにより、第1走査信号線 $NS11 \sim NS1n$ 、第2走査信号線 $NS21 \sim NS2n$ 、第3走査信号線 $NS31 \sim NS3n$ 、第1発光制御線 $EM11 \sim EM1n$ 、および第2発光制御線 $EM21 \sim EM2n$ が選択的に駆動され、データ信号線 $D1 \sim Dm$ は、高インピーダンス状態に維持される。このような駆動信号により、各画素回路 $P_{ix}(i, j)$ につき、N R F フレーム期間 T_{nrf} において、オンバイアス期間 T_{obs} およびアノード初期化期間 T_{anr} が設けられ、第1の駆動例と同様、当該画素回路 $P_{ix}(i, j)$ において、オンバイアス期間 T_{obs} では駆動トランジスタ $T4$ のソース端子にオンバイアス電圧 V_{obs} が印加され（図9（B）参照）、アノード初期化期間 T_{anr} では、有機EL素子OLのアノード電極にアノード初期化電圧 $V_{anr} (= V_{obs})$ が与えられる（図9（A）参照）。

[0068] <1. 3. 3 第3の駆動例>

図12は、図8および図9に示すように各画素回路 $P_{ix}(i, j)$ を動作させるための第3の駆動例を説明するためのタイミングチャートであり、当該第3の駆動例における駆動信号の変化、すなわち、第1走査信号 $NS1$

(i), $NS1(i-1)$ 、第2走査信号 $NS2(i)$, $NS2(i-1)$ 、第3走査信号 $NS3(i)$ 、第1発光制御信号 $EM1(i)$, $EM1(i-1)$ 、第2発光制御信号 $EM2(i)$, $EM2(i-1)$ 、およびデータ信号 $D(j)$ の変化を示している。本駆動例では、走査側駆動回路40における第1走査信号線駆動回路、第2走査信号線駆動回路、第3走査信号線駆動回路、第1発光制御回路、および第2発光制御回路のうち、第1走査信号線駆動回路、第2走査信号線駆動回路、および第3走査信号線駆動回路のそれぞれは、第1の駆動例と同様、縦続接続された n 段の双安定回路（単位回路）を有するが、第1発光制御回路および第2発光制御回路のそれぞれは、縦続接続された $n/2$ 段の双安定回路（以下これも「単位回路」という）を有し（ここでは、 n は偶数であるものとする）、これらの単位回路と各画素回路とは、図13(B)に示すように接続されている。すなわち、 $2k-1$ 行目の画素回路 $Pix(2k-1, 1) \sim Pix(2k-1, m)$ には、第1走査信号線駆動回路と第2走査信号線駆動回路と第3走査信号線駆動回路における $2k-1$ 段目の単位回路 $NS1(U_{2k-1})$, $NS2(U_{2k-1})$, $NS3(U_{2k-1})$ および第1発光制御回路と第2発光制御回路における k 段目の単位回路 $EM1(U_k)$, $EM2(U_k)$ が接続され、 $2k$ 行目の画素回路 $Pix(2k, 1) \sim Pix(2k, m)$ には、第1走査信号線駆動回路と第2走査信号線駆動回路と第3走査信号線駆動回路における $2k$ 段目の単位回路 $NS1(U_{2k})$, $NS2(U_{2k})$, $NS3(U_{2k})$ および第1発光制御回路と第2発光制御回路における k 段目の単位回路 $EM1(U_k)$, $EM2(U_k)$ が接続される（ $k=1 \sim n/2$ ）。

[0069] RFフレーム期間 T_{rf} では、図12に示すように駆動信号が変化することにより、第1走査信号線 $NS11 \sim NS1n$ 、第2走査信号線 $NS21 \sim NS2n$ 、第3走査信号線 $NS31 \sim NS3n$ 、第1発光制御線 $EM11 \sim EM1n$ 、および第2発光制御線 $EM21 \sim EM2n$ が選択的に駆動され、データ信号線 $D1 \sim Dm$ には、画素回路 $Pix(i, 1) \sim Pix(i, m)$ に書き込むべきデータ電圧がそれぞれ与えられる（ $i=1 \sim n$ ）。図12

に示すように本駆動例では、第1発光制御信号 $EM1(i)$ および第2発光制御信号 $EM2(i)$ が第1の駆動例とは異なるタイミングで変化する。しかし、本駆動例における駆動信号 $NS1(i)$ 、 $NS2(i)$ 、 $NS3(i)$ 、 $EM1(i)$ 、 $EM2(i)$ のデータ初期化期間 T_{ini} 、データ書込期間 T_{wr} 、および、オンバイアス期間 T_{obs} におけるレベルは、それぞれ、第1の駆動例における駆動信号 $NS1(i)$ 、 $NS2(i)$ 、 $NS3(i)$ 、 $EM1(i)$ 、 $EM2(i)$ のデータ初期化期間 T_{ini} 、データ書込期間 T_{wr} 、および、オンバイアス期間 T_{obs} におけるレベル（図10参照）と同じである。したがって、上記第1の駆動例と同様、データ初期化期間 T_{ini} において画素回路 $Pix(i, j)$ における保持キャパシタ C_{st} の初期化（データ初期化）が行われ（図8（A）参照）、データ書込期間 T_{wr} において画素回路 $Pix(i, j)$ に対しデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として書き込まれ（図8（B）参照）、オンバイアス期間 T_{obs} において画素回路 $Pix(i, j)$ 内の駆動トランジスタ $T4$ のソース端子にオンバイアス電圧 V_{obs} が印加される（図9（B）参照）。

[0070] NRF フレーム期間 T_{nrf} においても、図12に示すように、第1発光制御信号 $EM1(i)$ および第2発光制御信号 $EM2(i)$ が第1の駆動例とは異なるタイミングで変化する。しかし、本駆動例における駆動信号 $NS1(i)$ 、 $NS2(i)$ 、 $NS3(i)$ 、 $EM1(i)$ 、 $EM2(i)$ のオンバイアス期間 T_{obs} およびアノード初期化期間 T_{anr} におけるレベルは、それぞれ、第1の駆動例における駆動信号 $NS1(i)$ 、 $NS2(i)$ 、 $NS3(i)$ 、 $EM1(i)$ 、 $EM2(i)$ のオンバイアス期間 T_{obs} およびアノード初期化期間 T_{anr} におけるレベル（図10参照）と同じである。したがって、上記第1の駆動例と同様、オンバイアス期間 T_{obs} において画素回路 $Pix(i, j)$ 内の駆動トランジスタ $T4$ のソース端子にオンバイアス電圧 V_{obs} が印加され（図9（B）参照）、アノード初期化期間 T_{anr} においてオンバイアス電圧線 L_{obs} の電圧がアノード初期化

電圧 V_{anr} として画素回路 $P_{ix}(i, j)$ 内の有機 EL 素子 OL のアノード電極に与えられる (図 9 (A) 参照)。

[0071] このような本駆動例によれば、画素回路 $P_{ix}(i, j)$ が第 1 の駆動例と同様に駆動されるが、走査側駆動回路 40 において第 1 発光制御回路および第 2 発光制御回路のそれぞれは $n/2$ 段の単位回路により構成されるので (図 13 (B) 参照)、第 1 の駆動例に比べ (図 13 (A) 参照) 発光制御回路の回路量が低減される (略 $1/2$ となる)。

る。

[0072] < 1. 4 第 1 の実施形態に係る表示装置の動作 >

次に、図 14 から図 16 を参照して本実施形態に係る表示装置の動作を説明する。

[0073] < 1. 4. 1 第 1 の動作例 >

図 14 は、本実施形態に係る表示装置の第 1 の動作例を説明するためのタイミングチャートである。本動作例では、本実施形態に係る表示装置は $1/2$ フレーム期間単位でリフレッシュレートが変更可能に構成されているものとする。図 14 においても、図 2 に示す比較例のタイミングチャートと同様、 $P_X(i)$ は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ を示し ($i = 1 \sim n$)、 $Data$ は、データ信号 $D(1) \sim D(n)$ を総称的に示しており、“ACT” はデータ書込のための信号状態 (データ電圧) を、“BLK” はブランキングの信号状態をそれぞれ示している。本実施形態では、オンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} は、上記比較例とは異なり、データ信号線 D_j とは別に設けられたオンバイアス電圧線 L_{obs} から各画素回路 $P_{ix}(i, j)$ に与えられる (図 9 の (A) および (B) 参照)。そこで図 14 では、“OBS” は、オンバイアス電圧線 L_{obs} の電圧が駆動トランジスタ T_4 へのオンバイアス印加のためのオンバイアス電圧 V_{obs} として使用され、“ANR” は、オンバイアス電圧線 L_{obs} の電圧が有機 EL 素子のアノード初期化のためのアノード初期化電圧 V_{anr} として使用されることを示している。また、図 2 に示す比較例

のタイミングチャートと同様、リフレッシュフレーム期間 T_{rf} において斜め方向に延びる太い実線は、各行の画素回路 $P_X(i) = P_{ix}(i, 1) \sim P_{ix}(i, m)$ においてデータ書込が行われるタイミングを示し($i = 1 \sim n$)、非リフレッシュフレーム期間 T_{nrf} において斜め方向に延びる太い点線は、各行の画素回路 $P_X(i)$ においてオンバイアス印加またはアノード初期化が行われるタイミングを示している($i = 1 \sim n$)。なお、表示装置の動作例を示すために図14で使用されている表現方法は、後述の図15、図16、および図30(B)においても使用されている。

[0074] 図14に示す例は、RFフレーム期間 T_{rf} の後に複数のNRFフレーム期間 T_{nrf} が続く低リフレッシュモードで動作しているときに或るNRFフレーム期間 T_{nrf} の前半期間内で動画表示のためのリフレッシュ要求 Rq_mv が発生した場合の表示装置の動作を示している。本動作例における表示装置は1/2フレーム期間単位でリフレッシュレートが変更可能に構成されているので、この場合、図14に示すように、表示装置の動作モードは、当該NRFフレーム期間 T_{nrf} の前半期間の終了時点 Cg_mod で高リフレッシュモードに切り替わる。すなわち、その終了時点からRFフレーム期間 T_{rf} が始まり、高リフレッシュモードで動作している間はRFフレーム期間 T_{rf} が連続する。したがって、本動作例では、表示装置の動作モードが当該NRFフレーム期間 T_{nrf} の終了時点で高リフレッシュモードに切り替わる上記比較例の動作例(図2)に比べ、高リフレッシュモードへの切り替わりが1/2フレーム期間だけ早くなる。

[0075] 図14に示すように、上記NRFフレーム期間 T_{nrf} の前半期間で動画表示のためのリフレッシュ要求 Rq_mv が発生し、その前半期間の終了時点 Cg_mod で動作モードが高リフレッシュモードに切り替わるが、その前半期間で実行されていたオンバイアス印加およびアノード初期化は、当該NRFフレーム期間 T_{nrf} の後半期間においても行われる。すなわち図14に示すように、当該NRFフレーム期間 T_{nrf} の後半期間と動作モードの切り替わり後の最初のRFフレーム期間 T_{rf} の前半期間とは重複する。

この重複期間 T_{ov} では、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i1, j)$ とアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とが混在することになる。既述のように上記比較例では、オンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} がデータ信号線 D_j から各画素回路 $P_{ix}(i, j)$ に供給されるので（図4の（B）および（C）参照）、このような重複期間 T_{ov} での動作を実現できなかった。これに対し本実施形態では、オンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} は、オンバイアス電圧線 L_{obs} から各画素回路 $P_{ix}(i, j)$ に供給されるので（図9の（A）および（B）参照）、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i1, j)$ とアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とが混在する上記重複期間 T_{ov} での動作が可能である。

[0076] なお、本動作例は、1フレーム期間において第1発光制御信号 $EM1(1) \sim EM1(n)$ および第2発光制御信号 $EM2(1) \sim EM2(n)$ のそれぞれが非アクティブ状態（Lレベル）になるタイミングが2回であることを前提としており、これにより、低リフレッシュモードから高リフレッシュモードへの動作モードの切り替えは1/2フレーム期間単位となっている。しかし、表示制御回路20から走査側駆動回路40に与えられる走査側制御信号 S_{cs} によって、1フレーム期間においてこれらの発光制御信号のそれぞれが非アクティブ状態になる回数を変えることにより、高リフレッシュモードへの動作モードの切り替えをより短い時間単位で行うことも可能である。例えば、上記回数を4とすることで1/4フレーム期間単位で動作モードを高リフレッシュモードへと切り替えることができ、また、上記回数を8とすることで1/8フレーム期間単位で動作モードを高リフレッシュモードへと切り替えることもできる。この点は、他の実施形態においても同様である。

[0077] <1. 4. 2 第2の動作例>

図15は、本実施形態に係る表示装置の第2の動作例を説明するためのタイミングチャートである。本動作例では、本実施形態に係る表示装置は1/4フレーム期間単位でリフレッシュレートが変更可能に構成されているものとする。

[0078] 図15に示す例は、RFフレーム期間 T_{rf} の後に複数のNRFフレーム期間 T_{nrf} が続く低リフレッシュモードで動作しているときに或るNRFフレーム期間 T_{nrf} における最初の1/4フレーム期間内で動画表示のためのリフレッシュ要求 Rq_mv が発生した場合の表示装置の動作を示している。本動作例における表示装置は1/4フレーム期間単位でリフレッシュレートが変更可能に構成されているので、この場合、図15に示すように、表示装置の動作モードは、当該NRFフレーム期間 T_{nrf} における最初の1/4フレーム期間の終了時点 Cg_mod で高リフレッシュモードに切り替わる。すなわち、その終了時点からRFフレーム期間 T_{rf} が始まり、高リフレッシュモードで動作している間はRFフレーム期間 T_{rf} が連続する。したがって、本動作例では、表示装置の動作モードが当該NRFフレーム期間 T_{nrf} の終了時点で高リフレッシュモードに切り替わる比較例の動作例（図2）に比べ、高リフレッシュモードへの切り替わりが3/4フレーム期間だけ早くなる。

[0079] 図15に示すように、本動作例では、上記NRFフレーム期間 T_{nrf} における最初の1/4フレーム期間の終了時点 Cg_mod で動作モードが高リフレッシュモードに切り替わるが、当該最初の1/4フレーム期間で実行されていたオンバイアス印加およびアノード初期化は、当該NRFフレーム期間 T_{nrf} における残余の3/4フレーム期間においても行われる。すなわち図15に示すように、当該NRFフレーム期間 T_{nrf} における残余の3/4フレーム期間と動作モードの切り替わり後の最初のRFフレーム期間 T_{rf} における開始時点からの3/4フレーム期間とは重複する。この重複期間 T_{ov} では、同一列の画素回路 $Pix(1, j) \sim Pix(n, j)$ に

において、データ書込が行われる画素回路 $P_{ix}(i1, j)$ とアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とが混在することになる。しかし本実施形態では、オンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} は、オンバイアス電圧線 L_{obs} から各画素回路 $P_{ix}(i, j)$ に供給されるので（図9の（A）および（B）参照）、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ においてデータ書込が行われる画素回路 $P_{ix}(i1, j)$ とアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とが混在する上記重複期間 T_{ov} での動作が可能である。

[0080] <1. 4. 3 第3の動作例>

図16は、本実施形態に係る表示装置の第3の動作例を説明するためのタイミングチャートである。本動作例においても、本実施形態に係る表示装置は1/4フレーム期間単位でリフレッシュレートが変更可能に構成されているものとする。

[0081] 図16に示す例は、RFフレーム期間 T_{rf} の後に複数のNRFフレーム期間 T_{nrf} が続く低リフレッシュモードで動作しているときに或るNRFフレーム期間 T_{nrf} における3番目の1/4フレーム期間内で動画表示のためのリフレッシュ要求 Rq_mv が発生した場合の表示装置の動作を示している。本動作例における表示装置は1/4フレーム期間単位でリフレッシュレートが変更可能に構成されているので、この場合、図16に示すように、表示装置の動作モードは、当該NRFフレーム期間 T_{nrf} における3番目の1/4フレーム期間の終了時点 Cg_mod で高リフレッシュモードに切り替わる。すなわち、その終了時点からRFフレーム期間 T_{rf} が始まり、高リフレッシュモードで動作している間はRFフレーム期間 T_{rf} が連続する。したがって、本動作例では、表示装置の動作モードが当該NRFフレーム期間 T_{nrf} の終了時点で高リフレッシュモードに切り替わる比較例の動作例（図2）に比べ、高リフレッシュモードへの切り替わりが1/4フレーム期間だけ早くなる。

[0082] 図16に示すように、本動作例では、上記NRFフレーム期間 T_{nrf} における3番目の1/4フレーム期間の終了時点 Cg_mod で動作モードが高リフレッシュモードに切り替わるが、当該3番目の1/4フレーム期間で実行されていたオンバイアス印加およびアノード初期化は、当該NRFフレーム期間 T_{nrf} における残余の1/4フレーム期間においても行われる。すなわち図16に示すように、当該NRFフレーム期間 T_{nrf} における4番目の1/4フレーム期間と動作モードの切り替わり後の最初のRFフレーム期間 T_{rf} における最初の1/4フレーム期間とは重複する。この重複期間 T_{ov} では、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i1, j)$ とアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とが混在することになる。

[0083] <1.5 効果>

上記のように本実施形態では、図2から図5により示される比較例とは異なり、オンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} は、データ信号線 D_j とは別に設けられたオンバイアス電圧線 L_{obs} から各画素回路 $P_{ix}(i, j)$ に与えられるので（図9の（A）および（B）参照）、動作モードの切り替えの際に、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、図8（B）に示すようにデータ書込が行われる画素回路 $P_{ix}(i1, j)$ と図9に示すようにアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とを混在させることができる（図14～図16における重複期間 T_{ov} 参照）。これにより本実施形態によれば、有機EL表示装置等の電流駆動方式の表示装置において静止画表示等における消費電力の低減のために可変リフレッシュレート方式を採用した場合に、オンバイアス印加によってフリッカの発生を抑えつつ動作モードを低リフレッシュモードから高リフレッシュモードに素早く切り替え、低リフレッシュレートでの静止画表示から高リフレッシュレートでの動画表示への切り替わりの遅延を抑えることができる。

[0084] < 2. 第2の実施形態 >

上記第1の実施形態では、オンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} は、データ信号線 D_j とは別に設けられたオンバイアス電圧線 L_{obs} から各画素回路 $P_{ix}(i, j)$ に与えられる（図9の（A）および（B）参照）。これに対し、第2の実施形態では、オンバイアス電圧線 L_{obs} を設けずに初期化電圧線 L_{ini} からオンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} が各画素回路 $P_{ix}(i, j)$ に与えられる。以下、このような第2の実施形態につき図17および図18を参照して説明する。なお、第2の実施形態に係る表示装置の全体的な構成は、オンバイアス電圧線 L_{obs} が設けられていない点を除き、上記第1の実施形態に係る表示装置と基本的に同一であるので、同一または対応する部分には同一の参照符号を付して詳しい説明を省略する。

[0085] 図17は、本実施形態に係る表示装置10における画素回路16の構成を示す回路図であり、より詳しくは、 i 番目の第1走査信号線 $NS1_i$ および j 番目のデータ信号線 D_j に対応する画素回路16すなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。この画素回路16は、図7に示した第1の実施形態における画素回路15と同様、表示素子としての1個の有機EL素子OL、初期化トランジスタ $T1$ 、閾値補償トランジスタ $T2$ 、書込制御トランジスタ $T3$ 、駆動トランジスタ $T4$ 、第1発光制御トランジスタ $T6$ 、第2発光制御トランジスタ $T5$ 、バイアス制御トランジスタ $T8$ 、および、保持キャパシタ C_{st} を備えている。トランジスタ $T1 \sim T6$ 、 $T8$ はNチャネル型の薄膜トランジスタ（より詳しくは酸化物TFT）であり、駆動トランジスタ $T4$ 以外のトランジスタ $T1 \sim T3$ 、 $T5$ 、 $T6$ 、 $T8$ はスイッチング素子として動作する。

[0086] 図17を図7と比較すればわかるように、上記第1の実施形態における画素回路15では、駆動トランジスタ $T4$ のソース端子がバイアス制御トランジスタ $T8$ を介してオンバイアス電圧線 L_{obs} に接続されているのに対し

、本実施形態における画素回路16では、駆動トランジスタT4のソース端子がバイアス制御トランジスタT8を介して初期化電圧線 L_{ini} に接続されている。本実施形態における画素回路16の他の構成は、上記第1の実施形態における画素回路15の構成と同じである。また、本実施形態における画素回路16は、上記第1の実施形態における画素回路15 ($P_{ix}(i, j)$) の駆動信号、すなわち、第1走査信号 $NS1(i)$ 、第2走査信号 $NS2(i)$ 、第3走査信号 $NS3(i)$ 、第1発光制御信号 $EM1(i)$ 、第2発光制御信号 $EM2(i)$ 、およびデータ信号 $D(j)$ と同様の駆動信号により駆動される(図10～図12参照)。

[0087] 次に、本実施形態における i 行 j 列目の画素回路 $P_{ix}(i, j)$ における動作を、図17とともに図18を参照して説明する。ただし、本実施形態に係る表示装置の動作は上記第1の実施形態に係る表示装置の動作と基本的には同じであるので、以下では、本実施形態における画素回路 $P_{ix}(i, j)$ につき主要動作のみを説明する。なお、本実施形態における画素回路 $P_{ix}(i, j)$ は、RFフレーム期間 T_{rf} におけるデータ初期化期間 T_{ini} では上記第1の実施形態と同様に動作する(図8(A)参照)。

[0088] 図18(A)は、RFフレーム期間におけるデータ書込期間 T_{wr} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このデータ書込期間 T_{wr} での回路状態は、上記第1の実施形態における画素回路 $P_{ix}(i, j)$ のデータ書込期間 T_{wr} での回路状態(図8(B)参照)と同じである。このデータ書込期間 T_{wr} では、対応データ信号線 D_j の電圧が、データ電圧 V_{data} として、オン状態の閾値補償トランジスタT2によってダイオード接続状態となった駆動トランジスタT4を介して保持キャパシタ C_{st} に書き込まれ、保持キャパシタ C_{st} にはデータ電圧 V_{data} と初期化電圧と差 $V_{data} - V_{ini}$ に相当する電圧(正確には、閾値補償の施された当該差に相当する電圧 $V_{data} + V_{th} - V_{ini}$)が保持される。

[0089] 図18(B)は、NRFフレーム期間 T_{nrf} におけるアノード初期化期間 T_{anr} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このア

ノード初期化期間 T_{anr} では、バイアス制御トランジスタ T_8 および第1発光制御トランジスタ T_6 がオン状態であり、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、初期化トランジスタ T_1 、および書込制御トランジスタ T_3 がオフ状態である。このように本実施形態におけるアノード初期化期間 T_{anr} では、上記第1の実施形態におけるアノード初期化期間 T_{anr} での画素回路 $P_{ix}(i, j)$ の回路状態（図9（A）参照）と同様の回路状態であり、有機EL素子 OL のアノード電圧 V_a が初期化される。ただし、図17に示すように本実施形態における画素回路 $P_{ix}(i, j)$ では、有機EL素子 OL のアノード電極は、第1発光制御トランジスタ T_6 およびバイアス制御トランジスタ T_8 を介して初期化電圧線 L_{ini} に接続されているので、オンバイアス電圧線 L_{obs} の電圧ではなく初期化電圧線 L_{ini} の電圧が、アノード初期化電圧 V_{anr} として、オン状態のバイアス制御トランジスタ T_8 および第1発光制御トランジスタ T_6 を介して有機EL素子 OL のアノード電極に与えられる（図18（B）参照）。

[0090] 図18（C）は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} におけるオンバイアス期間 T_{obs} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このオンバイアス期間 T_{obs} では、バイアス制御トランジスタ T_8 がオン状態であり、第1発光制御トランジスタ T_6 、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、初期化トランジスタ T_1 、および書込制御トランジスタ T_3 がオフ状態である。このように本実施形態におけるオンバイアス期間 T_{obs} では、図17に示すように、オンバイアス電圧線 L_{obs} の電圧ではなく初期化電圧線 L_{ini} の電圧が、オンバイアス電圧 V_{obs} として、オン状態のバイアス制御トランジスタ T_8 を介して駆動トランジスタ T_4 のソース端子に印加される。これにより、駆動トランジスタ T_4 のヒステリシス特性による表示輝度への影響が低減される。

[0091] 上記のように本実施形態によれば、上記第1の実施形態とは異なり、オンバイアス電圧線 L_{obs} の電圧ではなく、初期化電圧線 L_{ini} の電圧が、

アノード初期化電圧 V_{anr} およびオンバイアス電圧 V_{obs} として、画素回路 $P_{ix}(i, j)$ における有機EL素子OLのアノード電極および駆動トランジスタ T_4 のソース端子にそれぞれ与えられる。しかし、本実施形態においても、各画素回路 $P_{ix}(i, j)$ において、上記第1の実施形態と同様にアノード初期化動作およびオンバイアス動作を行うことができる。したがって、本実施形態によれば、有機EL表示装置等の電流駆動方式の表示装置において静止画表示等における消費電力の低減のために可変リフレッシュレート方式を採用した場合に、オンバイアス電圧線 L_{obs} を設けることなく、上記第1の実施形態と同様の効果を得ることができる。

[0092] <3. 第3の実施形態>

上記のように、オンバイアス電圧 V_{obs} およびアノード初期化電圧 V_{anr} は、いずれも、上記第1の実施形態ではオンバイアス電圧線 L_{obs} から各画素回路15に与えられ（図9参照）、上記第2の実施形態では初期化電圧線 L_{ini} から各画素回路16に与えられる（図18の（B）および（C）参照）。これに対し第3の実施形態では、オンバイアス電圧 V_{obs} を与えるための電圧線とアノード初期化電圧 V_{anr} を与えるための電圧線につき異なる電圧線が使用される。以下、このような第3の実施形態につき図19、図20、および図21を参照して説明する。なお、第3の実施形態に係る表示装置の全体的な構成は、表示部11において n 本の第1走査信号線 $NS11 \sim NS1n$ にそれぞれ沿って n 本の第4走査信号線 $NS41 \sim NS4n$ が配設されている点を除き、上記第1の実施形態に係る表示装置と基本的に同一であるので、同一または対応する部分には同一の参照符号を付して詳しい説明を省略する。

[0093] 図19は、本実施形態に係る表示装置10における画素回路17の構成を示す回路図であり、より詳しくは、 i 番目の第1走査信号線 $NS1i$ および j 番目のデータ信号線 Dj に対応する画素回路17すなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。この画素回路17は、図7に示した第1の実施形態における画素回路

15と同様、表示素子としての1個の有機EL素子OL、初期化トランジスタT1、閾値補償トランジスタT2、書込制御トランジスタT3、駆動トランジスタT4、第1発光制御トランジスタT6、第2発光制御トランジスタT5、バイアス制御トランジスタT8、および、保持キャパシタCstを備えている。トランジスタT1～T6、T8はNチャネル型の薄膜トランジスタ（より詳しくは酸化物TFT）であり、駆動トランジスタT4以外のトランジスタT1～T3、T5、T6、T8はスイッチング素子として動作する。

[0094] 図19を図7と比較すればわかるように、上記第1の実施形態における画素回路15では、閾値補償トランジスタT2のゲート端子に接続されている第1走査信号線NS1iが初期化トランジスタT1のゲート端子にも接続されているのに対し、本実施形態における画素回路17では、閾値補償トランジスタT2のゲート端子に接続されている第1走査信号線NS1iとは異なる第4走査信号線NS4iが、初期化トランジスタT1のゲート端子に接続されている。これにより、初期化トランジスタT1を閾値補償トランジスタT2と独立に制御し、アノード初期化期間T_{anr}では初期化電圧線Lin_iの電圧をアノード初期化電圧V_{anr}として与え、オンバイアス期間T_{obs}ではオンバイアス電圧線L_{obs}の電圧をオンバイアス電圧V_{obs}として与えることができる。

[0095] 次に、本実施形態におけるi行j列目の画素回路Pix(i, j)における動作を、図19とともに図20を参照して説明する。ただし、本実施形態に係る表示装置の動作は上記第1の実施形態に係る表示装置の動作と基本的には同じであるので、以下では、本実施形態における画素回路17（Pix(i, j)）の動作のうち上記第1の実施形態における画素回路15（Pix(i, j)）の動作と異なる動作を中心に説明する。なお、本実施形態における画素回路Pix(i, j)は、RFフレーム期間におけるデータ初期化期間T_{ini}では上記第1の実施形態と同様に動作する（図8（A）参照）。

[0096] 図20(A)は、RFフレーム期間 T_{rf} におけるデータ書込期間 T_{wr} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このデータ書込期間 T_{wr} での回路状態は、上記第1の実施形態における画素回路 $P_{ix}(i, j)$ のデータ書込期間 T_{wr} での回路状態(図8(B)参照)と同じである。

[0097] 図20(B)は、NRFフレーム期間 T_{nrf} におけるアノード初期化期間 T_{anr} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このアノード初期化期間 T_{anr} では、初期化トランジスタ T_1 がオン状態であり、第1発光制御トランジスタ T_6 、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、書込制御トランジスタ T_3 、およびバイアス制御トランジスタ T_8 がオフ状態である。このように本実施形態におけるアノード初期化期間 T_{anr} では、上記第1の実施形態におけるアノード初期化期間 T_{anr} での画素回路 $P_{ix}(i, j)$ の回路状態(図9(A)参照)とは異なり、初期化トランジスタ T_1 がオン状態であってバイアス制御トランジスタ T_8 がオフ状態である。これにより、初期化電圧線 L_{ini} の電圧がアノード初期化電圧 V_{anr} としてトランジスタ T_1 を介して有機EL素子OLのアノード電極に与えられる。この点、アノード初期化期間 T_{anr} においてオンバイアス電圧線 L_{obs} の電圧がアノード初期化電圧 V_{anr} として有機EL素子OLのアノード電極に与えられる第1の実施形態とは異なる(図9(A)参照)。

[0098] 図20(C)は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} におけるオンバイアス期間 T_{obs} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このオンバイアス期間 T_{obs} では、上記第1の実施形態における画素回路 $P_{ix}(i, j)$ と同様(図9(B)参照)、バイアス制御トランジスタ T_8 がオン状態であり、第1発光制御トランジスタ T_6 、第2発光制御トランジスタ T_5 、閾値補償トランジスタ T_2 、初期化トランジスタ T_1 、および書込制御トランジスタ T_3 がオフ状態である。これにより、オンバイアス電圧線 L_{obs} の電圧がオンバイアス電圧 V_{obs} とし

て駆動トランジスタ T_4 のソース端子に印加される。

[0099] 図 21 は、本実施形態における各画素回路 $P_{ix}(i, j)$ を図 20 に示すように動作させるための駆動例を説明するためのタイミングチャートであり、当該駆動例における駆動信号の変化、すなわち、第 1 走査信号 $NS1(i)$ 、 $NS1(i-1)$ 、第 2 走査信号 $NS2(i)$ 、第 3 走査信号 $NS3(i)$ 、第 4 走査信号 $NS4(i)$ 、第 1 発光制御信号 $EM1(i)$ 、第 2 発光制御信号 $EM2(i)$ 、およびデータ信号 $D(j)$ の変化を示している。なお、初期化電圧線 Lin_i の電圧 V_{ini} およびオンバイアス電圧線 $Lobs$ の電圧 V_{obs} は固定電圧である。

[0100] RF フレーム期間 T_{rf} では、図 21 に示すように駆動信号が変化することにより、第 1 走査信号線 $NS1_1 \sim NS1_n$ 、第 2 走査信号線 $NS2_1 \sim NS2_n$ 、第 3 走査信号線 $NS3_1 \sim NS3_n$ 、第 4 走査信号線 $NS4_1 \sim NS4_n$ 、第 1 発光制御線 $EM1_1 \sim EM1_n$ 、および第 2 発光制御線 $EM2_1 \sim EM2_n$ が選択的に駆動され、データ信号線 $D_1 \sim D_m$ には、画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ に書き込むべきデータ電圧がそれぞれ与えられる ($i = 1 \sim n$)。このような駆動信号により、データ初期化期間 T_{ini} において画素回路 $P_{ix}(i, j)$ における保持キャパシタ C_{st} の初期化（データ初期化）が行われ、データ書込期間 T_{wr} において画素回路 $P_{ix}(i, j)$ に対しデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として書き込まれる（図 20 (A) 参照）。

[0101] 本駆動例では、図 21 に示すように、RF フレーム期間 T_{rf} において、データ初期化期間 T_{ini} とデータ書込期間 T_{wr} との間にオンバイアス期間 T_{obs} が設けられており、各画素回路 $P_{ix}(i, j)$ につき、オンバイアス期間 T_{obs} では、対応第 1 走査信号線 $NS1_i$ の信号 $NS1(i)$ 、対応第 2 走査信号線 $NS2_i$ の信号 $NS2(i)$ 、対応第 4 走査信号線 $NS4_i$ の信号 $NS4(i)$ 、対応第 1 発光制御線 $EM1_i$ の信号 $EM1(i)$ 、対応第 2 発光制御線 $EM2_i$ の信号 $EM2(i)$ が L レベル（非アクティブ）であり、対応第 3 走査信号線 $NS3_i$ の信号 $NS3(i)$ が H レベル

(アクティブ)である。これにより、当該画素回路 $P_{i \times (i, j)}$ は図 20 (C) に示すように動作し、オンバイアス電圧線 $L_{o b s}$ の電圧がオンバイアス電圧 $V_{o b s}$ として駆動トランジスタ T_4 のソース端子に印加される。

[0102] N R F フレーム期間 $T_{n r f}$ では、図 21 に示すように駆動信号が変化することにより、第 1 走査信号線 $NS_{11} \sim NS_{1n}$ 、第 2 走査信号線 $NS_{21} \sim NS_{2n}$ 、第 3 走査信号線 $NS_{31} \sim NS_{3n}$ 、第 4 走査信号線 $NS_{41} \sim NS_{4n}$ 、第 1 発光制御線 $EM_{11} \sim EM_{1n}$ 、および第 2 発光制御線 $EM_{21} \sim EM_{2n}$ が選択的に駆動され、データ信号線 $D_1 \sim D_m$ は、高インピーダンス状態に維持される。このような駆動信号により、各画素回路 $P_{i \times (i, j)}$ につき、N R F フレーム期間 $T_{n r f}$ において、オンバイアス期間 $T_{o b s}$ およびアノード初期化期間 $T_{a n r}$ が設けられる。

[0103] このうちオンバイアス期間 $T_{o b s}$ では、R F フレーム期間 $T_{r f}$ に含まれるオンバイアス期間 $T_{o b s}$ と同様、対応第 3 走査信号線 NS_{3i} の信号 $NS_{3(i)}$ が H レベル (アクティブ) であり、対応第 1 走査信号線 NS_{1i} の信号 $NS_{1(i)}$ 、対応第 2 走査信号線 NS_{2i} の信号 $NS_{2(i)}$ 、第 4 走査信号線 NS_{4i} の信号 $NS_{4(i)}$ 、対応第 1 発光制御線 EM_{1i} の信号 $EM_{1(i)}$ 、対応第 2 発光制御線 EM_{2i} の信号 $EM_{2(i)}$ が L レベル (非アクティブ) である。これにより、当該画素回路 $P_{i \times (i, j)}$ は図 20 (C) に示すように動作し、駆動トランジスタ T_4 のソース端子にオンバイアス電圧線 $L_{o b s}$ の電圧がオンバイアス電圧 $V_{o b s}$ として印加される。

[0104] また、アノード初期化期間 $T_{a n r}$ では、第 4 走査信号線 NS_{4i} の信号 $NS_{4(i)}$ が H レベル (アクティブ) であり、対応第 1 走査信号線 NS_{1i} の信号 $NS_{1(i)}$ 、対応第 2 走査信号線 NS_{2i} の信号 $NS_{2(i)}$ 、対応第 3 走査信号線 NS_{3i} の信号 $NS_{3(i)}$ 、対応第 1 発光制御線 EM_{1i} の信号 $EM_{1(i)}$ 、および対応第 2 発光制御線 EM_{2i} の信号 $EM_{2(i)}$ が L レベル (非アクティブ) である。これにより、当該画素回路 $P_{i \times (i, j)}$

$x(i, j)$ は図 20 (B) に示すように動作し、初期化電圧線 $Lini$ の電圧がアノード初期化電圧 $Vanr$ として、初期化トランジスタ $T1$ を介して有機 EL 素子 OL のアノード電極に与えられる。

[0105] 上記のような本実施形態によれば、閾値補償トランジスタ $T2$ および初期化トランジスタ $T1$ のオン／オフが共に第 2 走査信号線 $NS2i$ の信号 $NS2(i)$ により制御される第 1 の実施形態（図 7 参照）とは異なり、初期化トランジスタ $T1$ のオン／オフは第 4 走査信号線 $NS4i$ の信号 $NS4(i)$ により制御される。また、バイアス制御トランジスタ $T8$ のオン／オフは、上記第 1 の実施形態と同様、第 3 走査信号線 $NS3i$ の信号 $NS3(i)$ により制御される。これにより、オンバイアス期間 $Tobs$ では、オンバイアス電圧線 $Lobs$ の電圧 $Vobs$ がバイアス制御トランジスタ $T8$ を介して駆動トランジスタ $T4$ のソース端子に印加され（図 20 (C) 参照）、アノード初期化期間 $Tanr$ では、初期化電圧線 $Lini$ の電圧がアノード初期化電圧 $Vanr$ として初期化トランジスタ $T1$ を介して有機 EL 素子 OL のアノード電極に与えられる（図 20 (B) 参照）。したがって、駆動トランジスタ $T4$ のヒステリシス特性による表示輝度への影響を軽減するためのオンバイアス電圧 $Vobs$ と、アノード電圧 Va の初期化により過去の表示履歴の影響を遮断するためのアノード初期化電圧 $Vanr$ とにつき、好適な電圧値を個別に選定することができる。

[0106] <4. 第 4 の実施形態>

上記のように、第 1 の実施形態から第 3 の実施形態では、各画素回路 15 ~ 17 において使用されるトランジスタは N チャネル型のトランジスタのみであったが、N チャネル型トランジスタと P チャネル型トランジスタの双方を使用して画素回路が構成されていてもよい。例えば、画素回路に含まれるトランジスタのうち、オン抵抗をできるだけ低くすることが好ましいトランジスタについては、チャネル層が低温ポリシリコンで形成された薄膜トランジスタ（以下「LTPS-TFT」という）である P チャネル型トランジスタを使用し、オフリーク電流をできるだけ小さくすることが好ましいトラン

ジスタについては、チャネル層が酸化物半導体で形成された薄膜トランジスタであるNチャネル型トランジスタを使用することが考えられる。なお、チャネル層が酸化物半導体で形成された薄膜トランジスタすなわち酸化物TFTとしては、酸化インジウムガリウム亜鉛（InGaZnO）を含む薄膜トランジスタすなわちIGZO-TFTを使用することができる。以下では、このようなLTPS-TFTであるPチャネル型トランジスタと酸化物TFTであるNチャネル型トランジスタとを含む画素回路を使用した表示装置を第4の実施形態として説明する。

[0107] 図22は、第4の実施形態に係る表示装置10bの全体構成を示すブロック図である。この表示装置10bは、上記第1の実施形態と同様、内部補償を行う可変リフレッシュレート方式（VRR方式）の有機EL表示装置であり、表示部11、表示制御回路20、データ側駆動回路30、走査側駆動回路40、および、電源回路50を備えている。そこで、本実施形態に係る表示装置10bの構成のうち上記第1の実施形態に係る表示装置10（図1、図7参照）の構成と同一または対応する部分については同一の参照符号を付し、以下では、本実施形態に係る表示装置10bのうち上記第1の実施形態に係る表示装置10と異なる部分を中心に説明する。

[0108] 本実施形態における画素回路は、Nチャネル型トランジスタとPチャネル型トランジスタの双方を含むことから（後述の図23参照）、表示部11には、画素回路内のPチャネル型トランジスタのオン／オフを制御するためのn本の第1走査信号線PS11, P12, ..., PS1nおよびn本の第2走査信号線PS21, P22, ..., PS2nと、画素回路内のNチャネル型トランジスタのオン／オフを制御するためのn+2本の第3走査信号線NS-1, NS0, NS1, ..., NSnとが配設されている。また、n本の第1走査信号線PS11~PS1nにそれぞれ沿ってn本の発光制御線EM1~EMnが表示部11に配設されている。さらに、m本のデータ信号線D1~Dm、オンバイアス電圧線Lobs、初期化電圧線Lin、ハイレベル電源線ELVDD、および、ローレベル電源線ELVSSが、上記第1の実施形態

と同様の形態で表示部 11 に配設されている（図 1、図 22 参照）。なお、上記第 1 の実施形態における走査側駆動回路 40 は、第 1 走査信号線 NS 11 ~ NS 1n、第 2 走査信号線 NS 21 ~ NS 2n、第 3 走査信号線 NS 31 ~ NS 3n、第 1 発光制御線 EM 11 ~ EM 1n、および第 2 発光制御線 EM 21 ~ EM 2n を駆動するのに対し、本実施形態における走査側駆動回路 40 は、上記の第 1 走査信号線 PS 11 ~ PS 1n、第 2 走査信号線 PS 21 ~ PS 2n、第 3 走査信号線 NS-1 ~ NS n、および、発光制御線 EM 1 ~ EM n を駆動する。このため、両駆動回路 40、40 は若干相違するが、基本的には同様であり、その詳細は後述の説明（図 23 ~ 図 26 参照）から明らかであるので説明を省略する。

[0109] また図 22 に示すように、表示部 11 には、上記第 1 の実施形態と同様、m 本のデータ信号線 D 1 ~ D m および n 本の第 1 走査信号線 PS 11 ~ PS 1n に沿ってマトリクス状に配置された m × n 個の画素回路 18 が設けられている。各画素回路 18 は、m 本のデータ信号線 D 1 ~ D m のいずれか 1 つに対応するとともに n 本の第 1 走査信号線 PS 11 ~ PS 1n のいずれか 1 つに対応する（以下、本実施形態においても、各画素回路 18 を区別する場合には、i 番目の第 1 走査信号線 NS 1 i および j 番目のデータ信号線 D j に対応する画素回路を「i 行 j 列目の画素回路」といい、符号 “P i x (i , j) ” で示す）。また各画素回路 18 は、n 本の第 2 走査信号線 PS 21 ~ PS 2n のいずれか 1 つに対応し、n 本の第 3 走査信号線 NS 1 ~ NS n のいずれか 1 つに対応し、n 本の発光制御線 EM 1 ~ EM n のいずれか 1 つに対応する。

[0110] 図 23 は、本実施形態における画素回路 18 の構成を示す回路図であり、より詳しくは、i 番目の第 1 走査信号線 NS 1 i および j 番目のデータ信号線 D j に対応する画素回路 18 すなわち i 行 j 列目の画素回路 P i x (i , j) の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。この画素回路 18 は、図 7 に示した第 1 の実施形態における画素回路 15 と同様、表示素子としての 1 個の有機 EL 素子 OL、第 1 初期化トランジスタ T 1、閾値補

償トランジスタT2、書込制御トランジスタT3、駆動トランジスタT4、第1発光制御トランジスタT6、第2発光制御トランジスタT5、バイアス制御トランジスタT8、および、保持キャパシタCstを備えている。しかし、この画素回路18は、第2初期化トランジスタT7を更に備えるとともに、導電型の互いに異なるトランジスタを含む点において、上記第1の実施形態における画素回路15とは異なる。すなわち、この画素回路18では、第1初期化トランジスタT1、第2初期化トランジスタT7、および閾値補償トランジスタT2には、Nチャネル型の酸化物TFT（例えばIGZO-TFT）が使用されているが、駆動トランジスタT4、書込制御トランジスタT3、第1発光制御トランジスタT6、第2発光制御トランジスタT5、バイアス制御トランジスタT8には、Pチャネル型のLTPS-TFTが使用されている。

[0111] 図23に示すように、本実施形態における画素回路Pix(i, j)には、それに対応する第1走査信号線（対応第1走査信号線）PS1iと、それに対応する第2走査信号線（対応第2走査信号線）PS2iと、それに対応する第3走査信号線（対応第3走査信号線）NSiと、それに対応する発光制御線（対応発光制御線）EMiと、それに対応するデータ信号線（対応データ信号線）Djと、対応第3走査信号線NSiの2つ前の第3走査信号線（第3走査信号線NS-1～NSnの走査順における2つ前の走査信号線）すなわちi-2番目の第3走査信号線NSi-2（以下、画素回路に注目した説明において単に「先行第3走査信号線」ともいう）と、初期化電圧線Lin iと、オンバイアス電圧線Lobsと、ハイレベル電源線ELVDDと、ローレベル電源線ELVSSとが接続されている。

[0112] 図23に示すように、本実施形態における画素回路Pix(i, j)では、駆動トランジスタT4のソース端子は、書込制御トランジスタT3を介して対応データ信号線Djに接続され、かつ、第2発光制御トランジスタT5を介してハイレベル電源線ELVDDに接続され、かつ、バイアス制御トランジスタT8を介してオンバイアス電圧線Lobsに接続されている。駆動

トランジスタT4のドレイン端子は、第1発光制御トランジスタT6を介して有機EL素子OLの第1端子としてのアノード電極に接続されている。駆動トランジスタT4の制御端子としてのゲート端子は、保持キャパシタC_{st}を介してハイレベル電源線ELVDDに接続され、かつ、閾値補償トランジスタT2を介して当該駆動トランジスタのドレイン端子に接続され、かつ、第1初期化トランジスタT1を介して初期化電圧線L_{ini}に接続されている。また、有機EL素子OLの上記アノード電極は、第2初期化トランジスタT7を介して初期化電圧線L_{ini}に接続され、有機EL素子OLの第2端子としてのカソード電極は、ローレベル電源線ELVSSに接続されている。

[0113] また、本実施形態における画素回路P_{ix}(i, j)では、書込制御トランジスタT3のゲート端子は対応第1走査信号線PS1_iに、バイアス制御トランジスタT8のゲート端子は対応第2走査信号線PS2_iに、閾値補償トランジスタT2のゲート端子は対応第3走査信号線NS_iにそれぞれ接続されており、第1発光制御トランジスタT6と第2発光制御トランジスタT5と第2初期化トランジスタT7のゲート端子には対応発光制御線EM_iが接続され、第1初期化トランジスタT1のゲート端子には先行第3走査信号線NS(i-2)が接続されている。

[0114] 次に、図23に示した画素回路18すなわち本実施形態におけるi行j列目の画素回路P_{ix}(i, j)における動作を、図23とともに図24および図25を参照して説明する。

[0115] 図24(A)は、RFフレーム期間T_{rf}におけるデータ初期化期間T_{ini}での画素回路P_{ix}(i, j)の回路状態を示している。このデータ初期化期間T_{ini}では、第1初期化トランジスタT1、第2初期化トランジスタT7、およびバイアス制御トランジスタT8がオン状態であり、書込制御トランジスタT3、閾値補償トランジスタT2、第1発光制御トランジスタT6、および第2発光制御トランジスタT5がオフ状態である。これにより、保持キャパシタC_{st}が、ハイレベル電源電圧ELVDDと初期化電圧

V_{ini} との差の電圧 $ELVDD - V_{ini}$ に初期化され、駆動トランジスタ T_4 のゲート端子の電圧（ゲート電圧） V_g は、初期化電圧 V_{ini} に初期化される。このとき、初期化電圧 V_{ini} が第2初期化トランジスタ T_7 を介して有機EL素子 OL のアノード電極に与えられてアノード電圧 V_a が初期化されるとともに、オンバイアス電圧 V_{obs} がバイアス制御トランジスタ T_8 を介して駆動トランジスタ T_4 のソース端子に印加される。

[0116] 図24（B）は、RFフレーム期間 T_{rf} におけるデータ書込期間 T_{wr} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。このデータ書込期間 T_{wr} では、書込制御トランジスタ T_3 、閾値補償トランジスタ T_2 、および第2初期化トランジスタ T_7 がオン状態であり、第1初期化トランジスタ T_1 、第1発光制御トランジスタ T_6 、第2発光制御トランジスタ T_5 、およびバイアス制御トランジスタ T_8 がオフ状態である。これにより、対応データ信号線 D_j の電圧が、データ電圧 V_{data} として、オン状態の閾値補償トランジスタ T_2 によってダイオード接続状態となった駆動トランジスタ T_4 を介して保持キャパシタ C_{st} に書き込まれ、保持キャパシタ C_{st} にはデータ電圧とハイレベル電源電圧 $ELVDD$ との差 $|V_{data} - ELVDD|$ に相当する電圧（正確には、閾値補償の施されたデータ電圧とハイレベル電源電圧 $ELVDD$ との差に相当する電圧 $|V_{data} + V_{th} - ELVDD|$ ）が保持される（ $V_{th} < 0$ ）。なお、データ書込期間 T_{wr} においても、オン状態の第2初期化トランジスタ T_7 により有機EL素子 OL のアノード電極に初期化電圧 V_{ini} が与えられる。

[0117] 図24（C）は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} における発光期間 T_{em} での画素回路 $P_{ix}(i, j)$ の回路状態を示している。この発光期間 T_{em} では、第1発光制御トランジスタ T_6 および第2発光制御トランジスタ T_5 がオン状態であり、書込制御トランジスタ T_3 、閾値補償トランジスタ T_2 、第1初期化トランジスタ T_1 、第2初期化トランジスタ T_7 、およびバイアス制御トランジスタ T_8 がオフ状態である。これにより、保持キャパシタ C_{st} に保持された電圧に応じた量の電流 I

1 が、ハイレベル電源線 $ELVDD$ から第2発光制御トランジスタ $T5$ 、駆動トランジスタ $T4$ 、第1発光制御トランジスタ $T6$ 、および、有機EL素子 OL を経由してローレベル電源線 $ELVSS$ に流れ、有機EL素子 OL は、この電流 I_1 に応じた輝度で発光する。

[0118] 図25(A)は、NRFフレーム期間 T_{nrf} におけるアノード初期化期間 T_{anr} での画素回路 $Pixel(i, j)$ の回路状態を示している。このアノード初期化期間 T_{anr} では、第2初期化トランジスタ $T7$ がオン状態であり、第1発光制御トランジスタ $T6$ 、第2発光制御トランジスタ $T5$ 、閾値補償トランジスタ $T2$ 、第1初期化トランジスタ $T1$ 、書込制御トランジスタ $T3$ 、およびバイアス制御トランジスタ $T8$ がオフ状態である。このように本実施形態におけるアノード初期化期間 T_{anr} では、上記比較例におけるアノード初期化期間 $T_{anr}(i)$ での回路状態(図4(B))とは異なり、書込制御トランジスタはオフ状態であり第2初期化トランジスタ $T7$ がオン状態である。これにより、初期化電圧線 Lin_i の電圧 V_{ini} がアノード初期化電圧 V_{anr} として、第2初期化トランジスタ $T7$ を介して有機EL素子 OL のアノード電極に与えられ、有機EL素子 OL のアノード電圧 V_a が初期化される。

[0119] 図25(B)は、NRFフレーム期間 T_{nrf} におけるオンバイアス期間 T_{obs} での画素回路 $Pixel(i, j)$ の回路状態を示している。このオンバイアス期間 T_{obs} では、バイアス制御トランジスタ $T8$ および第2初期化トランジスタ $T7$ がオン状態であり、第1発光制御トランジスタ $T6$ 、第2発光制御トランジスタ $T5$ 、書込制御トランジスタ $T3$ 、閾値補償トランジスタ $T2$ 、および第1初期化トランジスタ $T1$ がオフ状態である。これにより、駆動トランジスタ $T4$ のヒステリシス特性による表示輝度への影響を低減すべく、オンバイアス電圧線 L_{obs} からオンバイアス電圧 V_{obs} がバイアス制御トランジスタ $T8$ を介して駆動トランジスタ $T4$ のソース端子に印加される。なお、このオンバイアス期間 T_{obs} においても、初期化電圧線 Lin_i の電圧 V_{ini} がアノード初期化電圧 V_{anr} として第2初期

化トランジスタ T_7 を介して有機EL素子OLのアノード電極に与えられる。

[0120] 図26は、本実施形態における各画素回路 $P_{ix}(i, j)$ を図24および図25に示すように動作させるための駆動例を説明するためのタイミングチャートであり、当該駆動例における駆動信号の変化、すなわち、第1走査信号 $PS_1(i)$ 、第2走査信号 $PS_2(i)$ 、第3走査信号 $NS(i)$ 、先行第3走査信号 $NS(i-2)$ 、発光制御信号 $EM(i)$ 、およびデータ信号 $D(j)$ の変化を示している。なお、初期化電圧線 Lin_i の電圧 $V_{in_i}(=V_{an_r})$ およびオンバイアス電圧線 Lob_s の電圧 V_{ob_s} は固定電圧である。

[0121] 本実施形態では、RFフレーム期間 T_{rf} において図26に示すように駆動信号が変化することにより、第1走査信号線 $PS_{11} \sim PS_{1n}$ 、第2走査信号線 $PS_{21} \sim PS_{2n}$ 、第3走査信号線 $NS_1 \sim NS_n$ 、および発光制御線 $EM_1 \sim EM_n$ が選択的に駆動され、データ信号線 $D_1 \sim D_m$ には、画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ に書き込むべきデータ電圧がそれぞれ与えられる($i=1 \sim n$)。このような駆動信号により、データ初期化期間 T_{in_i} において画素回路 $P_{ix}(i, j)$ における保持キャパシタ C_{st} の初期化(データ初期化)が行われ(図24(A)参照)、データ書込期間 T_{wr} において画素回路 $P_{ix}(i, j)$ に対しデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として書き込まれる(図24(B)参照)。なお本実施形態では、図24(A)に示すように、データ初期化期間 T_{in_i} において、オン状態の第2初期化トランジスタ T_7 によってアノード電圧 V_a も初期化され、さらに、オン状態のバイアス制御トランジスタ T_8 によってオンバイアス電圧 V_{ob_s} が駆動トランジスタ T_4 のソース端子に印加される。このため、このデータ初期化期間 T_{in_i} はアノード初期化期間 T_{an_r} でもあり、このデータ初期化期間 T_{in_i} にオンバイアス期間 T_{ob_s} が含まれている。

[0122] また本実施形態では、NRFフレーム期間 T_{nrf} において図26に示す

ように駆動信号が変化することにより、第1走査信号線 $PS11 \sim PS1n$ 、第2走査信号線 $PS21 \sim PS2n$ 、第3走査信号線 $NS-1 \sim NSn$ 、および発光制御線 $EM1 \sim EMn$ が選択的に駆動され、データ信号線 $D1 \sim Dm$ は、高インピーダンス状態に維持される。このような駆動信号により、各画素回路 $Pix(i, j)$ につき、NRFフレーム期間 $Tnrf$ において、オンバイアス期間 $Tobs$ およびアノード初期化期間 $Tanr$ が設けられる。

[0123] このうちオンバイアス期間 $Tobs$ では、オンバイアス電圧 $Vobs$ がオンバイアス電圧線 $Lobs$ からバイアス制御トランジスタ $T8$ を介して駆動トランジスタ $T4$ のソース端子に印加され、また、初期化電圧線 Lin_i の電圧 $Vini$ がアノード初期化電圧 $Vanr$ として第2初期化トランジスタ $T7$ を介して有機EL素子OLのアノード電極に与えられる（図25（B）参照）。このように図26に示す駆動例では、NRFフレーム期間 $Tnrf$ におけるオンバイアス期間 $Tobs$ はアノード初期化期間 $Tanr$ に含まれている。

[0124] NRFフレーム期間 $Tnrf$ におけるアノード初期化期間 $Tanr$ のうちオンバイアス期間 $Tobs$ と重複しない期間では、画素回路 $Pix(i, j)$ において第2初期化トランジスタ $T7$ はオン状態であるがバイアス制御トランジスタ $T8$ はオフ状態である。このため、有機EL素子OLのアノード電極に初期化電圧 $Vini$ が与えられるが、駆動トランジスタ $T4$ のソース端子へのオンバイアス電圧 $Vobs$ の印加は行われない（図25（A）参照）。

[0125] 上記のように本実施形態では、オンバイアス電圧 $Vobs$ およびアノード初期化電圧 $Vanr$ は、データ信号線 Dj とは別に設けられたオンバイアス電圧線 $Lobs$ および初期化電圧線 Lin_i から各画素回路 $Pix(i, j)$ にそれぞれ与えられるので（図25参照）、上記第1の実施形態と同様、動作モードの切り替えの際に、同一列の画素回路 $Pix(1, j) \sim Pix(n, j)$ において、図24（B）に示すようにデータ書込が行われる画素

回路 $P_{ix}(i1, j)$ と図 25 に示すようにアノード初期化またはオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とを混在させることができる（図 14～図 16 における重複期間 T_{ov} 参照）。これにより本実施形態によれば、有機 EL 表示装置等の電流駆動方式の表示装置において静止画表示等における消費電力の低減のために可変リフレッシュレート方式を採用した場合に、上記第 1 の実施形態と同様の効果が得られる。

[0126] また本実施形態によれば、オンバイアス期間 T_{obs} では、オンバイアス電圧線 L_{obs} の電圧 V_{obs} がバイアス制御トランジスタ $T8$ を介して駆動トランジスタ $T4$ のソース端子に印加され、アノード初期化期間 T_{anr} では、初期化電圧線 L_{ini} の電圧 V_{ini} がアノード初期化電圧 V_{anr} として第 2 初期化トランジスタ $T7$ を介して有機 EL 素子 OL のアノード電極に与えられる（図 25 参照）。したがって、上記第 3 の実施形態と同様（図 19～図 20 参照）、駆動トランジスタ $T4$ のヒステリシス特性による表示輝度への影響を軽減するためのオンバイアス電圧 V_{obs} と、アノード電圧 V_a の初期化により過去の表示履歴の影響を遮断するためのアノード初期化電圧 V_{anr} とにつき、好適な電圧値を個別に選定することができる。

[0127] さらに本実施形態では、各画素回路 18 に含まれるトランジスタのうち、閾値補償トランジスタ $T2$ 、第 1 初期化トランジスタ $T1$ 、および第 2 初期化トランジスタ $T7$ には、オフリーク電流の小さい $IGZO-TFT$ 等の酸化物 TFT が使用され、駆動トランジスタ $T4$ 、第 1 発光制御トランジスタ $T6$ 、第 2 発光制御トランジスタ $T5$ 、および書込制御トランジスタ $T3$ には、オン抵抗の小さい $LTPS-TFT$ が使用されている。これにより、高リフレッシュレートで動作する場合のみならず低リフレッシュレートで動作する場合において良好な表示を行うことができる。

[0128] <5. 第 5 の実施形態>

上記第 1 から第 4 の実施形態では、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i1, j)$ とオンバイアス印加が行われる画素回路 $P_{ix}(i2, j)$ とを混在可

能とするために ($1 \leq i_1 < i_2 \leq n$)、データ信号線 $D_1 \sim D_m$ とは別に設けられた電圧線 (オンバイアス電圧線 L_{obs} または初期化電圧線 L_{ini}) から各画素回路 $P_{ix}(i, j)$ にオンバイアス電圧 V_{obs} が与えられるように構成されている (図 9 (B)、図 18 (C)、図 20 (C)、図 25 (B) 参照)。これに対し、第 5 の実施形態に係る表示装置では、データ信号線 $D_1 \sim D_m$ から各画素回路 $P_{ix}(i, j)$ にオンバイアス電圧 V_{obs} を与えられるが、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ においてデータ書込が行われる画素回路 $P_{ix}(i_1, j)$ とオンバイアス印加が行われる画素回路 $P_{ix}(i_2, j)$ とを混在できるように構成されている。以下、このような第 5 の実施形態につき図 27 から図 30 を参照して説明する。なお、第 5 の実施形態に係る表示装置の全体的な構成は、オンバイアス電圧線 L_{obs} およびバイアス制御トランジスタ T_8 が設けられておらず、後述のマルチプレクサ MX_j ($j = 1 \sim m$) が設けられている点を除き、上記第 4 の実施形態に係る表示装置 (図 22、図 23) と基本的に同一であるので、同一または対応する部分には同一の参照符号を付して詳しい説明を省略する。

[0129] 図 27 は、本実施形態に係る表示装置 10b における画素回路 19 の構成を示す回路図であり、より詳しくは、 i 番目の第 1 走査信号線 $PS1_i$ および j 番目のデータ信号線 D_j に対応する画素回路 19 すなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である ($1 \leq i \leq n$ 、 $1 \leq j \leq m$)。この画素回路 19 は、図 23 に示した第 4 の実施形態における画素回路 18 と同様、表示素子としての 1 個の有機 EL 素子 OL 、第 1 初期化トランジスタ T_1 、閾値補償トランジスタ T_2 、書込制御トランジスタ T_3 、駆動トランジスタ T_4 、第 1 発光制御トランジスタ T_6 、第 2 発光制御トランジスタ T_5 、第 2 初期化トランジスタ T_7 、および、保持キャパシタ C_{st} を備えている。ただし、この画素回路 19 にはバイアス制御トランジスタ T_8 は含まれない。また、上記第 4 の実施形態における画素回路 18 と同様、これらのトランジスタ $T_1 \sim T_7$ のうち、第 1 初期化トランジスタ T_1 、

第2初期化トランジスタT7、および閾値補償トランジスタT2には、Nチャンネル型の酸化物TFT（例えばIGZO-TFT）が使用され、駆動トランジスタT4、書込制御トランジスタT3、第1発光制御トランジスタT6、第2発光制御トランジスタT5には、Pチャンネル型のLTPS-TFTが使用されている。

[0130] 図27に示すように、本実施形態における画素回路19（ $Pix(i, j)$ ）には、それに対応するP型走査信号線（対応P型走査信号線） PS_i と、それに対応するN型走査信号線（対応N型走査信号線） NS_i と、それに対応する発光制御線（対応発光制御線） EM_i と、それに対応するデータ信号線（対応データ信号線） D_j と、対応N型走査信号線 NS_i の2つ前のN型走査信号線（以下、画素回路に注目した説明において単に「先行N型走査信号線」ともいう）と、初期化電圧線 Lin_i と、ハイレベル電源線 $ELVDD$ と、ローレベル電源線 $ELVSS$ とが、上記第4の実施形態における画素回路18（図23）と同様の形態で接続されている。ただし、本実施形態におけるP型走査信号線 PS_i およびN型走査信号線 NS_i は、それぞれ、上記第4の実施形態における第1走査信号線 $PS1_i$ および第3走査信号線 NS_i に相当し、第2走査信号線 $PS2_i$ に相当する信号線は本実施形態では設けられていない。

[0131] また本実施形態では、図27に示すように、各データ信号線 D_j につき、データ信号 $D(j)$ とオンバイアス電圧 $Vobs$ とを時分割多重化して当該各データ信号線に出力するように構成されたマルチプレクサ MX_j が設けられている（ $j=1\sim m$ ）。ここでは、各マルチプレクサ MX_j は、表示部11における $n\times m$ 個の画素回路 $Pix(1, 1)\sim Pix(n, m)$ からなる画素マトリクスとデータ側駆動回路30との間に配設されているが、これに代えて、データ側駆動回路30内に各マルチプレクサ MX_j が設けられていてもよい。マルチプレクサ MX_j は、スイッチング素子として動作する2個のPチャンネル型トランジスタである第1選択トランジスタTaおよび第2選択トランジスタTbを含む。これらの第1および第2選択トランジスタT

a, T b の第 1 導通端子は、いずれも、対応するデータ信号線 D j に接続されており、第 1 選択トランジスタ T a の第 2 導通端子にはデータ側駆動回路 30 からデータ信号 D (j) が与えられ、第 2 選択トランジスタ T b の第 2 導通端子にはオンバイアス電圧 V o b s が与えられる。また、図 29 に示すような第 1 多重化制御信号 C m x 1 および第 2 多重化制御信号 C m x 2 が表示制御回路 20 により生成されて、各マルチプレクサ M X j における第 1 選択トランジスタ T a および第 2 選択トランジスタ T b のゲート端子にそれぞれ与えられる。これにより、R F フレーム期間 T r f では、データ側駆動回路 30 から出力されるデータ信号 D (j) と表示制御回路 20 により生成されるオンバイアス電圧 V o b s とが時分割多重化された信号（以下「オンバイアス多重化データ信号」という）D m x (j) がマルチプレクサ M X j からデータ信号線 D j に印加され（j = 1 ~ m）、N R F フレーム期間 T n r f では、当該オンバイアス電圧 V o b s がデータ信号線 D j に印加される（詳細は図 29 を参照して後述する）。なお以下では、便宜上、N R F フレーム期間 T n r f においてもデータ信号線 D j にオンバイアス多重化データ信号 D m x (j) が印加されるものとし、N R F フレーム期間 T n r f においてオンバイアス多重化データ信号 D m x (j) の電圧はオンバイアス電圧 V o b s に維持されるものとする。

[0132] 次に、図 27 に示した画素回路 19 すなわち本実施形態における i 行 j 列目の画素回路 P i x (i , j) における動作を、図 27 とともに図 28 を参照して説明する。ただし、ここでは、本実施形態における画素回路 P i x (i , j) につき主要動作のみを説明し、他の動作は図 29 を参照して後述する。

[0133] 図 28 (A) は、R F フレーム期間 T r f におけるデータ書込期間 T w r での画素回路 P i x (i , j) の回路状態を示している。このデータ書込期間 T w r では、書込制御トランジスタ T 3、閾値補償トランジスタ T 2、および第 2 初期化トランジスタ T 7 がオン状態であり、第 1 初期化トランジスタ T 1、第 1 発光制御トランジスタ T 6、第 2 発光制御トランジスタ T 5、

およびバイアス制御トランジスタT8がオフ状態である。また、対応データ信号線Djに接続されたマルチプレクサMXjでは、第1選択トランジスタTaがオン状態であって第2選択トランジスタTbがオフ状態である。したがって、このデータ書込期間Twrでは、データ側駆動回路30からデータ信号D(j)が第1選択トランジスタTaを介して対応データ信号線Djに印加され、対応データ信号線Djの電圧であるデータ信号D(j)の電圧が、データ電圧Vdataとして、オン状態の閾値補償トランジスタT2によってダイオード接続状態となった駆動トランジスタT4を介して保持キャパシタCstに書き込まれ、保持キャパシタCstにはデータ電圧とハイレベル電源電圧ELVDDとの差 $|Vdata - ELVDD|$ に相当する電圧（正確には、閾値補償の施されたデータ電圧とハイレベル電源電圧ELVDDとの差に相当する電圧 $|Vdata + Vth - ELVDD|$ ）が保持される。なおデータ書込期間Twrでは、オン状態の初期化トランジスタT1により、有機EL素子OLのアノード電極の電圧Vaの初期化も行われる。

[0134] 図28(B)は、RFフレーム期間TrfおよびNRFフレーム期間Tnrfにおけるオンバイアス期間Tobsでの画素回路Pix(i, j)の回路状態を示している。このオンバイアス期間Tobsでは、書込制御トランジスタT3および第2初期化トランジスタT7がオン状態であり、第1発光制御トランジスタT6、第2発光制御トランジスタT5、閾値補償トランジスタT2、および初期化トランジスタT1がオフ状態である。また、対応データ信号線Djに接続されたマルチプレクサMXjでは、第1選択トランジスタTaがオフ状態であって第2選択トランジスタTbがオン状態である。したがって、このオンバイアス期間Tobsでは、第2選択トランジスタTbを介して対応データ信号線Djに与えられるオンバイアス電圧Vobsが、書込制御トランジスタT3を介して駆動トランジスタT4のソース端子に印加される。なおオンバイアス期間Tobsでは、オン状態の初期化トランジスタT1により、有機EL素子OLのアノード電極の電圧Vaの初期化も行われる。

[0135] 図29は、本実施形態における各画素回路 $P_{ix}(i, j)$ を図28に示すように動作させるための駆動例を説明するためのタイミングチャートであり、当該駆動例における駆動信号の変化、すなわち、P型走査信号 $PS(i)$ 、N型走査信号 $NS(i)$ 、先行N型走査信号 $NS(i-2)$ 、発光制御信号 $EM(i)$ 、オンバイアス多重化データ信号 $D_{mx}(j)$ 、およびデータ信号 $D(j)$ の変化を示している。なお、初期化電圧線 Lin_i の電圧 $V_{ini}(=V_{anr})$ の電圧 V_{obs} は固定電圧である。

[0136] 本実施形態では、RFフレーム期間 T_{rf} において図29に示すように駆動信号が変化することにより、P型走査信号線 $PS_1 \sim PS_n$ 、N型走査信号線 $NS_1 \sim NS_n$ 、および発光制御線 $EM_1 \sim EM_n$ が選択的に駆動され、各データ信号線 D_j には、第1多重化制御信号 C_{mx1} および第2多重化制御信号 C_{mx2} を用いてマルチプレクサ MX_j により生成されるオンバイアス多重化データ信号 $D_{mx}(j)$ が印加される。このような駆動信号により、図29に示すように、各画素回路 $P_{ix}(i, j)$ につき、RFフレーム期間 T_{rf} において、データ初期化期間 T_{ini} 、データ書込期間 T_{wr} 、オンバイアス期間 T_{obs} が設けられる。

[0137] このようなRFフレーム期間 T_{rf} において、データ初期化期間 T_{ini} では、画素回路 $P_{ix}(i, j)$ が上記第4の実施形態と同様に動作し（図24（A）参照）、これにより保持キャパシタ C_{st} の初期化（データ初期化）が行われる。データ書込期間 T_{wr} では、画素回路 $P_{ix}(i, j)$ およびマルチプレクサ MX_j が図28（A）に示すように動作し、これにより画素回路 $P_{ix}(i, j)$ に対しデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として書き込まれる。オンバイアス期間 T_{obs} では、画素回路 $P_{ix}(i, j)$ およびマルチプレクサ MX_j が図28（B）に示すように動作し、これにより画素回路 $P_{ix}(i, j)$ における駆動トランジスタ T_4 のソース端子に対応データ信号線 D_j からオンバイアス電圧 V_{obs} が印加される。なお、これらのデータ初期化期間 T_{ini} 、データ書込期間 T_{wr} 、オンバイアス期間 T_{obs} では、対応発光制御信号 $EM(i)$ がHレベル

であって第2初期化トランジスタT7がオン状態であるので、有機EL素子OLのアノード電圧 V_a の初期化も行われる。

[0138] また本実施形態では、NRFフレーム期間 T_{nrf} において図29に示すように駆動信号が変化することにより、P型走査信号線 $PS_1 \sim PS_n$ および発光制御線 $EM_1 \sim EM_n$ が選択的に駆動され、N型走査信号線 $NS_1 \sim NS_n$ は非選択状態に維持され（N型走査信号 $NS_{(-1)} \sim NS_{(n)}$ がLレベルに維持され）、データ信号線 $D_1 \sim D_m$ は、高インピーダンス状態に維持される。このような駆動信号により、図29に示すように、各画素回路 $P_{ix}(i, j)$ につき、NRFフレーム期間 T_{nrf} において、オンバイアス期間 T_{obs} およびアノード初期化期間 T_{anr} が設けられる。

[0139] このようなNRFフレーム期間 T_{nrf} において、オンバイアス期間 T_{obs} では、画素回路 $P_{ix}(i, j)$ およびマルチプレクサ MX_j が図28(B)に示すように動作し、これにより画素回路 $P_{ix}(i, j)$ における駆動トランジスタT4のソース端子に対応データ信号線 D_j からオンバイアス電圧 V_{obs} が印加される。なお、NRFフレーム期間 T_{nrf} では、図29に示すように、このオンバイアス期間 T_{obs} はアノード初期化期間 T_{anr} に含まれており、このオンバイアス期間 T_{obs} では有機EL素子OLのアノード電圧 V_a の初期化も行われる。NRFフレーム期間 T_{nrf} におけるアノード初期化期間 T_{anr} のうちオンバイアス期間 T_{obs} と重複しない期間では、画素回路 $P_{ix}(i, j)$ は、上記第4の実施形態と同様に動作し（図25(A)参照）、これにより有機EL素子OLのアノード電圧 V_a の初期化が行われる。

[0140] なお、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} において図29に示すように設けられる発光期間 T_{em} では、画素回路 $P_{ix}(i, j)$ は上記第4の実施形態と同様に動作し（図24(C)参照）、これにより、保持キャパシタ C_{st} に保持された電圧に応じた量の電流 I_1 が、ハイレベル電源線 $ELVDD$ から第2発光制御トランジスタT5、駆動トランジスタT4、第1発光制御トランジスタT6、および、有機EL素子OLを

經由してローレベル電源線 $E L V S S$ に流れ、有機 $E L$ 素子 $O L$ は、この電流 I_1 に応じた輝度で発光する。

[0141] 次に、本実施形態において動作モードが低リフレッシュモードから高リフレッシュモードへと切り替わる場合の動作例につき、図28および図29に加えて図30を参照して説明する。本動作例では、本実施形態に係る表示装置は1／2フレーム期間単位でリフレッシュレートが変更可能に構成されているものとする。

[0142] 図30は、本実施形態において動作モードを低リフレッシュモードから高リフレッシュモードに切り替えるときの画素回路の駆動を説明するためのタイミングチャートである。より詳しくは、図30(A)は、低リフレッシュモードで動作する画素回路19の最後の $N R F$ フレーム期間の後半（後述の重複期間 $T o v$ ）での駆動を説明するためのタイミングチャートであり、図30(B)は、本実施形態において動作モード（リフレッシュレート）を低リフレッシュモードから高リフレッシュモードに切り替えるときの表示装置の動作例を示すタイミングチャートである。

[0143] 図30(B)は、 $R F$ フレーム期間 $T r f$ の後に複数の $N R F$ フレーム期間 $T n r f$ が続く低リフレッシュモードで動作しているときに或る $N R F$ フレーム期間 $T n r f$ の前半期間内で動画表示のためのリフレッシュ要求 $R q_m v$ が発生した場合の表示装置の動作を示している。本実施形態における表示装置は1／2フレーム期間単位でリフレッシュレートが変更可能に構成されているので、この場合、表示装置の動作モードは、当該 $N R F$ フレーム期間 $T n r f$ の前半期間の終了時点 $C g_m o d$ で高リフレッシュモードに切り替わる。すなわち、その終了時点から $R F$ フレーム期間 $T r f$ が始まり、高リフレッシュモードで動作している間は $R F$ フレーム期間 $T r f$ が連続する。

[0144] 図30(B)に示すように本動作例では、上記 $N R F$ フレーム期間 $T n r f$ の前半期間で動画表示のためのリフレッシュ要求 $R q_m v$ が発生し、その前半期間の終了時点 $C g_m o d$ で動作モードが高リフレッシュモードに

切り替わるが、その前半期間で実行されていたオンバイアス印加は、当該NRFフレーム期間 T_{nrf} の後半期間においても行われる。すなわち図30(B)に示すように、当該NRFフレーム期間 T_{nrf} の後半期間と動作モードの切り替わり後の最初のRFフレーム期間 T_{rf} の前半期間とは重複する。この重複期間 T_{ov} では、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i_1, j)$ とオンバイアス印加が行われる画素回路 $P_{ix}(i_2, j)$ とが混在することになる($1 \leq i_1 < i_2 \leq n$)。

[0145] すなわち、この重複期間 T_{ov} では、上記同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ のうちデータ書込が行われる画素回路 $P_{ix}(i, j)$ の駆動信号、すなわちP型走査信号 $PS(i)$ 、N型走査信号 $NS(i)$ 、先行N型走査信号 $NS(i-2)$ 、発光制御信号 $EM(i)$ 、およびオンバイアス多重化データ信号 $D_{mx}(j)$ が既述のように変化する(図29におけるRFフレーム期間 T_{rf} での当該駆動信号参照)。これにより、当該画素回路 $P_{ix}(i, j)$ に対し、通常のRFフレーム期間 T_{rf} と同様に、データ初期化とデータ書込が行われる。

[0146] また、この重複期間 T_{ov} では、上記同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ のうちオンバイアス印加が行われる画素回路 $P_{ix}(i, j)$ の駆動信号、すなわち、P型走査信号 $PS(i)$ および発光制御信号 $EM(i)$ は図30(A)に示すように変化する、N型走査信号 $NS(i)$ および先行N型走査信号 $NS(i-2)$ はLレベル(非アクティブ状態)に維持される。なお、上記NRF期間 T_{nrf} のうち上記RFフレーム期間 T_{rf} と重複する期間 T_{ov} では、通常のNRFフレーム期間 T_{nrf} とは異なり、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、データ書込が行われる画素回路 $P_{ix}(i_1, j)$ とオンバイアス印加が行われる画素回路 $P_{ix}(i_2, j)$ とが混在する。このため、図30(A)に示す第1および第2多重化制御信号 C_{mx1} 、 C_{mx2} に基づくマルチプレクサMXjの動作により、データ信号線Djには、オンバイアス電圧 V_{obs}

とデータ信号 $D(j)$ とが時分割多重化された信号であるオンバイアス多重化データ信号 $D_{mx}(j)$ が印加されている。しかし、上記同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ のうちバイアス印加が行われる画素回路 $P_{ix}(i_2, j)$ については、N型走査信号 $NS(i_2)$ および先行N型走査信号 $NS(i_2 - 2)$ がLレベルに維持されるのでデータ初期化やデータ書込は行われず、オンバイアス期間 T_{obs} において駆動トランジスタ T_4 へのオンバイアス電圧 V_{obs} の印加が行われる。なお、このオンバイアス期間 T_{obs} では、発光制御線 $EM(j)$ はHレベルであるので、当該画素回路 $P_{ix}(i_2, j)$ において、初期化電圧 V_{ini} がオン状態の第2初期化トランジスタ T_7 を介して有機EL素子OLのアノード電極に与えられアノード電圧 V_a の初期化も行われる（図28（B）参照）。

[0147] 上記のように本実施形態では、オンバイアス電圧 V_{obs} とデータ信号 $D(j)$ を時分割多重化した信号であるオンバイアス多重化データ信号 $D_{mx}(j)$ がデータ信号線 D_j に印加されるので（図30（A）参照）、オンバイアス電圧 V_{obs} を画素回路 $P_{ix}(i, j)$ に供給するための電圧線をデータ信号線 D_j とは別に設けることなく、動作モードの切り替えの際に、同一列の画素回路 $P_{ix}(1, j) \sim P_{ix}(n, j)$ において、図28（A）に示すようにデータ書込が行われる画素回路 $P_{ix}(i_1, j)$ と図28（B）に示すようにオンバイアス印加が行われる画素回路 $P_{ix}(i_2, j)$ とを混在させることができる（図30（B）の重複期間 T_{ov} 参照）。このようにして、重複期間 T_{ov} では、オンバイアス多重化データ信号 $D_{mx}(j)$ に基づきNRFフレーム期間でのオンバイアス印加とRFフレーム期間でのデータ書き込みとが並行的に行われる。これにより本実施形態によれば、有機EL表示装置等の電流駆動方式の表示装置において静止画表示等における消費電力の低減のために可変リフレッシュレート方式を採用した場合に、オンバイアス電圧 V_{obs} の供給のための電圧線をデータ信号線 D_j とは別に設けることなく、上記第1の実施形態と同様の効果を得ることができる。

[0148] また、本実施形態によれば、画素回路 $P_{i \times j}$ 内の駆動トランジスタ T_4 に対しバイアス制御トランジスタ T_8 を介してオンバイアス電圧 V_{obs} が与えられていた第1から第4の実施形態とは異なり、オンバイアス電圧 V_{obs} は対応データ信号線 D_j から書込制御トランジスタ T_3 を介して駆動トランジスタ T_4 に与えられる（図28（B）参照）。すなわち本実施形態では、書込制御トランジスタ T_3 がバイアス印加回路を構成し、バイアス制御トランジスタ T_8 は不要である（図27参照）。このため、画素回路 $P_{i \times j}$ 内の素子数を増やすことなく第1の実施形態等と同様の効果が得られる。さらに、オンバイアス電圧 V_{obs} とデータ信号 $D(j)$ を時分割多重化した信号であるオンバイアス多重化データ信号 $D_{mx}(j)$ がデータ信号線 D_j に印加されるので、オンバイアス電圧 V_{obs} とアノード初期化のための電圧 V_{ini} につき好適な電圧値を独立して選定することができる。

[0149] <6. 変形例>

本発明は上記各実施形態に限定されるものではなく、本発明の範囲を逸脱しない限りにおいて種々の変形を施すことができる。例えば、下記のような変形例が考えられる。

[0150] 上記各実施形態に係る表示装置では、内部補償方式の画素回路 $P_{i \times j}$ が使用されているが（図7、図17、図19、図23、図27）、本発明は、内部補償方式の画素回路を使用した表示装置に限定されない。すなわち、内部補償方式でない画素回路を使用する表示装置であっても、駆動トランジスタにより有機EL素子等の表示素子の駆動電流を制御するように構成されたVRR方式の電流駆動型表示装置であれば、低リフレッシュモードから高リフレッシュモードへの動作モード切替時におけるオンバイアス印加に関して上記各実施形態と同様の構成を組み込むことにより上記各実施形態と同様の効果を得ることができる。

[0151] 上記第1から第5の実施形態では、画素回路 $P_{i \times j}$ は、Nチャネル型トランジスタのみを用いて、または、Nチャネル型トランジスタとP

チャンネル型トランジスタの双方を用いて構成されているが（図 7、図 17、図 19、図 23、図 27）、画素回路 $P_{i \times (i, j)}$ の構成における N チャンネル型トランジスタと P チャンネル型トランジスタの組み合わせ方は、これらの実施形態における画素回路での組み合わせに限定されず、使用すべきトランジスタの導電型を P チャンネル型と N チャンネル型の間で適宜に変更して同様に動作するように構成されていてもよい。例えば、画素回路 $P_{i \times (i, j)}$ を構成するトランジスタとして P チャンネル型の LTPS-TFT のみを用いてもよい。また上記第 5 の実施形態では、駆動トランジスタ T4 として P チャンネル型トランジスタが使用されているが（図 27 参照）、N チャンネル型の駆動トランジスタ T4 を用いた画素回路 $P_{i \times (i, j)}$ を使用する表示装置において、上記第 5 の実施形態のように（図 27～図 30）、データ信号 $D(j)$ とオンバイアス電圧 V_{obs} とをデータ信号線 D_j によって時分割的に画素回路 $P_{i \times (i, j)}$ に供給されるように構成されていてもよい。

[0152] 以上においては、有機 EL 表示装置を例に挙げて各実施形態が説明されたが、本発明は、有機 EL 表示装置に限定されるものではなく、VRR 方式の電流駆動型の表示装置であれば適用可能である。ここで使用可能な表示素子は、例えば、有機 EL 素子すなわち有機発光ダイオード (Organic Light Emitting Diode (OLED)) の他、無機発光ダイオードや量子ドット発光ダイオード (Quantum dot Light Emitting Diode (QLED)) 等である。

[0153] なお、以上に述べた表示装置の特徴をその性質に反せず本発明の趣旨を逸脱しない範囲において任意に組み合わせて、上記実施形態および変形例のうちの幾つの特徴を併せ持つ表示装置を構成してもよい。

符号の説明

[0154] 10, 10b …有機 EL 表示装置
11 …表示部
15～19 …画素回路
20 …表示制御回路

3 0 …データ側駆動回路（データ信号線駆動回路）

4 0 …走査側駆動回路（走査信号線駆動回路／発光制御回路）

P i x (j , i) …画素回路（ $i = 1 \sim n$ 、 $j = 1 \sim m$ ）

N S 1 i …第1走査信号線（ $i = 1 \sim n$ ）

N S 2 i …第2走査信号線（ $i = 1 \sim n$ ）

N S 3 i …第3走査信号線（ $i = 1 \sim n$ ）

N S 4 i …第4走査信号線（ $i = 1 \sim n$ ）

P S 1 i …第1走査信号線（ $i = 1 \sim n$ ）

P S 2 i …第2走査信号線（ $i = 1 \sim n$ ）

N S i …第3走査信号線（ $i = -1 \sim n$ ）

P S 2 i …第2走査信号線（ $i = 1 \sim n$ ）

P S 2 i …第2走査信号線（ $i = 1 \sim n$ ）

P S i …P型走査信号線（ $i = 1 \sim n$ ）

N S i …N型走査信号線（ $i = 1 \sim n$ ）

E M 1 i …第1発光制御線（ $i = 1 \sim n$ ）

E M 2 i …第2発光制御線（ $i = 1 \sim n$ ）

E M i …発光制御線（ $i = 1 \sim n$ ）

D j …データ信号線（ $j = 1 \sim m$ ）

L i n i …初期化電圧線

L o b s …オンバイアス電圧線（バイアス電圧線）

M X j …マルチプレクサ（ $j = 1 \sim m$ ）

E L V D D …ハイレベル電源線（第1電源線）、ハイレベル電源電圧

E L V S S …ローレベル電源線（第2電源線）、ローレベル電源電圧

O L …有機EL素子（表示素子）

C s t …保持キャパシタ

T 1 …初期化トランジスタ、第1初期化トランジスタ

T 2 …閾値補償トランジスタ

T 3 …書込制御トランジスタ

T 4 …駆動トランジスタ
T 6 …第 1 発光制御トランジスタ
T 5 …第 2 発光制御トランジスタ
T 7 …第 2 初期化トランジスタ
T 8 …バイアス制御トランジスタ
T a …第 1 選択トランジスタ
T b …第 2 選択トランジスタ
T r f …リフレッシュフレーム期間（R F フレーム期間）
T n r f …非リフレッシュフレーム期間（N R F フレーム期間）
V a …アノード電圧
V i n i …初期化電圧
V a n r …アノード初期化電圧
V o b s …オンバイアス電圧（バイアス電圧）

請求の範囲

[請求項1]

低リフレッシュモードと高リフレッシュモードを含む少なくとも2つの動作モードを有する表示装置であって、

複数のデータ信号線と、複数の制御走査線と、前記複数のデータ信号線および前記複数の制御走査線に沿って配置された複数の画素回路とを含む表示部と、

外部から入力される画像データに基づき複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の制御走査線を選択的に駆動することにより前記複数の画素回路を制御する走査側駆動回路と、

前記少なくとも2つの動作モードのいずれかで、前記画像データの表す画像が前記複数の画素回路により表示されるように、前記データ側駆動回路および前記走査側駆動回路を制御する表示制御回路とを備え、

前記複数の画素回路のそれぞれは、

前記複数のデータ信号線の1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、前記表示素子への電流の供給量を制御する駆動トランジスタと、対応するデータ信号線の電圧を前記保持キャパシタにデータ電圧として書き込むか否かを制御する書込制御スイッチング素子と、前記駆動トランジスタのヒステリシス特性による前記表示素子の輝度への影響を低減するためのバイアス電圧を前記駆動トランジスタに印加するバイアス印加回路とを含み、

当該画素回路に対応するデータ信号線の電圧がデータ電圧として他の画素回路の前記保持キャパシタに書き込まれるときに当該画素回路において前記バイアス印加回路から前記駆動トランジスタに対し同時または並行的に前記バイアス電圧を印加できるように構成されており、

前記表示制御回路は、

前記低リフレッシュモードでは、前記画像データに基づく複数のデータ電圧を前記複数の画素回路にそれぞれ書き込む1つまたは複数のリフレッシュフレーム期間と前記複数の画素回路への前記複数のデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間とが交互に現れるように前記データ側駆動回路および前記走査側駆動回路を制御し、

前記高リフレッシュモードでは、前記画像データに基づく複数のデータ電圧を前記複数の画素回路にそれぞれ書き込むリフレッシュフレーム期間が連続するように前記データ側駆動回路および前記走査側駆動回路を制御し、

前記走査側駆動回路は、

各リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、所定のデータ書込期間に前記対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれるように前記書込制御スイッチング素子を制御し、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、所定のバイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加されるように前記バイアス印加回路を制御し、

前記低リフレッシュモードにおいていずれかの非リフレッシュフレーム期間中に外部から新たな画像データが入力された場合に、当該非リフレッシュフレーム期間の終了時点よりも前の所定時点で新たなリフレッシュフレーム期間が開始されて当該新たな画像データに基づく複数のデータ電圧が前記複数の画素回路にそれぞれ書き込まれるとともに、前記複数の画素回路のうち当該非リフレッシュフレーム期間において前記バイアス電圧が前記駆動トランジスタに印加されていない画素回路では、前記所定時点から前記終了時点までにおいて前記バイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加さ

れるように、前記書込制御スイッチング素子と前記バイアス印加回路とを制御する、表示装置。

[請求項2] 前記表示部は、前記バイアス電圧を供給するためのバイアス電圧線を更に含み、

前記バイアス印加回路は、前記バイアス電圧線に接続されており、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて前記バイアス期間の間は前記バイアス電圧線から前記バイアス電圧が前記駆動トランジスタに印加されるように前記バイアス印加回路を制御する、請求項1に記載の表示装置。

[請求項3] 前記表示部は、前記表示素子を初期化する初期化電圧を供給するための初期化電圧線を更に含み、

前記バイアス印加回路は、前記初期化電圧線に接続されており、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて前記バイアス期間の間は前記初期化電圧線の電圧が前記バイアス電圧として前記駆動トランジスタに印加されるように前記バイアス印加回路を制御する、請求項1に記載の表示装置。

[請求項4] 前記駆動トランジスタは、Nチャネル型トランジスタである、請求項3に記載の表示装置。

[請求項5] 前記複数のデータ信号線にそれぞれ対応して前記データ側駆動回路の外部または内部に設けられた複数のマルチプレクサであって、それぞれが、対応するデータ信号線に印加すべきデータ信号と前記バイアス電圧とを時分割的に当該対応するデータ信号線に出力する複数のマルチプレクサを更に備え、

前記書込制御スイッチング素子は、前記バイアス印加回路を構成し、

前記走査側駆動回路は、

各リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、当該画素回路に対応するデータ信号線にデータ信号が与

えられる所定期間を前記データ書込期間として前記データ書込期間の間は前記書込制御スイッチング素子をオン状態に制御し、かつ、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間に前記駆動トランジスタに対し前記バイアス電圧が印加されるように当該所定期間の間は前記書込制御スイッチング素子をオン状態に制御し、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間を前記バイアス期間として前記バイアス期間の間は前記書込制御スイッチング素子をオン状態に制御する、請求項 1 に記載の表示装置。

[請求項6] 前記表示部は、第 1 電源線と第 2 電源線と初期化電圧線とを更に含み、

前記複数の画素回路のそれぞれは、閾値補償スイッチング素子と第 1 初期化スイッチング素子と第 1 発光制御スイッチング素子と第 2 発光制御スイッチング素子とを更に含み、

前記表示素子は、第 1 端子と、前記第 2 電源線に接続された第 2 端子とを有し、

前記駆動トランジスタは、

N チャネル型トランジスタであり、

前記第 2 発光制御スイッチング素子を介して前記第 1 電源線に接続された第 1 導通端子と、

前記第 1 発光制御スイッチング素子を介して前記表示素子の前記第 1 端子に接続され、かつ、前記書込制御スイッチング素子を介して前記対応するデータ信号線に接続され、かつ、前記バイアス印加回路に接続された第 2 導通端子と、

前記閾値補償スイッチング素子を介して前記駆動トランジスタの前記第 1 導通端子に接続されるとともに、前記保持キャパシタを介し

て前記表示素子の前記第 1 端子に接続された制御端子とを有し、

前記第 1 初期化スイッチング素子は、前記保持キャパシタを介して前記駆動トランジスタの前記制御端子に接続された第 1 導通端子と、前記初期化電圧線に接続された第 2 導通端子とを有し、

前記走査側駆動回路は、

各リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、前記データ書込期間の前に設けられたデータ初期化期間の間は前記第 1 初期化スイッチング素子と前記閾値補償スイッチング素子と前記第 2 発光制御スイッチング素子とをオン状態に制御するとともに前記書込制御スイッチング素子と前記第 1 発光制御スイッチング素子とをオフ状態に制御し、前記データ書込期間の間は前記書込制御スイッチング素子と前記閾値補償スイッチング素子と前記第 1 初期化スイッチング素子とをオン状態に制御するとともに前記第 1 発光制御スイッチング素子と前記第 2 発光制御スイッチング素子とをオフ状態に制御し、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、前記バイアス期間の間は、前記バイアス電圧が前記駆動トランジスタの前記第 2 導通端子に印加されるように前記バイアス印加回路を制御するとともに前記第 1 発光制御スイッチング素子と前記第 2 発光制御スイッチング素子と前記閾値補償スイッチング素子とをオフ状態に制御する、請求項 1 に記載の表示装置。

[請求項 7]

前記表示部は、前記バイアス電圧を供給するためのバイアス電圧線を更に含み、

前記バイアス印加回路は、前記バイアス電圧線に接続された第 1 導通端子と、前記駆動トランジスタの前記第 2 導通端子に接続された第 2 導通端子とを有するバイアス制御スイッチング素子を含み、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて、前記表示素子の初期化のために設けられた表示素子初期化期間の間は

前記バイアス制御スイッチング素子と前記第1発光制御スイッチング素子とをオン状態に制御するとともに前記第2発光制御スイッチング素子と前記第1初期化スイッチング素子とをオフ状態に制御する、請求項6に記載の表示装置。

[請求項8] 前記バイアス印加回路は、前記初期化電圧線に接続された第1導通端子と、前記駆動トランジスタの前記第2導通端子に接続された第2導通端子とを有するバイアス制御スイッチング素子を含み、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて、前記表示素子の初期化のために設けられた表示素子初期化期間の間は前記バイアス制御スイッチング素子と前記第1発光制御スイッチング素子とをオン状態に制御するとともに前記第2発光制御スイッチング素子をオフ状態に制御する、請求項6に記載の表示装置。

[請求項9] 前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて、前記表示素子の初期化のために設けられた表示素子初期化期間の間は前記第1初期化スイッチング素子をオン状態に制御するとともに前記第1発光制御スイッチング素子をオフ状態に制御する、請求項6に記載の表示装置。

[請求項10] 前記閾値補償スイッチング素子は、チャネル層が酸化物半導体により形成された薄膜トランジスタである、請求項6から9のいずれか1項に記載の表示装置。

[請求項11] 前記表示部は、第1電源線と第2電源線と初期化電圧線とを更に含み、

前記複数の画素回路のそれぞれは、閾値補償スイッチング素子と第1初期化スイッチング素子と第1発光制御スイッチング素子と第2発光制御スイッチング素子とを更に含み、

前記表示素子は、第1端子と、前記第2電源線に接続された第2端子とを有し、

前記駆動トランジスタは、

Pチャネル型トランジスタであり、

前記第1発光制御スイッチング素子を介して前記表示素子の前記第1端子に接続された第1導通端子と、

前記第2発光制御スイッチング素子を介して前記第1電源線に接続され、かつ、前記書込制御スイッチング素子を介して前記対応するデータ信号線に接続され、かつ、前記バイアス印加回路に接続された第2導通端子と、

前記閾値補償スイッチング素子を介して前記駆動トランジスタの前記第1導通端子に接続され、かつ、前記保持キャパシタを介して前記第1電源線に接続され、かつ、前記第1初期化スイッチング素子を介して前記初期化電圧線に接続された制御端子とを有し、

前記走査側駆動回路は、

各リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、前記データ書込期間の前に設けられたデータ初期化期間の間は前記第1初期化スイッチング素子をオン状態に制御するとともに前記第1発光制御スイッチング素子と前記第2発光制御スイッチング素子とをオフ状態に制御し、前記データ書込期間の間は前記書込制御スイッチング素子と前記閾値補償スイッチング素子とをオン状態に制御するとともに前記第1初期化スイッチング素子と前記第1発光制御スイッチング素子と前記第2発光制御スイッチング素子とをオフ状態に制御し、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、前記バイアス期間の間は、前記バイアス電圧が前記駆動トランジスタの前記第2導通端子に印加されるように前記バイアス印加回路を制御するとともに前記第1発光制御スイッチング素子と前記第2発光制御スイッチング素子と前記閾値補償スイッチング素子とをオフ状態に制御する、請求項1に記載の表示装置。

[請求項12]

前記複数の画素回路のそれぞれは、第2初期化スイッチング素子を

更に含み、

前記表示素子の前記第 1 端子は、前記第 2 初期化スイッチング素子を介して前記初期化電圧線に接続されており、

前記表示制御回路は、前記複数の画素回路のそれぞれにおいて、前記表示素子の初期化のために設けられた表示素子初期化期間の間は前記第 2 初期化スイッチング素子をオン状態に制御するとともに前記第 1 発光制御スイッチング素子をオフ状態に制御する、請求項 11 に記載の表示装置。

[請求項13]

前記駆動トランジスタ、前記書込制御スイッチング素子、前記第 1 発光制御スイッチング素子、および、前記第 2 発光制御スイッチング素子は、いずれも、チャネル層が低温ポリシリコンにより形成された薄膜トランジスタであり、

前記閾値補償スイッチング素子および前記第 1 初期化スイッチング素子は、いずれも、チャネル層が酸化物半導体により形成された薄膜トランジスタである、請求項 11 または 12 に記載の表示装置。

[請求項14]

前記表示部は、前記バイアス電圧を供給するためのバイアス電圧線を更に含み、

前記バイアス印加回路は、前記バイアス電圧線に接続された第 1 導通端子と、前記駆動トランジスタの前記第 2 導通端子に接続された第 2 導通端子とを有するバイアス制御スイッチング素子を含み、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて前記バイアス期間の間は前記バイアス制御スイッチング素子をオン状態に制御するとともに前記書込制御スイッチング素子をオフ状態に制御する、請求項 6 または 11 に記載の表示装置。

[請求項15]

前記バイアス印加回路は、前記初期化電圧線に接続された第 1 導通端子と、前記駆動トランジスタの前記第 2 導通端子に接続された第 2 導通端子とを有するバイアス制御スイッチング素子を含み、

前記走査側駆動回路は、前記複数の画素回路のそれぞれにおいて前

記バイアス期間の間は前記バイアス制御スイッチング素子をオン状態に制御するとともに前記書込制御スイッチング素子をオフ状態に制御する、請求項6に記載の表示装置。

[請求項16]

前記複数のデータ信号線にそれぞれ対応して前記データ側駆動回路の外部または内部に設けられた複数のマルチプレクサであって、それぞれが、対応するデータ信号線に印加すべきデータ信号と前記バイアス電圧とを時分割的に当該対応するデータ信号線に出力する複数のマルチプレクサを更に備え、

前記書込制御スイッチング素子は、前記バイアス印加回路を構成し、

前記走査側駆動回路は、

各リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、当該画素回路に対応するデータ信号線にデータ信号が与えられる所定期間を前記データ書込期間として前記データ書込期間の間は前記書込制御スイッチング素子をオン状態に制御し、かつ、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間に前記駆動トランジスタに対し前記バイアス電圧が印加されるように当該所定期間の間は前記書込制御スイッチング素子をオン状態に制御し、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間を前記バイアス期間として前記バイアス期間の間は前記書込制御スイッチング素子をオン状態に制御する、請求項6または11に記載の表示装置。

[請求項17]

低リフレッシュモードと高リフレッシュモードを含む少なくとも2つの動作モードを有する表示装置の駆動方法であって、

前記表示装置は、複数のデータ信号線と、複数の制御走査線と、前記複数のデータ信号線および前記複数の制御走査線に沿って配置され

た複数の画素回路とを含む表示部を備え、

前記複数の画素回路のそれぞれは、

前記複数のデータ信号線の1つに対応し、

電流によって駆動される表示素子と、保持キャパシタと、前記表示素子への電流の供給量を制御する駆動トランジスタと、対応するデータ信号線の電圧を前記保持キャパシタにデータ電圧として書き込むか否かを制御する書込制御スイッチング素子と、前記駆動トランジスタのヒステリシス特性による前記表示素子の輝度への影響を低減するためのバイアス電圧を前記駆動トランジスタに印加するバイアス印加回路とを含み、

当該画素回路に対応するデータ信号線の電圧がデータ電圧として他の画素回路の前記保持キャパシタに書き込まれるときに当該画素回路において前記バイアス印加回路から前記駆動トランジスタに対し同時または並行的に前記バイアス電圧を印加できるように構成されており、

前記駆動方法は、

外部から入力される画像データに基づき複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動ステップと、

前記複数の制御走査線を選択的に駆動することにより前記複数の画素回路を制御する走査側駆動ステップとを含み、

前記走査側駆動ステップは、

前記低リフレッシュモードにおいて、前記画像データに基づく複数のデータ電圧を前記複数の画素回路にそれぞれ書き込む1つまたは複数のリフレッシュフレーム期間と前記複数の画素回路への前記複数のデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間とが交互に現れるように前記複数の画素回路を制御する低リフレッシュ駆動ステップと、

前記高リフレッシュモードにおいて、前記画像データに基づく複

数のデータ電圧を前記複数の画素回路にそれぞれ書き込みリフレッシュフレーム期間が連続するように前記複数の画素回路を制御する高リフレッシュ駆動ステップとを含み、

前記低リフレッシュ駆動ステップでは、

各リフレッシュフレーム期間において、前記複数の画素回路のそれぞれで、所定のデータ書込期間に前記対応するデータ信号線の電圧がデータ電圧として前記保持キャパシタに書き込まれるように前記書込制御スイッチング素子が制御され、

各非リフレッシュフレーム期間において、前記複数の画素回路のそれぞれで、所定のバイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加されるように前記バイアス印加回路が制御され、

前記走査側駆動ステップは、前記低リフレッシュモードにおいていずれかの非リフレッシュフレーム期間中に外部から新たな画像データが入力された場合に、当該非リフレッシュフレーム期間の終了時点よりも前の所定時点で新たなリフレッシュフレーム期間が開始されて当該新たな画像データに基づく複数のデータ電圧が前記複数の画素回路にそれぞれ書き込まれるとともに、前記複数の画素回路のうち当該非リフレッシュフレーム期間において前記バイアス電圧が前記駆動トランジスタに印加されていない画素回路では、前記所定時点から前記終了時点までにおいて前記バイアス期間の間は前記バイアス電圧が前記駆動トランジスタに印加されるように、前記書込制御スイッチング素子と前記バイアス印加回路とを制御するモード切替駆動ステップを更に含む、駆動方法。

[請求項18]

前記表示部は、前記バイアス電圧を供給するためのバイアス電圧線を更に含む、

前記バイアス印加回路は、前記バイアス電圧線に接続されており、

前記低リフレッシュ駆動ステップでは、前記複数の画素回路のそれぞれにおいて前記バイアス期間の間は前記バイアス電圧線から前記バ

イアス電圧が前記駆動トランジスタに印加されるように前記バイアス印加回路が制御される、請求項 17 に記載の駆動方法。

[請求項19] 前記表示部は、前記表示素子を初期化する初期化電圧を供給するための初期化電圧線を更に含み、

前記バイアス印加回路は、前記初期化電圧線に接続されており、

前記低リフレッシュ駆動ステップでは、前記複数の画素回路のそれぞれにおいて前記バイアス期間の間は前記初期化電圧線の電圧が前記バイアス電圧として前記駆動トランジスタに印加されるように前記バイアス印加回路が制御される、請求項 17 に記載の駆動方法。

[請求項20] 前記複数のデータ信号線のそれぞれにつき、当該データ信号線に印加すべきデータ信号と前記バイアス電圧とを時分割的に当該データ信号線に出力する時分割多重化駆動ステップを更に備え、

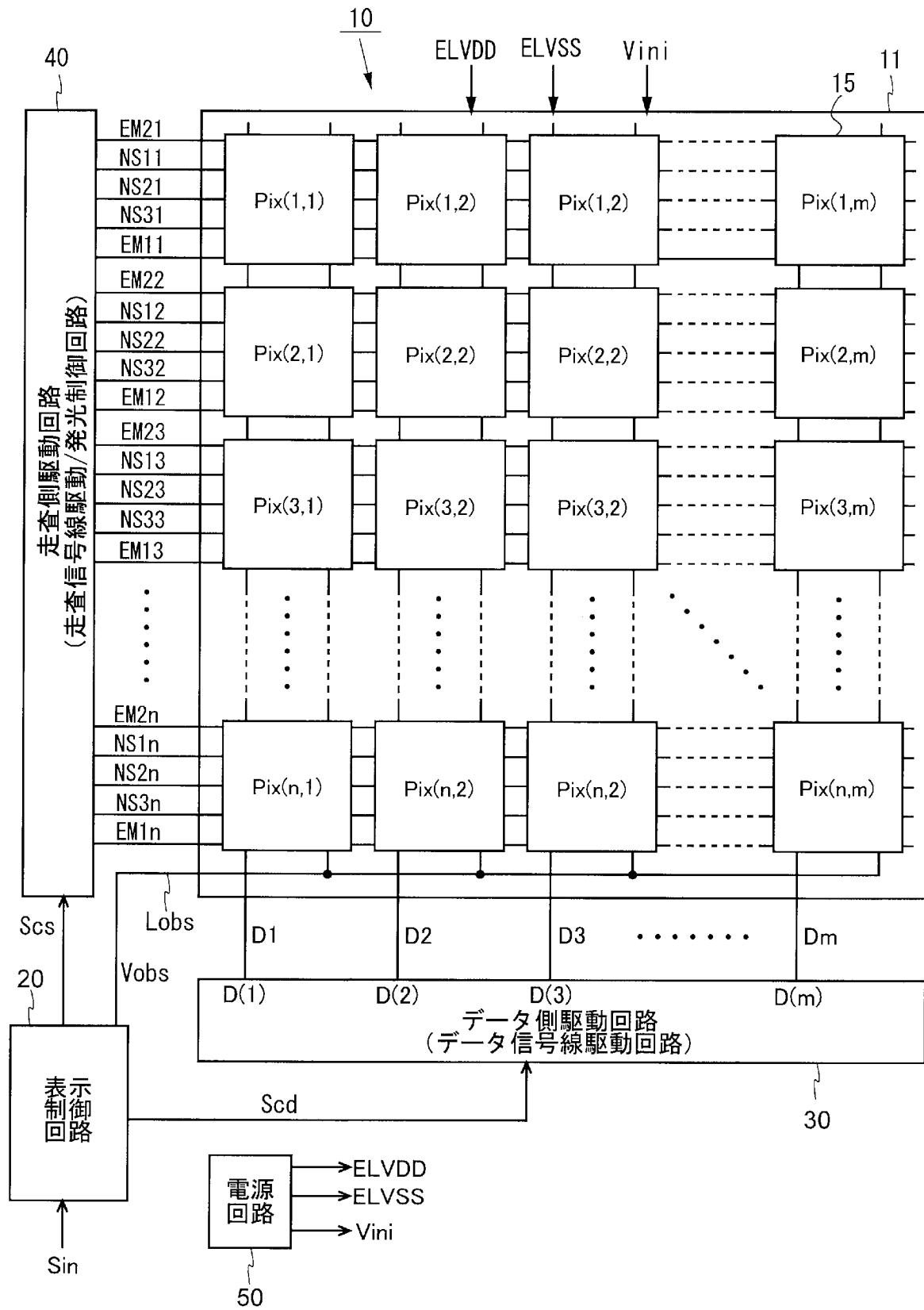
前記書込制御スイッチング素子は、前記バイアス印加回路を構成し、

前記低リフレッシュ駆動ステップでは、

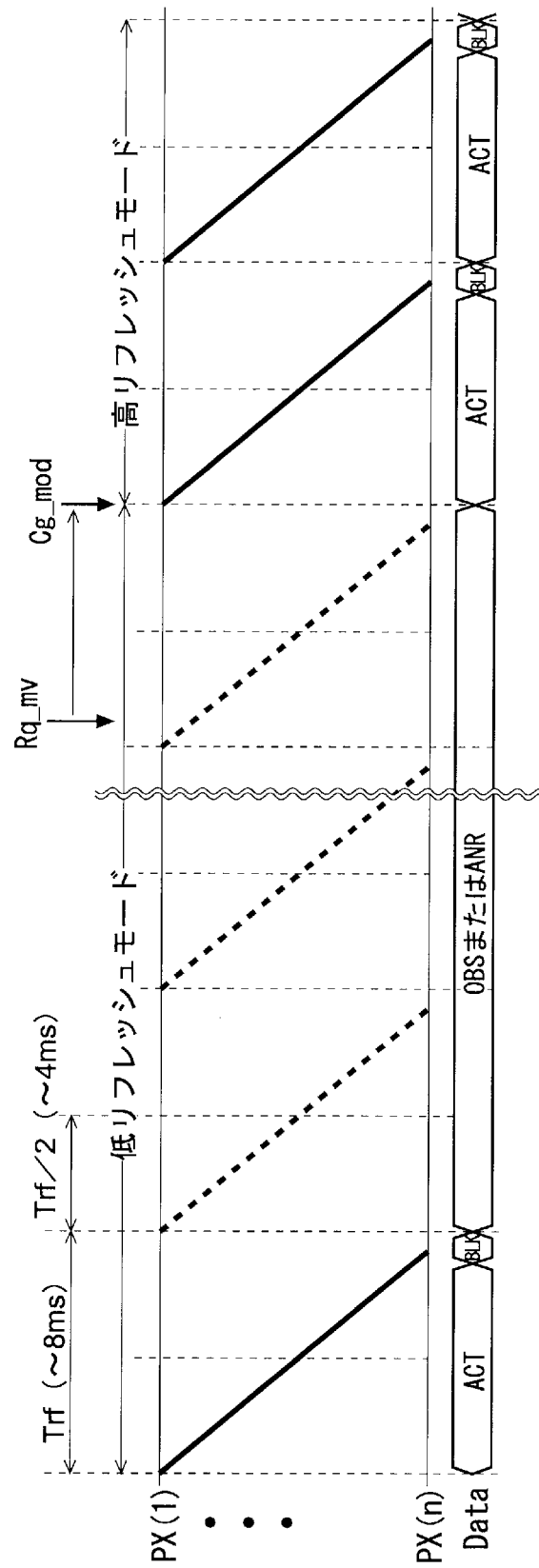
各リフレッシュフレーム期間において、前記複数の画素回路のそれぞれで、当該画素回路に対応するデータ信号線にデータ信号が与えられる所定期間を前記データ書込期間として前記データ書込期間の間は前記書込制御スイッチング素子がオン状態に制御され、かつ、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間に前記駆動トランジスタに対し前記バイアス電圧が印加されるように当該所定期間の間は前記書込制御スイッチング素子がオン状態に制御され、

各非リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、当該画素回路に対応するデータ信号線に前記バイアス電圧が与えられる所定期間を前記バイアス期間として前記バイアス期間の間は前記書込制御スイッチング素子がオン状態に制御される、請求項 17 に記載の駆動方法。

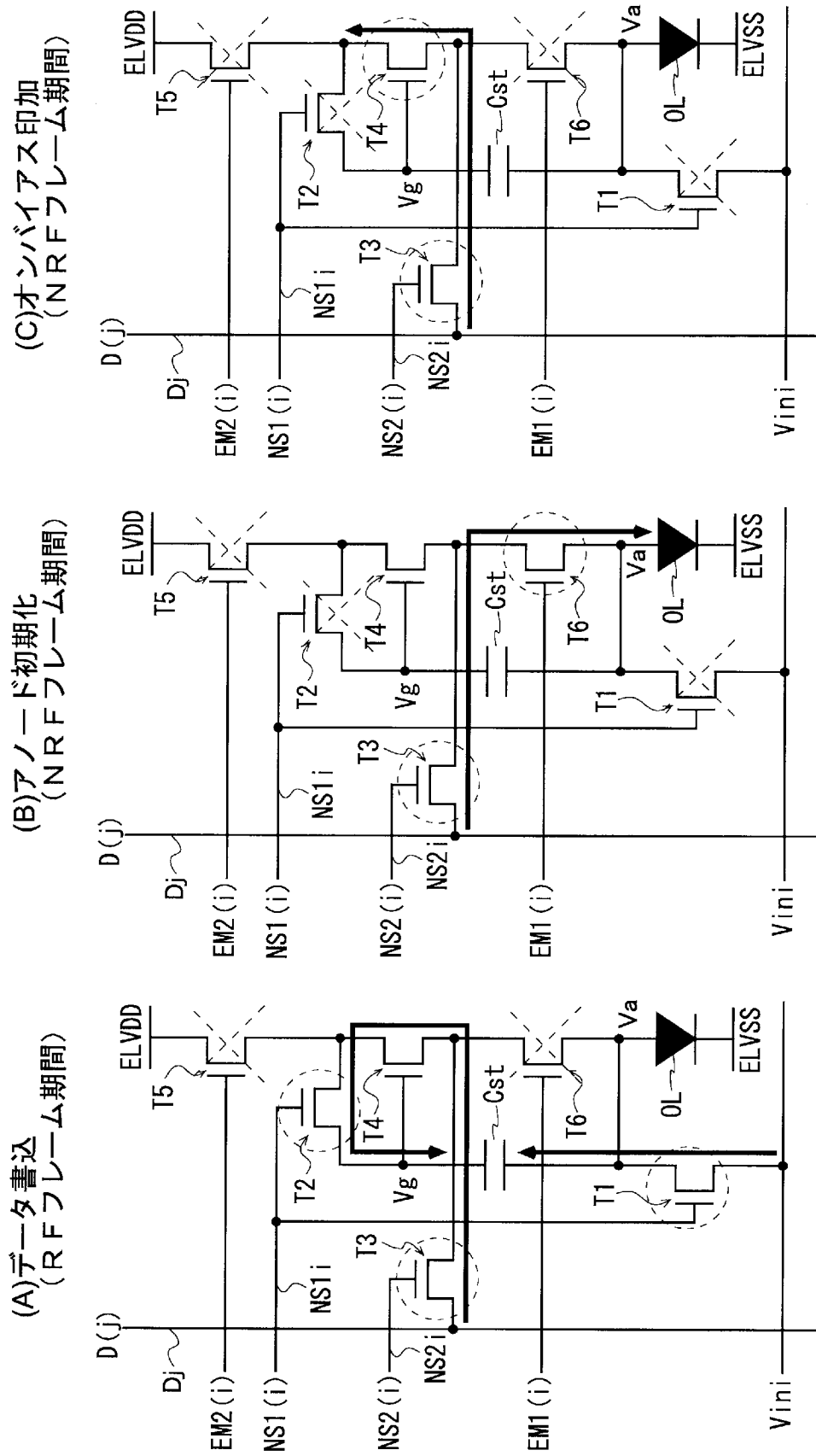
[図1]



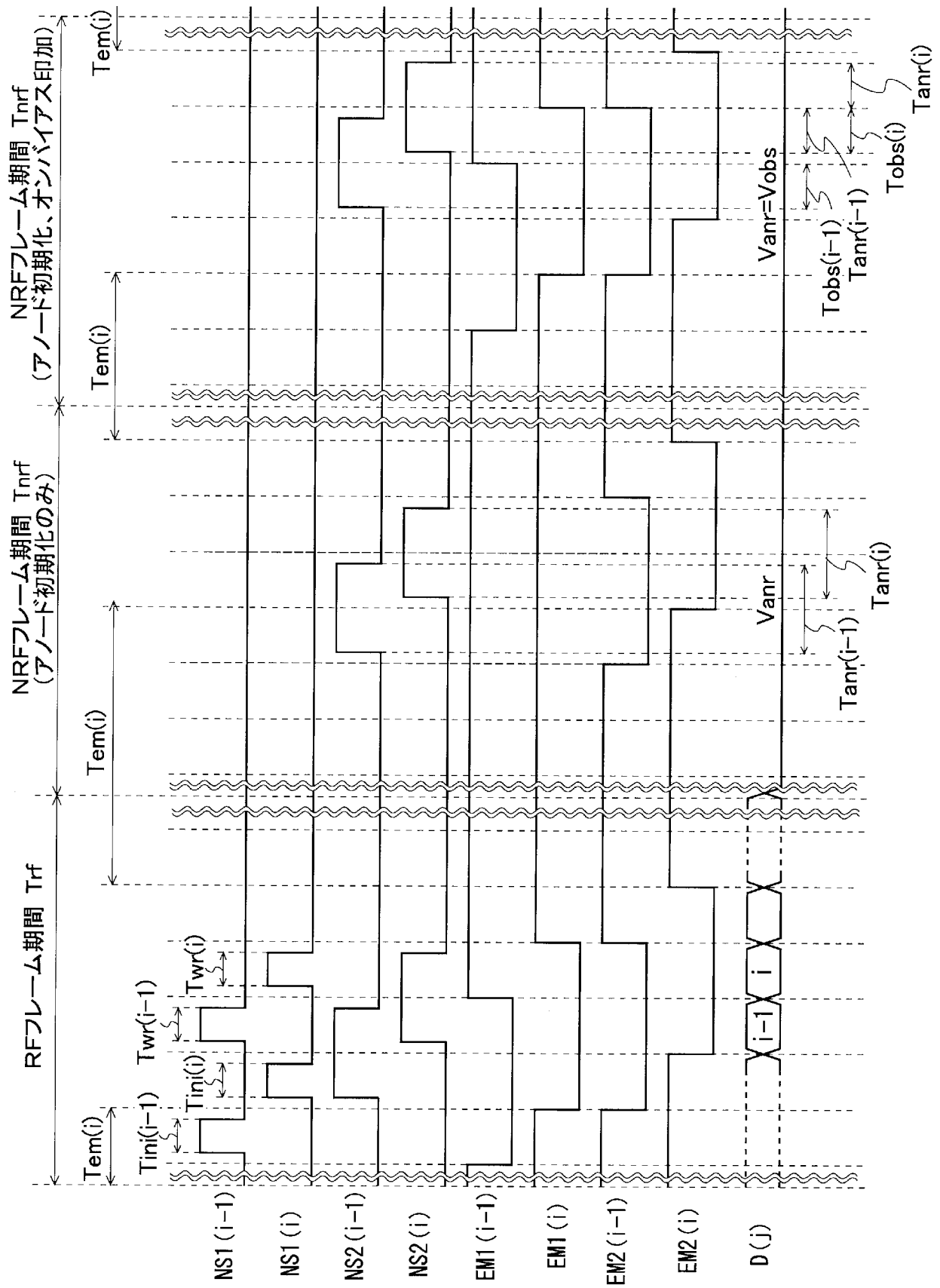
[図2]



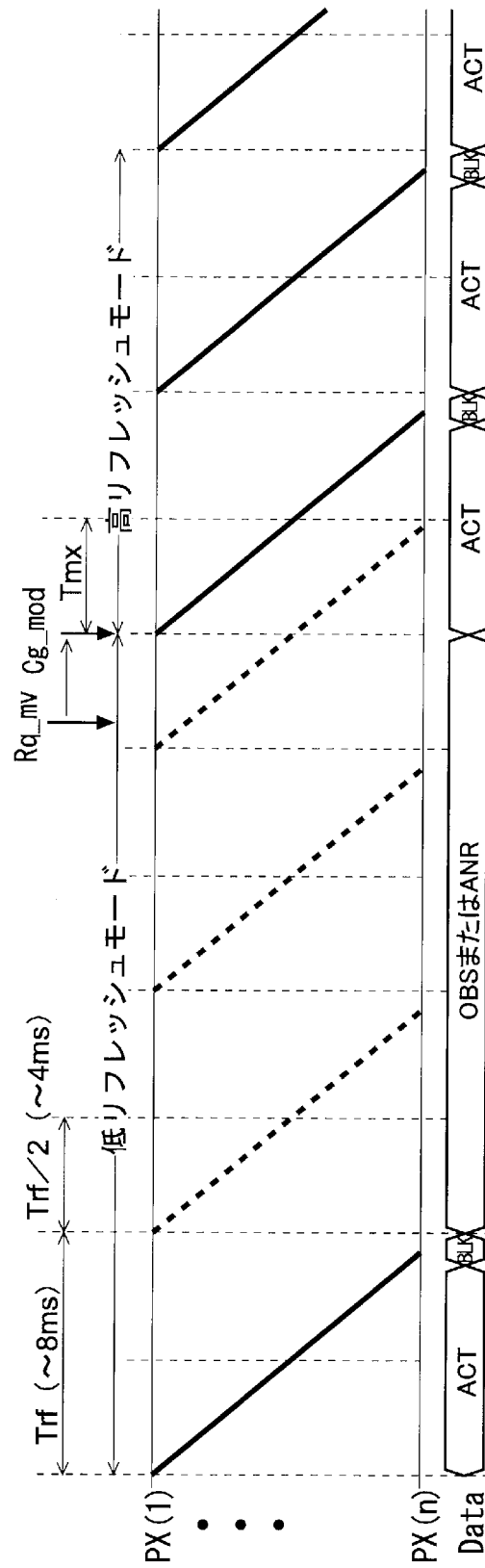
[図4]



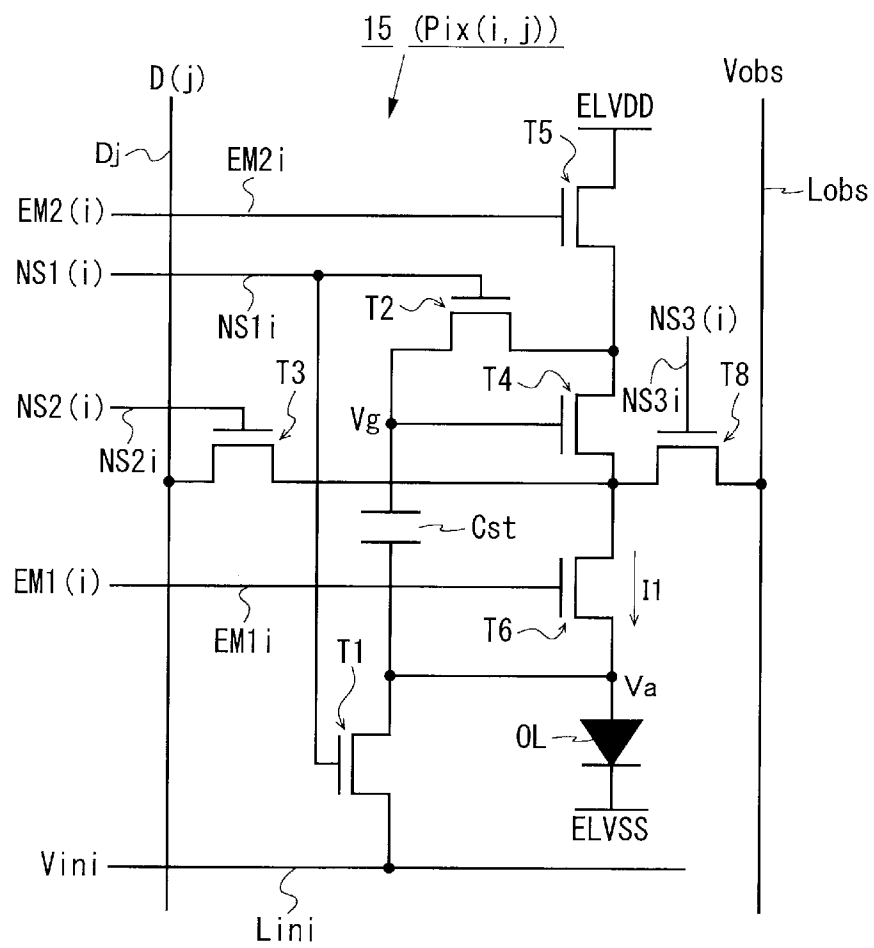
[図5]



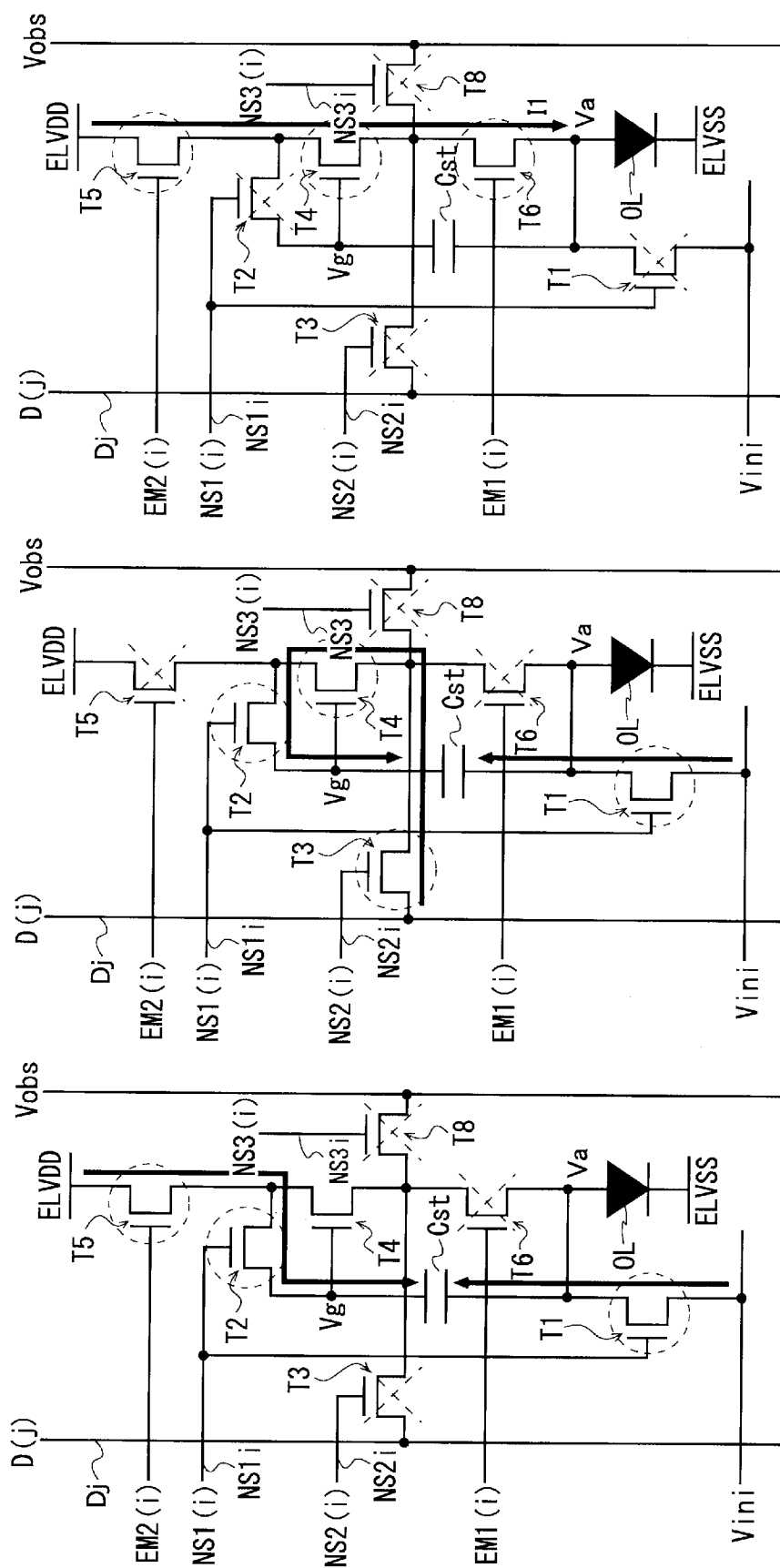
[図6]



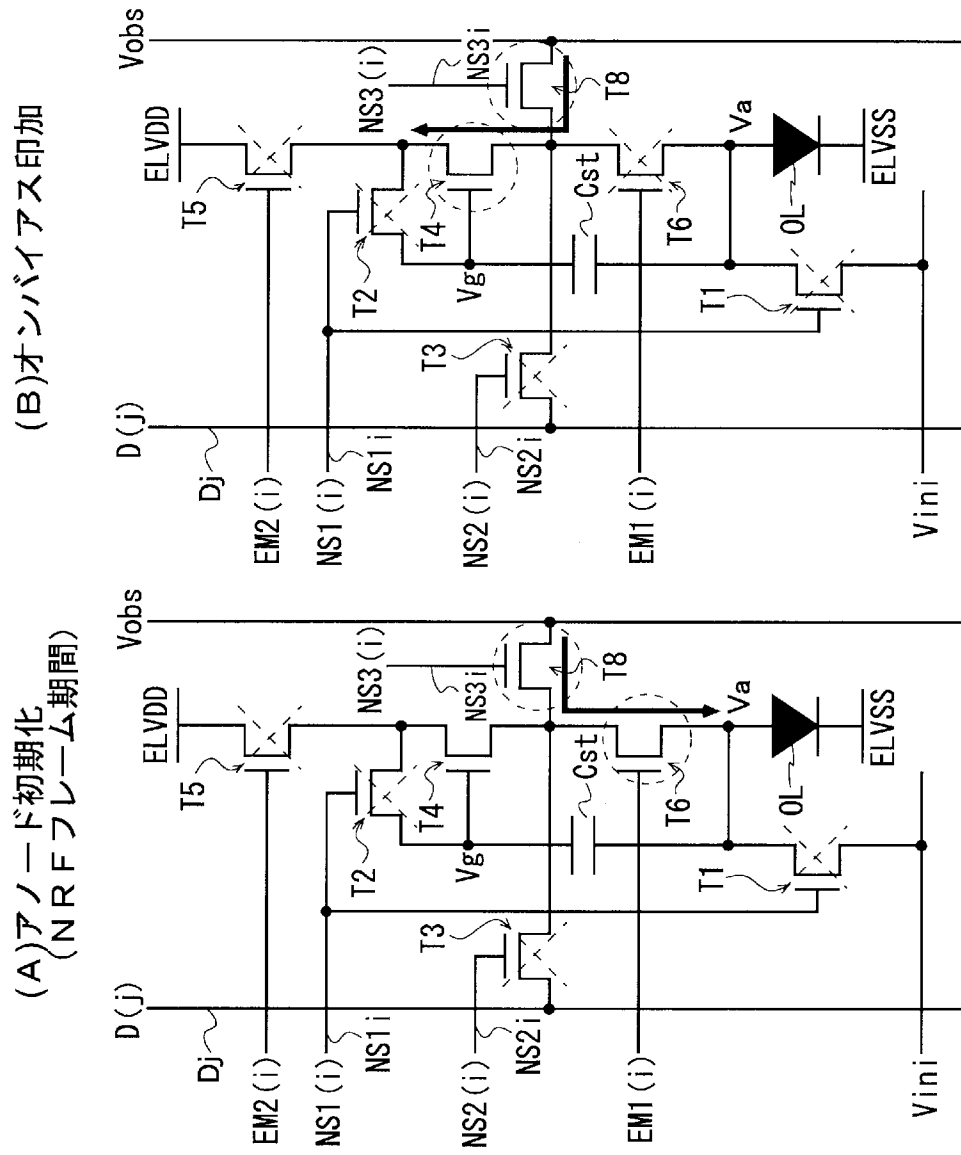
[図7]



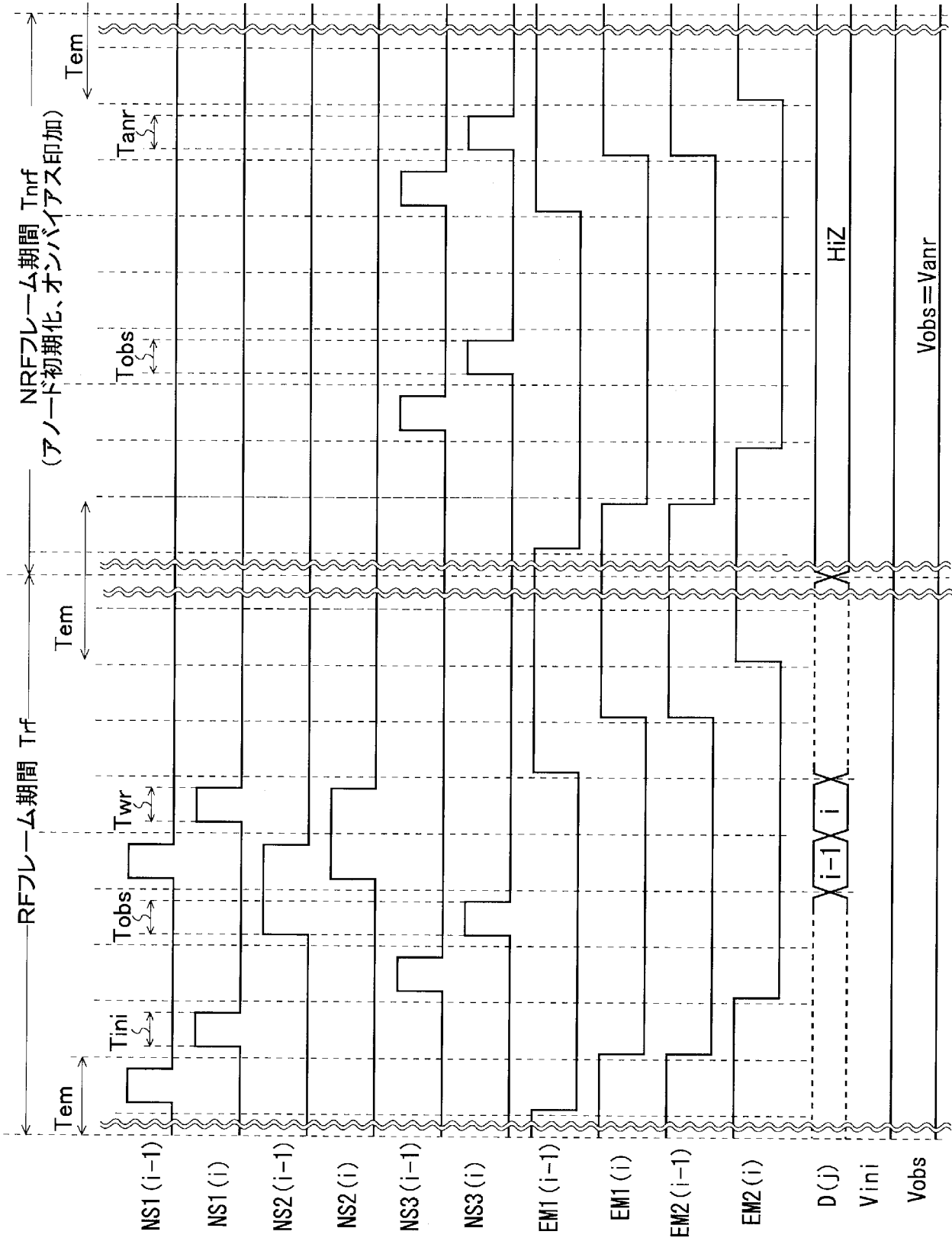
(A)データ初期化
(R Fフレーム期間)



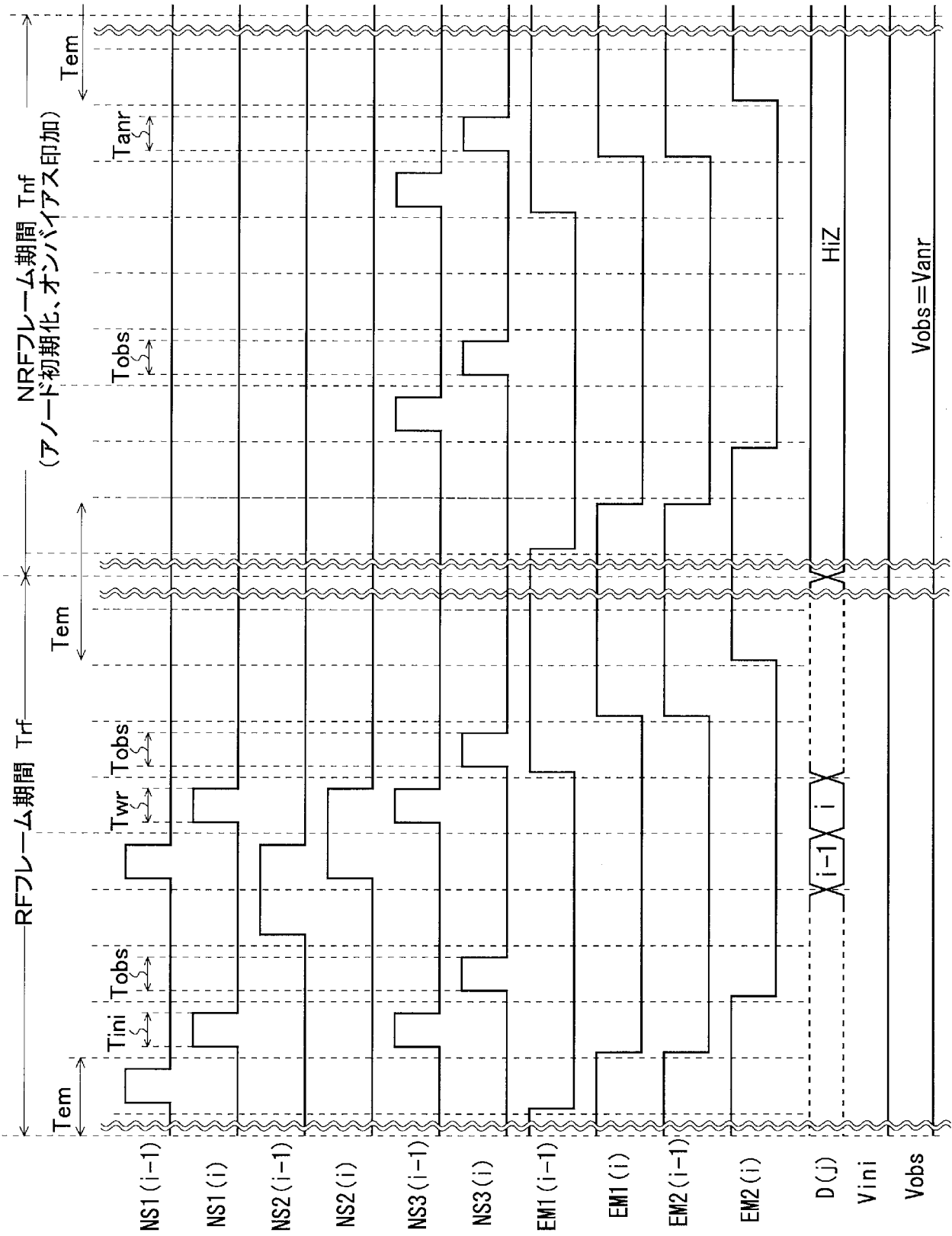
[図9]



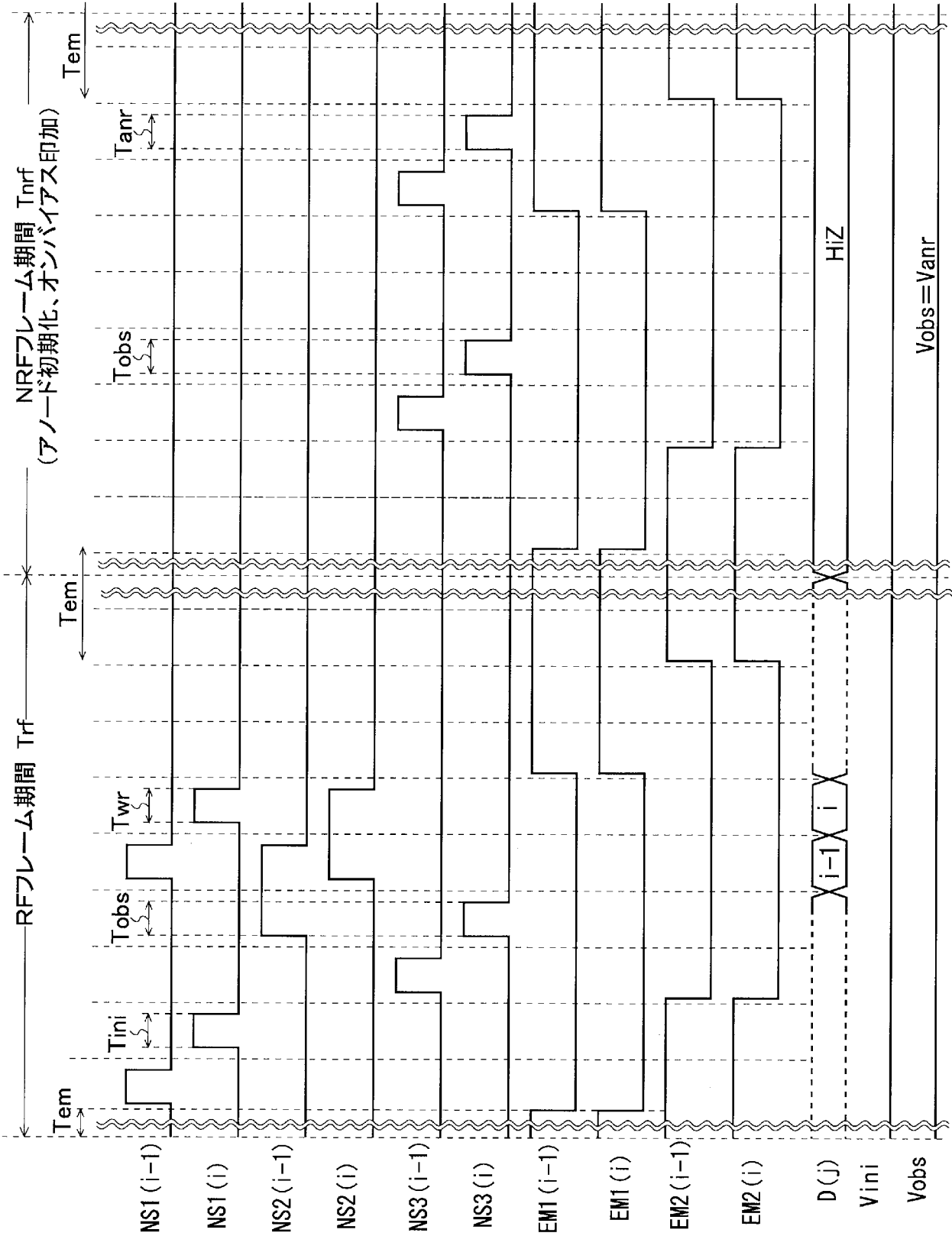
[図10]



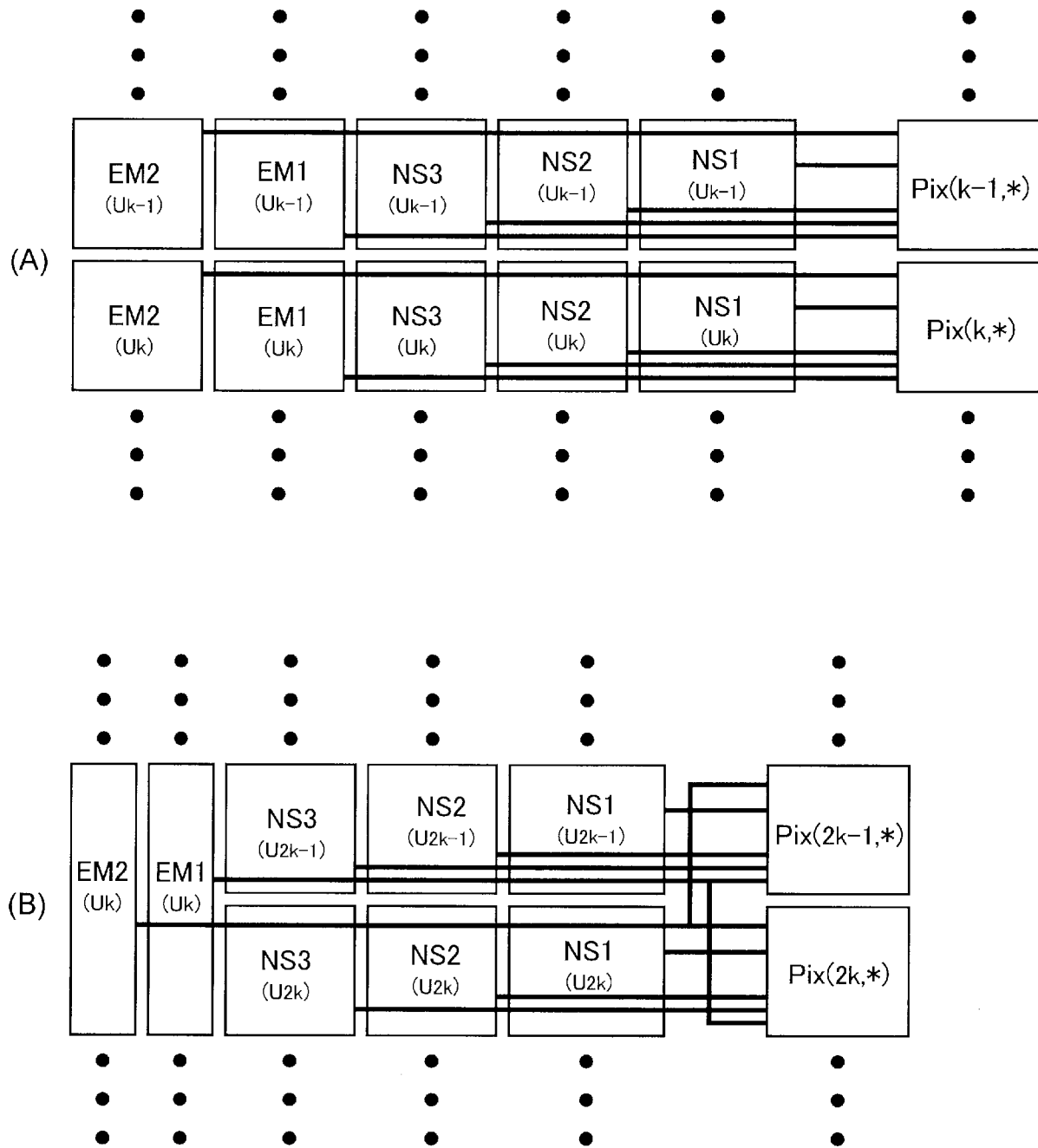
[図11]



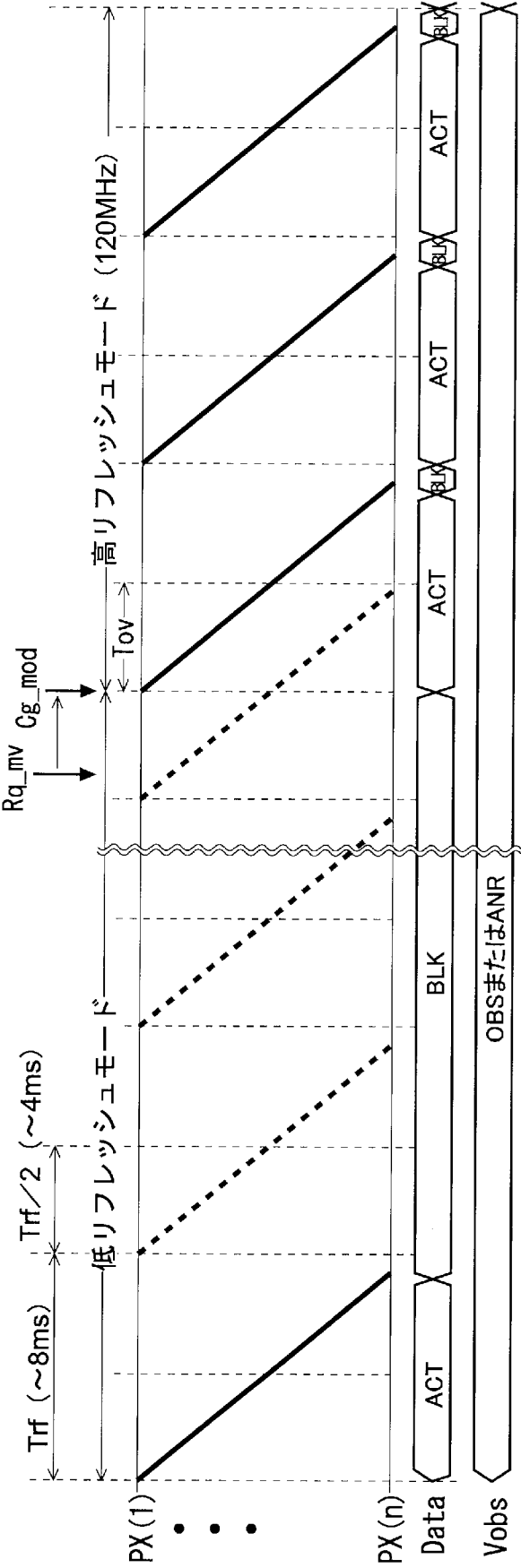
[図12]



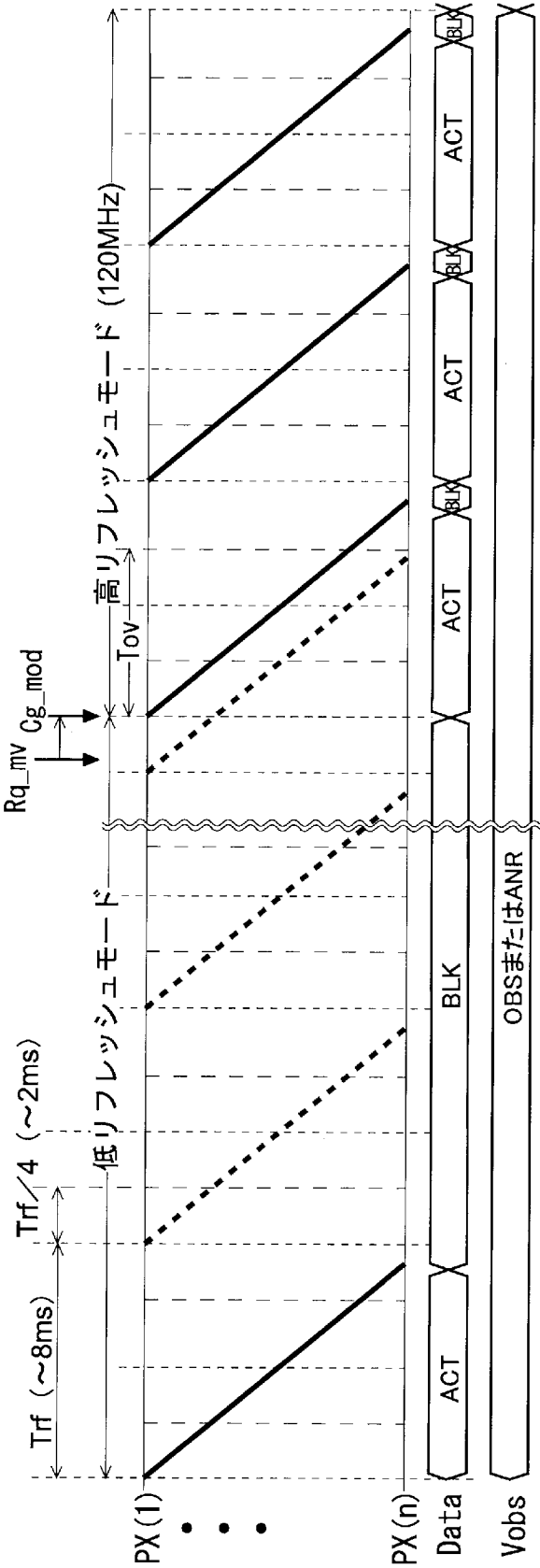
[図13]



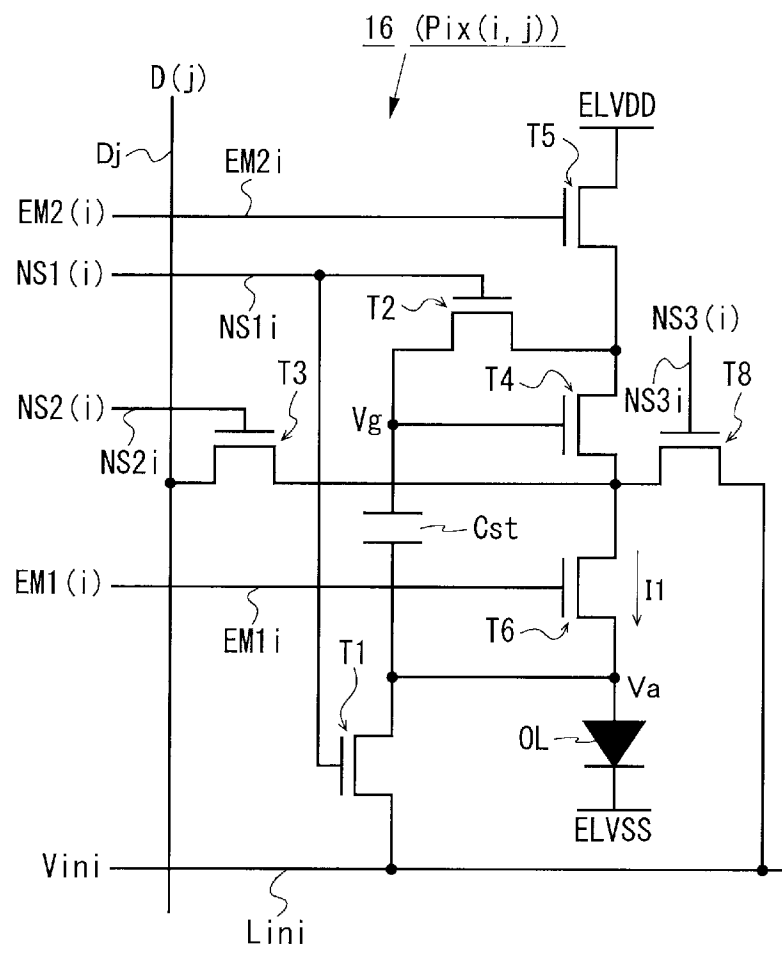
[図14]



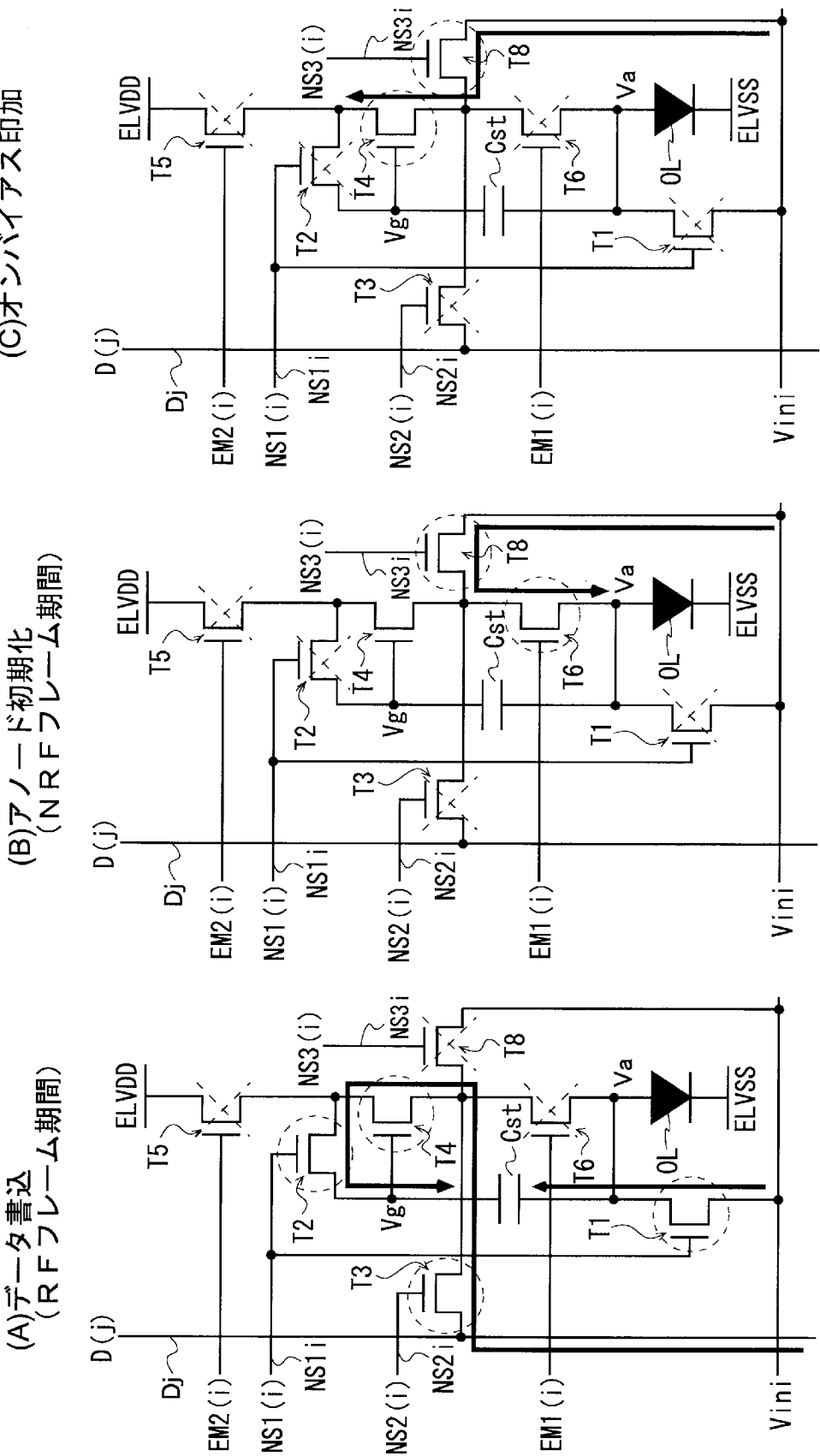
[図15]



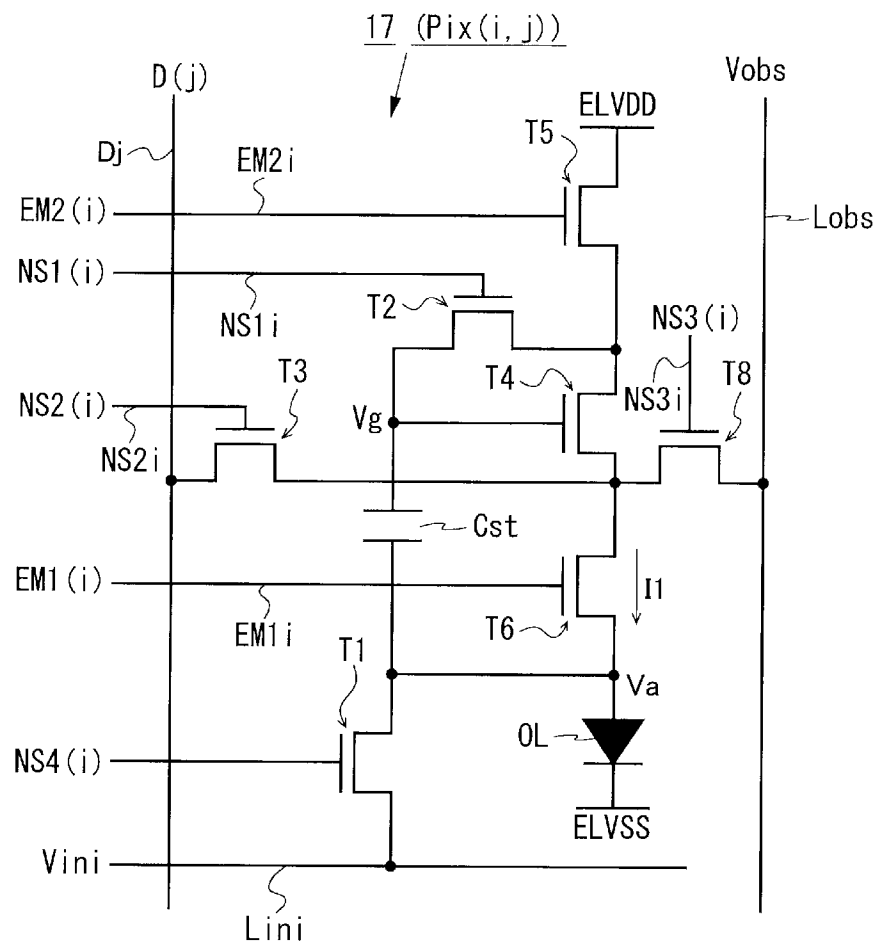
[図17]



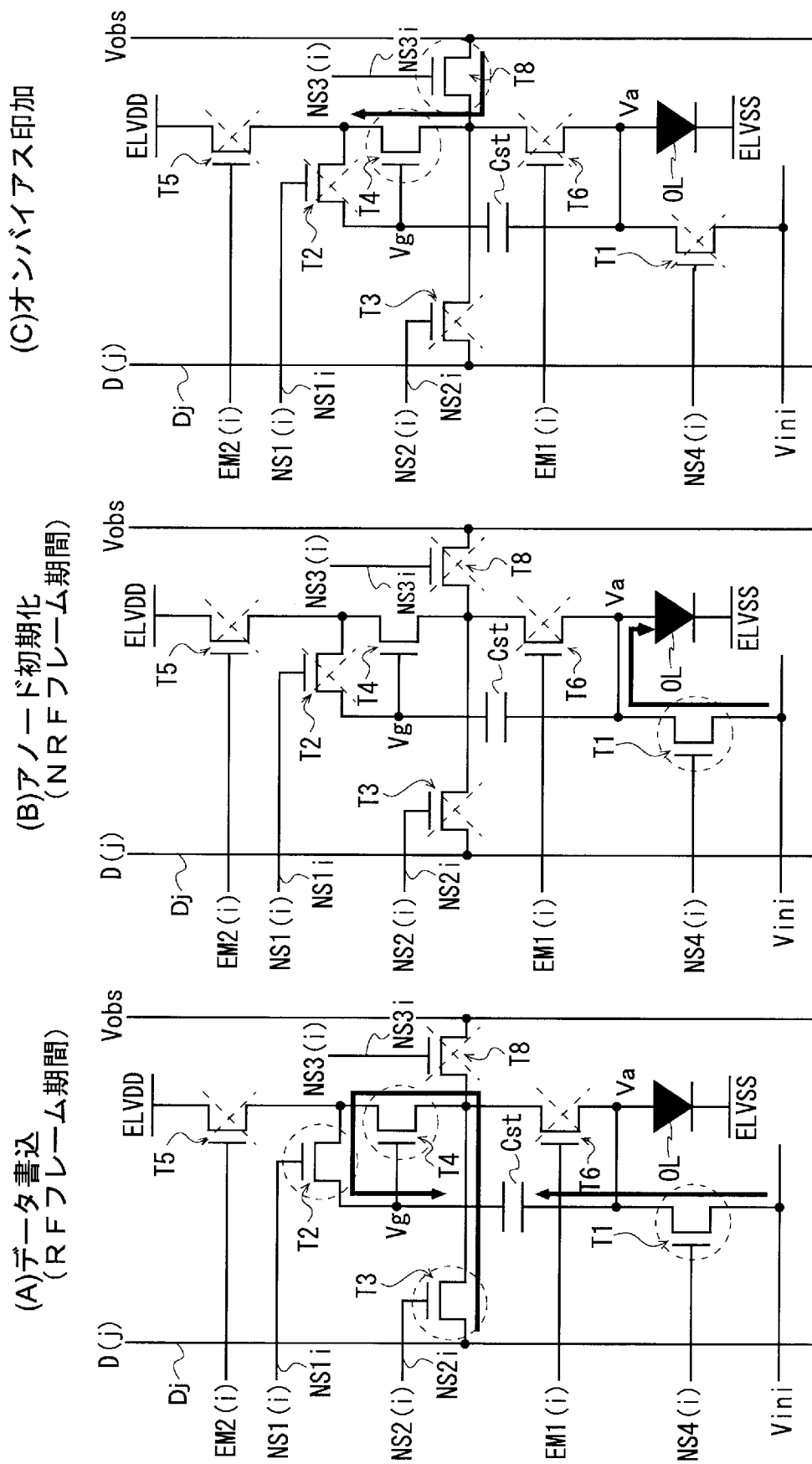
[図18]



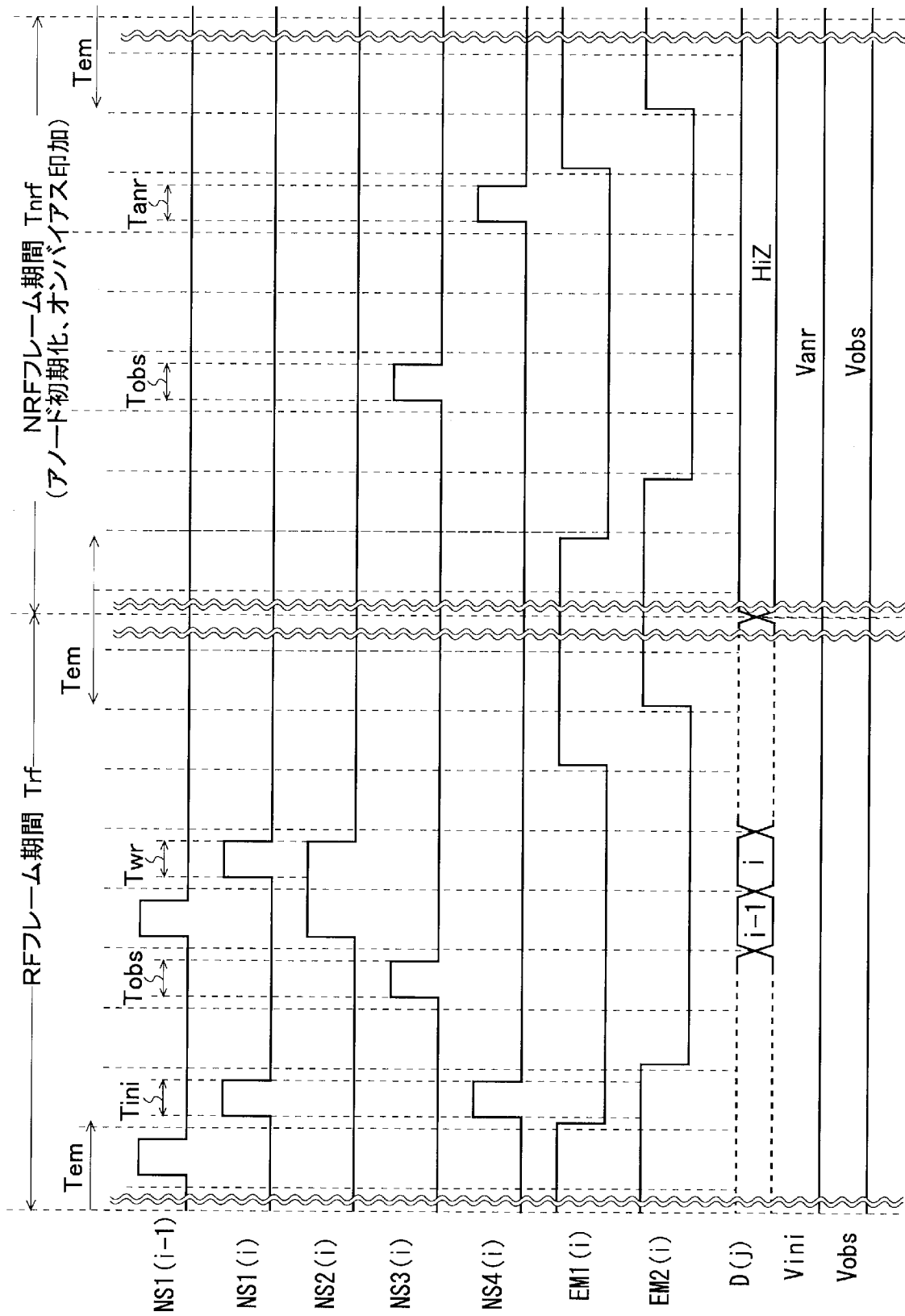
[図19]



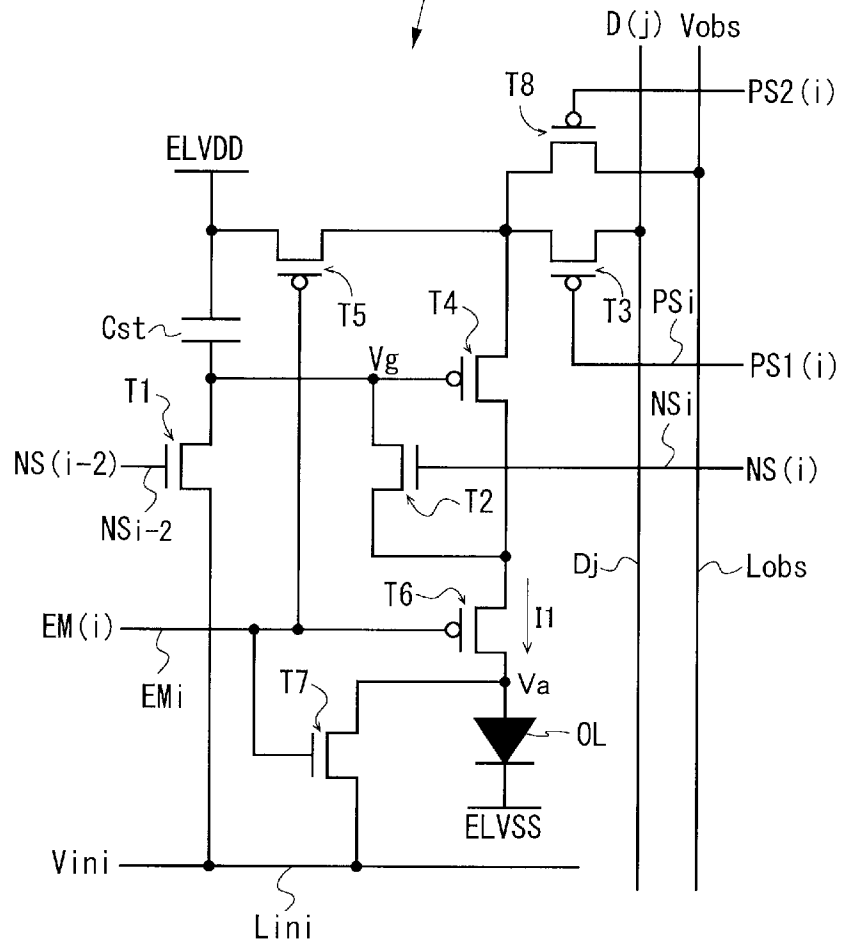
[図20]



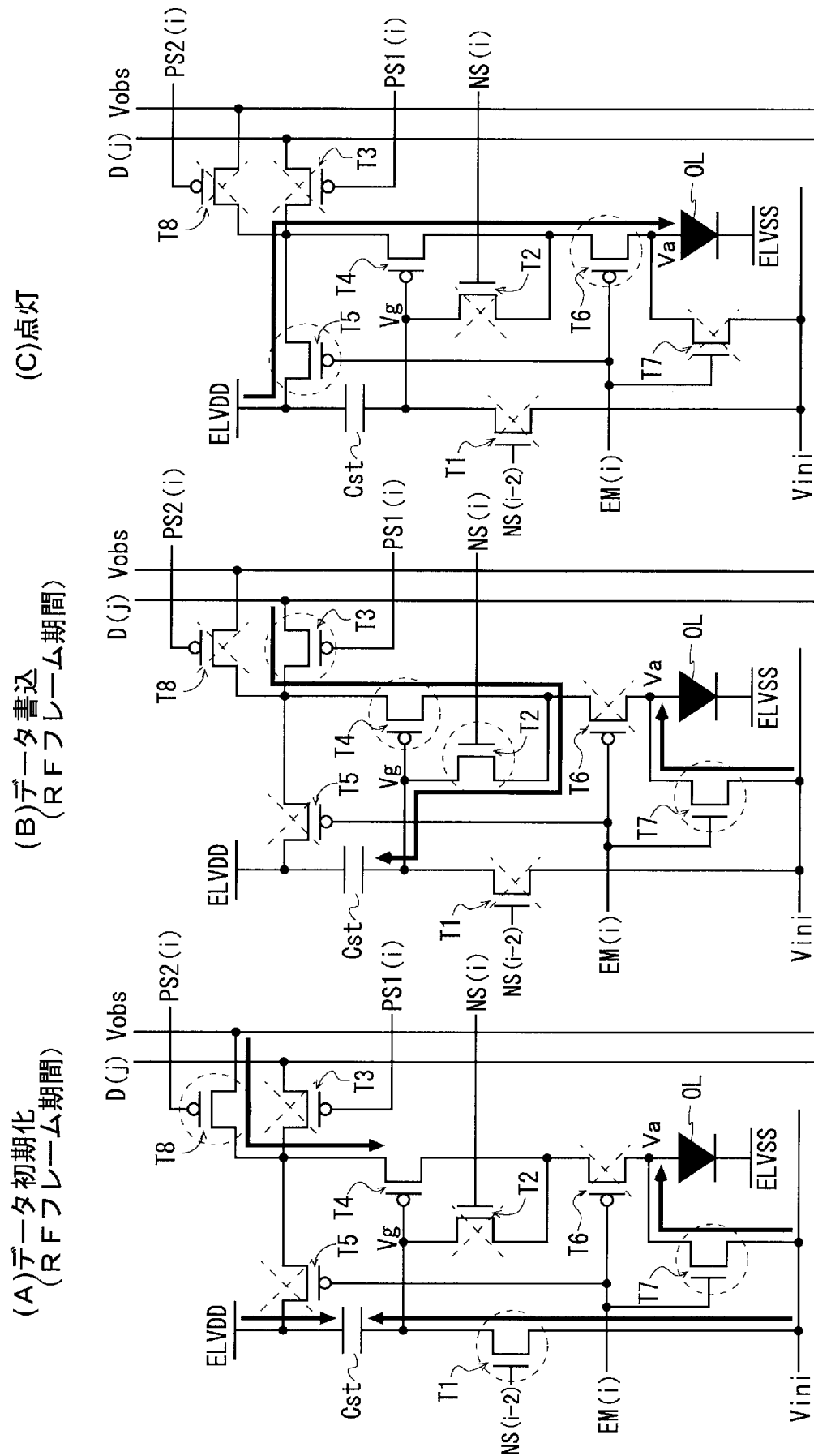
[図21]



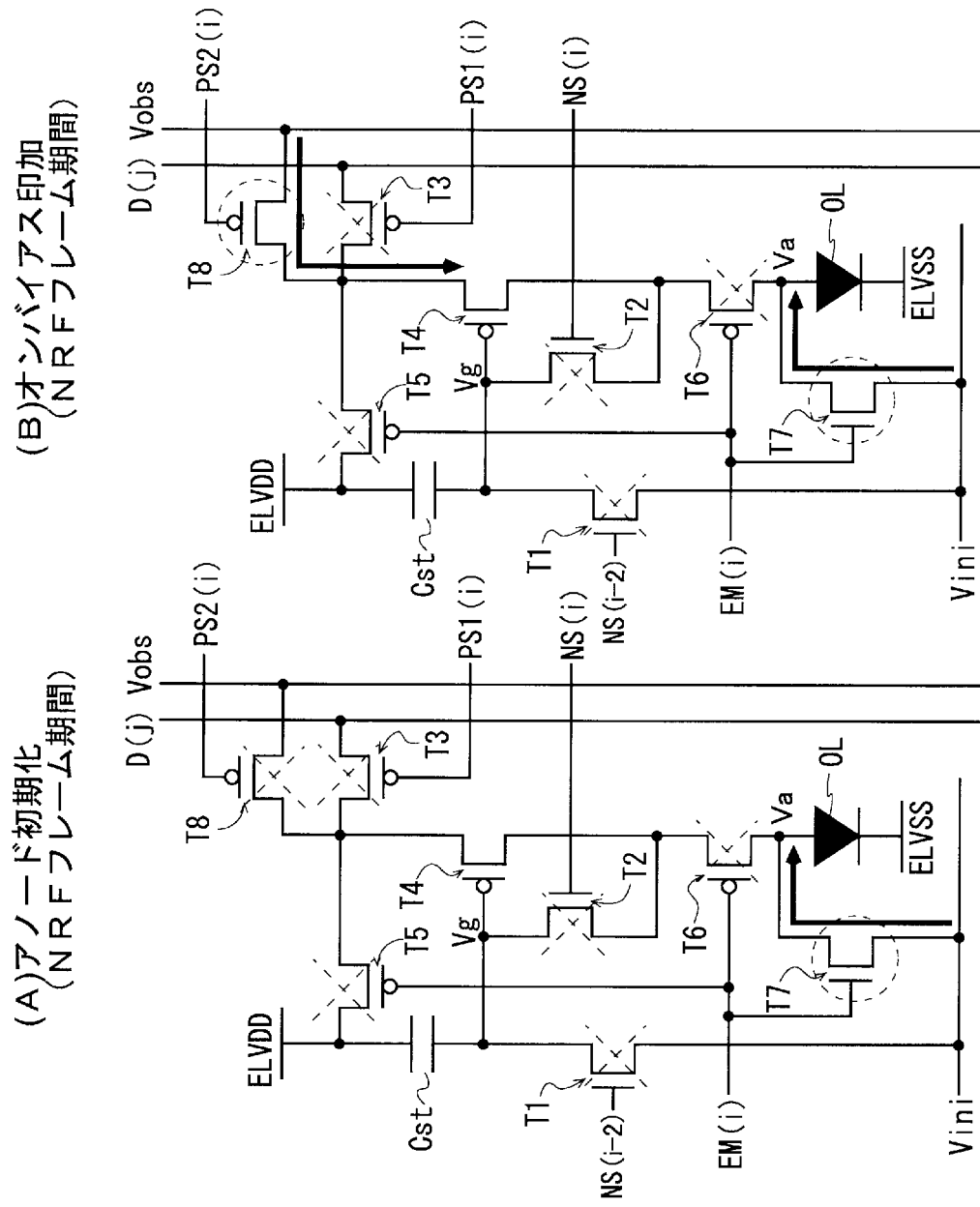
18 (P i x (i, j))



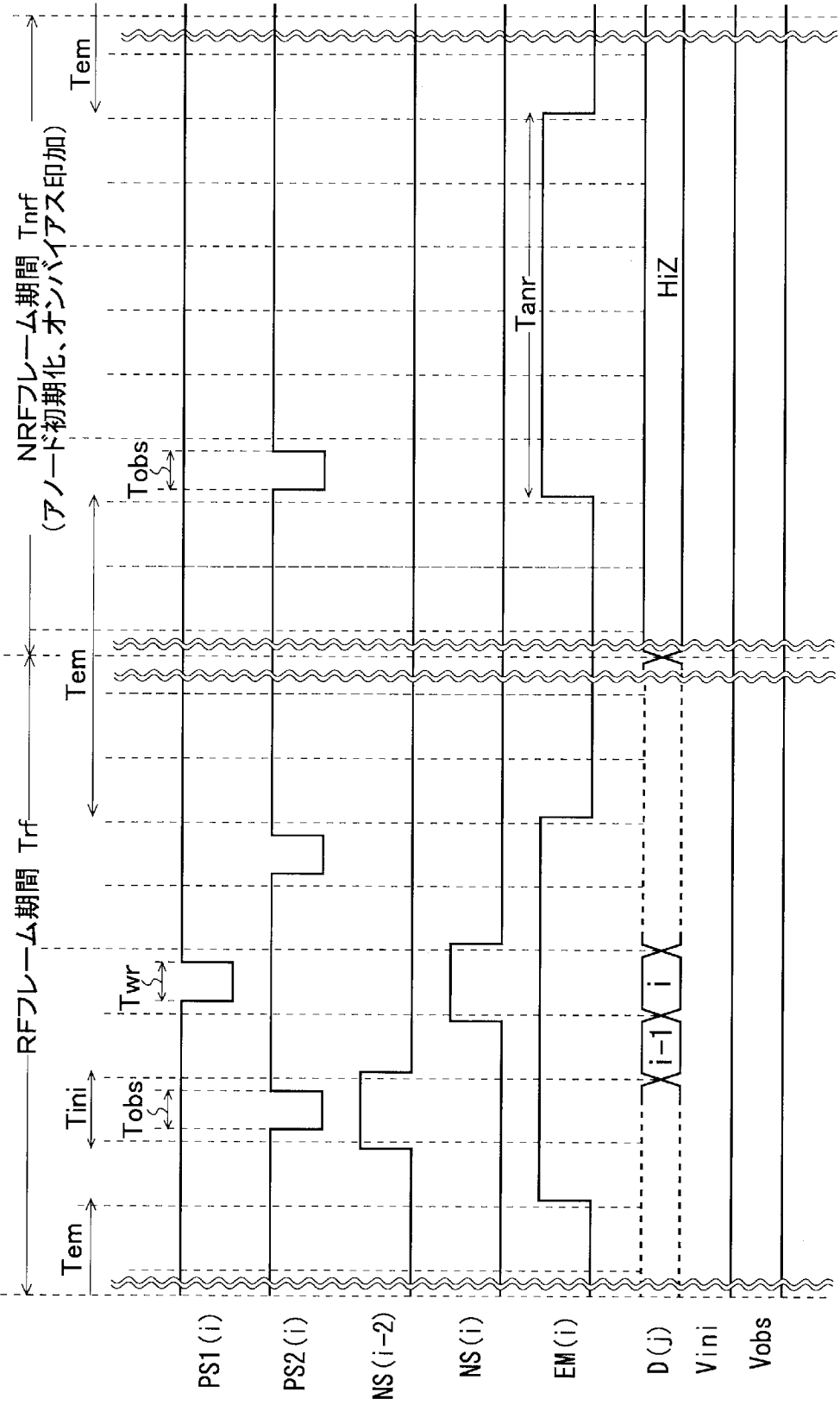
[図24]



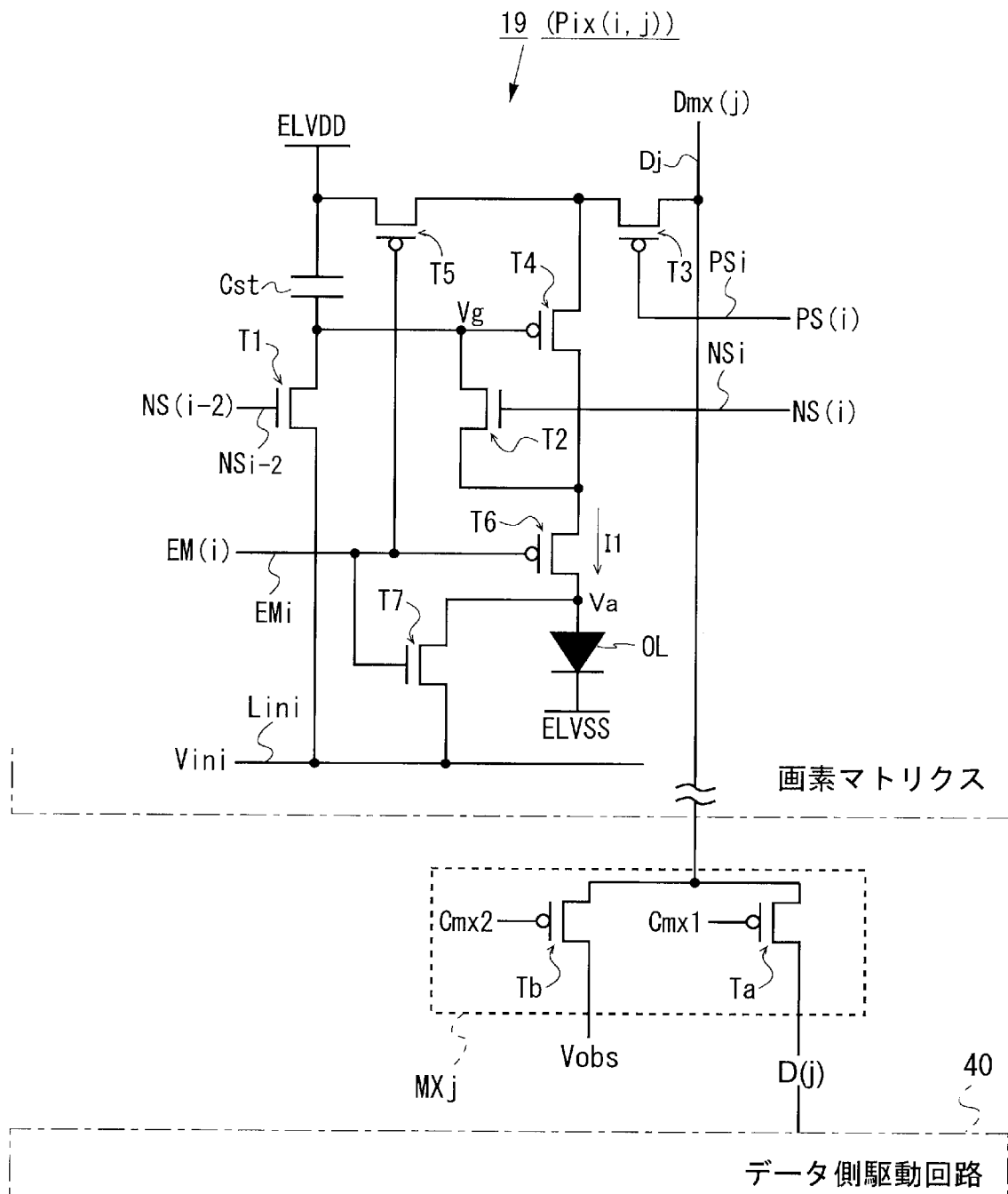
[図25]



[図26]



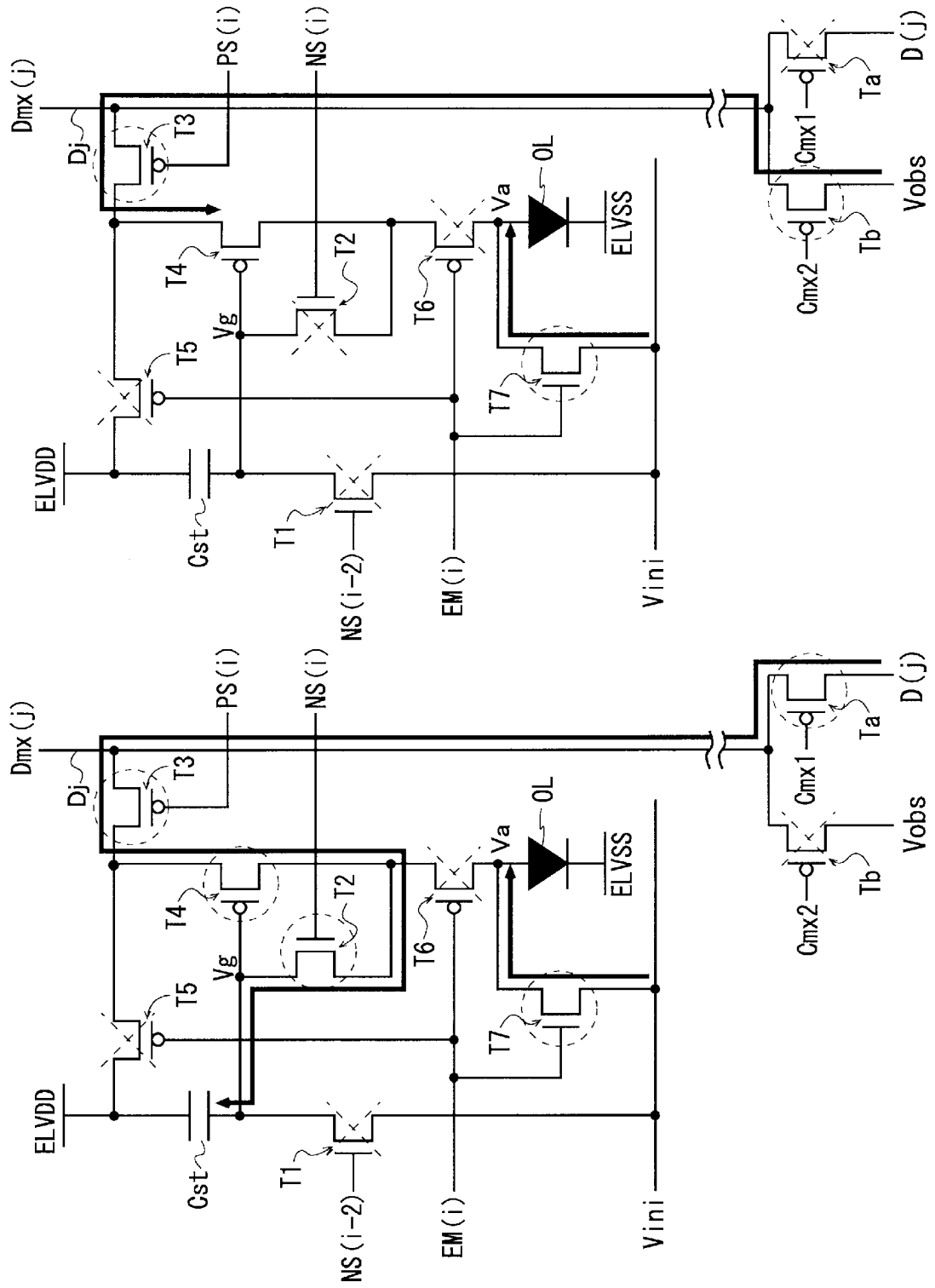
[図27]



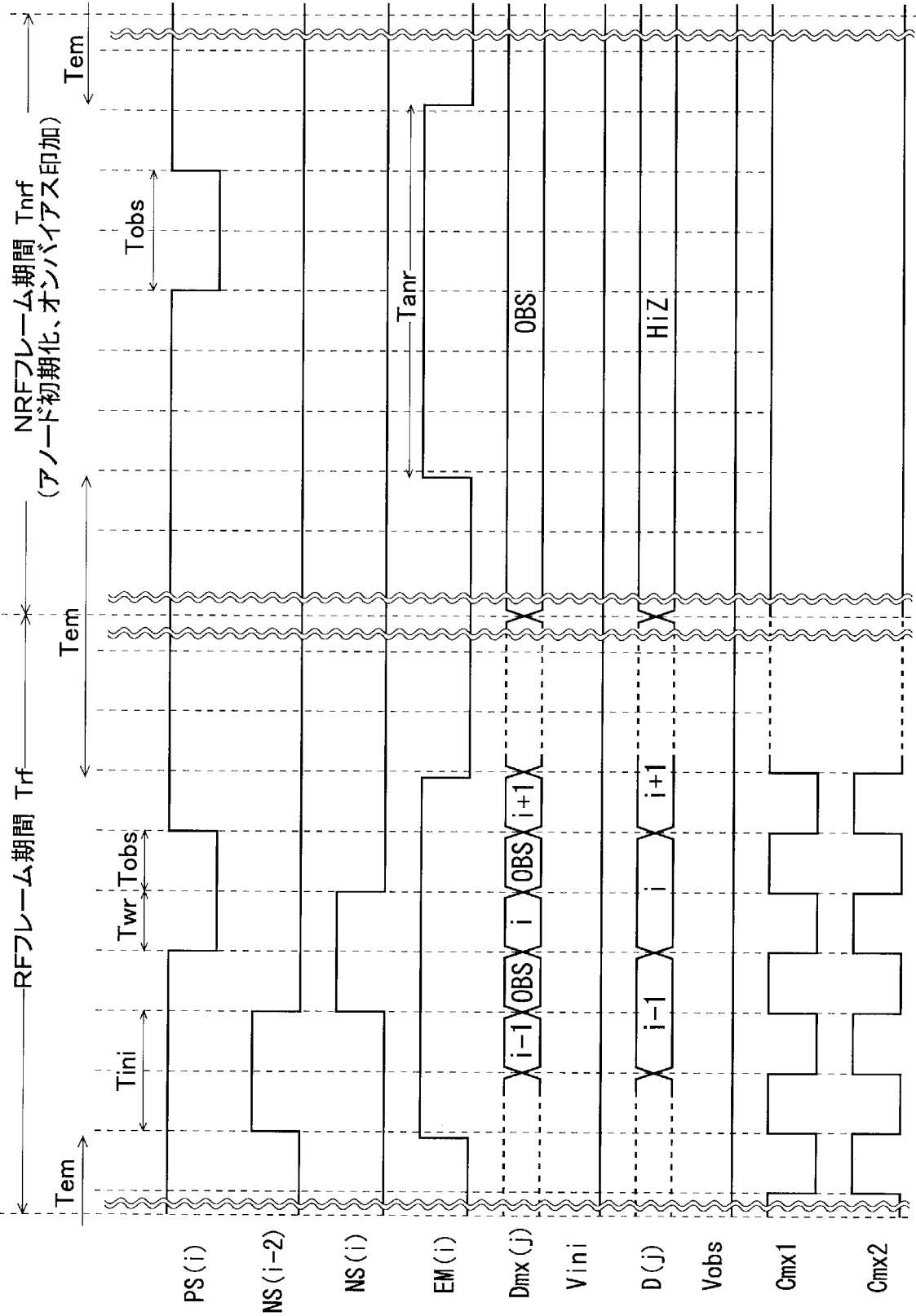
[図28]

(B) オンバイアス印加
(R F フレーム期間、N R F フレーム期間)

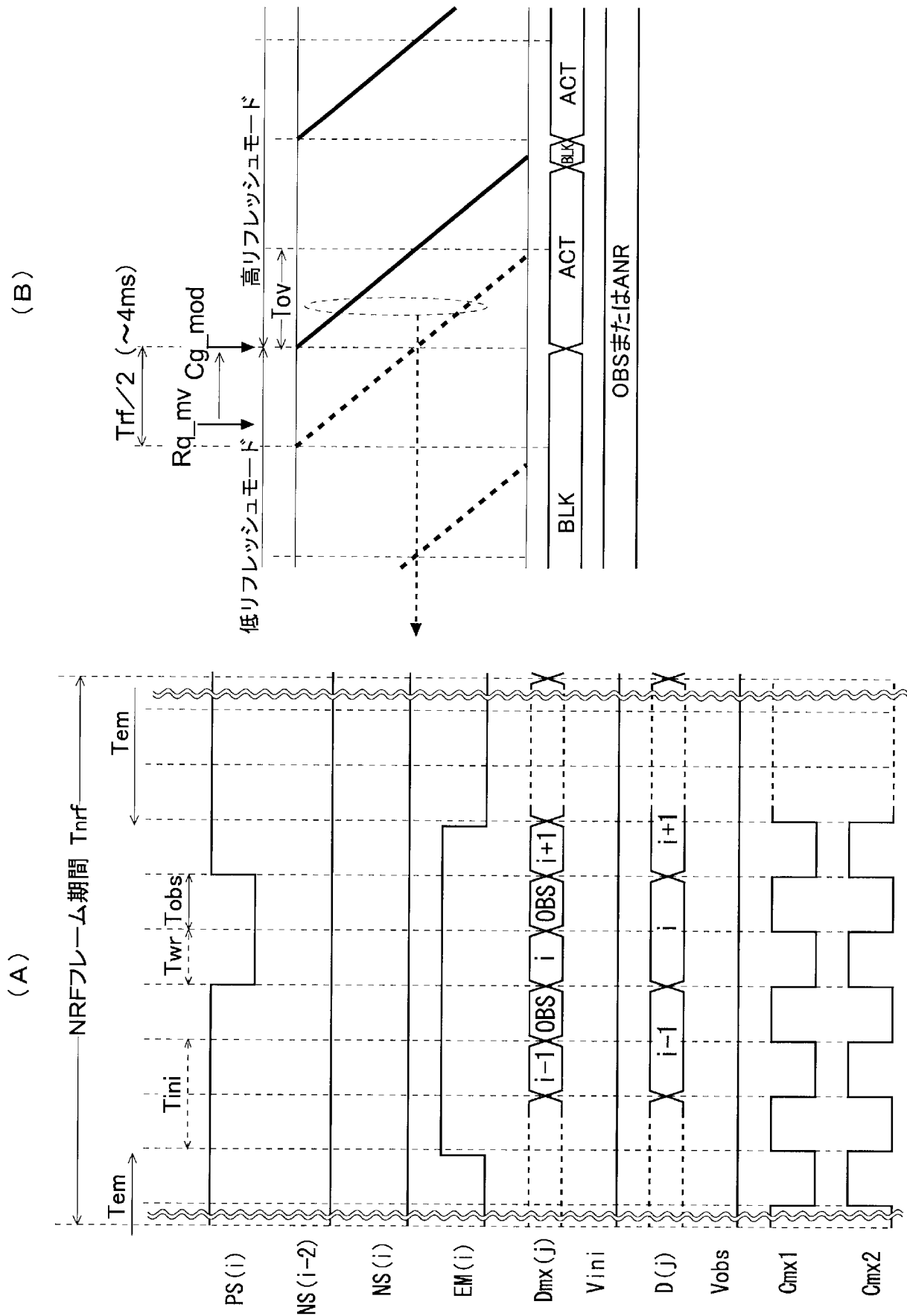
(A) データ書込
(R F フレーム期間)



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/033521

A. CLASSIFICATION OF SUBJECT MATTER**G09G 3/3233**(2016.01)i; **G09G 3/20**(2006.01)i

FI: G09G3/3233; G09G3/20 611A; G09G3/20 611E; G09G3/20 621K; G09G3/20 650J; G09G3/20 660U; G09G3/20 660V

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233; G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-112795 A (APPLE INC.) 27 July 2020 (2020-07-27) entire text, all drawings	1-20
A	JP 2022-34553 A (LG DISPLAY CO., LTD.) 03 March 2022 (2022-03-03) entire text, all drawings	1-20
A	US 2021/0327352 A1 (SHANGHAI TIANMA AM-OLED CO., LTD.) 21 October 2021 (2021-10-21) entire text, all drawings	1-20
A	US 2021/0118368 A1 (SAMSUNG DISPLAY CO., LTD.) 22 April 2021 (2021-04-22) entire text, all drawings	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 November 2022

Date of mailing of the international search report

22 November 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/033521

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
JP	2020-112795	A	27 July 2020	US	2020/0226978	A1
				EP	3680889	A1
				CN	111435587	A
				KR	10-2020-0087711	A
				TW	202029155	A

JP	2022-34553	A	03 March 2022	US	2022/0059030	A1
				EP	3958246	A1
				CN	114078445	A
				KR	10-2022-0022335	A

US	2021/0327352	A1	21 October 2021	CN	112634832	A

US	2021/0118368	A1	22 April 2021	KR	10-2021-0046910	A

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/3233(2016.01)i; G09G 3/20(2006.01)i FI: G09G3/3233; G09G3/20 611A; G09G3/20 611E; G09G3/20 621K; G09G3/20 650J; G09G3/20 660U; G09G3/20 660V		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/3233; G09G3/20 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2020-112795 A（アップル インコーポレイテッド）27.07.2020（2020-07-27） 全文、全図	1-20
A	JP 2022-34553 A（エルジー ディスプレイ カンパニー リミテッド）03.03.2022 （2022-03-03） 全文、全図	1-20
A	US 2021/0327352 A1（SHANGHAI TIANMA AM-OLED CO., LTD.）21.10.2021（2021-10-21） 全文、全図	1-20
A	US 2021/0118368 A1（SAMSUNG DISPLAY CO., LTD.）22.04.2021（2021-04-22） 全文、全図	1-20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.11.2022		国際調査報告の発送日 22.11.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 武田 悟 21 9307 電話番号 03-3581-1101 内線 3273

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/033521

引用文献			公表日	パテントファミリー文献			公表日
JP	2020-112795	A	27.07.2020	US	2020/0226978	A1	
				EP	3680889	A1	
				CN	111435587	A	
				KR	10-2020-0087711	A	
				TW	202029155	A	
JP	2022-34553	A	03.03.2022	US	2022/0059030	A1	
				EP	3958246	A1	
				CN	114078445	A	
				KR	10-2022-0022335	A	
US	2021/0327352	A1	21.10.2021	CN	112634832	A	
US	2021/0118368	A1	22.04.2021	KR	10-2021-0046910	A	