



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월25일
(11) 등록번호 10-2003529
(24) 등록일자 2019년07월18일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01) H01L 21/8247 (2006.01)</p> <p>(21) 출원번호 10-2012-0091920</p> <p>(22) 출원일자 2012년08월22일
심사청구일자 2017년08월17일</p> <p>(65) 공개번호 10-2014-0025798</p> <p>(43) 공개일자 2014년03월05일</p> <p>(56) 선행기술조사문헌
KR1020100052597 A*
(뒷면에 계속)</p> | <p>(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
은동석
경기도 성남시 분당구 내정로 186 106동 504호
(수내동, 파크타운대림아파트)</p> <p>이영호
경기 화성시 동탄숲속로 68, 872동 2002호 (능동,
숲속마을자연앤데시앙아파트)
(뒷면에 계속)</p> <p>(74) 대리인
특허법인 고려</p> |
|---|--|

전체 청구항 수 : 총 19 항

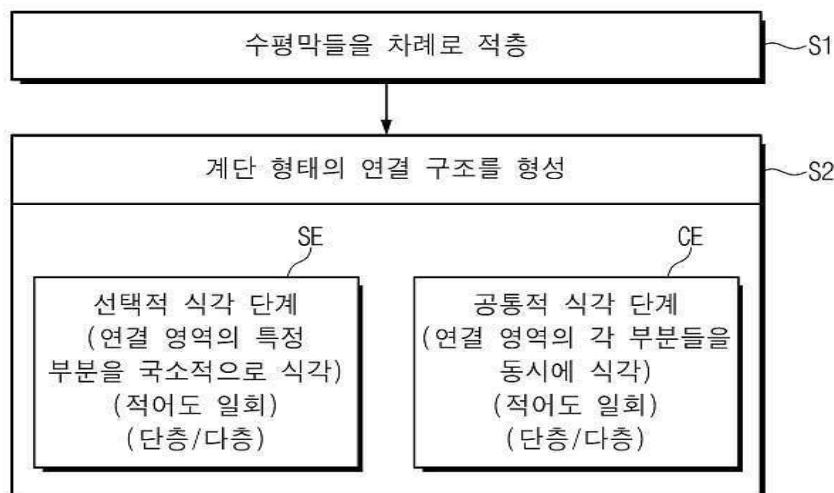
심사관 : 고연화

(54) 발명의 명칭 적층된 전극들을 형성하는 방법 및 이를 이용하여 제조되는 3차원 반도체 장치

(57) 요약

적층된 전극들을 형성하는 방법 및 이를 이용하여 제조되는 3차원 반도체 장치가 제공된다. 이 장치는 기판 상에 차례로 적층된 전극들을 포함하는 전극 구조체를 구비할 수 있다. 전극들 각각은 그것의 상부에 위치하는, 전극들 중의 어느 하나의 측벽에 대해 수평적으로 그리고 바깥쪽으로 돌출된 연결부 및 그것의 상부 또는 하부에 위치하는, 전극들 중의 어느 하나의 측벽과 공면을 이루는 측벽을 갖는 정렬부를 구비할 수 있다. 이때, 전극들 중에서 수직적으로 서로 인접하는 적어도 둘의 상기 정렬부들은 공면을 이루는 측벽들을 가질 수 있다.

대표도 - 도2



(72) 발명자

이준희

경기 성남시 분당구 동판교로 226, 402동 1103호
(삼평동, 붓들마을4단지아파트)

이석원

경기 용인시 기흥구 금화로105번길 2-1, 203호 (상
갈동, 정진빌라)

신유철

경기 화성시 동탄반석로 231, 144동 802호 (
석우동, 예당마을롯데캐슬아파트)

(56) 선행기술조사문헌

KR1020100094386 A*

JP2009267243 A

KR1020120030815 A

KR1020110015338 A*

KR1020120078958 A

US20120068259 A1

KR1020110001527 A

US20110286275 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 차례로 적층된 전극들을 포함하는 전극 구조체를 구비하고,

상기 전극들 각각은:

상기 전극들 각각의 상부에 위치하는, 상기 전극들 중의 어느 하나의 측벽에 대해 수평적으로 그리고 바깥쪽으로 돌출된 연결부; 및

상기 전극들 각각의 상부 또는 하부에 위치하는, 상기 전극들 중의 어느 하나의 측벽과 공면을 이루는 측벽을 갖는 정렬부를 구비하고,

상기 전극들 중에서 수직적으로 서로 인접하는 적어도 둘의 상기 정렬부들은 공면을 이루는 측벽들을 포함하고,

상기 전극들 중의 짝수 번째 것들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치되고,

상기 전극들 중의 홀수 번째 것들의 상기 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 왼쪽에 배치되는 삼차원 반도체 장치.

청구항 2

청구항 1에 있어서,

상기 전극 구조체는 적어도 하나의 제 1 그룹 및 적어도 하나의 제 2 그룹을 포함하고, 상기 제 1 및 제 2 그룹들 각각은, 상기 기관의 상부면에 수직한 방향을 따라 연속적으로 적층된, 상기 전극들 중의 복수의 것들을 포함하고,

상기 적어도 하나의 제 1 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치되고,

상기 적어도 하나의 제 2 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 왼쪽에 배치되는 삼차원 반도체 장치.

청구항 3

청구항 2에 있어서,

상기 제 1 그룹들 각각을 구성하는 상기 전극들의 적층 수는 2 내지 16 중의 어느 하나인 삼차원 반도체 장치.

청구항 4

삭제

청구항 5

청구항 1에 있어서,

상기 전극들 중의 연속적으로 적층된 복수의 것들은 제 1 그룹을 구성하고,

상기 전극들 중에서, 상기 제 1 그룹의 상부 또는 하부에서 연속적으로 적층된 복수의 것들은 제 2 그룹을 구성하고,

상기 제 1 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치되고,

상기 제 2 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 상

기 정렬부들은 상기 전극 구조체의 왼쪽에 배치되는 삼차원 반도체 장치.

청구항 6

기관 상에 차례로 적층된 전극들을 포함하는 전극 구조체를 구비하고,

상기 전극들 각각은:

상기 전극들 각각의 상부에 위치하는, 상기 전극들 중의 어느 하나의 측벽에 대해 수평적으로 그리고 바깥쪽으로 돌출된 연결부; 및

상기 전극들 각각의 상부 또는 하부에 위치하는, 상기 전극들 중의 어느 하나의 측벽과 공면을 이루는 측벽을 갖는 정렬부를 구비하되,

상기 전극들 중에서 수직적으로 서로 인접하는 적어도 둘의 상기 정렬부들은 공면을 이루는 측벽들을 포함하고,

상기 전극들 중의 $(4n+1)$ 번째 및 $(4n+2)$ 번째 것들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치되고,

상기 전극들 중의 $(4n+3)$ 번째 및 $(4n+4)$ 번째 것들의 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 정렬부들은 상기 전극 구조체의 왼쪽에 배치되되,

n 은, $4n+4$ 가 상기 전극들의 총 적층 수보다 작은 조건을 충족시키는, 0 또는 자연수들 중의 적어도 하나인 삼차원 반도체 장치.

청구항 7

청구항 1에 있어서,

상기 전극들 각각의 상기 연결부 및 상기 정렬부는 해당하는 전극의 서로 마주보는 양단에 위치하는 삼차원 반도체 장치.

청구항 8

청구항 1에 있어서,

상기 전극 구조체는 제 1 영역, 제 2 영역, 및 이들 사이에 개재된 어레이 영역을 포함하되,

상기 연결부들 및 상기 정렬부들 각각은 상기 제 1 및 제 2 영역들 중의 어느 하나 상에 위치하는 삼차원 반도체 장치.

청구항 9

청구항 8에 있어서,

상기 전극 구조체의 상기 어레이 영역을 수직하게 관통하는 수직 패턴들; 및

상기 수직 패턴들과 상기 전극들 사이에 개재되는 메모리 요소들을 더 포함하는 삼차원 반도체 장치.

청구항 10

청구항 9에 있어서,

상기 메모리 요소들은 전하 저장이 가능한 물질 또는 막 구조 또는 가변저항 특성을 나타내는 물질 또는 막 구조를 포함하는 삼차원 반도체 장치.

청구항 11

청구항 1에 있어서,

상기 전극들 중의 어느 하나로부터 수평적으로 이격되어 배치되며 그것과 동일한 물질로 형성되는 적어도 하나의 더미 패턴을 더 포함하는 삼차원 반도체 장치.

청구항 12

청구항 11에 있어서,

상기 적어도 하나의 더미 패턴은 전기적으로 플로팅 상태에 있는 삼차원 반도체 장치.

청구항 13

청구항 1에 있어서,

상기 전극 구조체 상에 배치되는 플러그들을 더 포함하되,

상기 전극 구조체는

상기 전극들 중에서 상기 플러그들에 전기적으로 연결된 것들로 구성되는 몸체 부분; 및

상기 전극들 중에서 상기 플러그들로부터 전기적으로 이격된 것들로 구성되는 더미 부분을 포함하되,

상기 더미 부분은 상기 몸체 부분으로부터 수평적으로 이격되어 배치되는 삼차원 반도체 장치.

청구항 14

기판 상에 차례로 적층된 전극들을 포함하는 전극 구조체를 구비하고,

상기 전극들 각각은:

상기 전극들 각각의 상부에 위치하는, 상기 전극들 중의 어느 하나의 측벽에 대해 수평적으로 그리고 바깥쪽으로 돌출된 연결부; 및

상기 전극들 각각의 상부 또는 하부에 위치하는, 상기 전극들 중의 어느 하나의 측벽과 공면을 이루는 측벽을 갖는 정렬부를 구비하되,

상기 전극들 중에서 수직적으로 서로 인접하는 적어도 둘의 상기 정렬부들은 공면을 이루는 측벽들을 포함하고,

상기 전극 구조체 상에 배치되는 플러그들을 더 포함하되,

상기 전극 구조체는:

상기 전극들 중에서 상기 플러그들에 전기적으로 연결된 것들로 구성되는 몸체 부분; 및

상기 전극들 중에서 상기 플러그들로부터 전기적으로 이격된 것들로 구성되는 더미 부분을 포함하되,

상기 더미 부분은 상기 몸체 부분으로부터 수평적으로 이격되어 배치되고,

상기 몸체 부분은 적어도 하나의 몸체 측면부를 포함하고,

상기 더미 부분은 상기 몸체 측면부를 마주보는 제 1 더미 측면부를 포함하되,

상기 몸체 측면부 및 상기 제 1 더미 측면부는 서로 거울 대칭적이면서, 그 각각은 계단 형태의 단면 프로파일을 갖는 삼차원 반도체 장치.

청구항 15

청구항 14에 있어서,

상기 더미 부분은 상기 제 1 더미 측면부를 마주보는 제 2 더미 측면부를 더 포함하되,

상기 기판의 상부면의 법선에 대한 상기 제 2 더미 측면부의 각도는 상기 제 1 더미 측면부의 그것보다 작은 삼차원 반도체 장치.

청구항 16

청구항 15에 있어서,

상기 제 2 더미 측면부는 계단 형태의 단면 프로파일을 갖는 삼차원 반도체 장치.

청구항 17

청구항 13에 있어서,

상기 더미 부분은 상기 전극들 중에서 연속적으로 적층된 복수의 것들로 구성되는 삼차원 반도체 장치.

청구항 18

제 1 영역 및 제 2 영역을 포함하는 기판 상에 복수의 수평막들을 차례로 적층하여, 적층체를 형성하는 단계;
및

상기 수평막들을 패터닝하여 계단 형태의 연결 구조를 형성하는 단계를 포함하되,

상기 계단 형태의 연결 구조를 형성하는 단계는:

상기 제 1 및 제 2 영역들 모두에서 상기 적층체를 식각하는 적어도 한번의 공통적 식각 단계; 및

상기 제 2 영역에서 상기 적층체를 국소적으로 식각하는 적어도 한번의 선택적 식각 단계를 포함하는 전극 형성 방법.

청구항 19

청구항 18에 있어서,

상기 제 1 및 제 2 영역들은 상기 적층체의 마주보는 양단에 각각 위치하는 전극 형성 방법.

청구항 20

청구항 18에 있어서,

상기 계단 형태의 연결 구조를 형성하는 단계는 순차적으로 실시되는 제 1 및 제 2 패터닝 공정들을 포함하되,

상기 제 1 패터닝 공정은 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 다층 식각 단계를 포함하고,

상기 제 2 패터닝 공정은 상기 제 2 영역에서 국소적으로 실시되는 한 번의 단층 식각 단계를 포함하는 전극 형성 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 구체적으로는 적층된 전극들을 형성하는 방법 및 이를 이용하여 제조되는 3차원 반도체 장치에 관한 것이다.

배경 기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 메모리 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 메모리 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 메모리 반도체 장치의 집적도는 증가하고는 있지만 여전히 제한적이다.

[0003] 이러한 한계를 극복하기 위한 대안으로, 3차원적으로 배열된 메모리 셀들을 구비하는 반도체 장치들(이하, 3차원 메모리 소자)이 제안되어 왔다. 3차원 메모리 소자의 경우, 메모리 셀들뿐만 아니라 이들에 접근하기 위한 배선들(예를 들면, 워드라인들 또는 비트라인들) 역시 3차원적으로 배열된다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 전극들의 계단형 연결 구조의 점유 면적을 줄일 수 있는 반도체 장치의 제조 방법을 제공하는 데 있다.

[0005] 본 발명이 이루고자 하는 다른 기술적 과제는 전극들의 계단형 연결 구조를 단순화된 제조 단계들을 통해 형성하는 전극 형성 방법을 제공하는 데 있다.

[0006] 본 발명이 이루고자 하는 또 다른 기술적 과제는 계단형 연결 구조를 갖는 전극들이 배치된 반도체 장치를 제공하는 데 있다.

[0007] 본 발명이 이루고자 하는 또 다른 기술적 과제는 전극 연결을 위한 면적을 줄일 수 있는 반도체 장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 본 발명의 일부 실시예들에 따른 삼차원 반도체 장치는 기판 상에 차례로 적층된 전극들을 포함하는 전극 구조체를 구비할 수 있다. 상기 전극들 각각은 그것의 상부에 위치하는, 상기 전극들 중의 어느 하나의 측벽에 대해 수평적으로 그리고 바깥쪽으로 돌출된 연결부 및 그것의 상부 또는 하부에 위치하는, 상기 전극들 중의 어느 하나의 측벽과 공면을 이루는 측벽을 갖는 정렬부를 구비할 수 있다. 이때, 상기 전극들 중에서 수직적으로 서로 인접하는 적어도 둘의 상기 정렬부들은 공면을 이루는 측벽들을 가질 수 있다.

[0009] 일부 실시예들에 따르면, 상기 전극 구조체는 적어도 하나의 제 1 그룹 및 적어도 하나의 제 2 그룹을 포함하고, 상기 제 1 및 제 2 그룹들 각각은, 상기 기판의 상부면에 수직한 방향을 따라 연속적으로 적층된, 상기 전극들 중의 복수의 것들을 포함할 수 있다. 상기 적어도 하나의 제 1 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치되고, 상기 적어도 하나의 제 2 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 왼쪽에 배치될 수 있다.

[0010] 일부 실시예들에 따르면, 상기 제 1 그룹들 각각을 구성하는 상기 전극들의 적층 수는 2 내지 16 중의 어느 하나일 수 있다.

[0011] 일부 실시예들에 따르면, 상기 전극들 중의 짝수 번째 것들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치

되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치될 수 있다. 상기 전극들 중의 홀수 번째 것들의 상기 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 왼쪽에 배치될 수 있다.

[0012] 일부 실시예들에 따르면, 상기 전극들 중의 연속적으로 적층된 복수의 것들은 제 1 그룹을 구성하고, 상기 전극들 중에서, 상기 제 1 그룹의 상부 또는 하부에서 연속적으로 적층된 복수의 것들은 제 2 그룹을 구성할 수 있다. 이 경우, 상기 제 1 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치되고, 상기 제 2 그룹을 구성하는 상기 전극들의 상기 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 왼쪽에 배치될 수 있다.

[0013] 일부 실시예들에 따르면, 상기 전극들 중의 $(4n+1)$ 번째 및 $(4n+2)$ 번째 것들의 상기 연결부들은 상기 전극 구조체의 왼쪽에 배치되고, 그들의 상기 정렬부들은 상기 전극 구조체의 오른쪽에 배치될 수 있다. 상기 전극들 중의 $(4n+3)$ 번째 및 $(4n+4)$ 번째 것들의 연결부들은 상기 전극 구조체의 오른쪽에 배치되고, 그들의 정렬부들은 상기 전극 구조체의 왼쪽에 배치될 수 있다. (이때, n 은, $4n+4$ 가 상기 전극들의 총 적층 수보다 작은 조건을 충족시키는, 0 또는 자연수들 중의 적어도 하나일 수 있다.)

[0014] 일부 실시예들에 따르면, 상기 전극들 각각의 상기 연결부 및 상기 정렬부는 해당하는 전극의 서로 마주보는 양단에 위치할 수 있다.

[0015] 일부 실시예들에 따르면, 상기 전극 구조체는 제 1 영역, 제 2 영역, 및 이들 사이에 개재된 어레이 영역을 포함할 수 있다. 상기 연결부들 및 상기 정렬부들 각각은 상기 제 1 및 제 2 영역들 중의 어느 하나 상에 위치할 수 있다.

[0016] 일부 실시예들에 따르면, 상기 삼차원 반도체 장치는 상기 전극 구조체의 상기 어레이 영역을 수직하게 관통하는 수직 패턴들 및 상기 수직 패턴들과 상기 전극들 사이에 개재되는 메모리 요소들을 더 포함할 수 있다.

[0017] 일부 실시예들에 따르면, 상기 메모리 요소들은 전하 저장이 가능한 물질 또는 막 구조 또는 가변저항 특성을 나타내는 물질 또는 막 구조를 포함할 수 있다.

[0018] 일부 실시예들에 따르면, 상기 삼차원 반도체 장치는 상기 전극들 중의 어느 하나로부터 수평적으로 이격되어 배치되며 그것과 동일한 물질로 형성되는 적어도 하나의 더미 패턴을 더 포함할 수 있다. 상기 적어도 하나의 더미 패턴은 전기적으로 플로팅 상태에 있을 수 있다.

[0019] 일부 실시예들에 따르면, 상기 삼차원 반도체 장치는 상기 전극 구조체 상에 배치되는 플러그들을 더 포함할 수 있다. 상기 전극 구조체는 상기 전극들 중에서 상기 플러그들에 전기적으로 연결된 것들로 구성되는 몸체 부분 및 상기 전극들 중에서 상기 플러그들로부터 전기적으로 이격된 것들로 구성되는 더미 부분을 포함할 수 있다. 상기 더미 부분은 상기 몸체 부분으로부터 수평적으로 이격되어 배치될 수 있다.

[0020] 일부 실시예들에 따르면, 상기 몸체 부분은 적어도 하나의 몸체 측면부를 포함하고, 상기 더미 부분은 상기 몸체 측면부를 마주보는 제 1 더미 측면부를 포함하되, 상기 몸체 측면부 및 상기 제 1 더미 측면부는 서로 거울 대칭적이면서, 그 각각은 계단 형태의 단면 프로파일을 가질 수 있다.

[0021] 일부 실시예들에 따르면, 상기 더미 부분은 상기 제 1 더미 측면부를 마주보는 제 2 더미 측면부를 더 포함할 수 있다. 상기 기판의 상부면의 법선에 대한 상기 제 2 더미 측면부의 각도는 상기 제 1 더미 측면부의 그것보다 작을 수 있다.

[0022] 일부 실시예들에 따르면, 상기 제 2 더미 측면부는 계단 형태의 단면 프로파일을 가질 수 있다.

[0023] 일부 실시예들에 따르면, 상기 더미 부분은 상기 전극들 중에서 연속적으로 적층된 복수의 것들로 구성될 수 있다.

[0024] 본 발명의 일부 실시예들에 따른 전극 형성 방법은 제 1 영역 및 제 2 영역을 포함하는 기판 상에 복수의 수평 막들을 차례로 적층하여, 적층체를 형성한 후, 상기 수평막들을 패터닝하여 계단 형태의 연결 구조를 형성하는 단계를 포함할 수 있다. 이때, 상기 계단 형태의 연결 구조를 형성하는 단계는 상기 제 1 및 제 2 영역들 모두에서 상기 적층체를 식각하는 적어도 한번의 공통적 식각 단계 및 상기 제 2 영역에서 상기 적층체를 국소적으로 식각하는 적어도 한번의 선택적 식각 단계를 포함할 수 있다.

[0025] 일부 실시예들에 따르면, 상기 제 1 및 제 2 영역들은 상기 적층체의 마주보는 양단에 각각 위치할 수 있다.

- [0026] 일부 실시예들에 따르면, 상기 계단 형태의 연결 구조를 형성하는 단계는 순차적으로 실시되는 제 1 및 제 2 패터닝 공정들을 포함하되, 상기 제 1 패터닝 공정은 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 다층 식각 단계를 포함하고, 상기 제 2 패터닝 공정은 상기 제 2 영역에서 국소적으로 실시되는 한 번의 단층 식각 단계를 포함할 수 있다. 상기 다층 식각 단계는 상기 제 1 및 제 2 영역들 모두를 노출시키는 제 1 식각 마스크를 사용하여, 상기 수평막들의 수직적 피치의 적어도 두 배에 해당하는 깊이로, 상기 수평막들을 식각하도록 실시되고, 상기 단층 식각 단계는 상기 제 1 영역을 덮고 상기 제 2 영역을 노출시키는 제 2 식각 마스크를 사용하여, 상기 수평막들의 수직적 피치에 해당하는 깊이로, 상기 수평막들을 식각할 수 있다. 상기 적어도 한번의 다층 식각 단계는 복수 번의 다층 식각 단계들을 포함하고, 상기 다층 식각 단계들 중에서 시간적으로 연속적인 적어도 두 단계들은 하나의 식각 마스크를 공통적으로 사용하여 실시될 수 있다. 상기 제 1 패터닝 공정은 상기 식각 마스크가 시간적으로 느린 식각 단계에서 감소된 폭을 갖도록 상기 식각 마스크를 축소시키는 단계를 더 포함할 수 있다.
- [0027] 일부 실시예들에 따르면, 상기 계단 형태의 연결 구조를 형성하는 단계는 순차적으로 실시되는 제 1 및 제 2 패터닝 공정들을 포함하되, 상기 제 1 패터닝 공정은 상기 제 2 영역에서 국소적으로 실시되는 한 번의 단층 식각 단계를 포함하고, 상기 제 2 패터닝 공정은 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 다층 식각 단계를 포함할 수 있다. 상기 단층 식각 단계는 상기 제 1 영역을 덮고 상기 제 2 영역을 노출시키는 제 1 식각 마스크를 사용하여, 상기 수평막들의 수직적 피치에 해당하는 깊이로, 상기 수평막들을 식각하도록 실시되고, 상기 다층 식각 단계는 상기 제 1 및 제 2 영역들 모두를 노출시키는 제 2 식각 마스크를 사용하여, 상기 수평막들의 수직적 피치의 적어도 두 배에 해당하는 깊이로, 상기 수평막들을 식각하도록 실시될 수 있다. 상기 적어도 한번의 다층 식각 단계는 복수 번의 다층 식각 단계들을 포함하고, 상기 다층 식각 단계들 중에서 시간적으로 연속적인 적어도 두 단계들은 하나의 식각 마스크를 공통적으로 사용하여 실시되되, 상기 제 2 패터닝 공정은 상기 식각 마스크가 시간적으로 느린 식각 단계에서 감소된 폭을 갖도록 상기 식각 마스크를 축소시키는 단계를 더 포함할 수 있다.
- [0028] 일부 실시예들에 따르면, 상기 계단 형태의 연결 구조를 형성하는 단계는 순차적으로 실시되는 제 1 및 제 2 패터닝 공정들을 포함하되, 상기 제 1 패터닝 공정은 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 단층 식각 단계를 포함하고, 상기 제 2 패터닝 공정은 상기 제 2 영역에서 국소적으로 실시되는 한 번의 다층 식각 단계를 포함할 수 있다. 상기 단층 식각 단계는 상기 제 1 및 제 2 영역들 모두를 노출시키는 제 1 식각 마스크를 사용하여, 상기 수평막들의 수직적 피치에 해당하는 깊이로, 상기 수평막들을 식각하도록 실시되고, 상기 다층 식각 단계는 상기 제 1 영역을 덮고 상기 제 2 영역을 노출시키는 제 1 식각 마스크를 사용하여, 상기 수평막들의 적층 높이의 절반에 해당하는 깊이로, 상기 수평막들을 식각하도록 실시될 수 있다. 상기 적어도 한번의 단층 식각 단계는 복수 번의 단층 식각 단계들을 포함하고, 상기 단층 식각 단계들 중에서 시간적으로 연속적인 적어도 두 단계들은 하나의 식각 마스크를 공통적으로 사용하여 실시되되, 상기 제 1 패터닝 공정은 상기 식각 마스크가 시간적으로 느린 식각 단계에서 감소된 폭을 갖도록 상기 식각 마스크를 축소시키는 단계를 더 포함할 수 있다.
- [0029] 일부 실시예들에 따르면, 상기 계단 형태의 연결 구조를 형성하는 단계는 순차적으로 실시되는 제 1 및 제 2 패터닝 공정들을 포함하되, 상기 제 1 패터닝 공정은 상기 제 2 영역에서 국소적으로 실시되는 한 번의 다층 식각 단계를 포함하고, 상기 제 2 패터닝 공정은 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 단층 식각 단계를 포함할 수 있다. 상기 다층 식각 단계는 상기 제 1 영역을 덮고 상기 제 2 영역을 노출시키는 제 1 식각 마스크를 사용하여, 상기 수평막들의 적층 높이의 절반에 해당하는 깊이로, 상기 수평막들을 식각하도록 실시되고, 상기 단층 식각 단계는 상기 제 1 및 제 2 영역들 모두를 노출시키는 제 2 식각 마스크를 사용하여, 상기 수평막들의 수직적 피치에 해당하는 깊이로, 상기 수평막들을 식각하도록 실시될 수 있다. 상기 적어도 한번의 단층 식각 단계는 복수 번의 단층 식각 단계들을 포함하고, 상기 단층 식각 단계들 중에서 시간적으로 연속적인 적어도 두 단계들은 하나의 식각 마스크를 공통적으로 사용하여 실시되되, 상기 제 2 패터닝 공정은 상기 식각 마스크가 시간적으로 느린 식각 단계에서 감소된 폭을 갖도록 상기 식각 마스크를 축소시키는 단계를 더 포함할 수 있다.
- [0030] 일부 실시예들에 따르면, 상기 적어도 한번의 공통적 식각 단계는 상기 제 1 및 제 2 영역들 모두에서 실시되는 한번의 단층 식각 단계 및 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 2n층 식각 단계를 포함할 수 있다. 상기 적어도 한번의 선택적 식각 단계는 상기 제 2 영역에서 국소적으로 실시되는 한 번의 n층 식각 단계를 포함할 수 있다. (여기서, n은 2 내지 16 중의 어느 하나일 수 있다.) 상기 적어도 한번의 2n층 식각 단계는 복수 번의 2n층 식각 단계들을 포함하고, 상기 2n층 식각 단계들 중에서 시간적으로 연속적인 적어도 두

단계들은 하나의 식각 마스크를 공통적으로 사용하여 실시될 수 있으며, 상기 식각 마스크는 상기 시간적으로 연속적인 적어도 두 단계들 중에서 선행하는 단계에서보다 후행하는 단계에서 감소된 폭을 가질 수 있다.

[0031] 일부 실시예들에 따르면, 상기 제 1 및 제 2 영역들 중의 어느 하나는 상기 적층체의 중심과 상기 제 1 및 제 2 영역들 중의 다른 하나 사이에 위치할 수 있다.

[0032] 일부 실시예들에 따르면, 상기 적어도 한번의 공통적 식각 단계는 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 다층 식각 단계 및 상기 제 1 및 제 2 영역들 모두에서 실시되는 복수 번의 단층 식각 단계들을 포함할 수 있다. 상기 적어도 한번의 선택적 식각 단계는 상기 제 2 영역에서 국소적으로 실시되는 다층 식각 단계를 포함할 수 있다.

[0033] 일부 실시예들에 따르면, 상기 적층체는 상기 공통적 식각 단계의 상기 적어도 한번의 다층 식각 단계에 의해 형성되는 제 1 측벽부 및 상기 공통적 식각 단계의 상기 단층 식각 단계들에 의해 형성되는 제 2 측벽부를 포함할 수 있다. 상기 제 1 측벽부는 상기 기판의 상부면의 법선에 대한 각도에서 상기 제 2 측벽부보다 작을 수 있다.

[0034] 일부 실시예들에 따르면, 상기 공통적 식각 단계의 상기 적어도 한번의 다층 식각 단계는 상기 제 1 측벽부가 계단 형태의 단면 프로파일을 갖도록 실시되는 복수 번의 다층 식각 단계들을 포함할 수 있다.

[0035] 일부 실시예들에 따르면, 상기 적어도 한번의 공통적 식각 단계는 상기 제 1 및 제 2 영역들 모두에서 실시되는 제 1 단층 식각 단계, 상기 제 1 및 제 2 영역들 모두에서 실시되는 제 2 단층 식각 단계, 및 상기 제 1 및 제 2 영역들 모두에서 실시되는 적어도 한번의 $2n$ 층 식각 단계를 포함할 수 있다. 상기 적어도 한번의 선택적 식각 단계는 상기 제 2 영역에서 국소적으로 실시되는 한 번의 n 층 식각 단계를 포함할 수 있다. (여기서, n 은 3 내지 16 중의 어느 하나일 수 있다.)

[0036] 일부 실시예들에 따르면, 상기 제 1 단층 식각 단계는 제 1 식각 부분들을 형성하도록 실시되고, 상기 제 2 단층 식각 단계는 제 2 식각 부분들을 형성하도록 실시될 수 있다. 상기 제 2 식각 부분들은 상기 제 1 식각 부분들과 중첩되는 영역들에 형성되고, 상기 제 2 식각 부분들 각각은 상기 제 1 식각 부분들의 상응하는 하나보다 작은 폭을 갖도록 형성될 수 있다.

[0037] 본 발명의 일부 실시예들에 따른 삼차원 반도체 장치는 제 1 플러그에 접속하는 제 1 전극 및 상기 제 1 전극 상에 적층되며 제 2 플러그에 접속하는 제 2 전극을 포함할 수 있으며, 상기 제 1 및 제 2 전극들 각각은, 그것의 길이 방향에 수직하면서 상기 제 1 플러그보다 상기 제 2 플러그에 더 가까운, 제 1 측면들을 갖고, 상기 제 1 및 제 2 전극들의 상기 제 1 측면들은 실질적으로 공면을 이룰 수 있다.

[0038] 일부 실시예들에 따르면, 상기 제 1 및 제 2 전극들은, 그들 사이에 개재되는 도전막없이, 적층될 수 있다.

[0039] 일부 실시예들에 따르면, 상기 제 1 및 제 2 전극들은 실질적으로 동일한 물질로 형성될 수 있다.

[0040] 일부 실시예들에 따르면, 상기 제 1 및 제 2 전극들은 실질적으로 동일한 금속막으로 형성될 수 있다.

[0041] 일부 실시예들에 따르면, 상기 제 1 및 제 2 전극들 각각은, 그것의 길이 방향에 수직하면서 상기 제 2 플러그보다 상기 제 1 플러그에 더 가까운, 제 2 측면들을 갖고, 상기 제 2 전극의 상기 제 2 측면은 상기 제 1 전극의 상기 제 1 및 제 2 측면들 사이에 위치할 수 있다.

[0042] 일부 실시예들에 따르면, 상기 제 1 전극의 아래에 배치되는 적어도 하나의 하부 전극을 더 포함할 수 있다. 상기 적어도 하나의 하부 전극은, 그것의 길이 방향에 수직하면서 상기 제 1 플러그보다 상기 제 2 플러그에 더 가까운, 제 1 측면들을 갖고, 상기 적어도 하나의 하부 전극 및 상기 제 1 전극의 상기 제 1 측면들은 실질적으로 공면을 이룰 수 있다.

발명의 효과

[0043] 본 발명의 실시예들에 따르면, 식각 깊이 및 식각 영역 모두에서 차이를 갖도록 실시되는, 제 1 패터닝 공정 및 제 2 패터닝 공정이 전극들의 계단형 연결 구조를 형성하기 위해 사용된다. 이에 따라, 본 발명의 실시예들에 따른 상기 계단형 연결 구조는, 공통적 단층 식각 방식을 통해 구현되는 종래의 구조에 비해, 감소된 점유 면적을 갖도록 형성될 수 있으며, 이를 형성하는 과정 역시 단순화될 수 있다.

도면의 간단한 설명

[0044]

도 1은 본 발명의 일부 실시예들에 따른 반도체 장치를 예시적으로 도시하는 사시도이다.

도 2는 본 발명의 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 개략적으로 도시하는 순서도이다.

도 3은 본 발명의 일부 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 도시하는 테이블이다.

도 4는 본 발명의 일부 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이다.

도 5 내지 도 8은 본 발명의 일부 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 9는 본 발명의 일부 예시적인 실시예들 중의 다른 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이다.

도 10 및 도 11은 본 발명의 일부 예시적인 실시예들 중의 다른 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 12는 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이다.

도 13 내지 도 15는 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 16은 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이다.

도 17 및 도 18은 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 19는 본 발명의 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 도시하는 테이블이다.

도 20은 본 발명의 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이다.

도 21 내지 도 24는 본 발명의 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 25 및 도 26은 본 발명의 다른 예시적인 실시예들의 변형들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 27은 본 발명의 다른 예시적인 실시예들에 따른 반도체 장치의 일부분을 도시하는 사시도이다.

도 28 및 도 29는 본 발명의 다른 예시적인 실시예들 및 그 변형예들에 따른 반도체 장치의 제조 방법들을 설명하기 위해 제공되는 개략적인 단면도들이다.

도 30은 본 발명의 다른 예시적인 실시예들 중의 다른 하나에 따른 반도체 장치의 제조 방법을 예시적으로 설명하기 위해 제공되는 개략적인 단면도이다.

도 31은 본 발명의 또 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이다.

도 32는 본 발명의 또 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 설명하기 위해 제공되는 개략적인 단면도이다.

도 33 내지 도 37은 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 예시적으로 설명하기 위해 제공되는 개략적인 단면도들이다.

도 38은 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 순서도이다.

도 39 내지 도 43은 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 44는 도 43의 반도체 장치의 일부분을 도시하는 확대 단면도이다.

도 45 및 도 46은 도 39 내지 도 43을 참조하여 앞서 설명된 실시예들의 변형들을 예시적으로 설명하기 위해 제

공되는 개략적인 단면도들이다.

도 47 및 도 48은 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치들을 예시적으로 설명하기 위해 제공되는 개략적인 단면도들이다.

도 49 내지 도 51은 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

도 52는 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 일부분을 도시하는 사시도이다.

도 53은 도 49 내지 도 51를 참조하여 설명된 실시예와의 비교를 위해 제공되는 단면도이다.

도 54 및 도 55는, 각각, 본 발명의 일부 실시예들 및 비교예에 따른 반도체 장치들의 계단식 구조들 사이의 비교를 위해 제공되는 개략적인 단면도들이다.

도 56 및 도 57은, 각각, 본 발명의 일부 실시예들과 상기 비교예에 따른 반도체 장치들 사이의 기술적 차이점들을 설명하기 위해 제공되는 도면들이다.

도 58 및 도 59는 본 발명의 다른 실시예들에 따른 반도체 장치의 구조적 특징들을 예시적으로 설명하기 위한 도면들이다.

도 60 및 도 61은 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 이용하여 형성된 3차원 반도체 메모리 장치들을 예시적으로 도시하는 사시도들이다.

도 62 및 도 63은 본 발명의 일부 실시예들에 따른 3차원 메모리 반도체 장치들을 예시적으로 도시하는 회로도들이다.

도 64 및 도 65는 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 장치들을 도식적으로 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0045] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0046] 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기판"상"에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 물질막 또는 공정 단계를 기술하기 위해서 사용되었지만, 이는 단지 어느 특정 물질막 또는 공정 단계를 다른 물질막 또는 다른 공정 단계와 구별시키기 위해서 사용되었을 뿐이며, 이 같은 용어들에 의해서 한정되어서는 안된다.
- [0047] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0048] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다.
- [0049] 도 1은 본 발명의 일부 실시예들에 따른 반도체 장치를 예시적으로 도시하는 사시도이다.
- [0050] 도 1을 참조하면, 전극 구조체가 연결 영역 및 어레이 영역(RA)을 포함하는 기판(10) 상에 배치된다. 예를 들면, 상기 연결 영역은 상기 어레이 영역(RA)의 양측에 각각 위치하는 제 1 영역(R1) 및 제 2 영역(R2)을 포함

할 수 있지만, 본 발명의 기술적 사상이 이에 한정되는 것을 아니다. 상기 전극 구조체는 차례로 적층된 복수의 전극들(EL)을 포함한다. 상기 전극들(EL)은 도전성 물질(예를 들면, 도핑된 반도체 또는 금속)로 형성될 수 있다. 일부 실시예들에 있어서, 상기 전극들(EL)은 동일한 물질로 형성될 수 있다.

[0051] 상기 전극들(EL)은 상기 기판(10)으로부터의 거리가 멀어질수록 감소하는 길이를 갖도록 형성될 수 있다. 이에 더하여, 평면적인 관점에서 볼 때, 상기 전극들(EL) 중의 어느 하나는 그것의 하부에 위치하는 다른 전극이 점유하는 영역 내에 배치된다. 예를 들면, 상기 전극들(EL)은 계단 형태의 적층 구조를 갖도록 배치되고, 상기 전극들(EL) 중의 어느 하나는 그것의 상부에 위치하는 다른 전극에 의해 가려지지 않은 적어도 하나의 끝부분(이하, 연결부(CP))을 가질 수 있다. 상기 연결부(CP)가 충분한 면적을 갖도록 형성될 경우, 상기 연결부(CP)는 해당 전극과 다른 배선들 사이의 전기적 연결을 위한 경로(이하, 콘택 영역)로 이용될 수 있다.

[0052] 본 발명의 일 측면에 따르면, 상기 전극들(EL) 중의 적어도 하나는 그것의 상부에 위치하는 다른 전극과 정렬된 측면을 갖는 끝부분(이하, 정렬부(AP))을 가질 수 있다. 예를 들면, 수직적으로 인접하는 한 쌍의 전극들(EL)은 실질적으로 수직한 소정의 평면(VS)에 정렬된(즉, 서로 공면을 이루는) 측면들을 가질 수 있다.

[0053] 본 발명의 실시예들에서, 상기 전극들(EL) 각각은 상기 연결부(CP) 및 상기 정렬부(AP)의 구조적 특징을 갖도록 형성된 양단을 포함할 수 있다. 즉, 상기 전극들(EL) 각각의 일단(예를 들면, 상기 연결부(CP))은 그것의 상부에 위치하는 다른 전극에 의해 가려지지 않고, 그것의 타단(예를 들면, 상기 정렬부(AP))은 그것의 상부에 위치하는 다른 전극의 측면과 공면을 이루는 측면을 가질 수 있다.

[0054] 본 발명의 일부 실시예들에 따르면, 도 1에 도시된 것처럼, 상기 전극들(EL) 중에서 짝수 번째 것들 각각은 상기 제 1 및 제 2 영역들(R1, R2) 상에 각각 상기 연결부(CP) 및 상기 정렬부(AP)를 갖도록 형성되고, 상기 전극들(EL) 중에서 홀수 번째 것들 각각은 상기 제 2 및 제 1 영역들(R2, R1) 상에 각각 상기 연결부(CP) 및 상기 정렬부(AP)를 갖도록 형성될 수 있다.

[0055] 도 2는 본 발명의 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 개략적으로 도시하는 순서도이다.

[0056] 반도체 장치의 제조 방법들은 적층된 전극들을 형성하는 단계를 포함할 수 있으며, 상기 전극 형성 단계는 도 1에 도시된 것과 같은 계단 형태의 연결 구조를 형성하는 단계를 포함할 수 있다. 아래에서는 도 2를 참조하여 본 발명의 실시예들에 따른 상기 계단 형태의 연결 구조를 형성하는 단계를 설명한다.

[0057] 도 2를 참조하면, 기판 상에 수평막들을 차례로 적층하여 적층체를 형성한다(S1). 일부 실시예들에 따르면, 도 1의 상기 전극들(EL)은 상기 수평막들을 아래에서 설명되는 패터닝 방법을 이용하여 식각함으로써 얻어지는 결과물일 수 있다. 즉, 상기 수평막들은 상기 전극들(EL)로서 사용될 수 있다. 다른 실시예들에 따르면, 도 1의 상기 전극들(EL)은 상기 수평막들을 아래에서 설명되는 패터닝 방법을 이용하여 식각하고, 상기 수평막들을 선택적으로 제거하여 빈 공간들을 형성한 후, 상기 빈 공간들을 도전막으로 채움으로써 얻어지는 결과물일 수 있다. 즉, 상기 수평막들은 상기 전극들(EL)이 배치될 공간을 정의하는 희생막으로 사용될 수 있다.

[0058] 상기 적층체를 패터닝하여 상기 기판의 상기 연결 영역 상에 계단 형태의 연결 구조를 형성한다(S2). 이 단계(S2)는 선택적 식각 단계(SE) 및 공통적 식각 단계(CE)를 포함할 수 있다. 여기서, 상기 선택적 식각 단계(SE)는 상기 연결 영역의 특정 부분을 국소적으로 식각하는 단계를 포함할 수 있다. 반면, 상기 공통적 식각 단계(CE)는 상기 연결 영역의 부분들 중의 복수의 것들을 동시에 식각하는 단계를 포함할 수 있다. 일부 실시예들에 따르면, 상기 선택적 식각 단계(SE)에서 식각되는 상기 특정 부분은 상기 공통적 식각 단계(CE)에서 식각되는 부분들 중의 하나로 포함될 수 있다.

[0059] 상기 계단 형태의 연결 구조를 형성하는 동안, 상기 선택적 식각 단계(SE) 및 상기 공통적 식각 단계(CE)는 각각 적어도 일회 실시될 수 있으며, 이들 각각은 단층 식각 또는 다층 식각의 방법으로 실시될 수 있다. 여기서 상기 단층 식각 방법은 상기 수평막들 중의 한 층을 식각하는 방식을 의미하고, 상기 다층 식각 방법은 상기 수평막들 중의 적어도 두 층들을 연속적으로 식각하는 방식을 의미한다. 상기 선택적 식각 단계(SE) 및 상기 공통적 식각 단계(CE)는 상기 계단 형태의 연결 구조를 형성하기 위해 다양하게 조합될 수 있으며, 아래에서는 도 3 내지 도 52를 참조하여 그러한 조합들의 예들을 보다 상세하게 설명할 것이다.

[0060] 도 3은 본 발명의 일부 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 도시하는 테이블이다.

- [0061] 본 발명의 일부 실시예들에 따르면, 상기 연결 구조를 형성하는 단계(S2)는 식각 깊이 및 식각 영역 모두에서 차이를 갖도록 구성되는, 제 1 및 제 2 패터닝 공정들(S21, S22)을 포함할 수 있다. 예를 들면, 상기 제 1 및 제 2 패터닝 공정들(S21, S22) 중의 적어도 하나에서의 식각 깊이는 상기 수평막들의 수직적 피치의 적어도 2배 일 수 있고, 다른 하나의 식각 깊이는 대략 상기 수평막들의 수직적 피치일 수 있다. 여기서, 상기 수평막들의 수직적 피치는 상기 수평막들 중의 어느 하나와 그 상부 또는 하부의 다른 하나의 상부면들 사이의 높이 차이를 의미한다. 다시 말해, 상기 제 1 및 제 2 패터닝 공정들(S21, S22) 중의 어느 하나는 다층 식각의 방법으로 실시되고, 다른 하나는 단층 식각의 방법으로 실시될 수 있다. 예를 들면, 도 3에 예시적으로 분류된 제 1 및 제 4 예들은 상기 제 1 및 제 2 패터닝 공정들(S21, S22)을 각각 다층 및 단층 식각의 방식으로 실시하고, 제 2 및 제 3 예들은 상기 제 1 및 제 2 패터닝 공정들을 각각 단층 및 다층 식각의 방식으로 실시할 수 있다.
- [0062] 식각 영역과 관련하여, 본 발명의 일부 실시예들에 따르면, 상기 제 1 및 제 2 패터닝 공정들(S21, S22) 중의 적어도 하나는 상기 연결 영역의 각 부분들에 대해 실시되고, 다른 하나는 상기 연결 영역의 특정 부분에 대해 실시될 수 있다. 예를 들면, 상기 제 1 및 제 2 패터닝 공정들(S21, S22) 중의 어느 하나는, 상기 제 1 및 제 2 영역들(R1, R2) 모두에서 상기 수평막들을 패터닝하는, 공통적 식각 방식으로 실시될 수 있고, 다른 하나는, 상기 제 2 영역(R2)에서 상기 수평막들을 패터닝하는, 선택적 식각 방식으로 실시될 수 있다. 도 3를 다시 참조하면, 상기 제 1 및 제 3 예들의 경우, 상기 제 1 패터닝 공정은 공통적 식각 방식으로 실시될 수 있고, 상기 제 2 패터닝 공정은 선택적 식각 방식으로 실시될 수 있다. 또한, 상기 제 2 및 제 4 예들의 경우, 상기 제 1 패터닝 공정은 선택적 식각 방식으로 실시될 수 있고, 상기 제 2 패터닝 공정은 공통적 식각 방식으로 실시될 수 있다.
- [0063] 일부 실시예들에 따르면, 상기 공통적 식각 단계는 상기 수평막들을 상기 제 1 및 제 2 영역들(R1, R2) 모두에서 여러 번 식각하도록 실시될 수 있고, 상기 선택적 식각 단계는 상기 수평막들을 상기 제 2 영역에서 한번 식각하도록 실시될 수 있다. 예를 들면, 상기 제 1 및 제 3 예들에서는, 상기 제 1 패터닝 공정(S21)은 상기 공통적 식각 방식으로 상기 수평막들을 여러 번 식각하는 단계를 포함하고, 상기 제 2 패터닝 공정(S22)은 상기 선택적 식각 방식으로 상기 수평막들을 한번 식각하는 단계를 포함할 수 있다.
- [0064] 아래에서는, 도 4 내지 도 18을 참조하여 도 3에 예시적으로 분류된 제 1 내지 제 4 예들에 따른 반도체 장치의 제조 방법들을 설명할 것이다.
- [0065] 도 4는 본 발명의 일부 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이고, 도 5 내지 도 8은 본 발명의 일부 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.
- [0066] 도 3 내지 도 5를 참조하면, 기판(10) 상에 수평막들(100) 및 중간절연막들(200)을 교대로 적층하여 적층체(ST)를 형성한다(S1). 상기 기판(10)은 제 1 영역(R1), 제 2 영역(R2) 및 이들 사이의 어레이 영역(RA)을 포함할 수 있다. 상기 수평막들(100)은 상기 중간절연막들(200)에 대해 식각 선택성을 갖는 물질로 형성될 수 있다. 예를 들면, 상기 중간절연막들(200)은 실리콘 산화막이고, 상기 수평막들(100)은 실리콘 질화막, 실리콘 산화질화막, 다결정 실리콘막, 또는 금속막들 중의 적어도 하나를 포함할 수 있다. 일부 실시예들에 있어서, 상기 수평막들(100)은 동일한 물질로 형성될 수 있다.
- [0067] 도 3, 도 4 및 도 6을 참조하면, 상기 적층체(ST)에 대한 제 1 패터닝 공정(S21)을 실시한다. 이 실시예에 따르면, 상기 제 1 패터닝 공정(S21)은 복수 번의 식각 단계들을 포함할 수 있으며, 상기 식각 단계들 각각은 상술한 공통적 다층 식각 방식으로 실시될 수 있다.
- [0068] 예를 들면, 상기 제 1 패터닝 공정(S21)은 적어도 두 번의 식각 단계들을 포함할 수 있으며, 상기 식각 단계들 각각은 상기 제 1 및 제 2 영역들(R1, R2) 상에 위치하는 상기 적층체(ST)의 부분들을 동일한 식각 깊이로 식각하도록 실시될 수 있다. 이러한 공통적 식각 방식의 구현을 위해, 상기 식각 단계들 각각은 상기 제 1 및 제 2 영역들(R1, R2) 모두를 노출시키는 소정의 식각 마스크를 사용하여 실시될 수 있다. 도 6에 도시된 것처럼, 일부 실시예들에 따르면, 상기 식각 단계들 각각에서의 식각 깊이는 상기 수평막들(100)의 수직적 피치의 두 배에 해당할 수 있다.
- [0069] 한편, 상기 제 1 패터닝 공정(S21)이 공통적 식각 방식으로 실시되는 복수 번의 식각 단계들을 포함하는 경우, 상기 식각 단계들 중에서 시간적으로 연속적인 적어도 두 단계들은 하나의 식각 마스크를 공통으로 사용하여 실시될 수 있다. 예를 들면, 시간적으로 후행하는 식각 단계는 시간적으로 앞선 식각 단계에서 사용된 제 1 식각

마스크(201)의 수평적 크기를 축소시키는 단계를 포함할 수 있다. 상기 축소된 제 1 식각 마스크(201)는 시간적으로 후행하는 식각 단계에서 식각 마스크로 재사용된다. 이러한 식각 마스크의 재사용은 오정렬에 따른 기술적 어려움들 그리고 고비용의 사진 공정의 횟수를 줄이는 것을 가능하게 한다.

[0070] 이 실시예에서의 상기 제 1 패터닝 공정(S21)에서와 같이, 상기 복수 번의 식각 단계들이 식각 마스크의 축소 단계를 포함할 경우, 상기 적층체(ST)의 바깥 부분에는 그것의 안쪽 부분에 비해 상기 식각 단계들이 더 여러 번 실시된다. 이에 따라, 상기 제 1 패터닝 공정(S21) 동안 식각되는 상기 적층체(ST)의 부분(이하, 제 1 식각 부분(E1))의 깊이는 상기 어레이 영역(RA)으로부터 멀수록 불연속적으로 증가될 수 있다. 즉, 도 6에 도시된 것처럼, 상기 적층체(ST) 및 상기 제 1 식각 부분(E1)은 상기 제 1 및 제 2 영역들(R1, R2) 상에서 계단 형태의 구조를 갖도록 형성될 수 있다.

[0071] 상술한 것처럼, 상기 제 1 패터닝 공정(S21)이 공통적 식각 방식으로 실시되기 때문에, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들 또는 상기 제 1 식각 부분들(E1)은 실질적으로 거울 대칭성을 갖도록 형성된다.

[0072] 도 3, 도 4 및 도 7을 참조하면, 상기 적층체(ST)에 대한 제 2 패터닝 공정(S22)을 실시한다. 이 실시예에 따르면, 상기 제 2 패터닝 공정(S22)은 상술한 선택적 단층 식각의 방식으로 실시되는 한번의 식각 단계를 포함할 수 있다.

[0073] 예를 들면, 상기 제 2 패터닝 공정(S22)은 상기 제 2 영역(R2) 상에 위치하는 상기 적층체(ST)의 일부를 상기 수평막들(100)의 수직적 피치(P)에 해당하는 깊이로 식각하는 단계를 포함할 수 있다. 상기 제 2 패터닝 공정(S22)은 상기 제 1 영역(R1)을 덮고 상기 제 2 영역(R2)을 노출시키는 제 2 식각 마스크(202)를 사용하여 실시될 수 있다. 상기 제 2 식각 마스크(202)는, 도 7에 도시된 것처럼, 상기 제 2 영역(R2) 상의 상기 제 1 식각 부분(E1) 및 그 주변 영역을 노출시키도록 형성될 수 있다.

[0074] 이하, 설명의 편의를 위해, 상기 제 2 패터닝 공정(S22)을 통해 새롭게 식각된 상기 적층체(ST)의 일부분은 제 2 식각 부분(E2)이라고 부를 것이다. 이 실시예에 따르면, 상기 제 2 패터닝 공정(S22)은 상기 선택적 식각 방식으로 실시되기 때문에, 상기 제 2 식각 부분(E2)은 상기 제 2 영역(R2) 상에만 국소적으로 형성된다. 이에 따라, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들은 더 이상 거울 대칭성을 갖지 않게 된다.

[0075] 또한, 상기 제 2 패터닝 공정(S22)이 상기 단층 식각의 방식으로 실시되기 때문에, 노출 부분의 높이에 있어서, 상기 제 1 및 제 2 영역들(R1, R2) 각각의 상부에 위치하는 상기 적층체(ST)의 두 부분들은 상기 수평막들(100)의 수직적 피치(P)에 해당하는 높이 차이를 갖게 된다. 그 결과, 상기 적층체(ST)를 구성하는 상기 수평막들(100)은 도 1을 참조하여 설명된 것과 동일한 계단 형태의 연결 구조를 갖게 된다. 또한, 상술한 실시예들에 따르면, 상기 수평막들(100) 각각은 상기 연결부(CP) 및 상기 정렬부(AP)를 갖도록 형성된다.

[0076] 도 3, 도 4 및 도 8을 참조하면, 상기 제 2 패터닝 공정(S22)이 실시된 결과물 상에 배선 구조체(300)를 형성한다(S3). 일부 실시예들에 따르면, 도 8에 도시된 것처럼, 상기 배선 구조체(300)는 상기 수평막(100)의 상기 연결부(CP)에 접속하는 플러그(301) 및 상기 플러그(301)에 연결되는 패드(302), 비아(303) 및 금속 라인(304)을 포함할 수 있지만, 본 발명의 실시예들이 이에 한정되는 것은 아니다. 이에 더하여, 상기 배선 구조체(300)를 형성하기 전에, 상기 제 2 패터닝 공정(S22)이 실시된 결과물을 덮는 식각 정지막(99)이 더 형성될 수 있다. 또 다른 실시예들에 따르면, 상기 수평막들(100)의 노출된 측벽들 상에는, 절연성 스페이서(미도시)가 더 형성될 수 있다. 상기 절연성 스페이서 및/또는 상기 식각 정지막(99)에 의해, 상기 수평막(100)과 상기 플러그(301) 사이의 의도되지 않은 전기적 연결이 예방될 수 있다.

[0077] 상술한 일부 예들에 따르면, 상기 제 1 패터닝 공정(S21)의 각 단계들에서의 식각 깊이는 상기 수평막들(100)의 수직적 피치의 두 배이고(즉, 2P), 상기 제 2 패터닝 공정(S22)에서의 식각 깊이는 상기 수평막들(100)의 수직적 피치(즉, P)일 수 있다. 이 경우, 도 8에 도시된 것처럼, 상기 수평막들(100) 중에서 짝수 번째 층들에 위치하는 것들은 상기 제 1 영역(R1) 상에서 상기 배선 구조체(300)에 연결되고, 상기 수평막들(100) 중에서 홀수 번째 층들에 위치하는 것들은 상기 제 2 영역(R2) 상에서 상기 배선 구조체(300)에 연결될 수 있다.

[0078] 도 9는 본 발명의 일부 예시적인 실시예들 중의 다른 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이고, 도 10 및 도 11은 본 발명의 일부 예시적인 실시예들 중의 다른 하나에 따른 반도체 장치의 제조 방법을

예시적으로 도시하는 단면도들이다.

- [0079] 도 3, 도 9 및 도 10을 참조하면, 도 6을 참조하여 설명된 상기 적층체(ST)에 대한 제 1 패터닝 공정(S21)을 실시한다. 이 실시예에 따르면, 상기 제 1 패터닝 공정(S21)은 상술한 선택적 단층 식각의 방식으로 실시되는 한번의 식각 단계를 포함할 수 있다.
- [0080] 예를 들면, 상기 제 1 패터닝 공정(S21)은 상기 제 2 영역(R2) 상에 위치하는 상기 적층체(ST)의 일부를 상기 수평막들(100)의 수직적 피치(P)에 해당하는 깊이로 식각하는 단계를 포함할 수 있다. 상기 제 1 패터닝 공정(S21)은 상기 제 1 영역(R1)을 덮고 상기 제 2 영역(R2)을 노출시키는 제 1 식각 마스크(201)를 사용하여 실시될 수 있다.
- [0081] 상기 제 1 패터닝 공정(S21)이 상기 선택적 식각 방식으로 실시되기 때문에, 상기 제 1 식각 부분(E1)은 상기 제 2 영역(R2) 상에만 국소적으로 형성된다. 이에 따라, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들은, 노출되는 영역의 높이에서, 상기 수평막들(100)의 수직적 피치(P)에 해당하는 차이를 갖게 된다.
- [0082] 도 3, 도 9 및 도 11을 참조하면, 상기 적층체(ST)에 대한 제 2 패터닝 공정(S22)을 실시한다. 이 실시예에 따르면, 상기 제 2 패터닝 공정(S22)은 복수 번의 식각 단계들을 포함할 수 있으며, 상기 식각 단계들 각각은 도 6을 참조하여 앞서 설명된 공통적 다층 식각 방식으로 실시될 수 있다.
- [0083] 이에 따라, 상기 적층체(ST) 및 상기 제 1 식각 부분(E1)은 상기 제 1 및 제 2 영역들(R1, R2) 상에서 계단 형태의 구조를 갖도록 형성될 수 있다. 하지만, 상기 적층체(ST)의 상기 제 1 영역(R1)은 상기 제 1 패터닝 공정(S21)에 따른 상기 제 1 식각 부분(E1)에 의해 정의되는 계단 구조를 갖고, 상기 적층체(ST)의 상기 제 2 영역(R2)은 상기 제 1 및 제 2 패터닝 공정들(S21, S22)에 따른 상기 제 1 및 제 2 식각 부분들(E1, E2)에 의해 정의되는 다른 계단 구조를 갖는다. 그 결과, 상기 수평막들(100) 중에서 짝수 번째 층들은 상기 제 1 영역(R1) 상에서 상기 연결부들(CP)을 갖고 상기 제 2 영역(R2) 상에서 상기 정렬부들(AP)을 갖고, 상기 수평막들(100) 중에서 홀수 번째 층들은 상기 제 2 영역(R2) 상에 상기 연결부들(CP)을 갖고 상기 제 1 영역(R1) 상에서 상기 정렬부들(AP)을 갖는다.
- [0084] 이후, 상기 배선 구조체(300)가 도 11을 참조하여 설명된 구조 상에 형성될 수 있으며, 그 결과물은 도 8에 도시된 구조적 특징을 가질 수 있다.
- [0085] 도 12는 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이고, 도 13 내지 도 15는 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.
- [0086] 도 3, 도 12 및 도 13을 참조하면, 상기 적층체(ST)에 대한 제 1 패터닝 공정(S21)을 실시한다. 이 실시예에 따르면, 상기 제 1 패터닝 공정(S21)은 복수 번의 식각 단계들을 포함할 수 있으며, 상기 식각 단계들 각각은 상술한 공통적 단층 식각 방식으로 실시될 수 있다.
- [0087] 예를 들면, 상기 제 1 패터닝 공정(S21)은 적어도 두 번의 식각 단계들을 포함할 수 있으며, 상기 식각 단계들 각각은 상기 제 1 및 제 2 영역들(R1, R2) 상에 위치하는 상기 적층체(ST)의 부분들을 상기 수평막들(100)의 수직적 피치에 해당하는 식각 깊이로 식각하도록 실시될 수 있다. 이러한 공통적 식각 방식의 구현을 위해, 상기 식각 단계들 각각은 상기 제 1 및 제 2 영역들(R1, R2) 모두를 노출시키는 소정의 식각 마스크를 사용하여 실시될 수 있다.
- [0088] 한편, 상기 제 1 패터닝 공정(S21)이 공통적 식각 방식으로 실시되는 복수 번의 식각 단계들을 포함하는 경우, 상기 식각 단계들 중에서 시간적으로 연속적인 적어도 두 단계들은 하나의 식각 마스크를 공통으로 사용하여 실시될 수 있다. 예를 들면, 시간적으로 후행하는 식각 단계는 시간적으로 앞선 식각 단계에서 사용된 제 1 식각 마스크(201)의 수평적 크기를 축소시키는 단계를 포함할 수 있다. 상기 축소된 제 1 식각 마스크(201)는 시간적으로 후행하는 식각 단계에서 식각 마스크로 재사용된다. 이러한 식각 마스크의 재사용은 오정렬에 따른 기술적 어려움들 그리고 고비용의 사진 공정의 횟수를 줄이는 것을 가능하게 한다.
- [0089] 이 실시예에서의 상기 제 1 패터닝 공정(S21)에서와 같이, 상기 복수 번의 식각 단계들이 식각 마스크의 축소 단계를 포함할 경우, 상기 적층체(ST)의 바깥 부분에는 그것의 안쪽 부분에 비해 상기 식각 단계들이 더 여러 번 실시된다. 이에 따라, 상기 제 1 패터닝 공정(S21) 동안 식각되는 상기 적층체(ST)의 부분(이하, 제 1 식각

부분(E1))의 깊이는 상기 어레이 영역(RA)으로부터 멀수록 불연속적으로 증가될 수 있다. 즉, 도 13에 도시된 것처럼, 상기 적층체(ST) 및 상기 제 1 식각 부분(E1)은 상기 제 1 및 제 2 영역들(R1, R2) 상에서 계단 형태의 구조를 갖도록 형성될 수 있다.

[0090] 상술한 것처럼, 상기 제 1 패터닝 공정(S21)이 공통적 식각 방식으로 실시되기 때문에, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들 또는 상기 제 1 식각 부분들(E1)은 실질적으로 거울 대칭성을 갖도록 형성된다.

[0091] 도 3, 도 12 및 도 14를 참조하면, 상기 적층체(ST)에 대한 제 2 패터닝 공정(S22)을 실시한다. 이 실시예에 따르면, 상기 제 2 패터닝 공정(S22)은 상술한 선택적 다층 식각의 방식으로 실시되는 한번의 식각 단계를 포함할 수 있다.

[0092] 예를 들면, 상기 제 2 패터닝 공정(S22)은 상기 제 2 영역(R2) 상에 위치하는 상기 적층체(ST)의 일부를 상기 수평막들(100)의 수직적 피치(P)의 수배에 해당하는 깊이로 식각하는 단계를 포함할 수 있다. 일부 실시예들에 따르면, 상기 식각 깊이는 상기 적층체(ST)의 높이의 절반 또는 상기 수평막들(100)의 총 적층 높이의 절반일 수 있다. 상기 제 2 패터닝 공정(S22)은 상기 제 1 영역(R1)을 덮고 상기 제 2 영역(R2)을 노출시키는 제 2 식각 마스크(202)를 사용하여 실시될 수 있다. 상기 제 2 식각 마스크(202)는, 도 14에 도시된 것처럼, 상기 제 2 영역(R2) 상의 상기 제 1 식각 부분(E1) 및 그 주변 영역을 노출시키도록 형성될 수 있다.

[0093] 상기 제 2 패터닝 공정(S22)이 상기 선택적 식각 방식으로 실시되기 때문에, 상기 제 2 식각 부분(E2)은 상기 제 2 영역(R2) 상에만 국소적으로 형성된다. 이에 따라, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들은 더 이상 거울 대칭성을 갖지 않게 된다.

[0094] 도 3, 도 12 및 도 15를 참조하면, 상기 제 2 패터닝 공정(S22)이 실시된 결과물 상에 상기 배선 구조체(300)를 형성한다(S3). 상기 플러그들(301)의 길이에서의 차이를 제외하면, 상기 배선 구조체(300)은 도 8을 참조하여 설명된 것과 동일한 기술적 특징들을 갖도록 형성될 수 있다.

[0095] 도 16은 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이고, 도 17 및 도 18은 본 발명의 일부 예시적인 실시예들 중의 또 다른 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

[0096] 도 3, 도 16 및 도 17을 참조하면, 도 6을 참조하여 설명된 상기 적층체(ST)에 대한 제 1 패터닝 공정(S21)을 실시한다. 이 실시예에 따르면, 상기 제 1 패터닝 공정(S21)은 상술한 선택적 다층 식각의 방식으로 실시되는 한번의 식각 단계를 포함할 수 있다.

[0097] 예를 들면, 상기 제 1 패터닝 공정(S21)은 상기 제 2 영역(R2) 상에 위치하는 상기 적층체(ST)의 일부를 상기 수평막들(100)의 수직적 피치(P)의 수배에 해당하는 깊이로 식각하는 단계를 포함할 수 있다. 일부 실시예들에 따르면, 상기 식각 깊이는 상기 적층체(ST)의 높이의 절반 또는 상기 수평막들(100)의 총 적층 높이의 절반일 수 있다. 상기 제 1 패터닝 공정(S21)은, 도 17에 도시된 것처럼, 상기 제 1 영역(R1)을 덮고 상기 제 2 영역(R2)을 노출시키는 제 1 식각 마스크(201)를 사용하여 실시될 수 있다.

[0098] 상기 제 1 패터닝 공정(S21)이 상기 선택적 식각 방식으로 실시되기 때문에, 상기 제 1 식각 부분(E1)은 상기 제 2 영역(R2) 상에만 국소적으로 형성된다. 이에 따라, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들은, 노출되는 영역의 높이에서, 상기 수평막들(100)의 수직적 피치(P)의 수배 또는 상기 적층체(ST)의 높이의 절반에 해당하는 차이를 갖게 된다.

[0099] 도 3, 도 16 및 도 18을 참조하면, 상기 적층체(ST)에 대한 제 2 패터닝 공정(S22)을 실시한다. 이 실시예에 따르면, 상기 제 2 패터닝 공정(S22)은 복수 번의 식각 단계들을 포함할 수 있으며, 상기 식각 단계들 각각은 도 13을 참조하여 앞서 설명된 공통적 다층 식각 방식으로 실시될 수 있다.

[0100] 이에 따라, 상기 적층체(ST) 및 상기 제 1 식각 부분(E1)은 상기 제 1 및 제 2 영역들(R1, R2) 상에서 계단 형태의 구조를 갖도록 형성될 수 있다. 하지만, 상기 적층체(ST)의 상기 제 1 영역(R1)은 상기 제 2 패터닝 공정(S22)에 따른 상기 제 2 식각 부분(E2)에 의해 정의되는 계단 구조를 갖고, 상기 적층체(ST)의 상기 제 2 영역(R2)은 상기 제 1 및 제 2 패터닝 공정들(S21, S22)에 따른 상기 제 1 및 제 2 식각 부분들(E1, E2)에 의해 정의되는 다른 계단 구조를 갖는다. 그 결과, 상기 수평막들(100) 중에서 위쪽 절반은 상기 제 1 영역(R1) 상에서 상기 연결부들(CP)을 갖고 상기 제 2 영역(R2) 상에서 상기 정렬부들(AP)을 갖고, 상기 수평막들(100) 중에서

아래쪽 절반은 상기 제 2 영역(R2) 상에 상기 연결부들(CP)을 갖고 상기 제 1 영역(R1) 상에서 상기 정렬부들(AP)을 갖는다.

[0101] 이후, 상기 배선 구조체(300)가 도 18을 참조하여 설명된 구조 상에 형성될 수 있으며, 그 결과물은 도 15에 도시된 구조적 특징을 가질 수 있다.

[0102] 도 19는 본 발명의 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 도시하는 테이블이다.

[0103] 본 발명의 다른 실시예들에 따르면, 상기 연결 구조를 형성하는 단계(S2)는 제 1, 제 2 및 제 3 패터닝 공정들(S21, S22, S23)을 포함할 수 있다. 상기 제 1 내지 제 3 패터닝 공정들(S21, S22, S23) 중의 어느 하나는 공통적 다층 식각 방식으로 실시되는 한번의 식각 단계(이하, 공통적 다층 식각 단계)를 포함하고, 상기 제 1 내지 제 3 패터닝 공정들(S21, S22, S23) 중의 다른 하나는 선택적 다층 식각 방식으로 실시되는 한번의 식각 단계(이하, 선택적 다층 식각 단계)를 포함하고, 나머지 하나는 공통적 다층 식각 방식으로 실시되는 적어도 한번의 식각 단계(이하, 공통적 다층 식각 단계)를 포함할 수 있다. 상기 공통적 다층 식각 단계, 상기 선택적 다층 식각 단계, 및 상기 공통적 다층 식각 단계는 다양하게 조합되어, 상기 연결 구조를 형성하기 위해 사용될 수 있다. 예를 들면, 도 19에 보여지는 것처럼, 이러한 조합의 가장 단순한 형태는 제 5 내지 제 10 예들에 개시된 방식으로 구현될 수 있다.

[0104] 설명의 중복 및 복잡함을 피하기 위해, 아래에서는 도 20 내지 도 29를 참조하여 도 19의 제 5 예가 예시적으로 설명될 것이다. 도 20은 본 발명의 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이고, 도 21 내지 도 24는 본 발명의 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

[0105] 도 20 및 도 21을 참조하면, 상기 기판(10) 상에 상기 수평막들(100) 및 상기 층간절연막들(200)을 교대로 적층하여 적층체(ST)를 형성한 후(S1), 상기 적층체(ST)에 대한 공통적 다층 식각 단계(S21)를 실시한다. 상기 공통적 다층 식각 단계(S21)는 서로 이격된 제 1 식각 부분들(E1)을 형성하도록 실시될 수 있다. 상기 공통적 다층 식각 단계(S21)는 상기 제 1 및 제 2 영역들(R1, R2) 모두를 노출시키는 제 1 마스크(211)를 사용하여 실시될 수 있다. 이에 따라, 상기 제 1 식각 부분들(E1)은 상기 제 1 및 제 2 영역들(R1, R2) 상에 공통적으로 형성될 수 있으며, 그 식각 깊이는 상기 수평막들(100)의 수직적 피치일 수 있다.

[0106] 도 20 및 도 22를 참조하면, 상기 제 1 식각 부분들(E1)이 형성된 상기 적층체(ST)에 대한 선택적 다층 식각 단계(S22)를 실시한다. 상기 선택적 다층 식각 단계(S22)는 상기 제 1 영역(R1)의 일부분을 노출시키고 상기 제 2 영역(R2) 및 상기 어레이 영역(RA)을 덮는 제 2 마스크(212)를 식각 마스크로 사용하여 실시될 수 있다. 예를 들면, 상기 선택적 다층 식각 단계(S22)는 상기 제 1 영역(R1)에서 상기 수평막들(100)을 식각하는 단계를 포함할 수 있다. 이에 따라, 상기 제 1 영역(R1) 상에 위치하는 상기 적층체(ST)에 제 2 식각 부분(E2)이 국소적으로 형성될 수 있다. 상기 제 2 식각 부분(E2)은 상기 수평막들(100)의 수직적 피치의 두 배에 해당하는 식각 깊이를 갖도록 형성될 수 있다. 상기 선택적 다층 식각 단계(S22)에 의해, 상기 제 1 및 제 2 영역들(R1, R2)은 서로 다른 구조를 갖게 된다. 예를 들면, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들은 더 이상 거울 대칭성을 갖지 않게 된다.

[0107] 도 20, 도 23 및 도 24를 참조하면, 상기 제 2 식각 부분(E2)이 형성된 상기 적층체(ST)에 대한 공통적 다층 식각 단계들(S23)을 실시한다. 상기 공통적 다층 식각 단계들은, 제 3 마스크(213) 및 제 4 마스크(214)를 각각 식각 마스크로 사용하여 실시되는, 제 1 및 제 2 공통적 다층 식각 단계들을 포함할 수 있다. 상기 제 3 및 제 4 마스크들(213, 214)은 상기 제 1 및 제 2 영역들(R1, R2)의 일부분을 노출시키고 상기 어레이 영역(RA)을 덮도록 형성될 수 있다. 이 실시예에 따르면, 상기 제 4 마스크(214)는 상기 제 3 마스크(213)보다 넓은 폭을 갖도록 형성될 수 있으며, 상기 제 3 마스크(213)에 의해 가려지는 영역을 포함할 수 있다.

[0108] 상기 제 1 및 제 2 공통적 다층 식각 단계들에 의해, 상기 제 1 및 제 2 영역들(R1, R2) 각각에는 제 3 및 제 4 식각 부분들(E3, E4)이 형성될 수 있다. 상기 제 3 및 제 4 식각 부분들(E3, E4) 각각은 상기 수평막들(100)의 수직적 피치의 네 배에 해당하는 깊이를 갖도록 형성될 수 있다.

[0109] 정리하면, 상기 제 1 영역(R1)에는 상기 제 1 내지 제 4 식각 부분들(E1, E2, E3, E4)이 형성되고, 상기 제 2 영역(R2)에는 상기 제 1, 제 3 및 제 4 식각 부분들(E1, E3, E4)이 형성된다. 여기서, 상기 제 1, 제 3 및 제 4 식각 부분들(E1, E3, E4)은 그것들 각각이 형성되는 수평적 위치에서 서로 차이를 갖는다. 이러한 수평적 위치에서의 차이에 의해, 상기 적층체(ST)는, 각 계단의 높이가 상기 수평막들(100)의 수직적 피치의 복수 배인,

계단 구조를 갖도록 형성될 수 있다. 상기 제 2 식각 부분(E2)이 없을 경우, 상기 적층체(ST)는 상기 제 1 및 제 2 영역들(R1, R2)에서 거울 대칭적 구조를 가질 수 있다. 하지만, 상기 제 1 영역(R1)에 형성된 상기 제 2 식각 부분(E2)에 의해, 상기 적층체(ST)는 더 이상 거울 대칭성을 갖지 않는다. 예를 들면, 상기 적층체(ST)를 구성하는 상기 수평막들(100) 각각이 노출되는 위치는 상기 제 1 및 제 2 영역들(R1, R2)에서 서로 달라질 수 있다.

[0110] 도 25 및 도 26은 본 발명의 다른 예시적인 실시예들의 변형들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다.

[0111] 도 25 및 도 26에 도시된 것처럼, 상기 공통적 다층 식각 단계들은, 제 3 마스크(223) 및 제 4 마스크(224)를 각각 식각 마스크로 사용하여 실시되는, 제 1 및 제 2 공통적 다층 식각 단계들을 포함할 수 있다. 이 실시예에 따르면, 상기 제 3 마스크(223)는 상기 제 4 마스크(224)보다 넓은 폭을 갖도록 형성될 수 있으며, 상기 제 4 마스크(224)에 의해 가려지는 영역을 포함할 수 있다. 예를 들면, 상기 제 4 마스크(224)는 상기 제 3 마스크(223)에 대한 상술한 마스크 축소 단계의 결과물일 수 있다. 이 경우, 상기 제 4 식각 부분(E4)은 상기 제 3 식각 부분(E3)과 상기 적층체(ST)의 측면들 사이에 위치하는 식각 부분을 포함할 수 있다.

[0112] 다시 말해, 상기 공통적 다층 식각 단계가 공통적 식각 방식으로 실시되는 복수 번의 식각 단계들을 포함하는 경우, 상기 식각 단계들 중에서 시간적으로 연속적인 적어도 두 단계들은 하나의 식각 마스크를 공통으로 사용하여 실시될 수 있다. 예를 들면, 시간적으로 후행하는 식각 단계는 시간적으로 앞선 식각 단계에서 사용된 제 3 식각 마스크(223)의 수평적 크기를 축소시키는 단계를 포함할 수 있다. 상기 축소된 제 3 마스크(223)는 시간적으로 후행하는 식각 단계에서 제 4 마스크(224)로 재사용된다. 이러한 식각 마스크의 재사용은 오정렬에 따른 기술적 어려움들 그리고 고비용의 사진 공정의 횟수를 줄이는 것을 가능하게 한다.

[0113] 도 27은 본 발명의 다른 예시적인 실시예들 및 그 변형 예들에 따른 반도체 장치의 일부분을 도시하는 사시도이다.

[0114] 본 발명의 다른 예시적인 실시예들 및 그 변형 예들에 따르면, 도 27에 도시된 것처럼, 상기 전극들(EL) 중에서 $(4n+1)$ 번째 및 $(4n+2)$ 번째 것들 각각은 상기 제 1 및 제 2 영역들(R1, R2) 상에 각각 상기 정렬부(AP) 및 상기 연결부(CP)를 갖도록 형성되고, 상기 전극들(EL) 중에서 $(4n+3)$ 번째 및 $(4n+4)$ 번째 것들 각각은 상기 제 1 및 제 2 영역들(R2, R1) 상에 각각 상기 연결부(CP) 및 상기 정렬부(AP)를 갖도록 형성될 수 있다. 여기서, n 은 $4n+4$ 가 상기 수평막들의 총 적층 수보다 작은 조건을 충족시키는 0 또는 자연수들일 수 있다.

[0115] 도 28 및 도 29는 본 발명의 다른 예시적인 실시예들 및 그 변형 예들에 따른 반도체 장치의 제조 방법들을 설명하기 위해 제공되는 개략적인 단면도들이다.

[0116] 도 28 및 도 29를 참조하면, 상기 연결 구조를 형성하는 단계는 상기 공통적 다층 식각 단계(S21)를 한번 실시하여 상기 제 1 식각 부분들(E1)을 형성하고, 상기 선택적 다층 식각 단계(S22)를 한번 실시하여 상기 제 2 식각 부분(E2)을 형성한 후, 상기 공통적 다층 식각 단계(S23)를 7번 실시하여 제 3 내지 제 9 식각 부분들(E3, E4, E5, E6, E7, E8, E9)을 형성하는 단계를 포함할 수 있다.

[0117] 상기 공통적 다층 식각 단계들(S23)은 서로 다른 식각 마스크들을 사용하여 실시될 수 있다. 예를 들면, 상기 공통적 다층 식각 단계들(S23) 각각은 그것에 앞서 실시되는 단계에서 보다 증가된 폭을 갖는 식각 마스크를 사용하여 실시될 수 있다. 이 경우, 도 28에 도시된 것처럼, 상기 제 3 내지 제 9 식각 부분들(E3-E9)은, 순서대로, 그것에 앞서 형성된 식각 부분들 아래이면서 상기 적층체(ST)의 중심으로부터 멀어지는 위치들에 형성될 수 있다. 변형된 실시예들에 따르면, 상기 공통적 다층 식각 단계들(S23) 중의 적어도 하나는 그것에 앞서 실시되는 단계에서보다 감소된 폭을 갖는 식각 마스크를 사용하여 실시될 수 있다. 이 경우, 도 29에 도시된 것처럼, 상기 제 3 내지 제 9 식각 부분들(E3-E9) 중의 일부(예를 들면, E4, E6, E8)은 그것에 앞서 형성된 식각 부분들(예를 들면, E3, E5, E7)보다 상기 적층체(ST)의 중심에 가깝게 형성될 수 있다.

[0118] 도 30은 본 발명의 다른 예시적인 실시예들 중의 다른 하나에 따른 반도체 장치의 제조 방법을 예시적으로 설명하기 위해 제공되는 개략적인 단면도이다. 예를 들면, 도 30은 도 19에 예시적으로 분류된 제 10 예에 해당하는 제조 방법을 도시하는 것일 수 있다. 도 19에 개시된 제 10 예의 경우, 상기 연결 구조를 형성하는 단계는 상기

공통적 다층 식각 단계(S23)를 7번 실시하여 제 1 내지 제 7 식각 부분들(E1, E2, E3, E4, E5, E6, E7)을 형성하고, 상기 공통적 단층 식각 단계(S21)를 한번 실시하여 상기 제 8 식각 부분들(E8)을 형성하고, 상기 선택적 다층 식각 단계(S22)를 한번 실시하여 상기 제 9 식각 부분(E9)을 형성하는 단계를 포함할 수 있다. 즉, 상기 공통적 다층 식각 단계들(S23)이 상기 공통적 단층 식각 단계(S21) 및 상기 선택적 다층 식각 단계(S22)에 앞서 실시될 수 있다.

[0119] 도 28 내지 도 30을 비교하면, 상기 식각 단계들의 순서에서의 차이가 있지만, 상기 적층체(ST)는 실질적으로 동일한 모양의 계단 구조를 가질 수 있다. 다시 말해, 상기 식각 단계들의 순서는 제품 개발자들의 필요에 따라 다양하게 바뀌어 질 수 있음을 의미한다. 이런 점에서, 본 발명의 기술적 사상은 위에서 예시된 또는 아래에서 설명될 실시예들에 한정되는 것이 아니며, 상술한 실시예들에 기초하여 다양하게 변형될 수 있음을 의미한다.

[0120] 도 31은 본 발명의 또 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 도시하는 순서도이고, 도 32는 본 발명의 또 다른 예시적인 실시예들 중의 하나에 따른 반도체 장치의 제조 방법을 예시적으로 설명하기 위해 제공되는 개략적인 단면도이다.

[0121] 도 31 및 도 32를 참조하면, 이 실시예에 따른 계단 모양의 연결 구조를 형성하는 공정은 상기 수평막들(100)을 적층하여 적층체(ST)를 형성하고(S1), 상기 적층체(ST)에 대한 제 1 공통적 단층 식각 단계(S21), 제 2 공통적 단층 식각 단계(S22), 선택적 다층 식각 단계(S23) 및 공통적 다층 식각 단계(S24)를 차례로 실시한 후, 그 결과물 상에 상기 배선 구조체(300)를 형성하는 단계(S3)를 포함할 수 있다.

[0122] 상기 제 1 공통적 단층 식각 단계(S21)는 서로 이격된 제 1 식각 부분들(E1)을 형성하도록 실시될 수 있다. 상기 제 1 식각 부분들(E1)은 상기 제 1 및 제 2 영역들(R1, R2) 상에 공통적으로 형성될 수 있으며, 도 32에 도시된 것처럼, 상기 제 1 및 제 2 영역들(R1, R2) 각각에서 교대로 형성될 수 있다. 예를 들면, 상기 제 1 식각 부분들(E1)은 3W의 피치를 갖도록 형성될 수 있으며, 그 각각의 폭은 2W일 수 있다. 식각 깊이에 있어서, 상기 제 1 식각 부분들(E1)은 상기 수평막들(100)의 수직적 피치일 수 있다.

[0123] 상기 제 2 공통적 단층 식각 단계(S22)는 서로 이격된 제 2 식각 부분들(E2)을 형성하도록 실시될 수 있다. 상기 제 2 식각 부분들(E2)은 상기 제 1 및 제 2 영역들(R1, R2) 상에 공통적으로 형성될 수 있으며, 상기 제 1 식각 부분들(E1)과 동일하게, 상기 제 1 및 제 2 영역들(R1, R2) 각각에서 교대로 형성될 수 있다. 상기 제 2 식각 부분들(E2)은 3W의 피치를 갖도록 형성될 수 있으며, 그 각각의 폭은 1W일 수 있다. 식각 깊이에 있어서, 상기 제 2 식각 부분들(E2)은 상기 수평막들(100)의 수직적 피치일 수 있다.

[0124] 상기 선택적 다층 식각 단계(S23)는 상기 제 2 영역(R2)에 국소적으로 제 3 식각 부분들(R3)을 형성하도록 실시될 수 있다. 도 22를 참조하여 설명된 실시예의 그것과 유사하게, 상기 제 2 식각 부분(E2)은 상기 수평막들(100)의 수직적 피치의 두 배에 해당하는 식각 깊이를 갖도록 형성될 수 있다. 상기 선택적 다층 식각 단계(S23)에 의해, 상기 제 1 및 제 2 영역들(R1, R2)은 서로 다른 구조를 갖게 된다. 예를 들면, 상기 제 1 영역(R1)과 상기 제 2 영역(R2) 상에 위치하는, 상기 적층체(ST)의 두 부분들은 더 이상 거울 대칭성을 갖지 않게 된다.

[0125] 상기 공통적 다층 식각 단계(S24)는 상기 제 1 및 제 2 영역들(R1, R2) 모두에서 상기 적층체(ST)를 패터닝하도록 실시될 수 있다. 일부 실시예들에 따르면, 도 32에 도시된 것처럼, 상기 연결 구조의 형성 공정 동안, 상기 공통적 다층 식각 단계(S24)는 여러 번 실시될 수 있으며, 그 단계들 각각은 서로 다른 폭들을 갖는 식각 마스크들을 사용하여 실시될 수 있다. 이에 따라, 상기 공통적 다층 식각 단계들(S24)에 의해 형성되는 식각 부분들(E4, E5, E6)은 서로 다른 높이에서 상기 적층체(ST)의 계단 모양의 구조를 정의할 수 있다.

[0126] 상기 배선 구조체(300)를 형성하는 단계(S3)는 도 8을 참조하여 설명된 실시예의 그것과 실질적으로 동일한 방식으로 실시될 수 있다.

[0127] 상기 적층체(ST)는, 상기 제 1 및 제 2 영역들(R1, R2) 각각에 형성되어 상기 배선 구조체(300)로의 전기적 연결에 사용되는, 복수의 계단 형태의 영역들을 포함할 수 있다. 도 31 및 도 32를 참조하여 설명된 위 실시예에 따르면, 상기 계단 형태의 영역들 각각은 연속적으로 적층된 세 층의 수평막들(100)에 의해 구성될 수 있다. 앞선 실시예들의 경우, 상기 계단 형태의 영역들 각각은 연속적으로 적층된 한 층 또는 두 층의 수평막들(100)에 의해 구성된다. 즉, 상기 계단 형태의 영역들 각각의 수직적 두께(즉, 이를 구성하는 수평막들의 개수)는 특정한 숫자에 한정되는 것이 아니라, 도 31 및 도 32에 의해 예시적으로 보여진 것처럼, 제품 개발자들의 필요에 따라 다양하게 변화될 수 있다. 예를 들면, 상기 계단 형태의 영역들 각각을 구성하는 상기 수평막들(100)의 적

층 수는 2 내지 16 중의 적어도 하나일 수 있다.

- [0128] 도 33 내지 도 37은 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법들을 예시적으로 설명하기 위해 제공되는 개략적인 단면도들이다. 예를 들면, 도 33 내지 도 37은 도 31 및 도 32를 참조하여 설명된 실시예의 가능한 변형들 중의 일부를 예시적으로 도시한다. 비록 중복을 피하기 위해 별도의 설명이 제공되지 않을 지라도, 여기에서 설명되는 방법적 및 구조적 특징들은, 상술한 또는 후술되는, 본 발명의 다른 실시예들에서도 동일한 또는 유사한 방식으로 적용 또는 구현될 수 있다. 또한, 설명의 간략함을 위해, 앞서 설명된 것과 동일한 구성 요소들 또는 기술적 특징들에 대한 중복되는 설명은 생략될 수 있다.
- [0129] 일부 실시예들에 따르면, 도 32를 참조하여 설명된 실시예는 상기 선택적 다층 식각 단계를 상기 공통적 다층 식각 단계들 사이에 실시하도록 변형될 수 있다. 예를 들면, 상기 선택적 다층 식각 단계는 상기 제 1 및 제 2 공통적 다층 식각 단계들 및 상기 공통적 다층 식각 단계 이후에 실시되어, 도 33에 도시된 것처럼, 상기 수평막들(100)의 수직적 피치의 두 배에 해당하는 식각 깊이를 갖는 제 4 식각 부분(E4)을 형성할 수 있다. 이후, 상기 적층체(ST)는 공통적 다층 식각 방식으로 추가적으로 패터닝될 수 있다. 이 실시예에 따른 상기 제 1 및 제 2 공통적 다층 식각 단계들, 상기 선택적 다층 식각 단계, 상기 공통적 다층 식각 단계들은 도 32를 참조하여 설명된 실시예의 그것들과 동일한 방식으로 실시될 수 있다. 상기 적층체(ST)의 최종 구조는 도 32 및 도 33를 참조하여 설명된 실시예들 사이에서 차이가 없다. 이는 공정 순서에서의 변화 또는 상기 선택적 다층 식각 단계의 실시 순서에서의 변화에도 불구하고, 동일한 모양의 계단 구조를 구현하는 것이 가능함을 의미한다.
- [0130] 일부 실시예들에 따르면, 도 32를 참조하여 설명된 실시예는 상기 선택적 다층 식각 단계를 상기 제 1 및 제 2 공통적 다층 식각 단계들 이전에 실시하도록 변형될 수 있다. 예를 들면, 상기 선택적 다층 식각 단계에 의해 형성되는 제 4 식각 부분(E4)은, 도 34에 도시된 것처럼, 상기 수평막들(100)의 수직적 피치의 두 배에 해당하는 식각 깊이를 가지면서 상기 적층체(ST)의 최상부 영역에 형성될 수 있다. 이후, 상기 적층체(ST)에 대한 공통적 다층 식각 단계가 여러 번 실시될 수 있다. 이 실시예에 따른 상기 제 1 및 제 2 공통적 다층 식각 단계들, 상기 선택적 다층 식각 단계, 상기 공통적 다층 식각 단계들은 도 32를 참조하여 설명된 실시예의 그것들과 동일한 방식으로 실시될 수 있다. 상기 적층체(ST)의 최종 구조는 도 32 및 도 34를 참조하여 설명된 실시예들 사이에서 차이가 없다. 도 33의 실시예에서와 동일하게, 이는 공정 순서에서의 변화 또는 상기 선택적 다층 식각 단계의 실시 순서에서의 변화에도 불구하고, 동일한 모양의 계단 구조를 구현하는 것이 가능함을 의미한다.
- [0131] 일부 실시예들에 따르면, 도 32를 참조하여 설명된 실시예는 상기 공통적 다층 식각 단계들 중의 하나를 상기 제 1 및 제 2 공통적 다층 식각 단계들 이전에 실시하도록 변형될 수 있다. 예를 들면, 상기 공통적 다층 식각 단계에 의해 형성되는 제 1 식각 부분(E1)은, 도 35에 도시된 것처럼, 상기 수평막들(100)의 수직적 피치의 여섯 배에 해당하는 식각 깊이를 가지면서 상기 적층체(ST)의 최상부 영역에 형성될 수 있다. 이후, 상기 제 1 및 제 2 공통적 다층 식각 단계들, 상기 선택적 다층 식각 단계, 상기 공통적 다층 식각 단계들이 차례로 상기 적층체(ST)에 대해 실시될 수 있으며, 이들 각각은 도 32를 참조하여 설명된 실시예의 그것들과 동일한 방식으로 실시될 수 있다. 상기 적층체(ST)의 최종 구조는 도 32 및 도 35를 참조하여 설명된 실시예들 사이에서 차이가 없다. 도 33 및 도 34의 실시예들에서와 동일하게, 이는 공정 순서에서의 변화 또는 상기 선택적 다층 식각 단계의 실시 순서에서의 변화에도 불구하고, 동일한 모양의 계단 구조를 구현하는 것이 가능함을 의미한다.
- [0132] 일부 실시예들에 따르면, 도 35를 참조하여 설명된 실시예와 비교할 때, 상기 공통적 다층 식각 단계들 중의 적어도 하나는 식각 영역에서의 변화를 가져오도록 변형될 수 있다. 예를 들면, 도 36의 실시예에 따르면, 도 35의 상기 제 1 및 제 6 식각 부분들(E1, E6)을 형성하기 위해 사용되는 식각 마스크들은 서로 바뀔 수 있다. 이 경우에도, 도 36에 도시된 것처럼, 상기 적층체(ST)는 도 32 내지 도 35를 참조하여 설명된 실시예들과 동일한 최종 구조를 가질 수 있다. 이는, 상기 공통적 다층 식각 단계들의 실시 순서가 바뀌는 경우에도, 동일한 모양의 계단 구조를 구현하는 것이 가능함을 의미한다.
- [0133] 도 32를 참조하여 설명된 실시예는 상술한 다른 실시예들 중의 어느 하나(예를 들면, 도 17을 참조하여 설명된 실시예)와 조합되어, 상기 계단 구조의 연결 영역을 형성할 수 있다. 예를 들면, 도 37에 예시적으로 도시된 것처럼, 선택적 식각 단계, 제 1 공통적 다층 식각 단계, 제 2 공통적 다층 식각 단계, 및 복수회의 공통적 다층 식각 단계들을 차례로 실시함으로써, 상기 적층체(ST)는 계단 구조를 갖도록 형성될 수 있다. 상기 공통적 다층 식각 단계들은 상기 수평막들(100)의 수직적 피치의 세 배에 해당하는 식각 깊이를 갖는 식각 부분들(E4, E5, E6)을 각각 형성하도록 실시될 수 있다. 상기 제 1 및 제 2 공통적 다층 식각 단계들은 도 32를 참조하여 설명된 실시예의 그것들과 동일한 방식으로 실시될 수 있다. 실시예들의 이러한 조합은 도 37에 예시적으로 도시된

방법에 한정되는 것은 아니며, 상술한 또는 후술되는, 본 발명의 다른 실시예들에서도 동일한 또는 유사한 방식으로 적용 또는 구현될 수 있다.

- [0134] 도 38은 본 발명의 또 다른 실시예들에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 순서도이다. 도 39 내지 도 43은 본 발명의 또 다른 실시예들에 따른 반도체 장치의 제조 방법을 예시적으로 도시하는 단면도들이다. 설명의 간략함을 위해, 앞서 설명된 것과 동일한 구성 요소들 또는 기술적 특징들에 대한 중복되는 설명은 생략될 수 있다. 또한, 여기에서 설명되는 방법적 및 구조적 특징들은, 상술한 또는 후술되는, 본 발명의 다른 실시예들에서도 동일한 또는 유사한 방식으로 적용 또는 구현될 수 있다.
- [0135] 도 38 및 도 39를 참조하면, 이 실시예에 따르면, 상기 기판(10)은 서로 이격된 제 1, 제 2 및 제 3 영역들(D1, D2, D3)을 포함할 수 있다. 상기 기판(10) 상에 상기 수평막들(100) 및 상기 층간절연막들(200)을 교대로 적층하여 상기 적층체(ST)를 형성한 후(S1), 상기 적층체(ST)에 대한 제 1 다층 식각 단계(S21)를 실시한다. 일부 실시예들에 따르면, 상기 제 1 다층 식각 단계(S21)는 상기 제 2 및 제 3 영역들(D2, D3)을 노출시키는 제 1 식각 마스크(241)를 사용하여 상기 적층체(ST)를 이방적으로 식각하는 단계를 포함할 수 있다. 이에 따라, 상기 제 2 및 제 3 영역들(D2, D3)을 포함하는 영역에, 제 1 식각 부분(E1)이 형성될 수 있다.
- [0136] 도 38 및 도 40을 참조하면, 상기 적층체(ST)에 대한 제 2 다층 식각 단계(S22)를 실시한다. 상기 제 2 다층 식각 단계(S22)는 상기 제 3 영역(D3)을 국소적으로 노출시키는 제 2 식각 마스크(242)를 사용하여 상기 적층체(ST)를 이방적으로 식각하는 단계를 포함할 수 있다. 이에 따라, 상기 제 3 영역(D3)을 포함하는 영역에, 제 2 식각 부분(E2)이 형성될 수 있다. 상기 제 1 및 제 2 식각 부분들(E1, E2)의 깊이는 실질적으로 동일할 수 있지만, 이에 한정되는 것은 아니다.
- [0137] 도 38 및 도 41를 참조하면, 상기 제 2 다층 식각 단계(S22)가 실시된 결과물 상에, 제 3 식각 마스크(243)를 형성한다. 상기 제 3 식각 마스크(243)는 상기 제 1 내지 제 3 영역들(D1, D2, D3) 각각을 부분적으로 노출시키는 개구부들(OP)을 갖도록 형성될 수 있다.
- [0138] 도 38 및 도 42를 참조하면, 상기 적층체(ST)에 대한 공통적 단층 식각 단계(S21)를 복수 번 실시한다. 상기 공통적 단층 식각 단계들(S21)은 상기 제 3 식각 마스크(243)를 공통으로 사용하여 실시될 수 있다. 상기 공통적 단층 식각 단계들(S21)을 실시하는 동안, 상술한 마스크 축소 단계들이 상기 제 3 식각 마스크(243)에 대해 실시될 수 있다. 이에 따라, 상기 공통적 단층 식각 단계들(S21)이 진행될수록, 상기 적층체(ST)의 식각되는 부분의 폭은 증가하게 된다. 그 결과, 상기 제 1 내지 제 3 영역들(D1, D2, D3)에는 아래로 테이퍼진 단면을 갖는 제 3 식각 부분들(E3)이 형성될 수 있다.
- [0139] 도 38 및 도 43을 참조하면, 상기 제 1 내지 제 3 식각 부분들(E3)을 채우는 제 1 층간절연막(251)을 형성한다. 상기 제 1 층간절연막(251)은 평탄화 식각 공정(예를 들면, 화학적 기계적 연마 공정)을 통해 평탄한 상부면을 갖도록 형성될 수 있다. 이후, 상기 제 2 층간절연막(252)을 형성하고, 상기 제 2 층간절연막(252) 및 상기 제 1 층간절연막(251)을 관통하는 상기 플러그들(301)을 형성할 수 있다. 일부 실시예들에 따르면, 상술한 것처럼, 상기 플러그들(301)을 형성하기 전에, 상기 수평막들(100)을 금속을 포함하는 물질로 대체하는 공정이 더 실시될 수 있다.
- [0140] 상술한 실시예들에 따르면, 상기 제 1 내지 제 3 영역들(D1, D2, D3) 사이에는, 제 1 및 제 2 더미 영역들(DR1, DR2)이 개재될 수 있으며, 상기 제 1 및 제 2 더미 영역들(DR1, DR2) 상에는 더미 패턴들(DP)이 형성될 수 있다. 상기 더미 패턴들(DP) 각각은, 도 44에 도시된 것처럼, 상기 공통적 단층 식각 단계들(S23)에 의해 형성되는 제 1 측면(SS1)과 상기 제 1 또는 제 2 다층 식각 단계(S21, S22)에 의해 형성되는 제 2 측면(SS2)을 가질 수 있다. 상기 제 1 측면 및 상기 계단 형태의 연결 구조는 상기 제 3 식각 부분(E3)의 서로 마주보는 측면들일 수 있다. 이에 따라, 상기 제 1 측면(SS1)은 상기 제 1 내지 제 3 영역들(D1, D2, D3)에 형성되는 상기 계단 형태의 연결 구조에 대해 거울 대칭적인 단면 프로파일을 갖도록 형성될 수 있다.
- [0141] 이와 달리, 상기 제 2 측면(SS2)은 상기 제 1 또는 제 2 다층 식각 단계(S21, S22)에 의해 형성되기 때문에, 상기 제 1 측면(SS1)과 다른 단면 프로파일을 가질 수 있다. 예를 들면, 상기 제 1 측면(SS1)은 A1의 경사각을 갖도록 형성되고, 상기 제 2 측면(SS2)은 A1과는 다른 A2의 경사각을 갖도록 형성될 수 있다. 일부 실시예들에서, 상기 제 2 측면(SS2)의 경사각 A2는 0도 내지 45도일 수 있다.
- [0142] 일부 실시예들에서, 상기 제 1 및 제 2 다층 식각 단계들(S21, S22) 중의 어느 하나는 마스크 축소 방식으로 실시되는 복수의 다층 식각 단계들을 포함할 수 있다. 이 경우, 도 44에 도시된 것처럼, 상기 제 2 측면(SS2)은 계단 형태의 단면 프로파일을 가질 수 있고, 그것의 경사각 A2는 0도보다 클 수 있다. 상기 더미 패턴(DP)의 상

기 제 2 측면(SS2)이 이처럼 경사진 측면을 가질 경우, 상기 제 2 또는 제 3 식각 마스크(242, 243)의 박막화 및 이에 따른 공정 불량을 예방할 수 있다.

- [0143] 상기 더미 패턴들(DP)의 존재에 의해, 상기 적층체(ST)의 높이는 그것의 가장자리에서 급격하게 변하지 않을 수 있다. 이는 상기 제 1 또는 제 2 층간절연막들(251, 252)의 증착 프로파일을 개선하는 것을 가능하게 한다. 이에 더하여, 상기 더미 패턴들(DP)의 존재에 의해, 상기 제 1 층간절연막(251)에 대한 상기 평탄화 식각 공정에서 상기 적층체(ST)의 가장자리가 손상되는 기술적 어려움을 예방할 수 있다.
- [0144] 도 45 및 도 46은 도 39 내지 도 43을 참조하여 앞서 설명된 실시예들의 변형들을 예시적으로 설명하기 위해 제 공되는 개략적인 단면도들이다.
- [0145] 도 39 내지 도 43을 참조하여 설명된 실시예에 따르면, 상기 계단 모양의 연결 구조가 상기 어레이 영역(RA)의 일 측에 형성될 수 있다. 하지만, 도 39 내지 도 43을 참조하여 설명된 실시예는, 상기 계단 모양의 연결 구조를 상기 어레이 영역(RA)의 양 측에 형성하도록 변형될 수 있다.
- [0146] 예를 들어, 상기 플러그들(301)과 연결되는 상기 적층체(ST)의 계단형 영역들을, 상기 기판(10)의 상부면과의 이격 거리에 따라, 제 1 내지 제 4 연결 영역들(D1, D2, D3, D4)이라고 하면, 상기 제 1 내지 제 4 연결 영역들(D1, D2, D3, D4)의 일부는 상기 어레이 영역(RA)의 일측(예를 들면, 제 1 영역(R1))에 형성되고, 나머지는 상기 어레이 영역(RA)의 타측(예를 들면, 제 2 영역(R2))에 형성될 수 있다.
- [0147] 도 45에 도시된 실시예에 따르면, 제 2 및 제 4 연결 영역들(D2, D4)이 상기 제 1 영역(R1)에 형성되고, 제 1 및 제 3 연결 영역들(D1, D3)이 상기 제 2 영역(D2)에 형성될 수 있다. 일부 실시예들에서, 상기 제 2 및 제 4 연결 영역들(D2, D4) 사이 또는 상기 제 1 및 제 3 연결 영역들(D1, D3)의 간격(H)은 그들 사이에 위치하는 연결 영역의 두께와 실질적으로 동일할 수 있다.
- [0148] 도 46에 도시된 실시예에 따르면, 제 1 및 제 2 연결 영역들(D1, D2)이 상기 제 1 영역(R1)에 형성되고, 제 3 및 제 4 연결 영역들(D3, D4)이 상기 제 2 영역(D2)에 형성될 수 있다.
- [0149] 도 47 및 도 48은 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치들을 예시적으로 설명하기 위해 제 공되는 개략적인 단면도들이다. 설명의 간략함을 위해, 앞서 설명된 것과 동일한 구성 요소들 또는 기술적 특징 들에 대한 중복되는 설명은 생략될 수 있다. 또한, 여기에서 설명되는 방법적 및 구조적 특징들은, 상술한 또는 후술되는, 본 발명의 다른 실시예들에서도 동일한 또는 유사한 방식으로 적용 또는 구현될 수 있다.
- [0150] 상술한 또는 후술되는, 본 발명의 다른 실시예들은 도 44를 참조하여 설명된 기술적 특징들의 일부를 포함하도록 구현될 수 있다. 예를 들면, 도 17을 참조하여 설명된 단계에서, 상기 제 1 식각 부분(E1)의 측벽은 도 44의 상기 제 2 측면(SS2)이 갖는 기술적 특징들을 포함하도록 형성될 수 있다. 다시 말해, 도 47에 도시된 것처럼, 상기 제 1 식각 부분(E1)의 측벽은 상기 기판(10)의 상부면의 법선에 대해 기울어진 단면 프로파일을 갖도록 형성될 수 있다. 또한, 상기 제 1 식각 부분(E1)의 측벽은 마스크 축소 방식으로 실시되는 복수의 다층 식각 단계 들을 통해 형성될 수 있으며, 이 경우, 도 47에 도시된 것처럼, 상기 제 1 식각 부분(E1)의 측벽은 계단 형태의 단면 프로파일을 가질 수 있다.
- [0151] 다른 예로서, 도 37의 실시예에서, 제 1 식각 부분(E1)의 측벽은 상기 기판(10)의 상부면의 법선에 대해 기울어 진 단면 프로파일을 갖도록 형성될 수 있다. 또한, 상기 제 1 식각 부분(E1)의 측벽은 마스크 축소 방식으로 실 시되는 복수의 다층 식각 단계들을 통해 형성될 수 있으며, 이 경우, 도 48에 도시된 것처럼, 상기 제 1 식각 부분(E1)의 측벽은 계단 형태의 단면 프로파일을 가질 수 있다.
- [0152] 도 49 내지 도 51는 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 예시적으로 도시 하는 단면도들이고, 도 52는 본 발명의 또 다른 예시적인 실시예들에 따른 반도체 장치의 일부분을 도시하는 사 시도이다. 설명의 간략함을 위해, 앞서 설명된 것과 동일한 구성 요소들 또는 기술적 특징들에 대한 중복되는 설명은 생략될 수 있다. 또한, 여기에서 설명되는 방법적 및 구조적 특징들은, 상술한 또는 후술되는, 본 발명 의 다른 실시예들에서도 동일한 또는 유사한 방식으로 적용 또는 구현될 수 있다.
- [0153] 도 49를 참조하면, 상기 공통적 단층 식각 단계(S21)에 의해 형성되는, 상기 제 1 식각 부분들(E1)은 그들 사이 에 잔존하는 상기 적층체(ST)의 부분들(STR)보다 좁은 폭을 갖도록 형성될 수 있다. 예를 들면, 도 49에 도시된

것처럼, 상기 제 1 식각 부분들(E1) 각각의 폭은 b이고, 상기 적층체(ST)의 상기 부분들(STR) 각각의 폭은, 상기 b보다 큰, a일 수 있다.

[0154] 도 50 및 도 51을 참조하면, 상기 공통적 다층 식각 단계들(S23)은 상기 적층체(ST)의 중심 부분으로부터 수평적으로 이격된 잔존부들(RP)을 형성하도록 실시될 수 있다. 예를 들면, 상기 공통적 다층 식각 단계들(S23)에 의해 형성되는 상기 제 2 내지 제 4 식각 부분들(E2~E4)에 의해, 상기 잔존부들(RP)은 상기 적층체(ST)의 본체로부터 수평적으로 분리될 수 있다. 이 경우, 도 52에 도시된 것처럼, 상기 플러그들(301) 주위에는 상기 잔존부들(RP)이 존재할 수 있다. 오정렬이 없을 경우, 상기 잔존부들(RP)의 폭은 상기 적층체(ST)의 상기 부분(STR)의 폭과 상기 제 1 식각 부분(E1)의 폭의 차이(즉, a-b)일 수 있다. 일부 실시예들에 따르면, 도 52의 상기 잔존부들(RP)은 동일한 높이에 형성되는 상기 전극(EL)과 동일한 물질로 형성될 수 있으며, 다른 도전성 요소들(예를 들면, 상기 전극들(EL) 또는 상기 플러그들(301))로부터 이격되어 전기적으로 플로팅 상태에 있을 수 있다.

[0155] 도 53는 도 49 내지 도 51을 참조하여 설명된 실시예와의 비교를 위해 제공되는 단면도이다.

[0156] 도 23을 참조하여 설명된 상기 공통적 다층 식각 단계(S23)에서 오정렬(M)이 발생할 경우, 도 53에 도시된 것처럼, 상기 연결부(CP)가 상기 제 3 식각 부분(E3)에 의해 상기 적층체(ST)의 중심 부분으로부터 분리될 수 있다. 상기 연결부(CP)의 이러한 분리는 반도체 장치에서의 전기적 단선 불량을 유발한다. 반면, 도 49 내지 도 51을 참조하여 설명된 것처럼, 상기 적층체(ST)의 상기 부분(STR)이 상기 제 1 식각 부분(E1)보다 넓은 폭을 갖도록 형성될 경우, 상기 오정렬(M)에 대한 공정 마진을 확보할 수 있으며, 그 결과, 상기 오정렬(M)과 관련된 기술적 문제들(예를 들면, 상기 전기적 단선 불량)은 감소될 수 있다.

[0157] 도 54 및 도 55는, 각각, 본 발명의 일부 실시예들 및 비교예에 따른 반도체 장치들의 계단식 구조들 사이의 비교를 위해 제공되는 개략적인 단면도들이다. 상기 비교예에 따른 반도체 장치는 선택적 식각 방식 및/또는 다층 식각 방식이 적용되지 않은 패터닝 공정을 통해 형성된다. 즉, 상기 비교예에 따른 반도체 장치는 단지 공통적 다층 식각 방식으로 진행되는 복수의 식각 단계를 통해 형성된다. 이 경우, 본 발명의 일부 실시예들에 따른 반도체 장치는 도 54에 도시된 제 1 계단식 구조(ST1)를 갖도록 형성되고, 비교예에 따른 반도체 장치는 도 55에 도시된 제 2 계단식 구조(ST2)를 갖도록 형성될 수 있다.

[0158] 도 54 및 도 55를 참조하면, 본 발명의 실시예들의 경우, 상술한 다층 식각 방식의 패터닝 공정이 사용된 결과로서, 상기 제 1 계단식 구조(ST1)의 계단 높이는 상기 수평막들(100)의 수직적 피치(P)의 두 배 또는 그 이상일 수 있다. 이와 달리, 상기 비교예의 경우, 단층 식각 방식의 패터닝 공정이 사용되기 때문에, 상기 제 2 계단식 구조(ST2)의 계단 높이는 전부 상기 수평막들(100)의 수직적 피치(P)일 수 있다. 즉, 상기 제 1 계단식 구조(ST1)는 상기 제 2 계단식 구조(ST2)에 비해 증가된 계단 높이를 갖는다. 이러한 계단 높이에서의 증가는 계단 영역의 폭에서의 감소를 가져올 수 있다. 예를 들면, 상기 제 1 계단식 구조(ST1)의 계단 영역이 도 54에 예시적으로 도시된 것처럼 3W의 폭을 갖는다면, 상기 제 2 계단식 구조(ST2)의 계단 영역은 도 55에 예시적으로 도시된 것처럼 7W의 폭을 갖는다. 즉, 상기 계단식 구조의 점유 면적을 절반 또는 그 이상으로 줄일 수 있다.

[0159] 이에 더하여, 상술한 제조 방법에 따르면, 도 54에 도시된 상기 제 1 계단식 구조(ST1)는 다층 식각 방식으로 실시되는 3번의 식각 단계들(ES1, ES2, ES3) 및 단층 식각 방식으로 실시되는 1번의 식각 단계(ES4)를 통해 형성될 수 있다. 이와 달리, 상술한 비교예의 방법에 따르면, 모든 수평막들(100)이 단층 식각의 방식으로 패터닝되기 때문에, 상기 제 2 계단식 구조(ST2)는 7번의 식각 단계들(CES1~CES7)을 통해 형성될 수 있다. 즉, 본 발명의 실시예들에 따른 반도체 장치는 상술한 비교예에 따른 반도체 장치에 비해 감소된 공정 단계를 통해 제조될 수 있다. 이러한 공정 단순화는 제조 비용 및 공정 불량을 줄이는 것을 가능하게 한다.

[0160] 도 56 및 도 57은, 각각, 본 발명의 일부 실시예들과 상기 비교예에 따른 반도체 장치들 사이의 기술적 차이점들을 설명하기 위해 제공되는 도면들이다.

[0161] 도 56 및 도 57을 참조하면, 반도체 장치들은, 3차원적으로 배열된 메모리 셀들이 제공되는, 제 1 및 제 2 블록들(BLOCK1, BLOCK2) 및 이들 주위에 배치되는 복수의 엑스-디코더들을 포함할 수 있다.

[0162] 본 발명의 실시예들에 따르면, 도 56에 도시된 것처럼, 상기 제 1 및 제2 블록들(BLOCK1, BLOCK2) 각각은 어레이 영역(RA) 및 그 양측에 배치되는 제 1 영역(R1) 및 제 2 영역(R2)을 포함하고, 상기 엑스-디코더들은 상기 제 1 블록(BLOCK1)의 상기 제 1 및 제 2 영역들(R1, R2) 각각에 인접하는 제 1 및 제 2 엑스-디코더들(XDCR1, XDCR2)을 포함할 수 있고, 상기 제 2 블록(BLOCK2)의 상기 제 1 및 제 2 영역들(R1, R2) 각각에 인접하는 제 3 및 제 4 엑스-디코더들(XDCR3, XDCR4)을 포함할 `만, 상기 제 1 및 제 2 엑스-디코더들(XDCR1, XDCR2)과 상기

수평막들(100) 또는 상기 전극들(EL) 사이의 전기적 연결을 위해 사용되지 않는다. 이와 달리, 본 발명의 실시예들에 따르면, 상기 제 1 및 제2 블록들(BLOCK1, BLOCK2)의 상기 제 1 및 제 2 영역들(R1, R2)은 모두 상기 제 1 내지 제 4 엑스-디코더들(XDCR1-XDCR4)와 상기 수평막들(100) 또는 상기 전극들(EL) 사이의 전기적 연결을 위해 사용된다.

[0163] 도 54 및 도 55를 참조하여 설명된 계단식 구조의 점유 면적에서의 감소에 의해, 본 발명의 실시예들에 따른 상기 제 1 및 제 2 영역들(R1, R2) 각각의 폭은 상기 비교예의 상기 연결 영역(CR) 및 상기 버려지는 영역(WR)의 폭들보다 작을 수 있다. 예를 들면, 도 56 및 도 57에 도시된 것처럼, 상기 제 1 및 제 2 영역들(R1, R2) 각각은 3W의 폭을 갖고, 상기 연결 영역(CR) 및 상기 버려지는 영역(WR)은 7W의 폭을 가질 수 있다. 즉, 비교예의 경우, 상기 버려지는 영역(WR)은 전기적 연결을 위해 사용되지 않을 뿐만 아니라 상기 제 1 및 제 2 영역들(R1, R2)에 비해 큰 점유 면적을 갖는다. 상기 버려지는 영역(WR)의 존재 및 그것의 큰 점유 면적을 고려할 때, 본 발명의 실시예들에 따른 반도체 장치는 상기 비교예에 따른 반도체 장치에 비해 증가된 집적도 또는 증가된 메모리 용량을 가질 수 있다.

[0164] 도 58 및 도 59는 본 발명의 다른 실시예들에 따른 반도체 장치의 구조적 특징들을 예시적으로 설명하기 위한 도면들이다.

[0165] 상기 제 1 및 제 2 영역들(R1, R2)이 상기 어레이 영역(RA)의 마주보는 두 측면들에 형성돼야 하는 것은 아니며, 이들이 배치되는 위치는 다양하게 변형될 수 있다. 예를 들면, 도 58에 도시된 것처럼, 상기 연결 영역을 구성하는 상기 제 1 및 제 2 영역들(R1, R2)은 모두 상기 어레이 영역(RA) 또는 그 중심(CRA)과 상기 엑스-디코더(XDCR) 사이에 형성될 수 있다. 이에 더하여, 도 39 내지 도 43을 참조하여 설명된 실시예들의 경우, 도 59에 도시된 것처럼, 상기 제 1 내지 제 3 영역들(R1, R2, R3)가 상기 어레이 영역(RA) 또는 그 중심(CRA)과 상기 엑스-디코더(XDCR) 사이에 배치될 수 있다.

[0166] 도 60 및 도 61은 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 이용하여 형성된 3차원 반도체 메모리 장치들을 예시적으로 도시하는 사시도들이다. 앞서 설명된 것과 동일한 구성 요소들에 대한 중복되는 설명은 생략될 수 있다.

[0167] 도 60 및 도 61을 참조하면, 전극들(EL)이 도 1 또는 도 27을 참조하여 설명된 구조적 특징들을 갖도록 형성될 수 있다. 수직 패턴들(VP)이 상기 전극들(EL)을 또는 상기 전극들(EL) 사이를 수직하게 관통하도록 배치된다. 일부 실시예들에 따르면, 상기 수직 패턴(VP)은 트랜지스터의 채널 영역으로 사용될 수 있다. 예를 들면, 상기 수직 패턴(VP)은, 아래에서 도 62를 참조하여 예시적으로 설명될, 수직한 3차원 낸드 플래시 메모리에서 셀 스트링들(CSTR)의 활성 패턴들로 사용될 수 있다. 다른 실시예들에 따르면, 상기 수직 패턴(VP)은 2단자 메모리 요소들로의 전기적 접근을 위한 전극으로 사용될 수 있다. 예를 들면, 상기 수직 패턴(VP)은, 아래에서 도 63을 참조하여 예시적으로 설명될, 3차원 가변저항성 메모리 장치에서의 수직 전극(VE)로 사용될 수 있다.

[0168] 상기 수직 패턴(VP)과 상기 전극들(EL) 사이에는 정보저장막(ML) 또는 메모리 요소들이 개재될 수 있다. 상기 정보저장막(ML)은 전하 저장이 가능한 물질 또는 막 구조 또는 가변저항 특성을 나타내는 물질 또는 막 구조를 포함할 수 있다.

[0169] 도 62 및 도 63은 본 발명의 일부 실시예들에 따른 3차원 메모리 반도체 장치들을 예시적으로 도시하는 회로도들이다.

[0170] 도 62를 참조하면, 3차원 반도체 메모리 장치는 공통 소오스 라인(CSL), 복수개의 비트라인들(BL0, BL1, BL2) 및 상기 공통 소오스 라인(CSL)과 상기 비트라인들(BL0-BL2) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다.

[0171] 상기 공통 소오스 라인(CSL)은 기판(10) 상에 배치되는 도전성 박막 또는 상기 기판(10) 내에 형성되는 불순물 영역일 수 있다. 상기 비트라인들(BL0-BL2)은, 상기 기판(10)으로부터 이격되어 그 상부에 배치되는, 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 상기 비트라인들(BL0-BL2)은 2차원적으로 배열되고, 그 각각에는 복수개의 셀 스트링들(CSTR)이 병렬로 연결된다. 이에 따라 상기 셀 스트링들(CSTR)은 상기 공통 소오스 라인(CSL) 또는 상기 기판(10) 상에 2차원적으로 배열된다.

[0172] 상기 셀 스트링들(CSTR) 각각은 상기 공통 소오스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 상기 비트라인(BL0-BL2)에 접속하는 스트링 선택 트랜지스터(SST) 및 상기 접지 및 스트링 선택 트랜지스터들(GST, SST)

사이에 배치되는 복수개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 상기 접지 선택 트랜지스터(GST), 상기 스트링 선택 트랜지스터(SST) 및 상기 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다. 이에 더하여, 상기 공통 소오스 라인(CSL)과 상기 비트라인들(BL0-BL2) 사이에 배치되는, 접지 선택 라인(GSL), 복수개의 워드라인들(WL0-WL3) 및 복수개의 스트링 선택 라인들(SSL0-SSL2)이 상기 접지 선택 트랜지스터(GST), 상기 메모리 셀 트랜지스터들(MCT) 및 상기 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다.

[0173] 상기 접지 선택 트랜지스터들(GST) 모두는 상기 기판(10)으로부터 실질적으로 동일한 거리에 배치될 수 있고, 이들의 게이트 전극들은 상기 접지 선택 라인(GSL)에 공통으로 연결되어 등전위 상태에 있을 수 있다. 유사하게, 상기 공통 소오스 라인(CSL)으로부터 실질적으로 동일한 거리에 배치되는, 복수의 메모리 셀 트랜지스터들(MCT)의 게이트 전극들 역시 상기 워드라인들(WL0-WL3) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 하나의 셀 스트링(CSTR)은 상기 공통 소오스 라인(CSL)으로부터의 거리가 서로 다른 복수개의 메모리 셀 트랜지스터들(MCT)로 구성되기 때문에, 상기 공통 소오스 라인(CSL)과 상기 비트라인들(BL0-BL2) 사이에는 다층의 워드라인들(WL0-WL3)이 배치된다. 상기 다층의 워드라인들(WL0-WL3)은 본 발명의 실시예들에 따른 반도체 장치들의 상술한 기술적 특징을 갖도록 구성될 수 있다.

[0174] 상기 셀 스트링들(CSTR) 각각은 상기 공통 소오스 라인(CSL)으로부터 수직하게 연장되어 상기 비트 라인(BL0-BL3)에 접속하는 활성 패턴(예를 들면, 도 60 및 도 61의 상기 수직 패턴(VP))을 포함할 수 있다. 상기 워드라인들(WL0-WL3)과 상기 활성 패턴 사이에는 정보저장막(예를 들면, 도 60 및 도 61의 ML)이 배치될 수 있다. 일 실시예에 따르면, 상기 정보저장막은 전하저장을 가능하게 하는 물질 또는 막 구조를 포함할 수 있다. 예를 들면, 상기 정보저장막은 실리콘 질화막과 같은 트랩 사이트가 풍부한 절연막, 부유 게이트 전극, 또는 도전성 나노 돛들(conductive nano dots)을 포함하는 절연막 중의 한가지일 수 있다.

[0175] 도 63을 참조하면, 복수의 선택 트랜지스터들(SST)이 복수의 비트라인 플러그들(BLP)을 통해 비트라인(BL)에 병렬로 연결된다. 상기 비트라인 플러그들(BLP) 각각은 그것에 인접하는 한 쌍의 상기 선택 트랜지스터들(SST)에 공통으로 연결될 수 있다.

[0176] 복수의 워드라인들(WL) 및 복수의 수직 전극들(VE)이 상기 비트라인(BL)과 상기 선택 트랜지스터들(SST) 사이에 배치된다. 상기 워드라인들(WL)은 본 발명의 실시예들에 따른 상술한 기술적 특징을 갖도록 구성될 수 있다. 상기 수직 전극들(VE)은 상기 비트라인 플러그들(BLP) 사이에 배치될 수 있다. 예를 들면, 상기 수직 전극들(VE) 및 상기 비트라인 플러그들(BLP)은 상기 비트라인(BL)에 평행한 방향을 따라 교대로 배열될 수 있다. 이에 더하여, 상기 수직 전극들(VE) 각각은 그것에 인접하는 한 쌍의 상기 선택 트랜지스터들(SST)에 공통으로 연결된다.

[0177] 복수의 메모리 요소들(ME)이 상기 수직 전극들(VE) 각각에 병렬로 연결된다. 상기 메모리 요소들(ME) 각각은 상기 워드라인들(WL)의 상응하는 하나에 연결된다. 즉, 상기 워드라인들(WL) 각각은, 상기 메모리 요소들(ME)의 상응하는 하나를 통해, 상기 수직 전극들(VE)의 상응하는 하나에 연결된다.

[0178] 상기 선택 트랜지스터들(SST) 각각은, 그것의 게이트 전극으로 기능하는, 선택 라인(SL)을 구비할 수 있다. 일 실시예에서, 상기 선택 라인들(SL)은 상기 워드라인들(WL)에 평행할 수 있다.

[0179] 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치들이 도 62 및 도 63를 참조하여 예시적으로 설명되었다. 하지만, 도 62 및 도 63는 본 발명의 기술적 사상의 가능한 응용에 대한 보다 나은 이해를 위해 제공되는 것일 뿐, 본 발명의 기술적 사상이 이들에 한정되는 것은 아니다.

[0180]

[0181] 도 64 및 도 65는 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 장치들을 도식적으로 설명하기 위한 도면들이다.

[0182] 도 64를 참조하면, 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 장치(1300)는 PDA, 랩톱(laptop) 컴퓨터, 휴대용 컴퓨터, 웹 태블릿(web tablet), 무선 전화기, 휴대폰, 디지털 음악 재생기(digital music player), 유무선 전자 기기 또는 이들 중의 적어도 둘을 포함하는 복합 전자 장치 중의 하나일 수 있다. 전자 장치(1300)는 버스(1350)를 통해서 서로 결합한 제어기(1310), 키패드, 키보드, 화면(display) 같은 입출력 장치(1320), 메모리(1330), 무선 인터페이스(1340)를 포함할 수 있다. 제어기(1310)는 예를 들면 하나 이상의 마이크로프로세서, 디지털 신호 프로세서, 마이크로 컨트롤러, 또는 이와 유사한 것들을 포함할 수 있다. 메모리(1330)는 예를 들면 제어기(1310)에 의해 실행되는 명령어를 저장하는데 사용될 수 있다. 메모리(1330)는 사용자 데이터를 저장하는 데 사용될 수 있으며, 상술한 본 발명의 실시예들에 따른 반도체 장치를 포함할 수 있다. 전자 장치(1300)는 RF 신호로 통신하는 무선 통신 네트워크에 데이터를 전송하거나 네트워크에서 데이터를 수신

하기 위해 무선 인터페이스(1340)를 사용할 수 있다. 예를 들어 무선 인터페이스(1340)는 안테나, 무선 트랜시버 등을 포함할 수 있다. 전자 장치(1300)는 CDMA, GSM, NADC, E-TDMA, WCDMA, CDMA2000, Wi-Fi, Muni Wi-Fi, Bluetooth, DECT, Wireless USB, Flash-OFDM, IEEE 802.20, GPRS, iBurst, WiBro, WiMAX, WiMAX-Advanced, UMTS-TDD, HSPA, EVDO, LTE-Advanced, MMDS 등과 같은 통신 시스템의 통신 인터페이스 프로토콜을 구현하는데 이용될 수 있다.

[0183] 도 65를 참조하면, 본 발명의 실시예들에 따른 반도체 장치들은 메모리 시스템(memory system)을 구현하기 위해 사용될 수 있다. 메모리 시스템(1400)은 대용량의 데이터를 저장하기 위한 메모리 소자(1410) 및 메모리 컨트롤러(1420)를 포함할 수 있다. 메모리 컨트롤러(1420)는 호스트(1430)의 읽기/쓰기 요청에 응답하여 메모리 소자(1410)로부터 저장된 데이터를 독출 또는 기입하도록 메모리 소자(1410)를 제어한다. 메모리 컨트롤러(1420)는 호스트(1430), 가령 모바일 기기 또는 컴퓨터 시스템으로부터 제공되는 어드레스를 메모리 소자(1410)의 물리적인 어드레스로 맵핑하기 위한 어드레스 맵핑 테이블(Address mapping table)을 구성할 수 있다. 메모리 소자(1410)는 상술한 본 발명의 실시예들에 따른 반도체 장치를 포함할 수 있다.

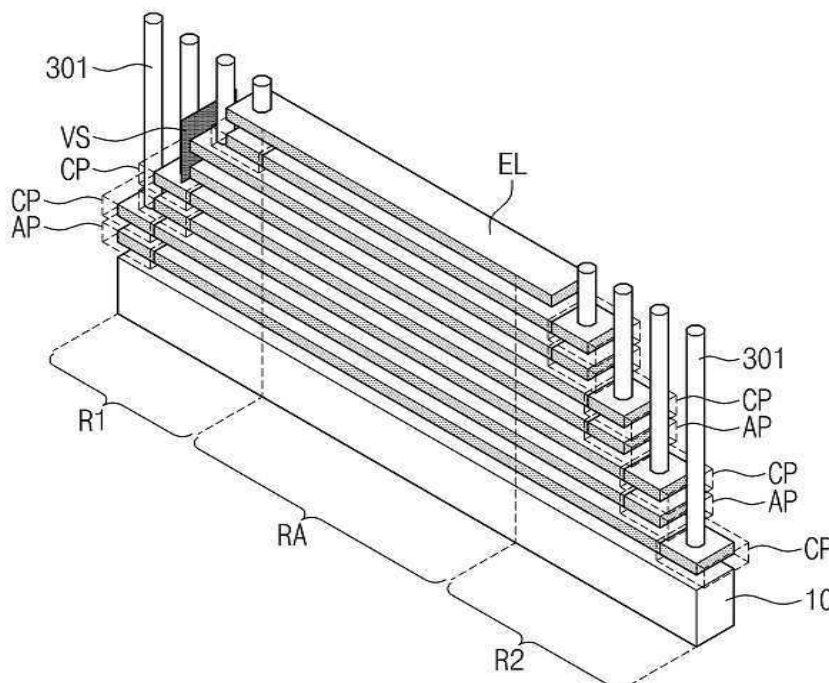
[0184] 상술된 실시예들에서 개시된 반도체 장치들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 반도체 장치들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.

[0185] 본 발명의 실시예들에 따른 반도체 장치가 실장된 패키지는 상기 반도체 장치를 제어하는 컨트롤러 및/또는 논리 소자 등을 더 포함할 수도 있다.

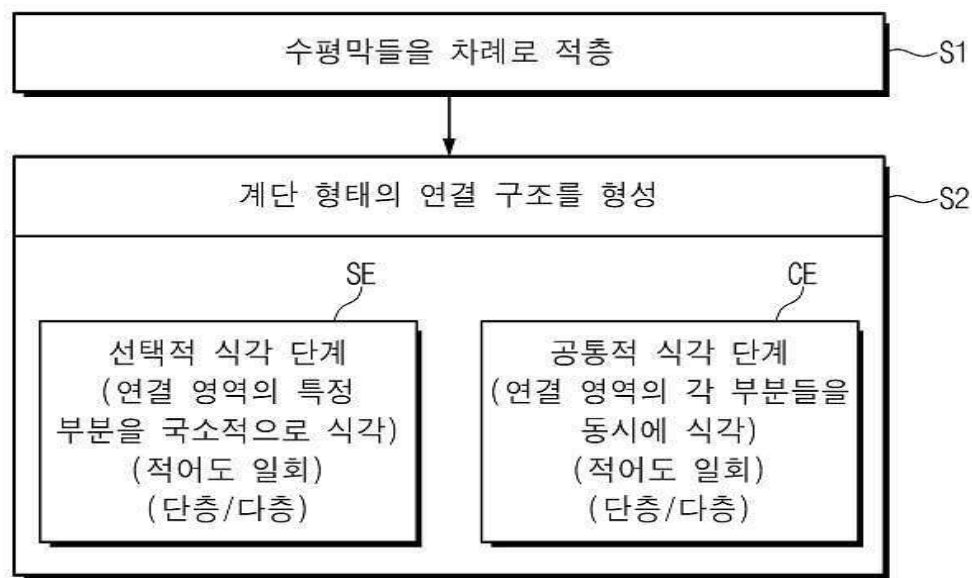
[0186] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

도면

도면1



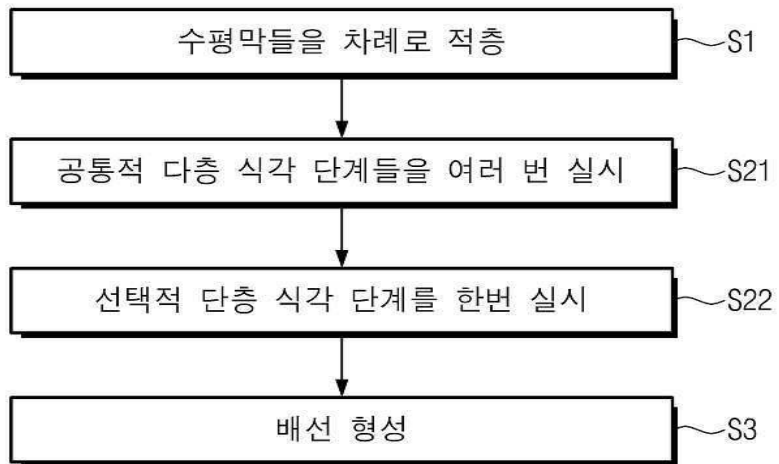
도면2



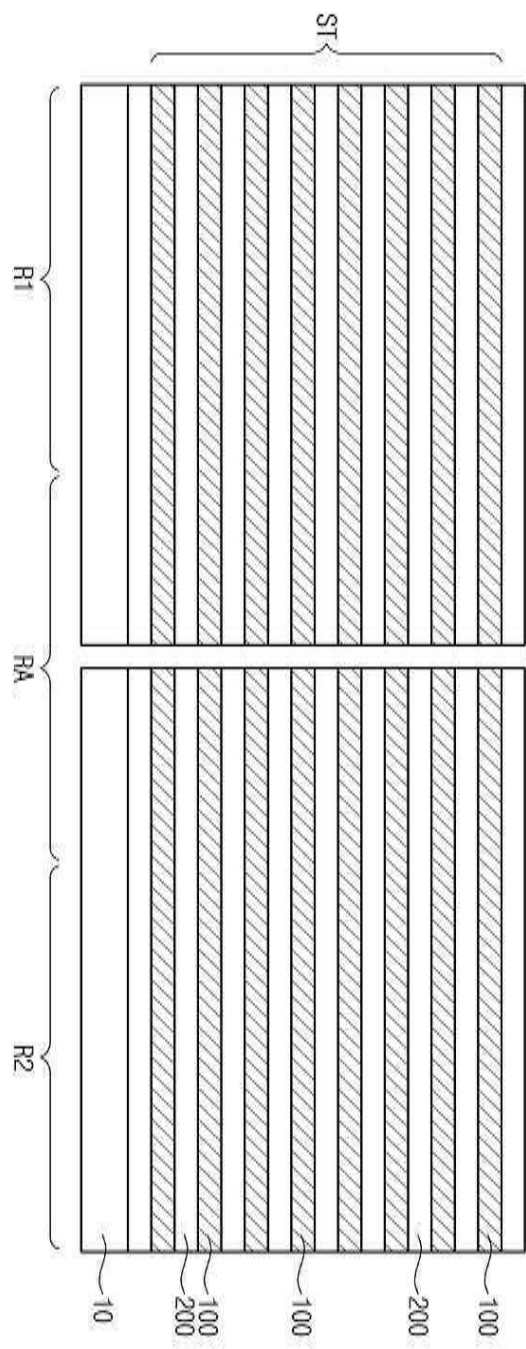
도면3

	제1 패터닝 공정			제2 패터닝 공정		
	깊이	영역	횟수	깊이	영역	횟수
제1 예	다층	공통	적어도 한번	단층	특정	한번
제2 예	단층	특정	한번	다층	공통	적어도 한번
제3 예	단층	공통	적어도 한번	다층	특정	한번
제4 예	다층	특정	한번	단층	공통	적어도 한번

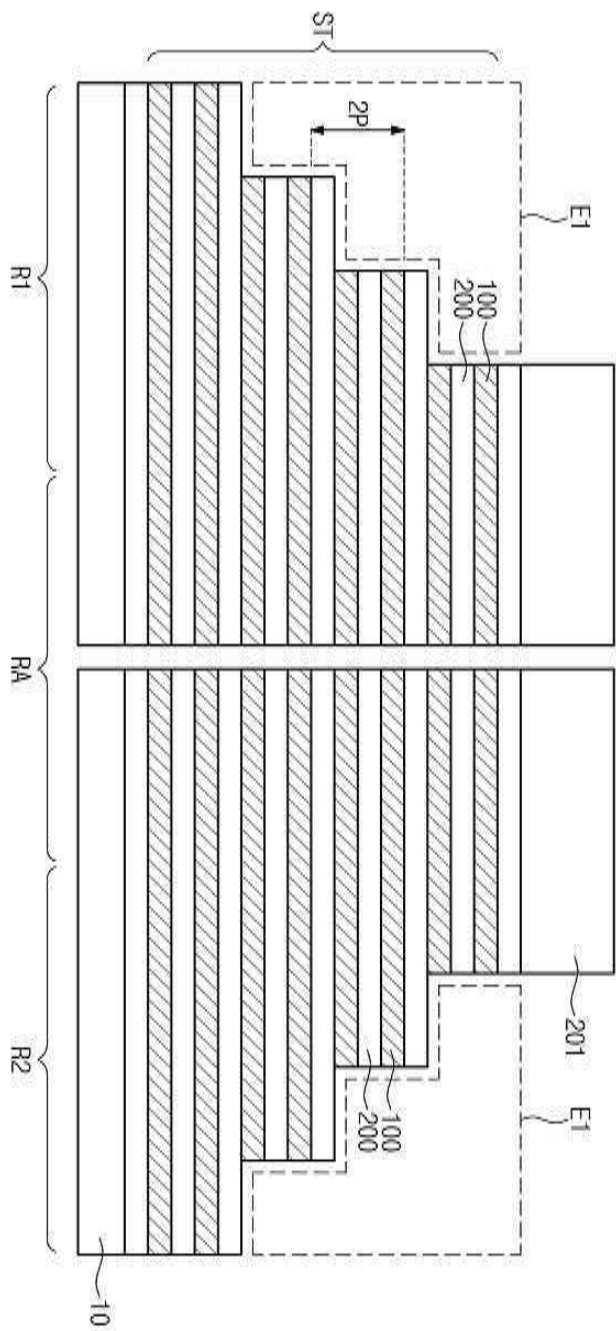
도면4



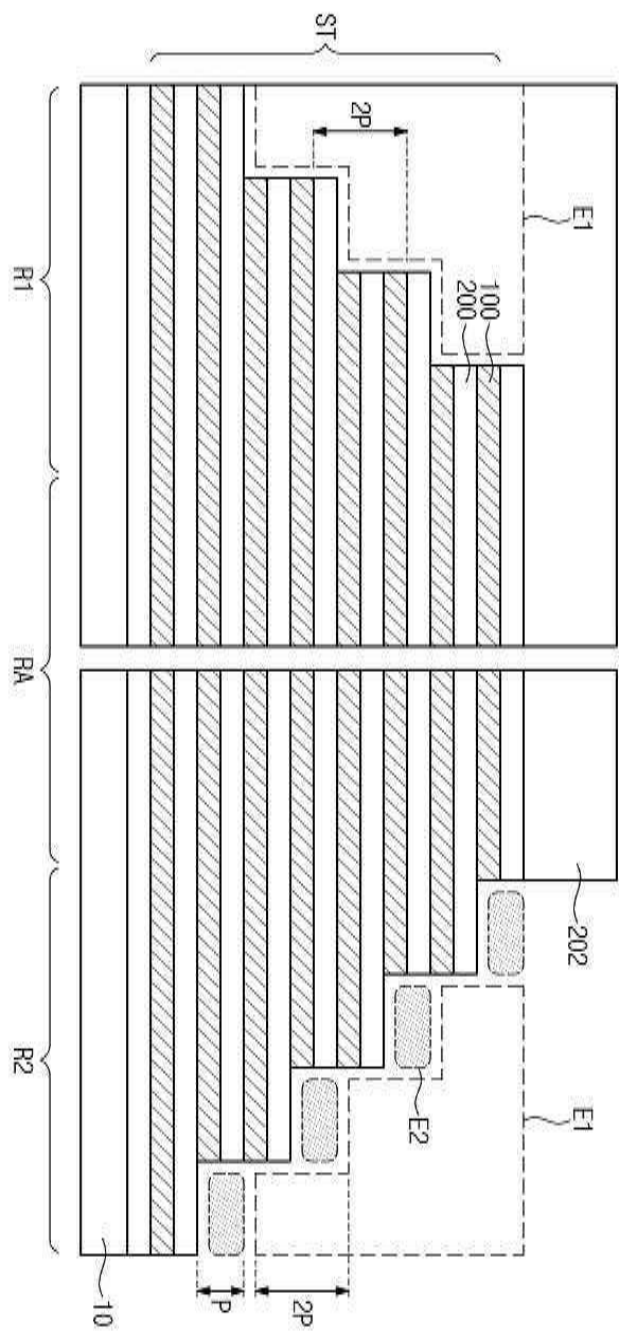
도면5



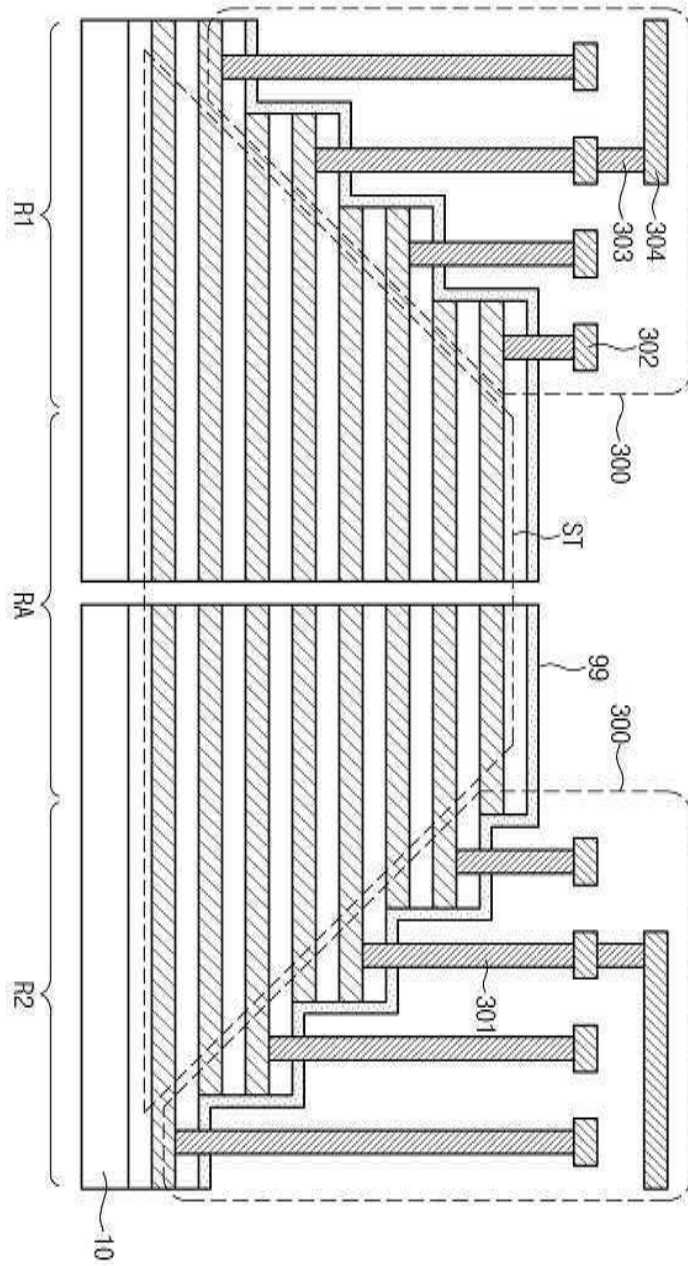
도면6



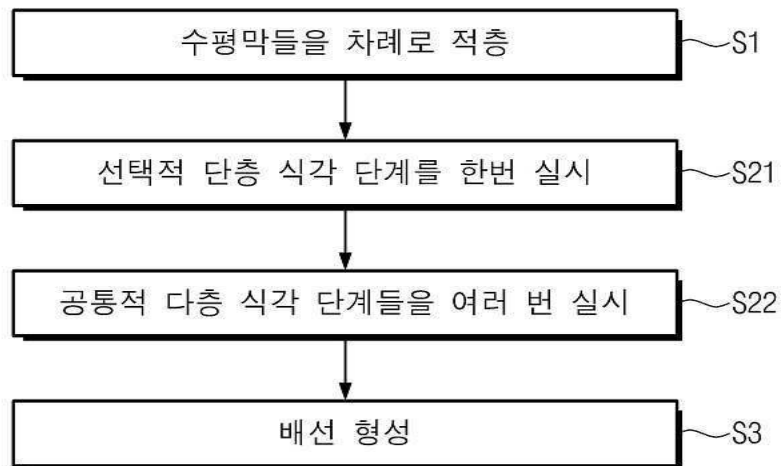
도면7



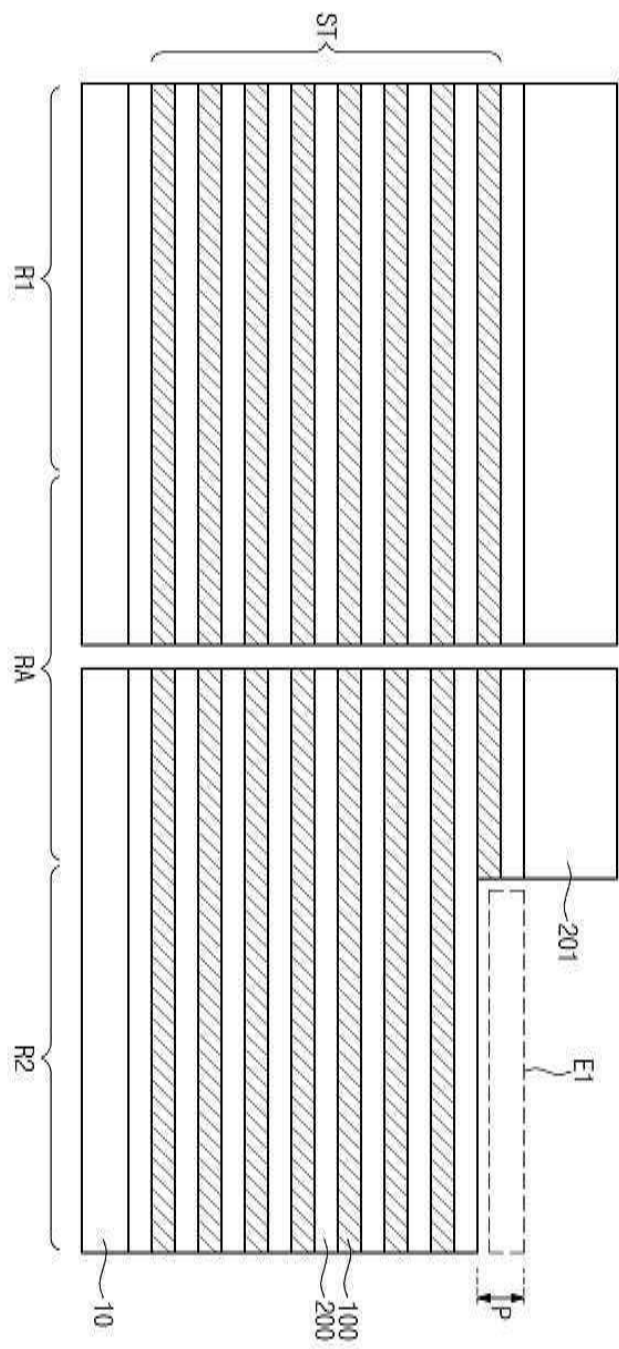
도면8



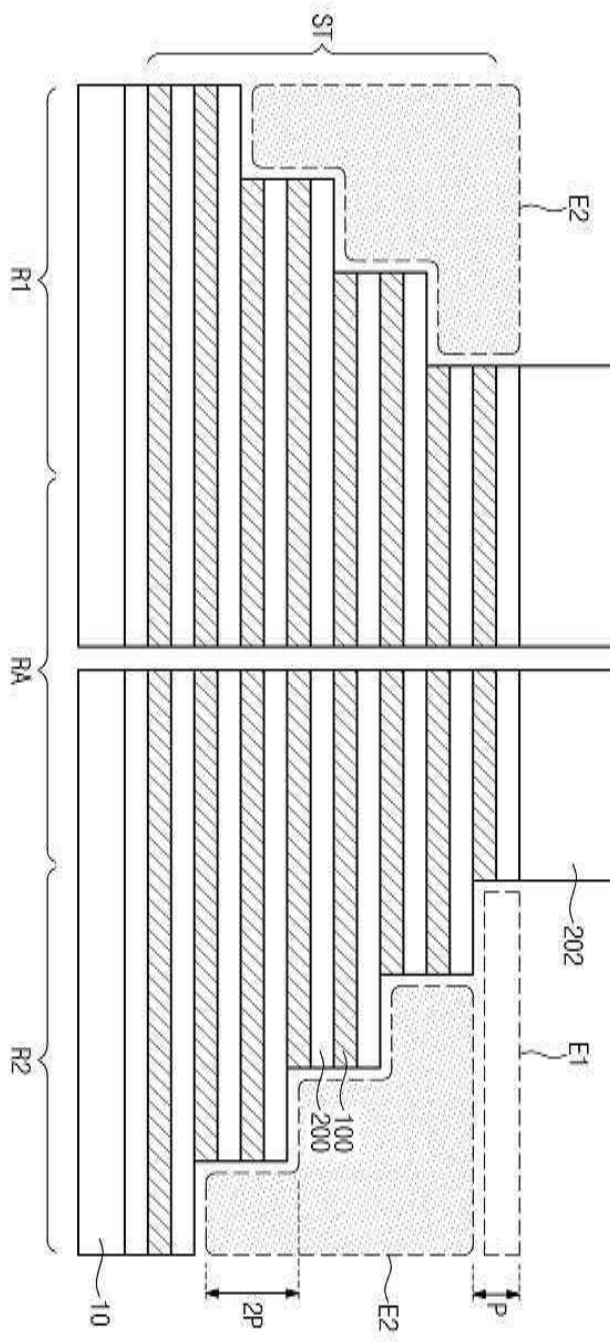
도면9



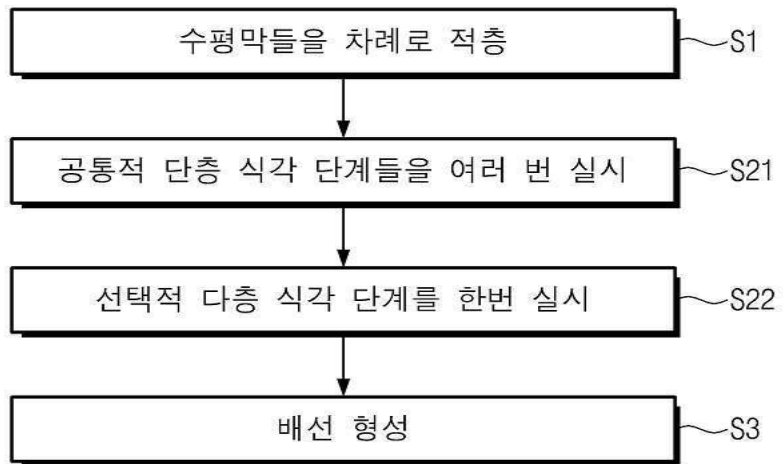
도면10



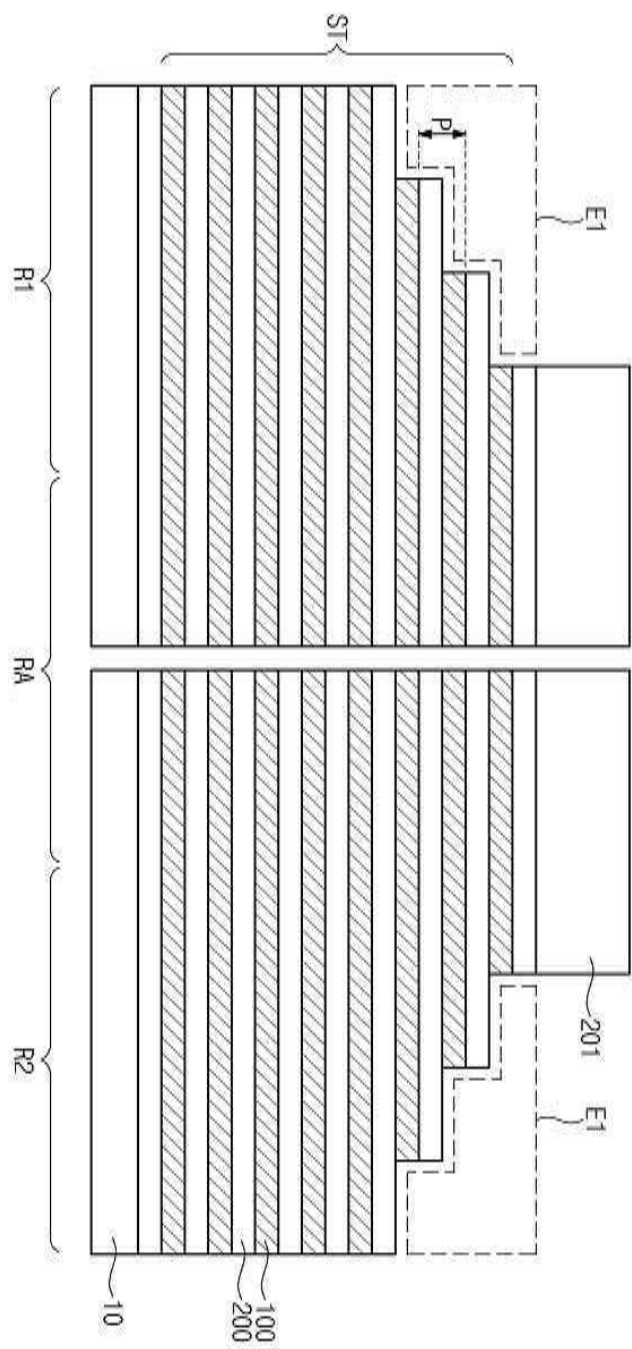
도면11



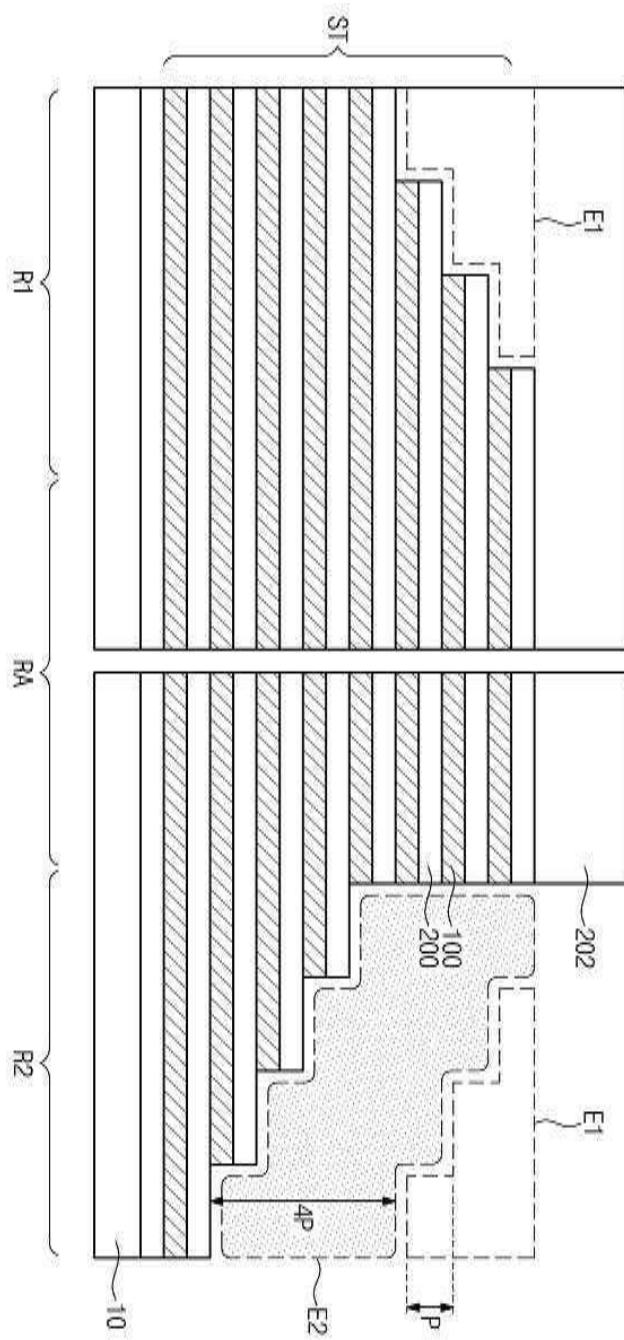
도면12



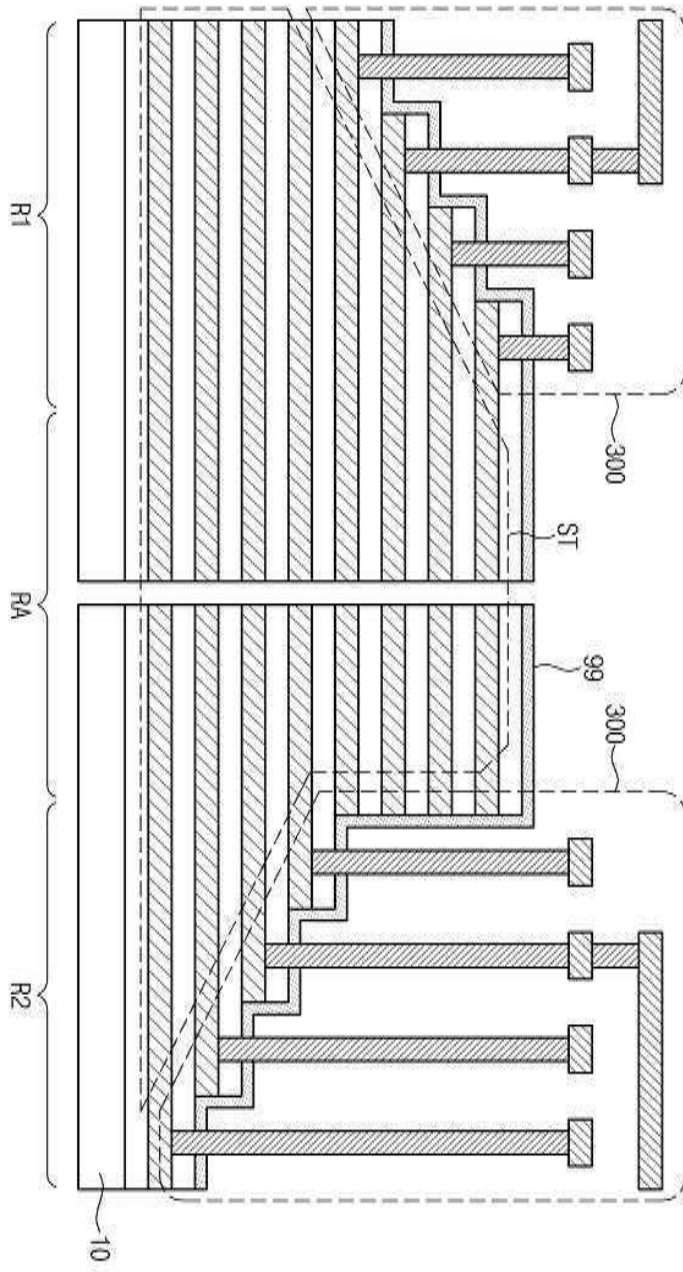
도면13



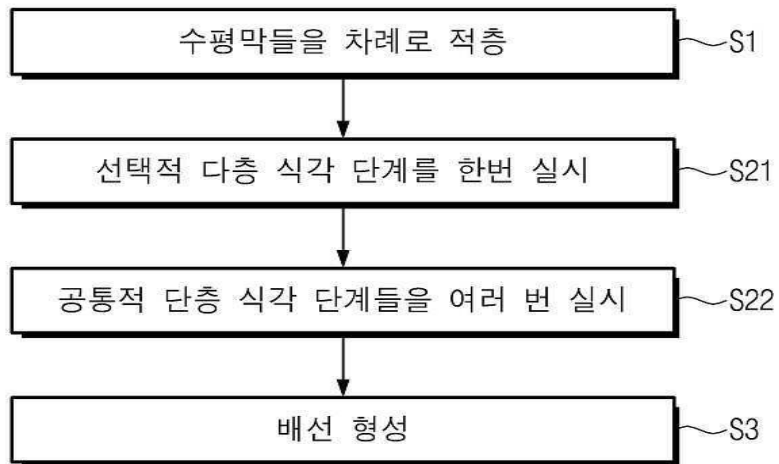
도면14



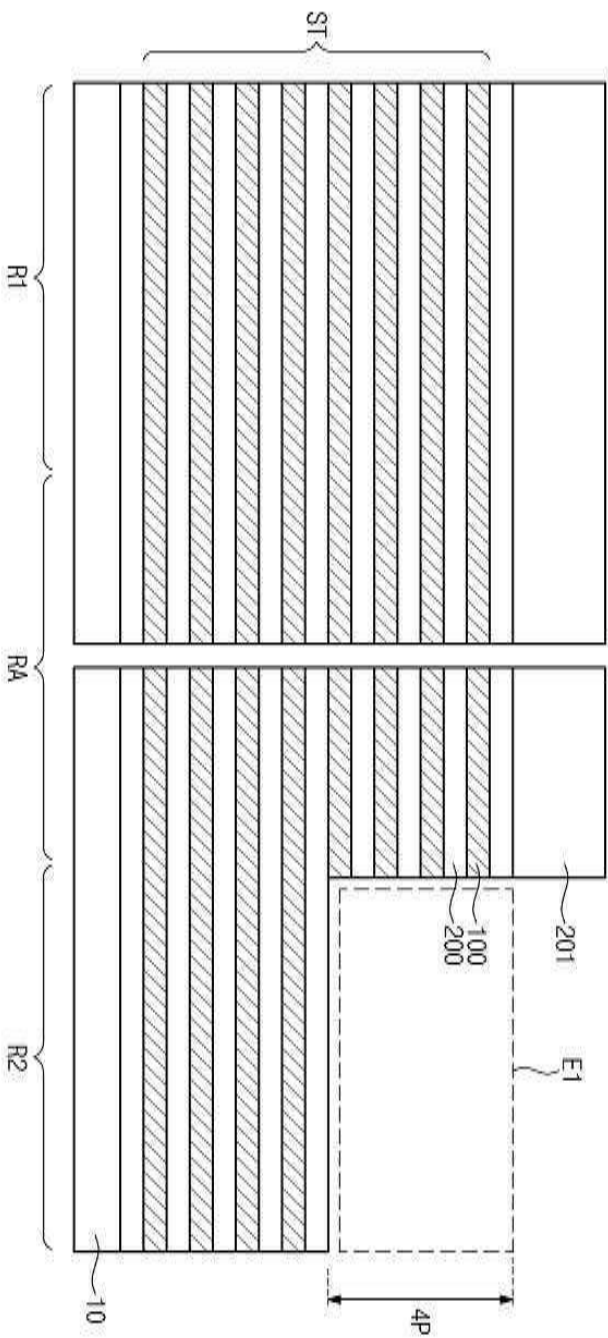
도면15



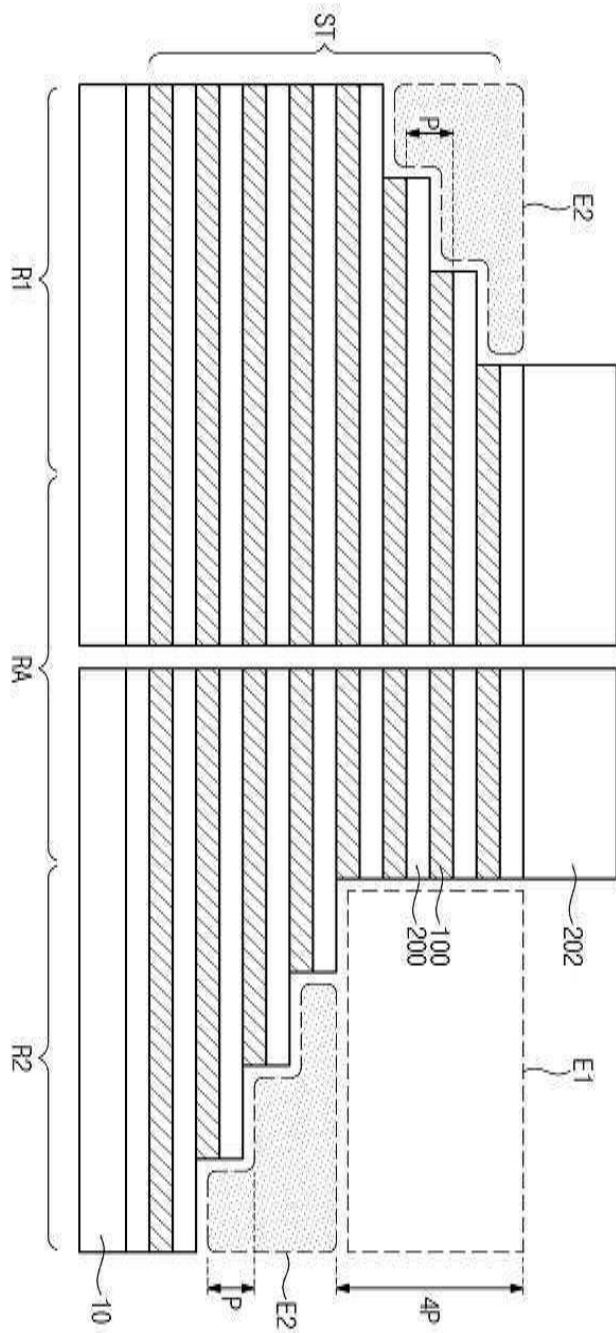
도면16



도면17



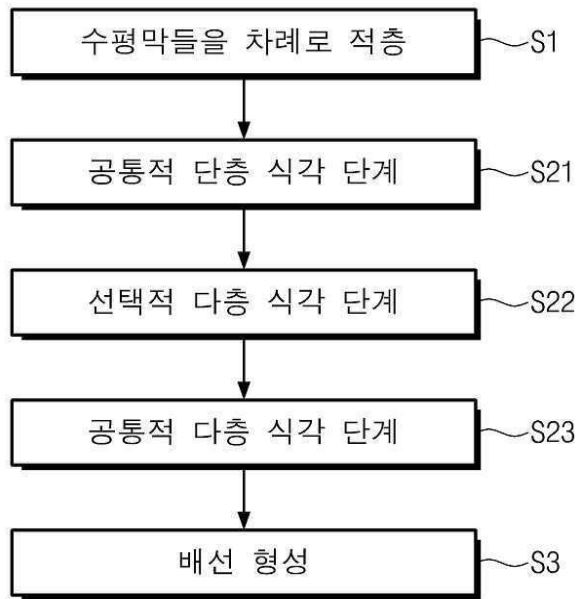
도면18



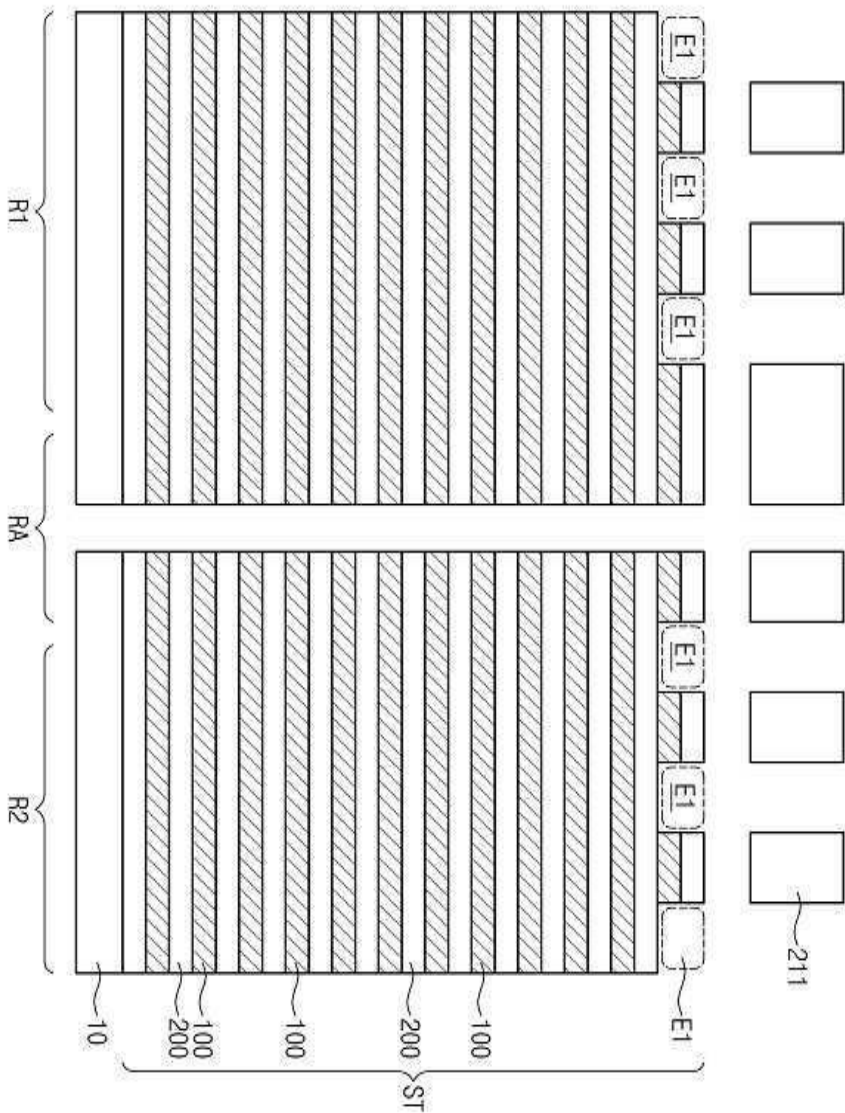
도면19

	제1 패터닝 공정			제2 패터닝 공정			제2 패터닝 공정		
	깊이	영역	횟수	깊이	영역	횟수	깊이	영역	횟수
제5 예	단층	공통	한번	2층	특정	한번	4층	공통	적어도 한번
제6 예	단층	공통	한번	4층	공통	적어도 한번	2층	특정	한번
제7 예	2층	특정	한번	단층	공통	한번	4층	공통	적어도 한번
제8 예	2층	특정	한번	4층	공통	적어도 한번	단층	공통	한번
제9 예	4층	공통	적어도 한번	단층	공통	한번	2층	특정	한번
제10 예	4층	공통	적어도 한번	2층	특정	한번	단층	공통	한번

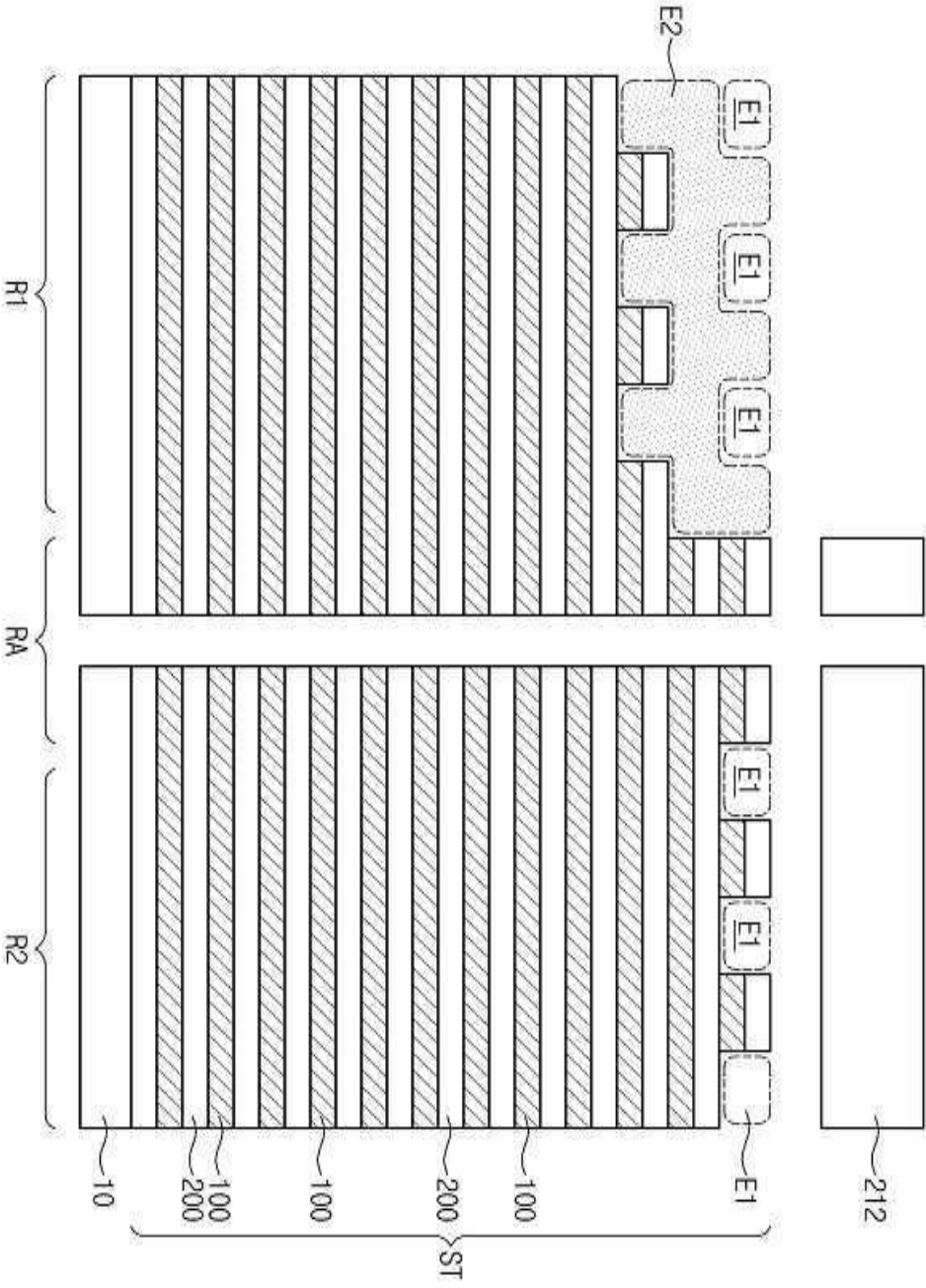
도면20



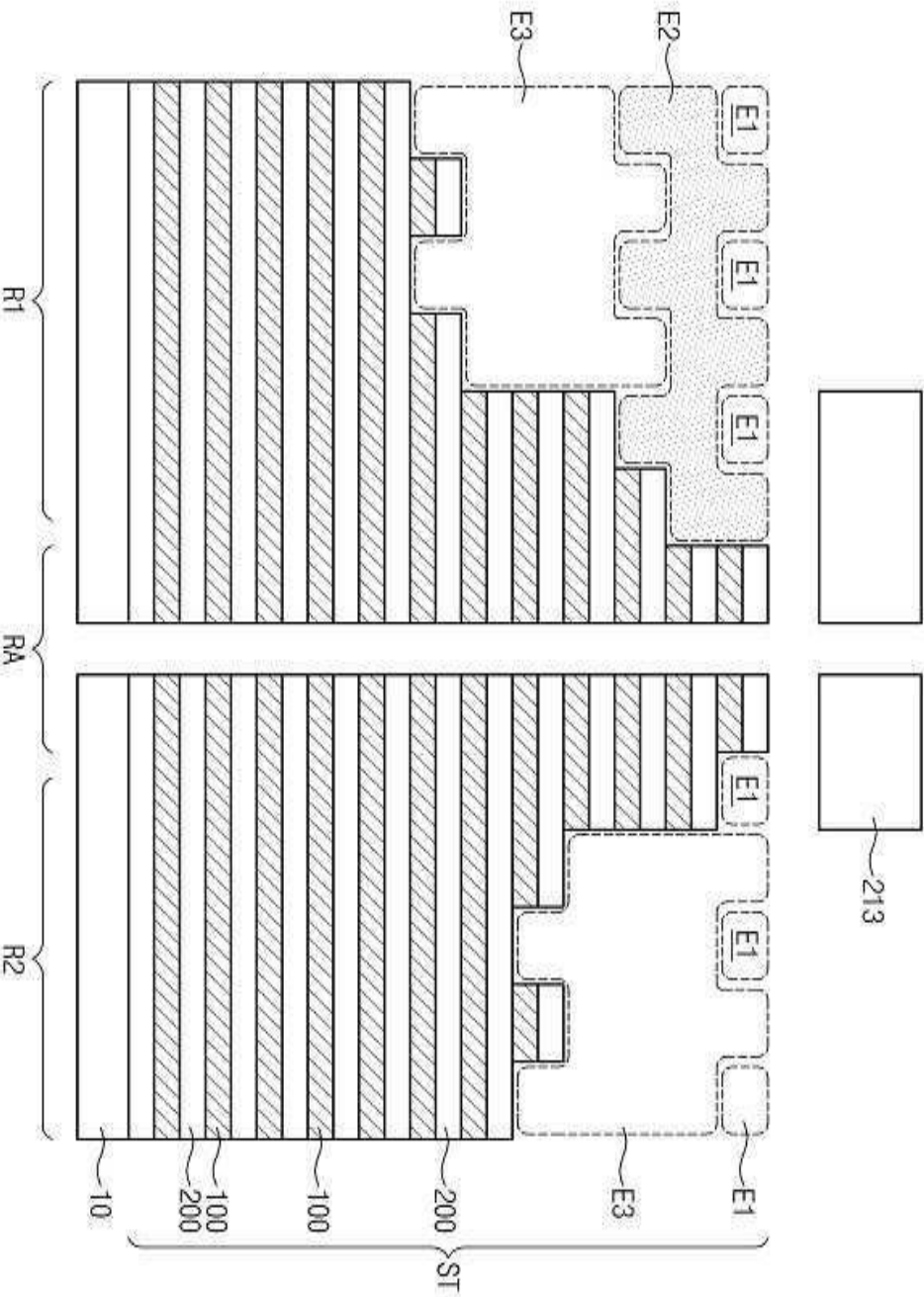
도면21



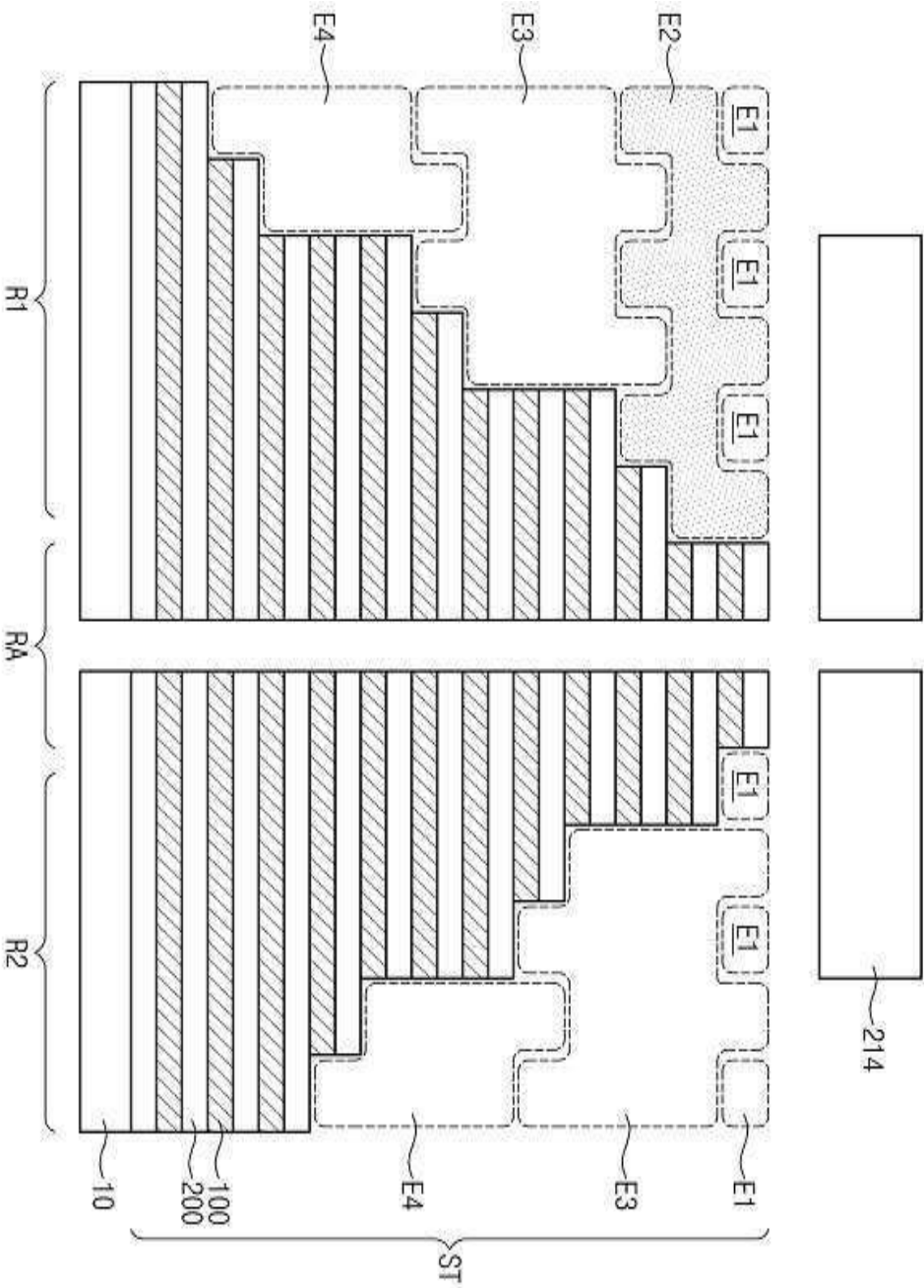
도면22



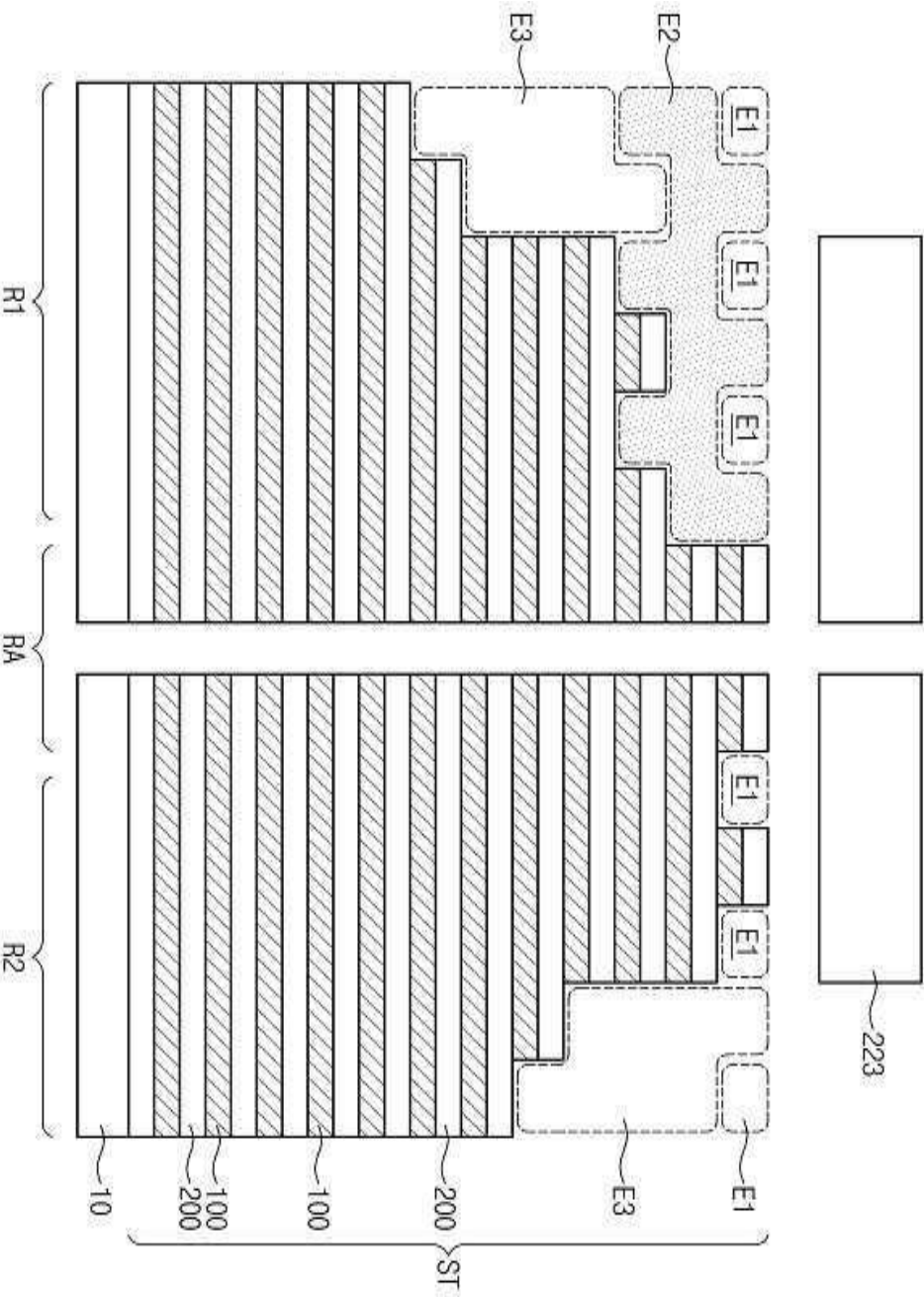
도면23



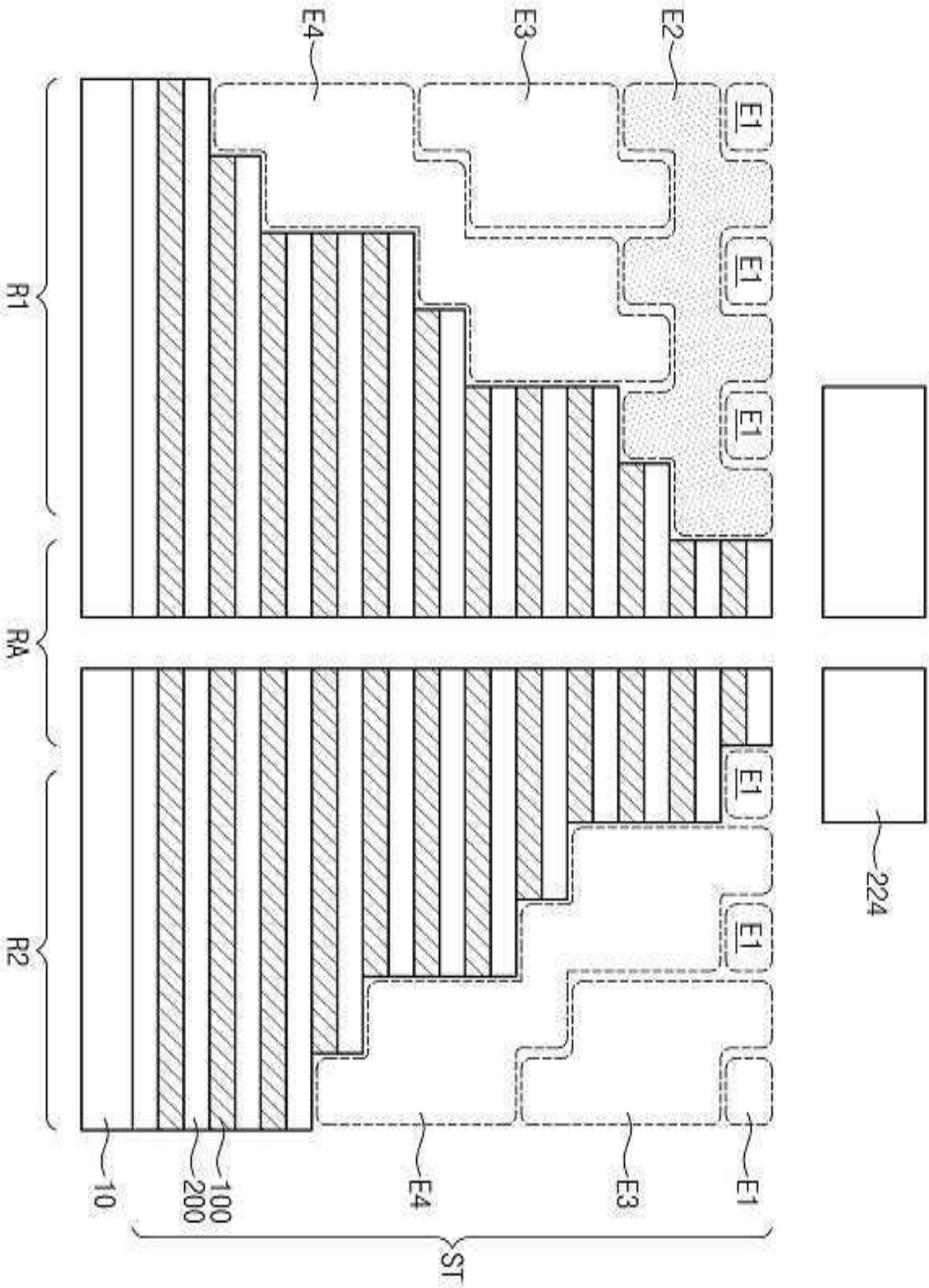
도면24



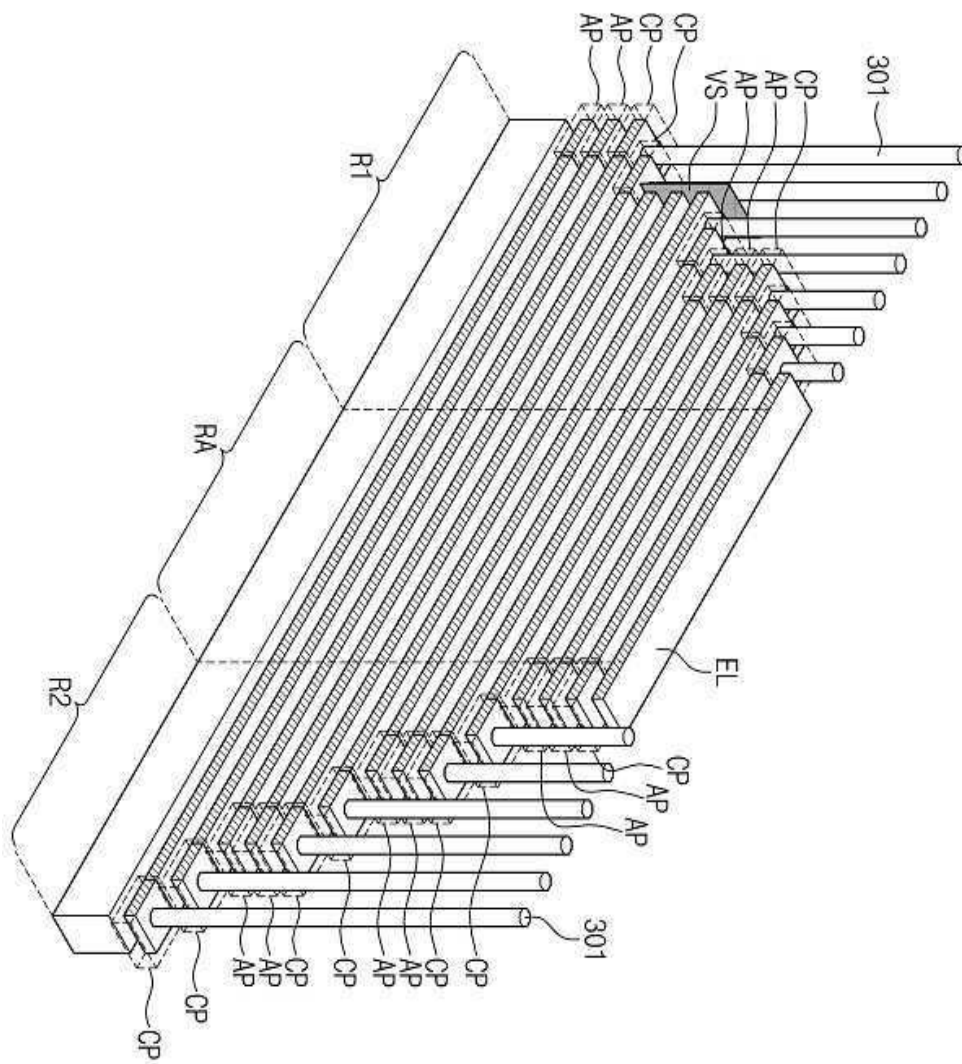
도면25



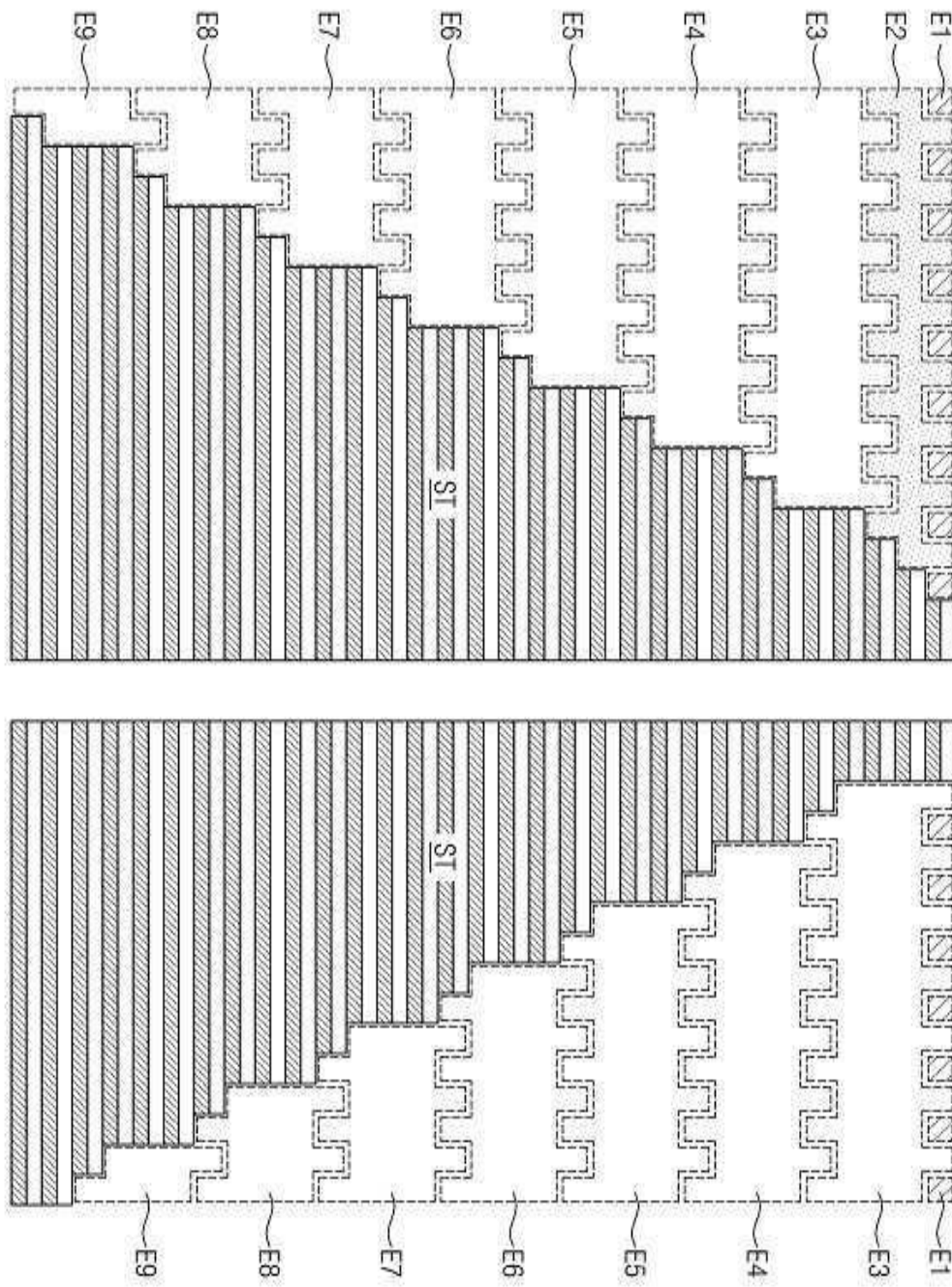
도면26



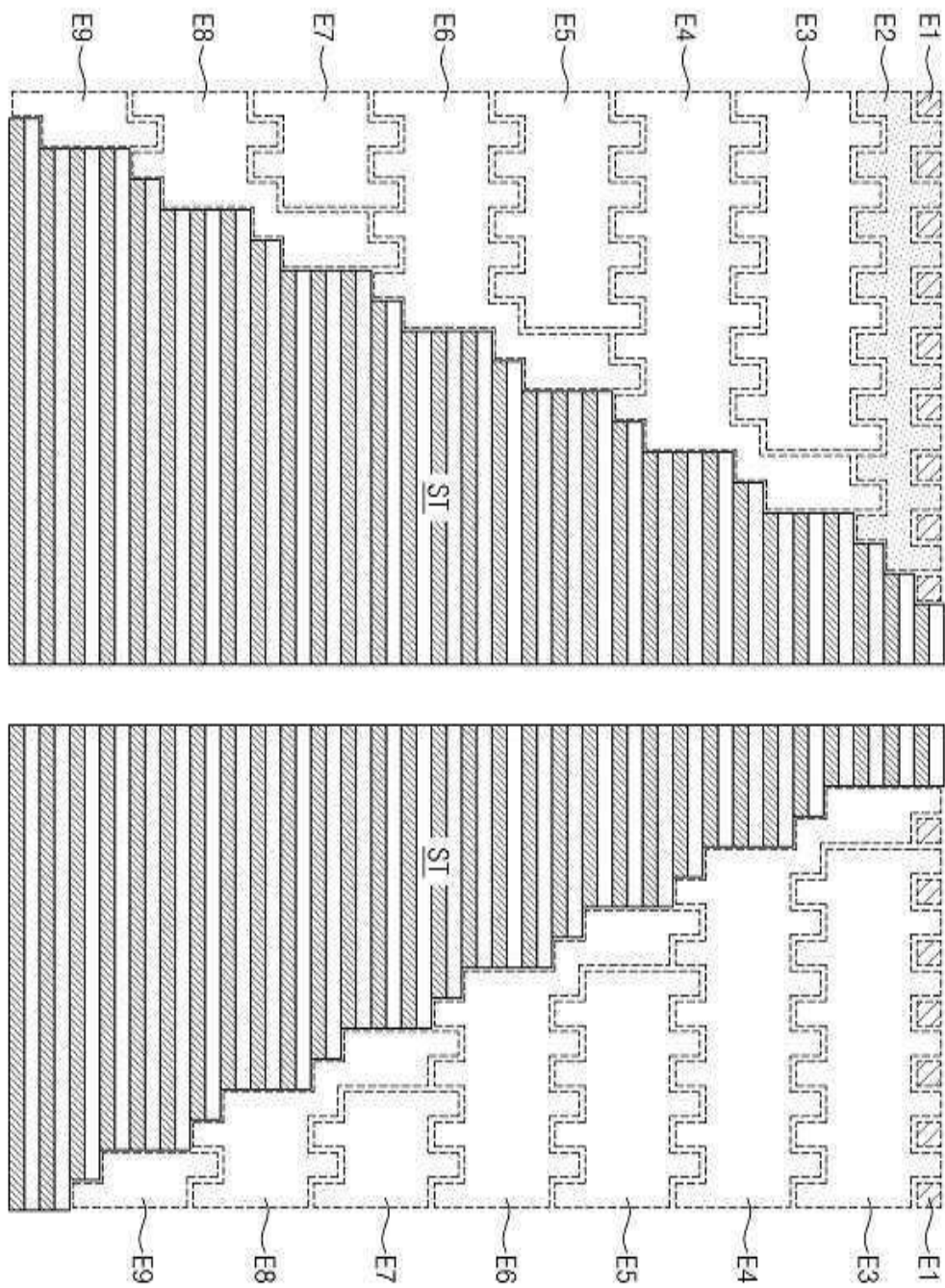
도면27



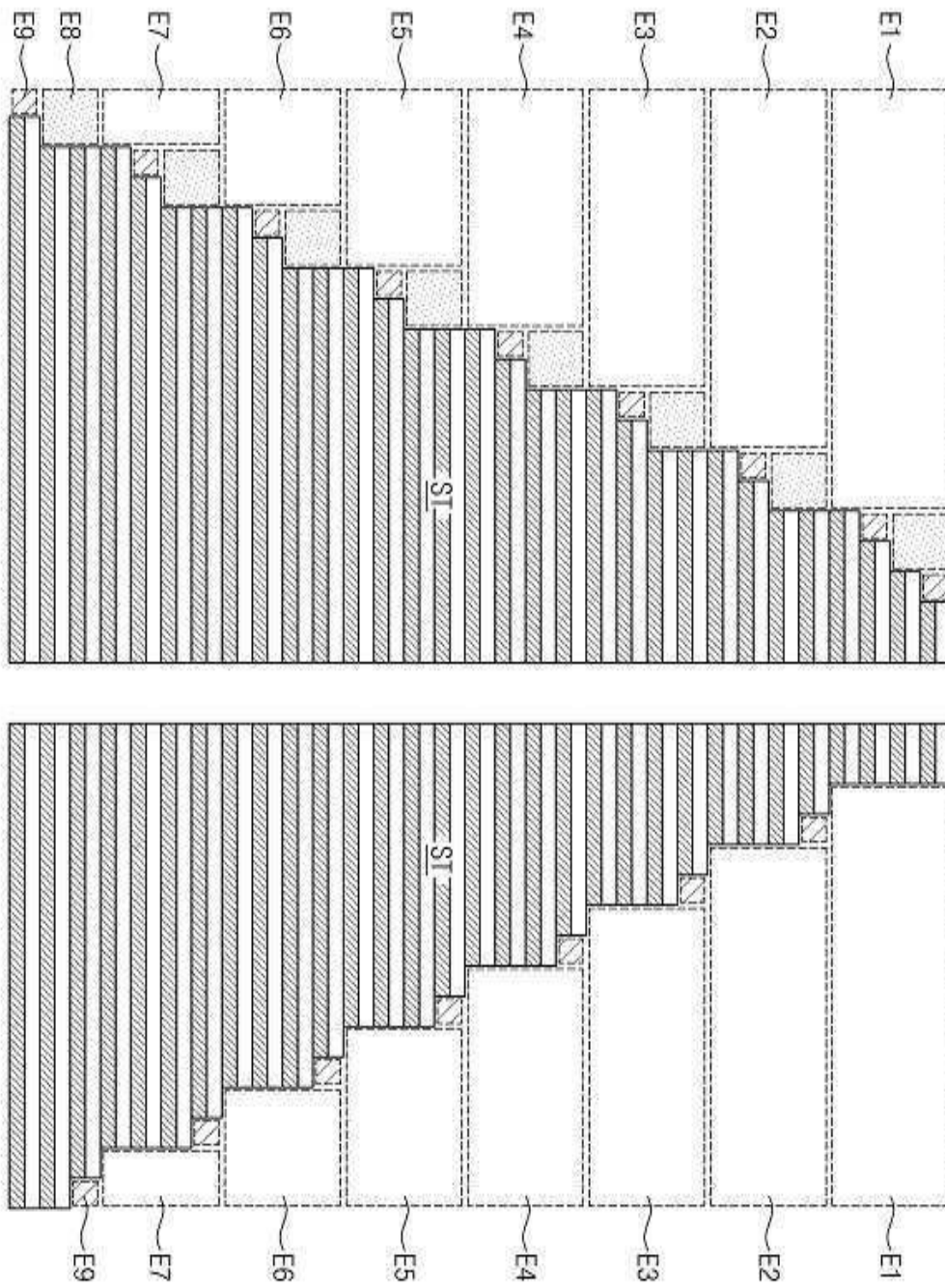
도면28



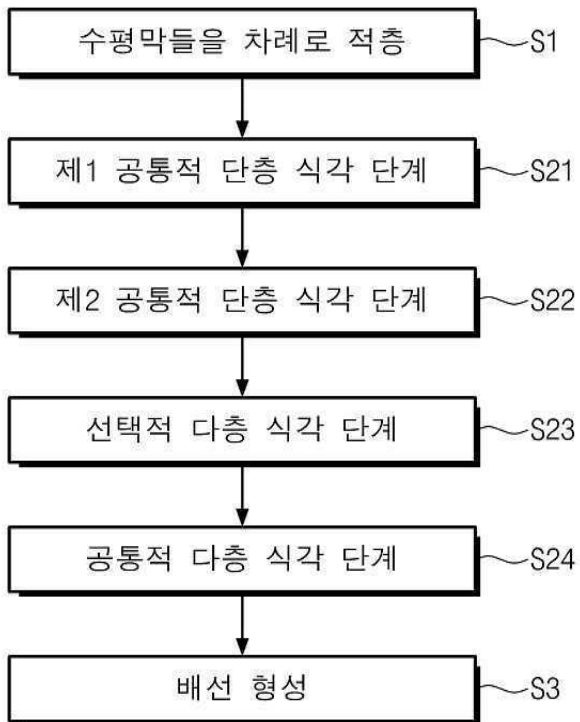
도면29



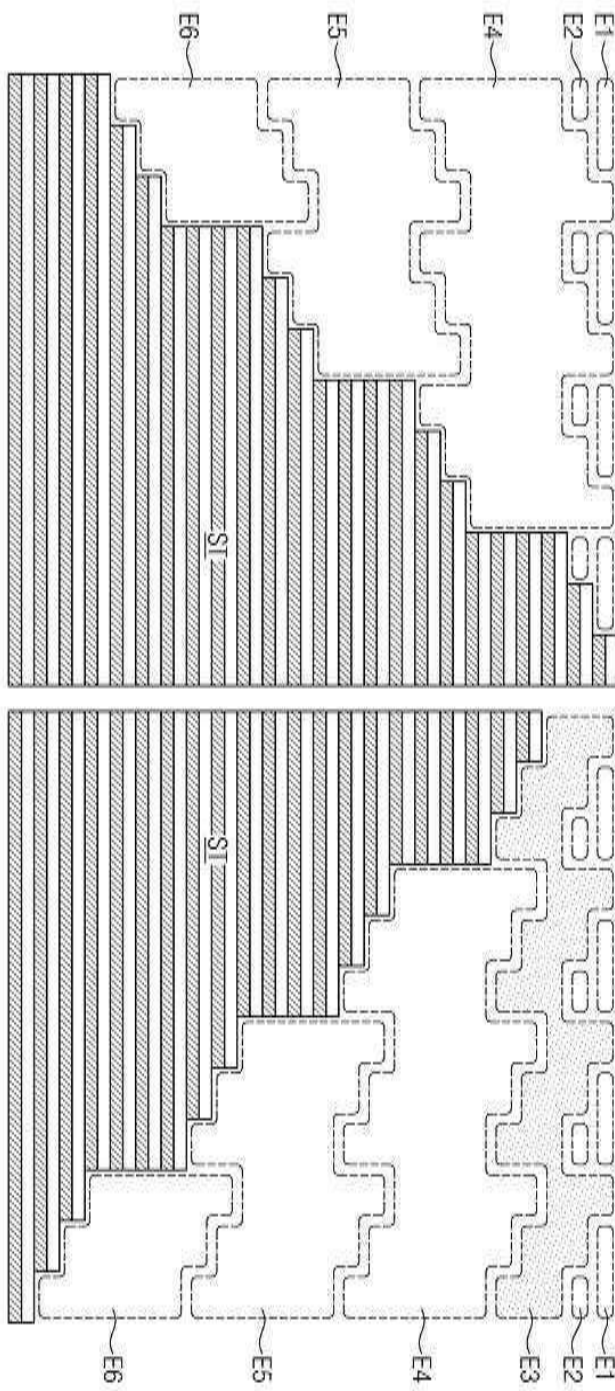
도면30



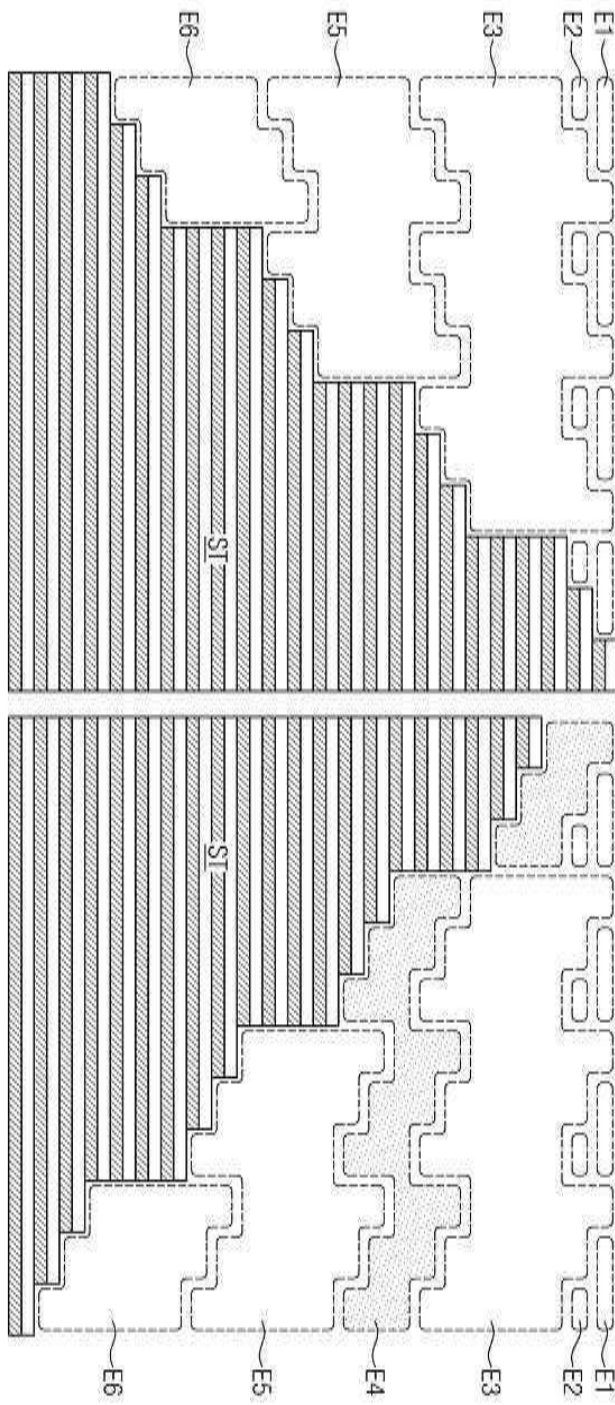
도면31



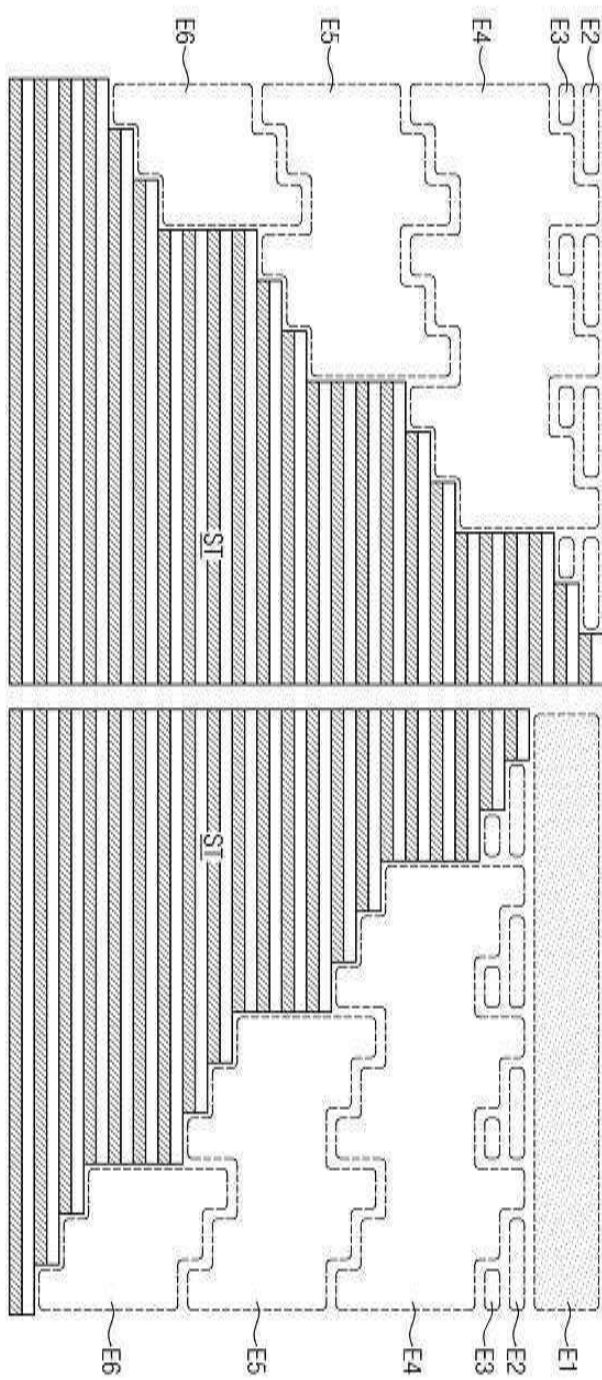
도면32



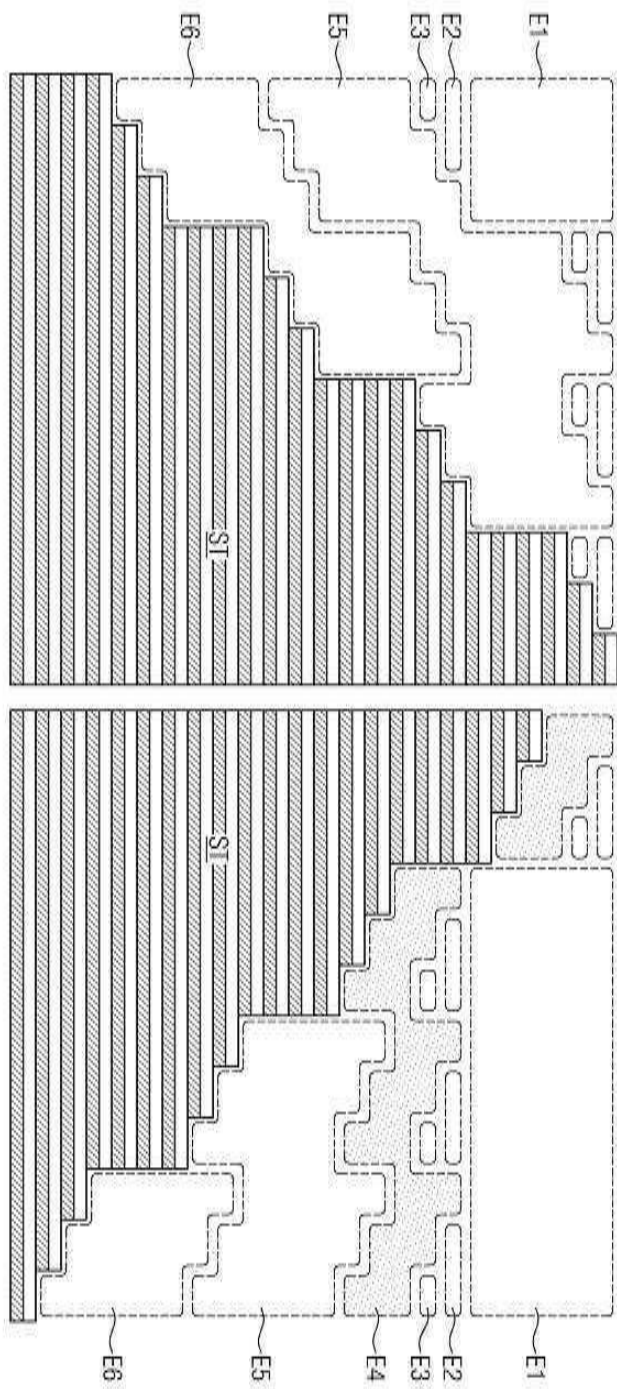
도면33



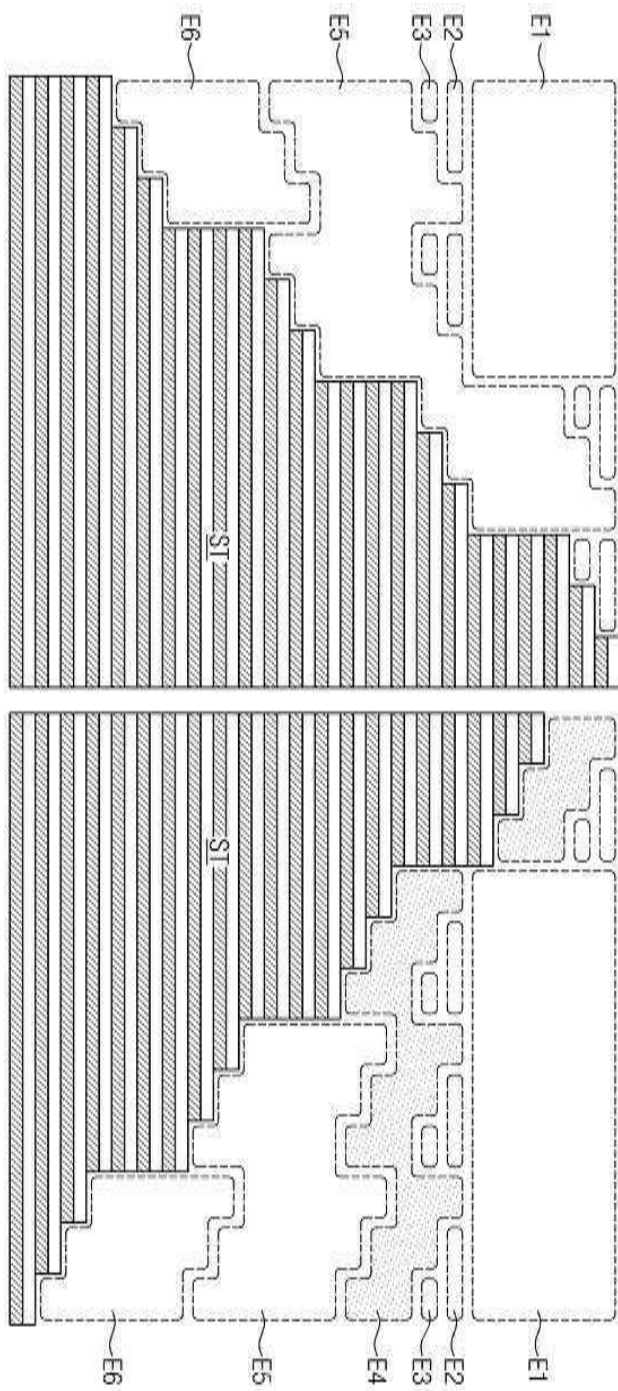
도면34



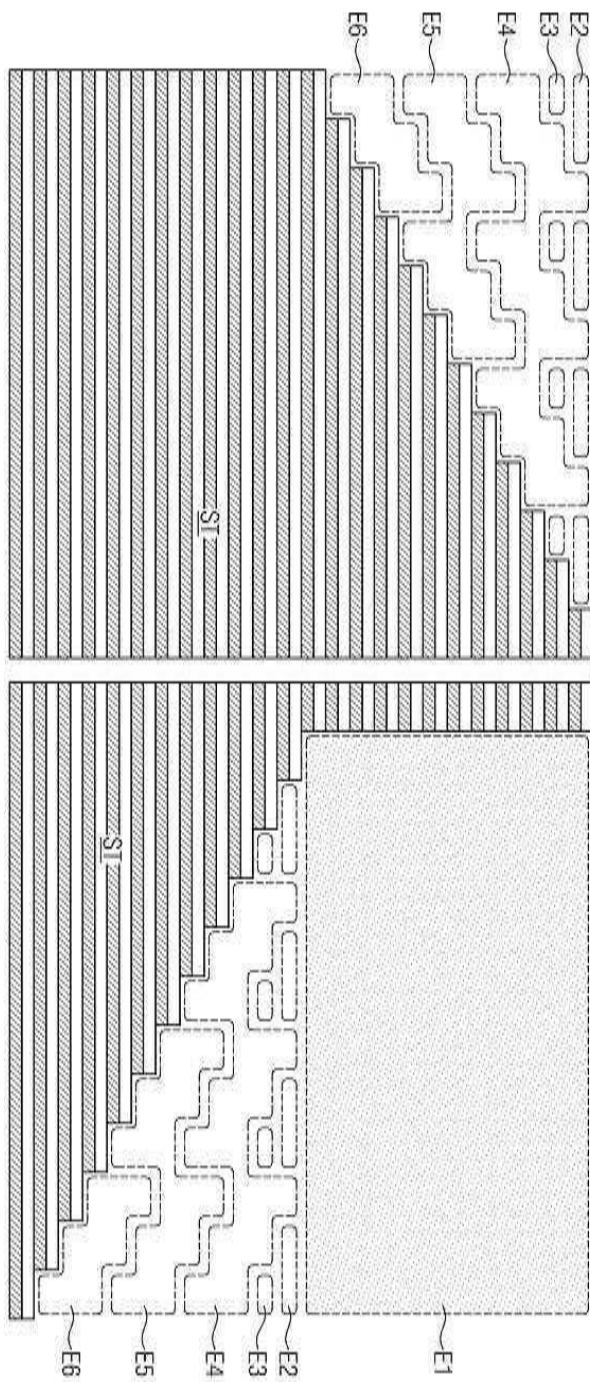
도면35



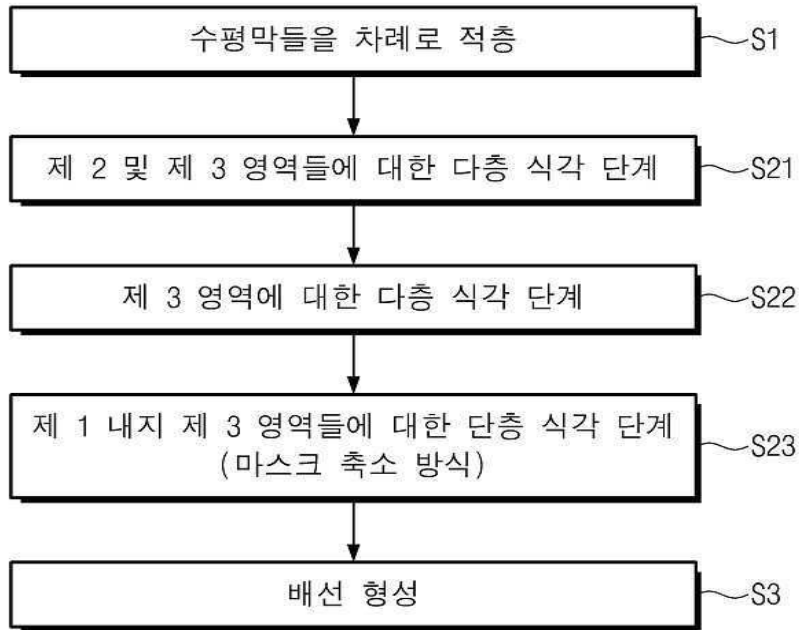
도면36



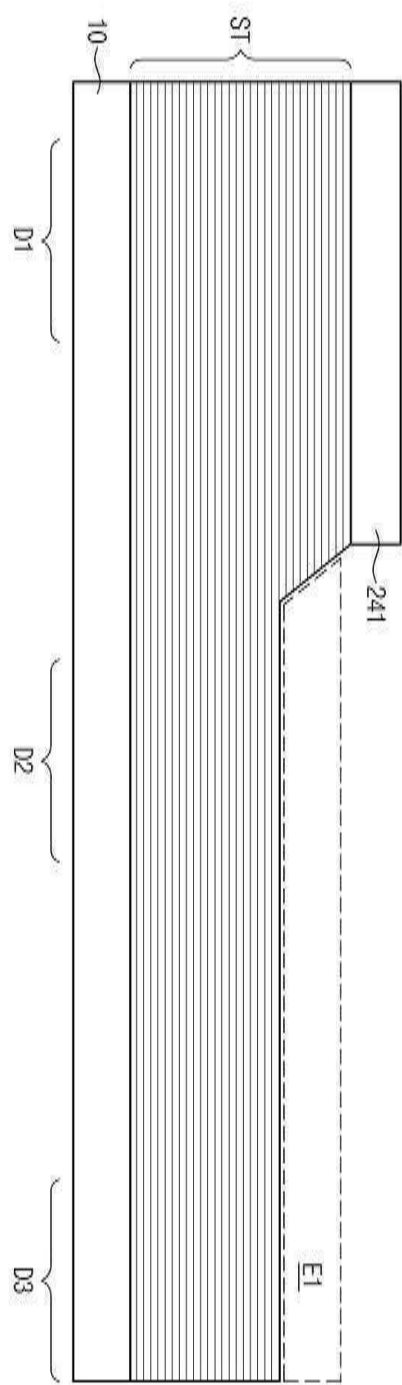
도면37



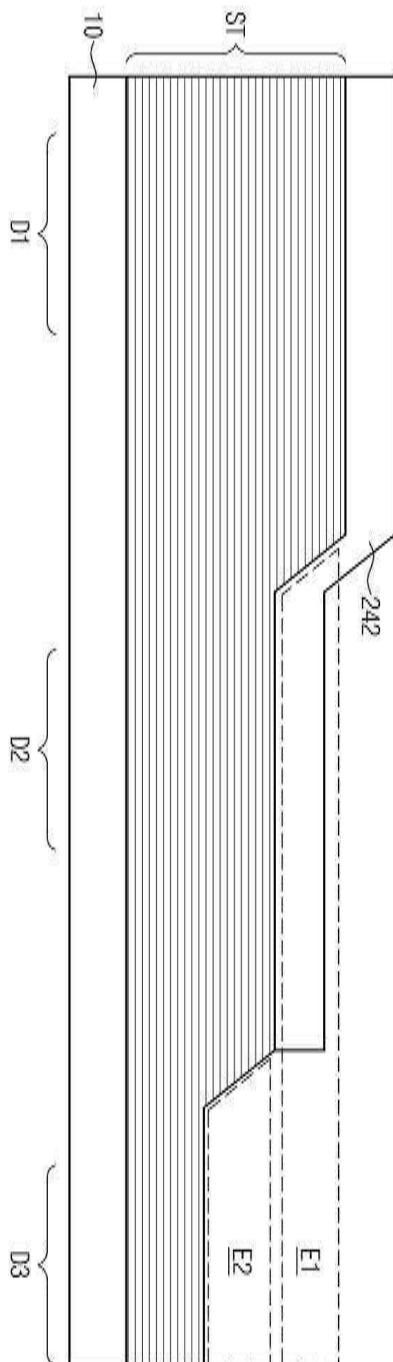
도면38



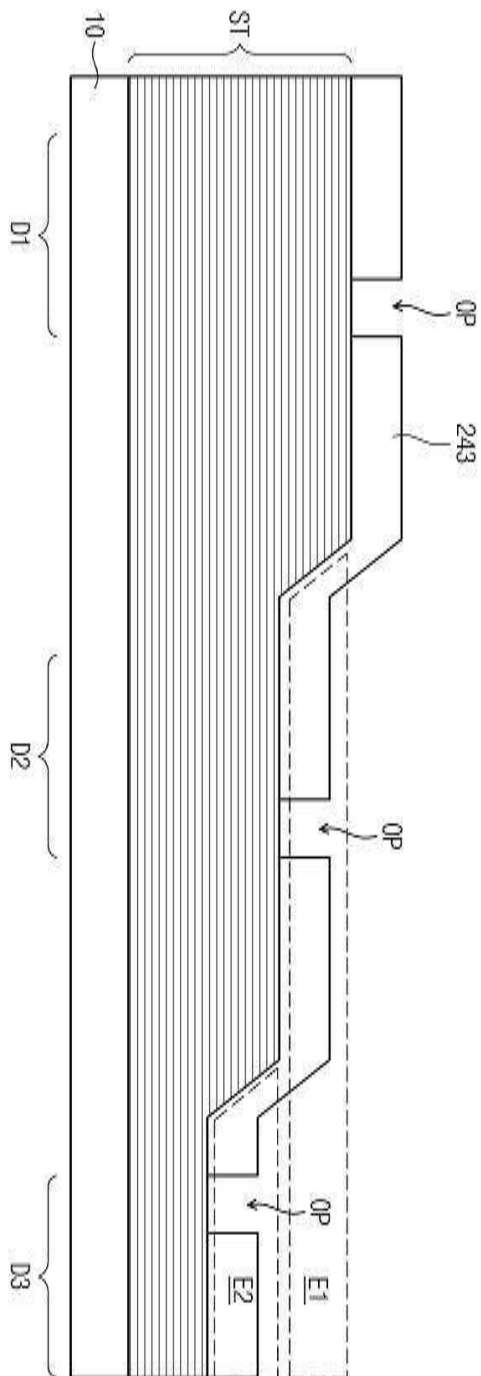
도면39



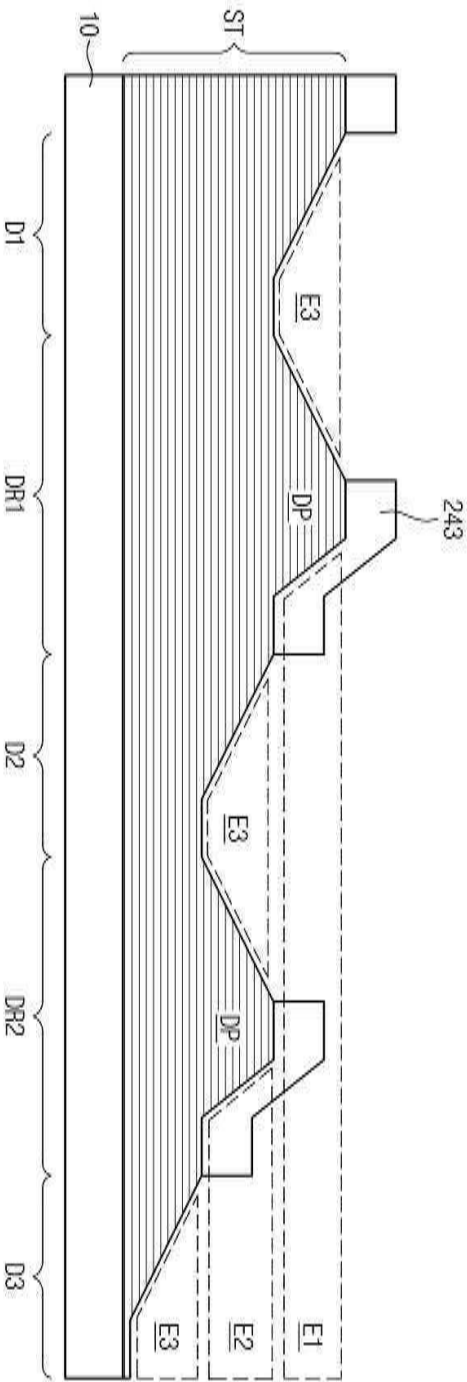
도면40



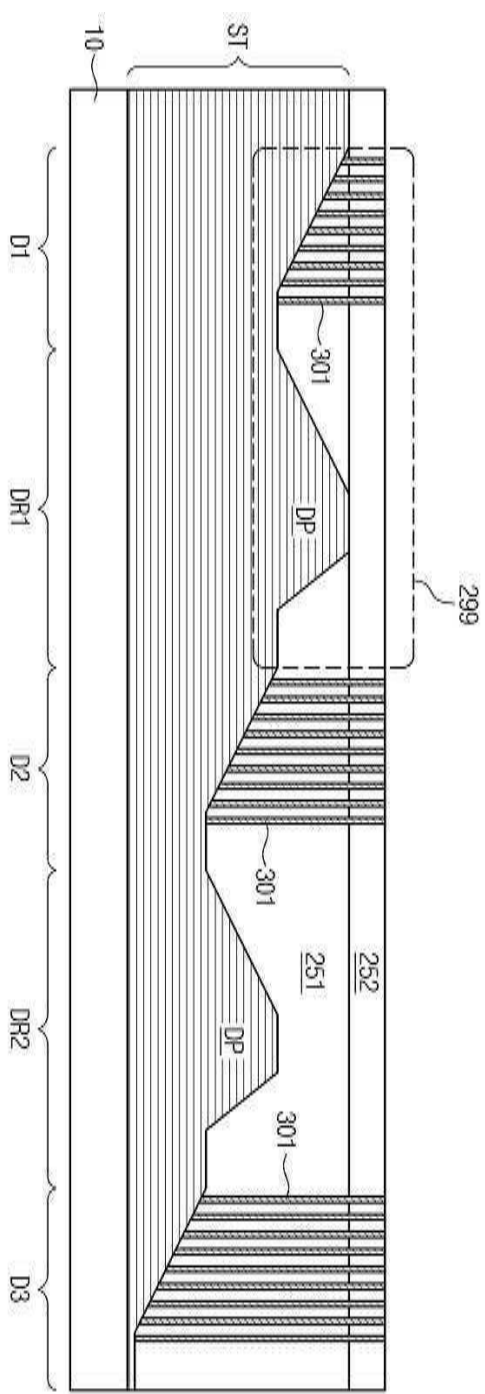
도면41



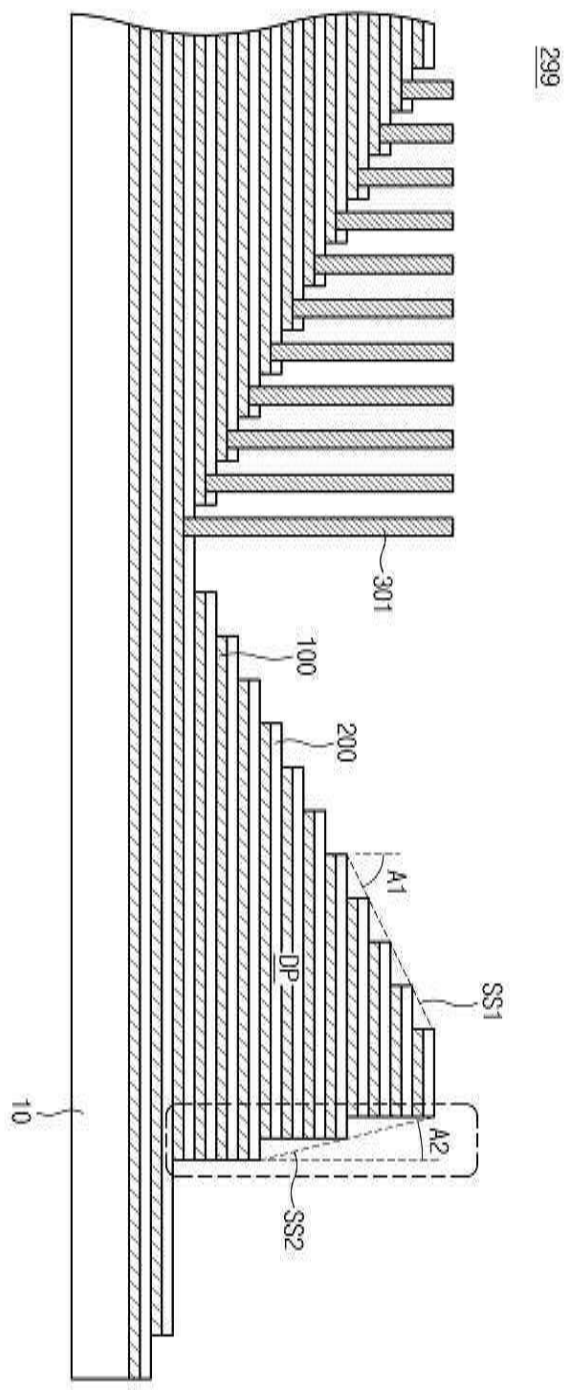
도면42



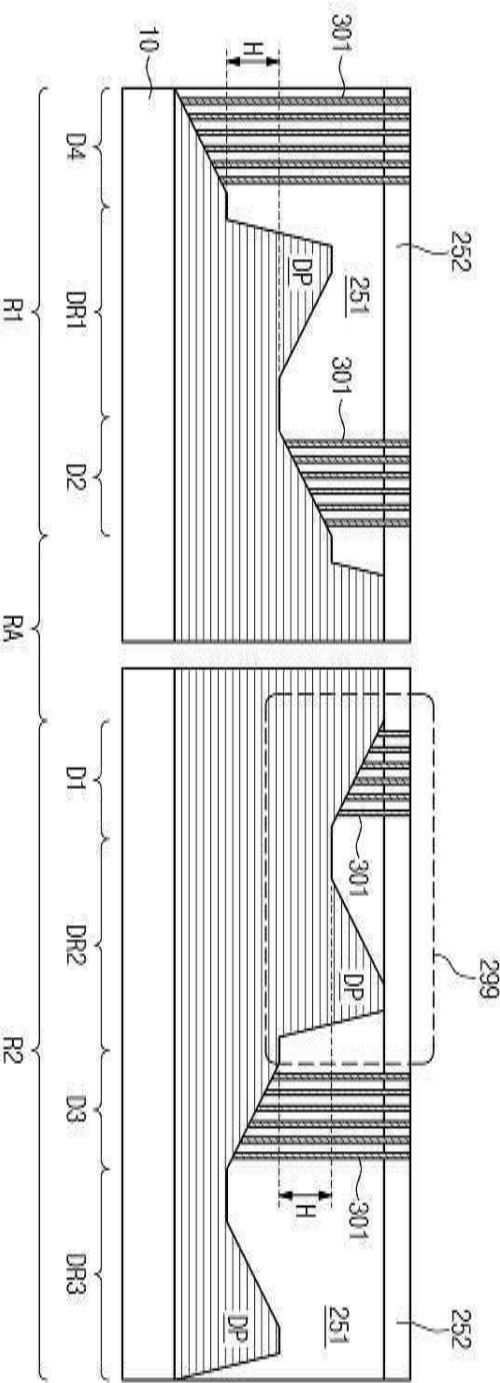
도면43



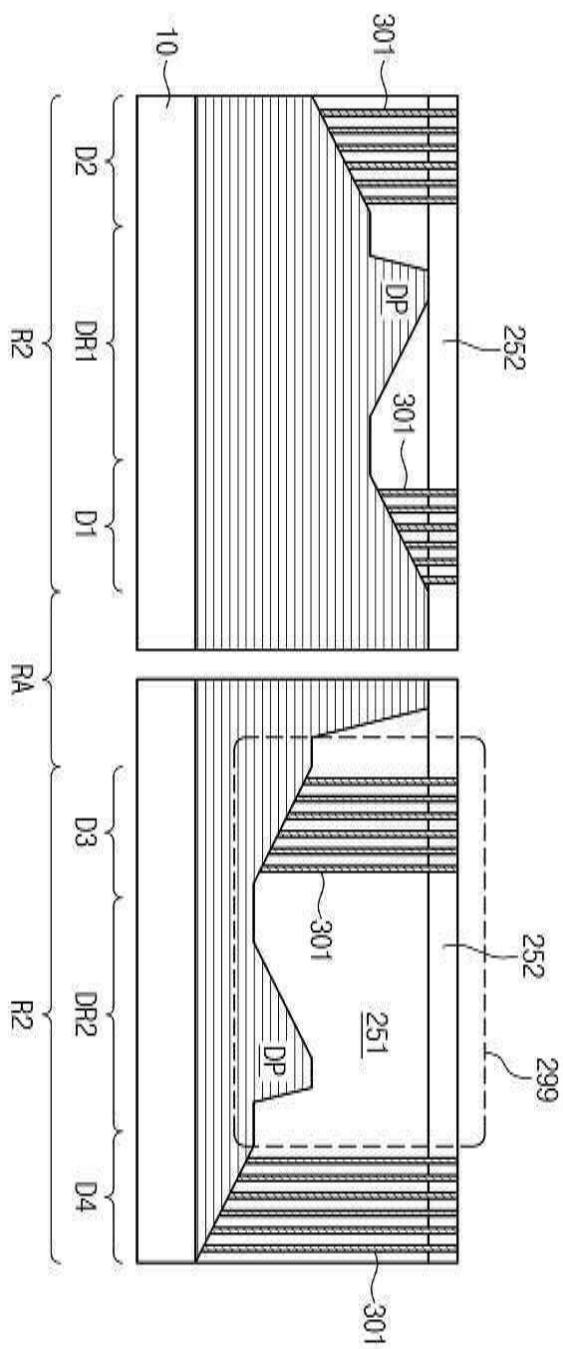
도면44



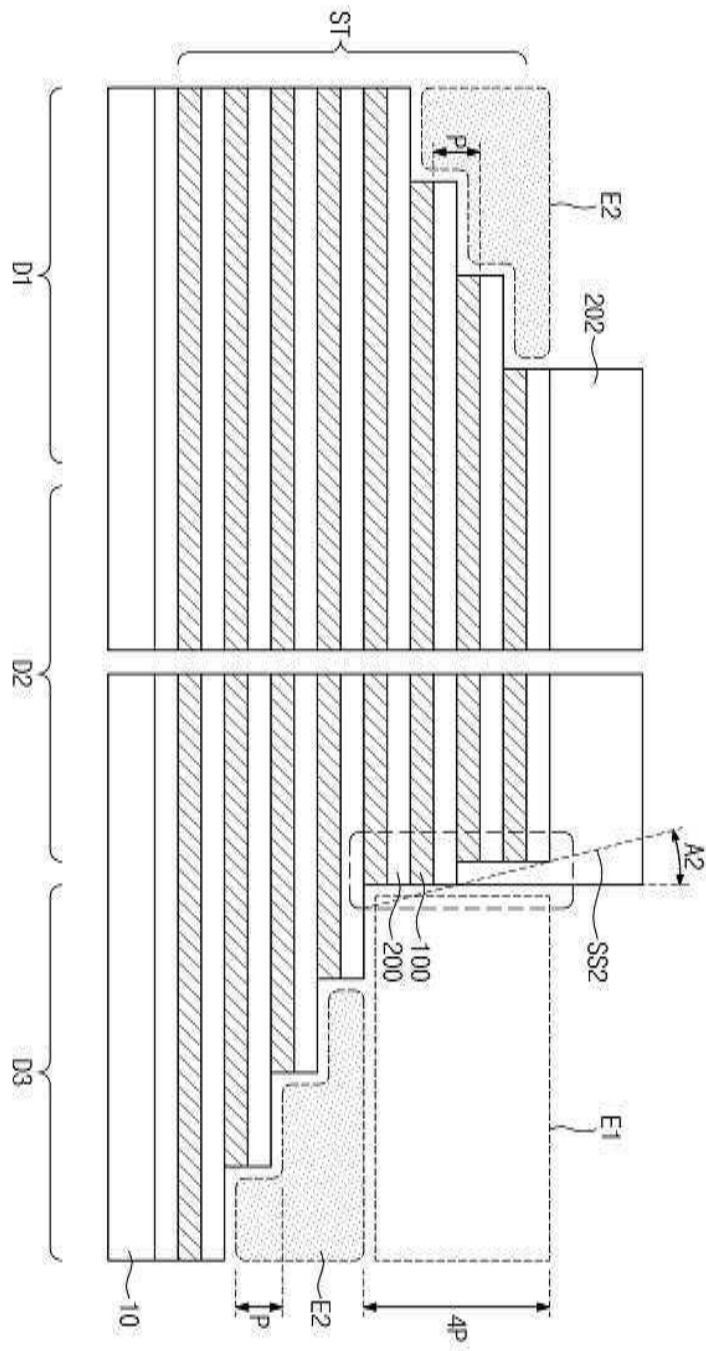
도면45



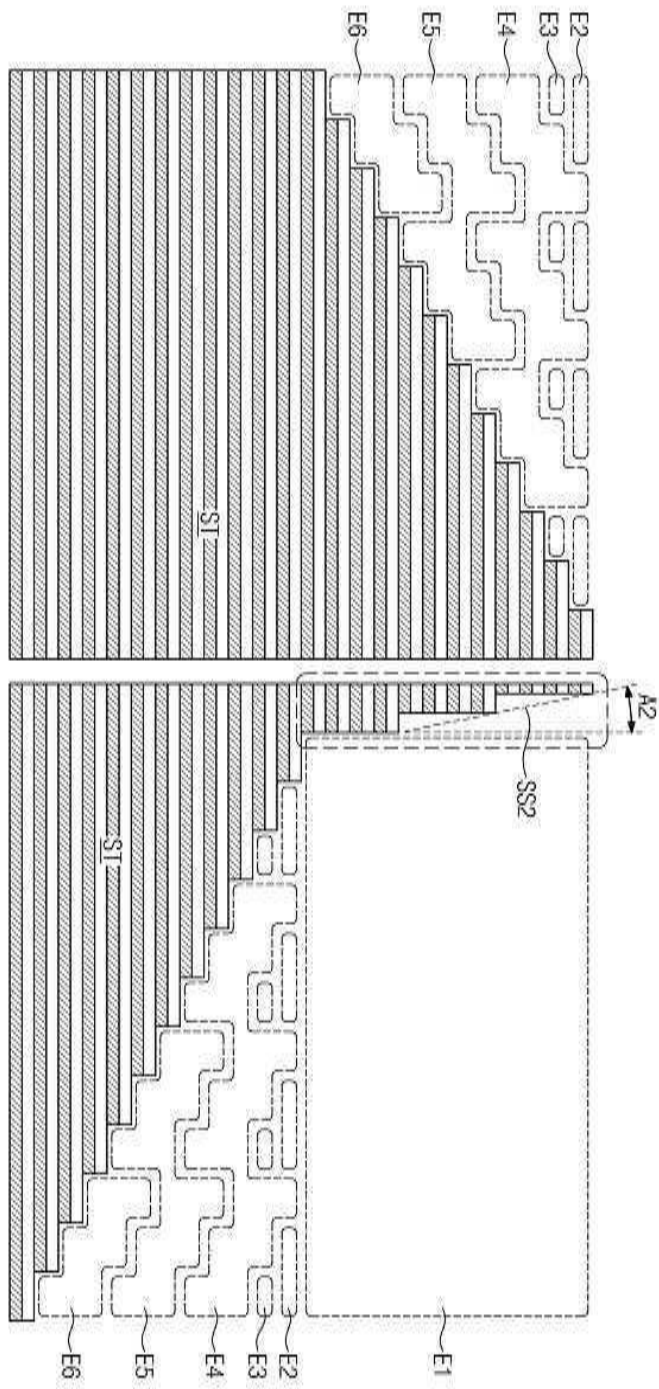
도면46



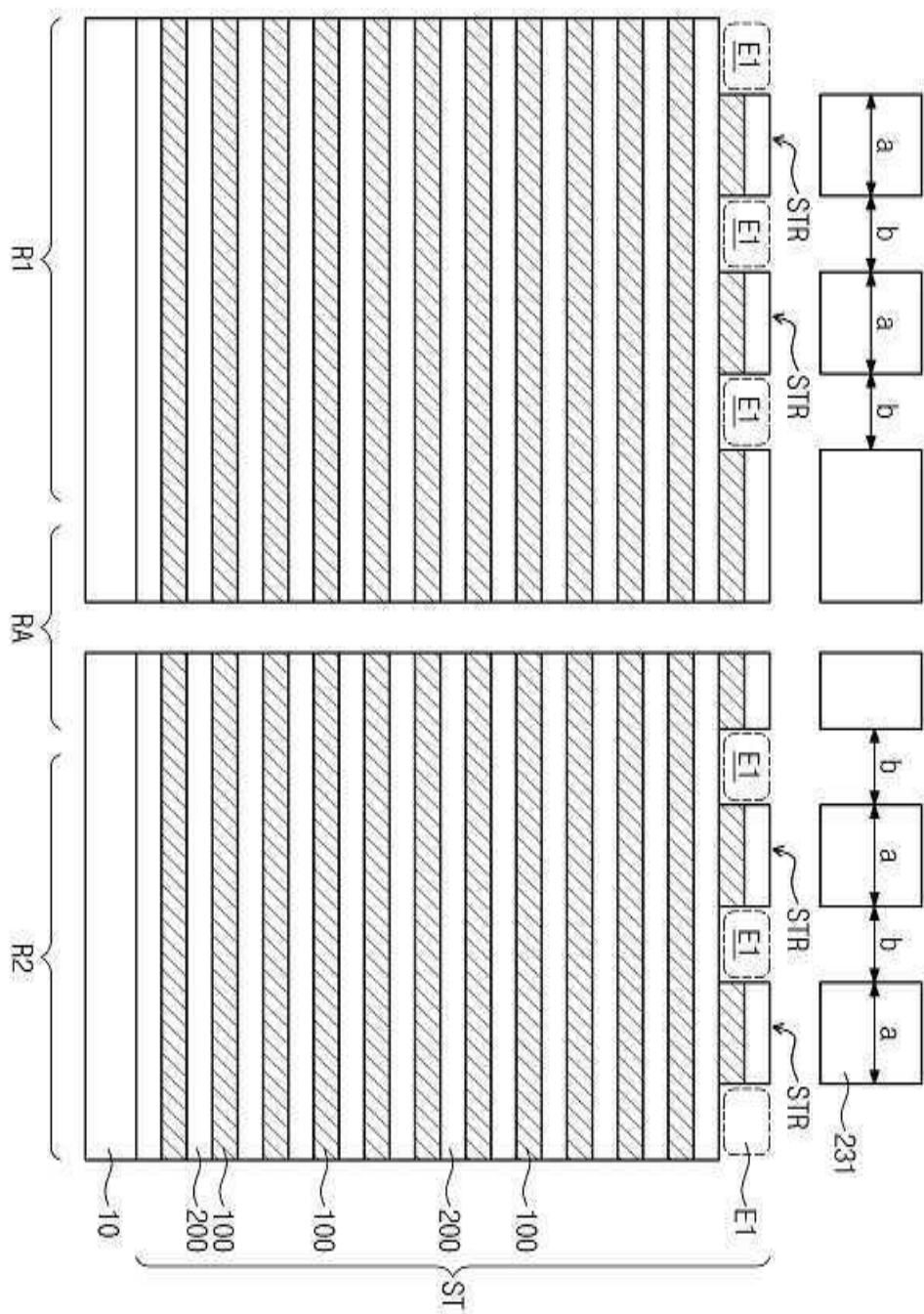
도면47



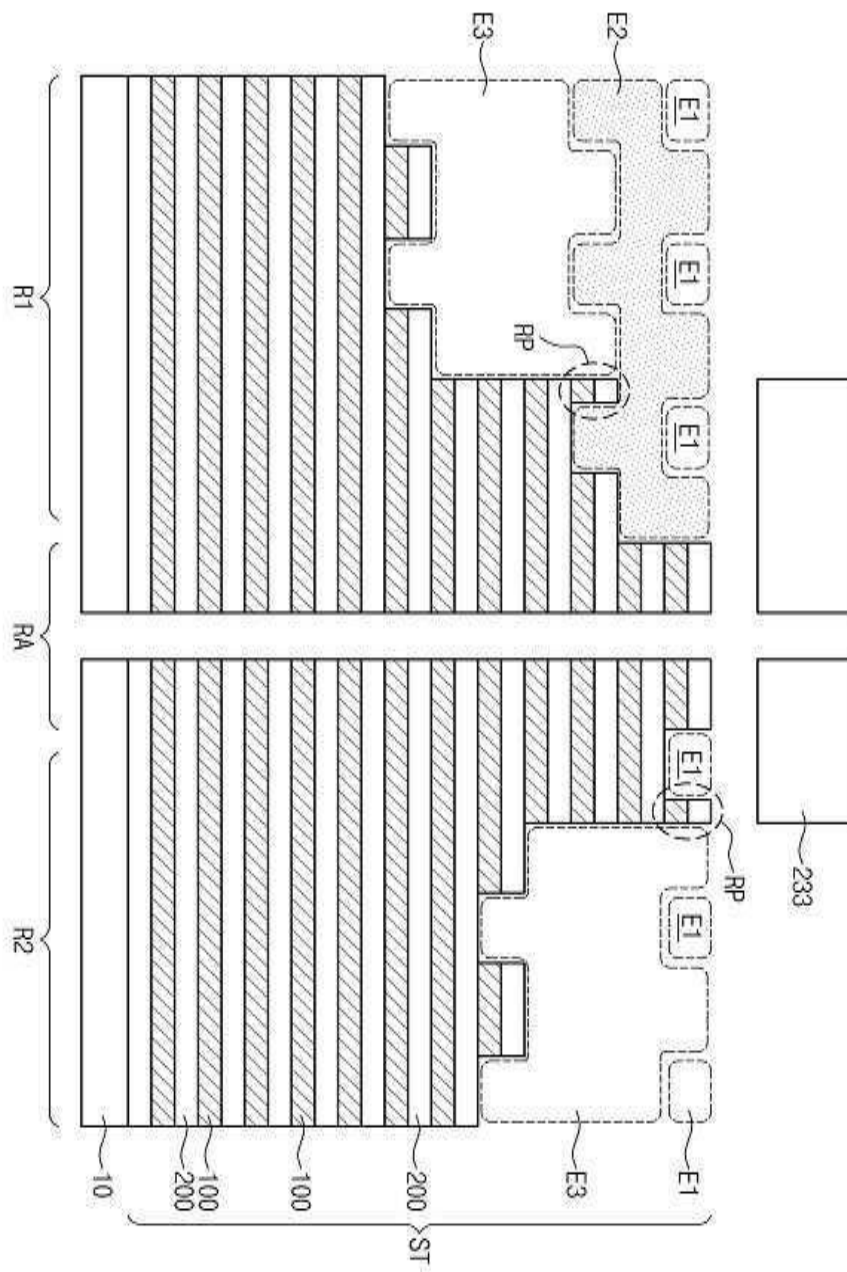
도면48



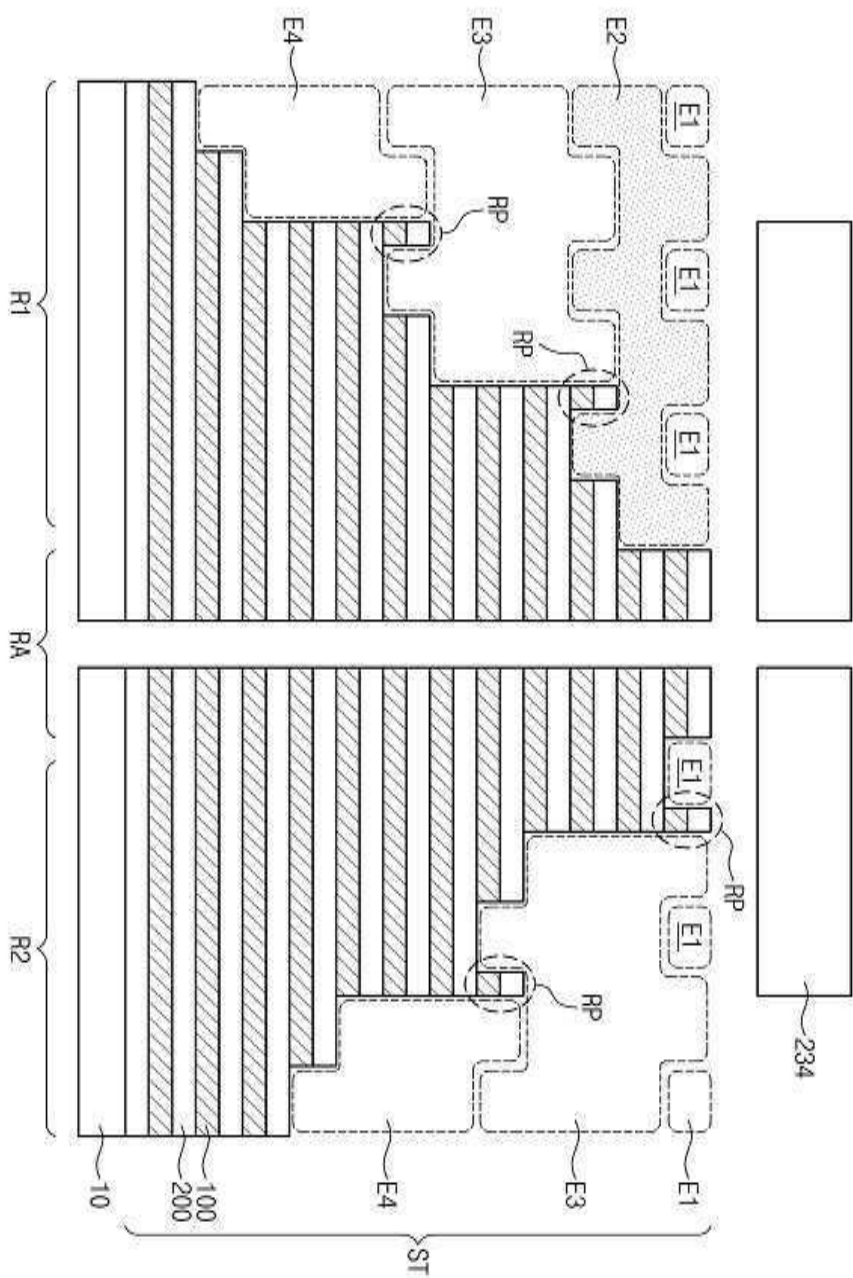
도면49



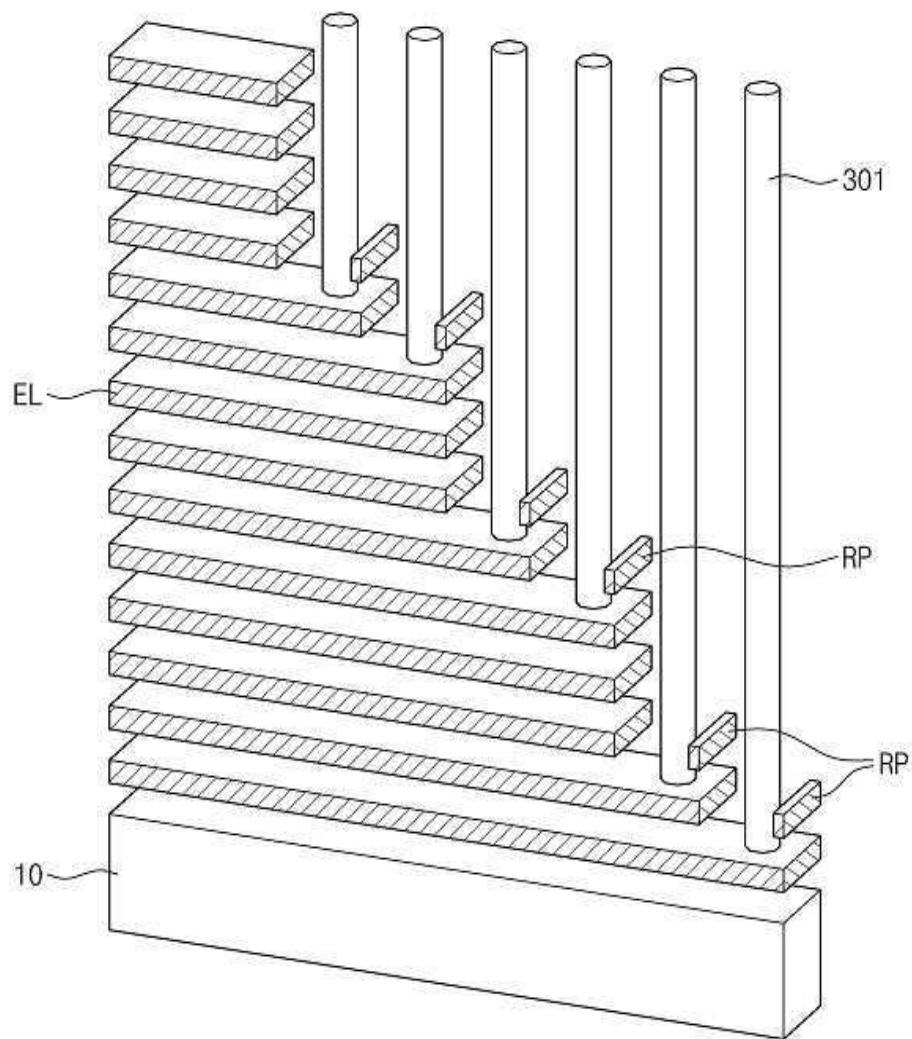
도면50



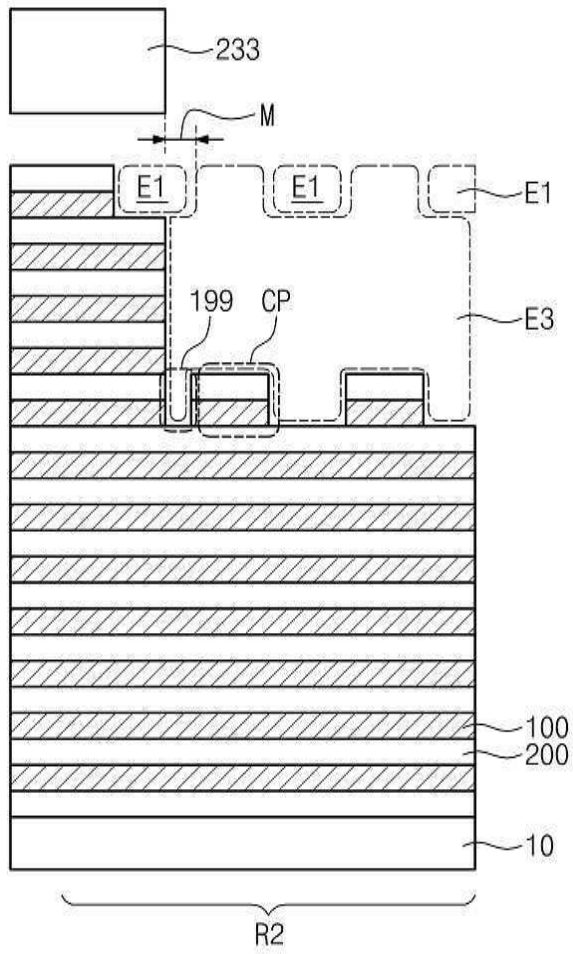
도면51



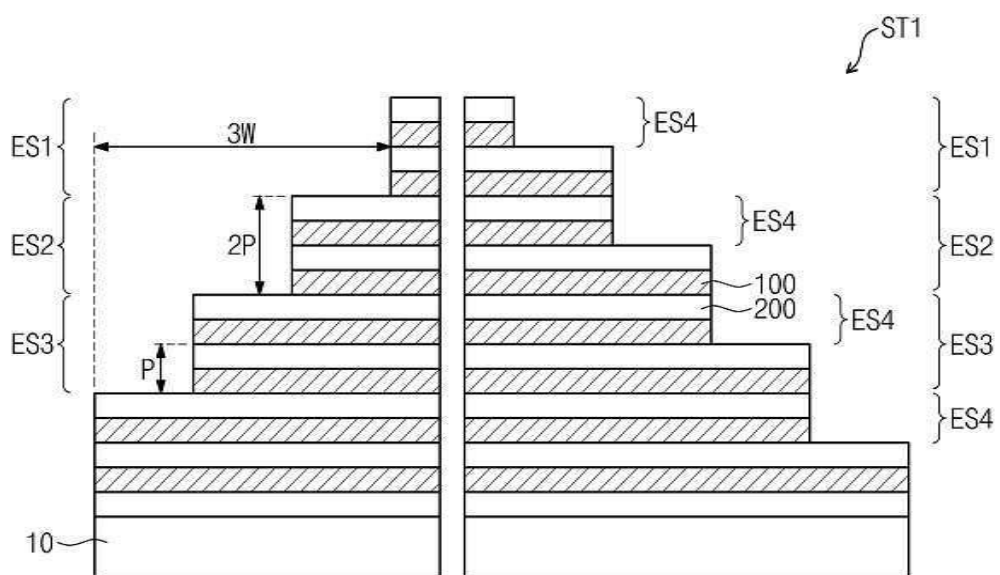
도면52



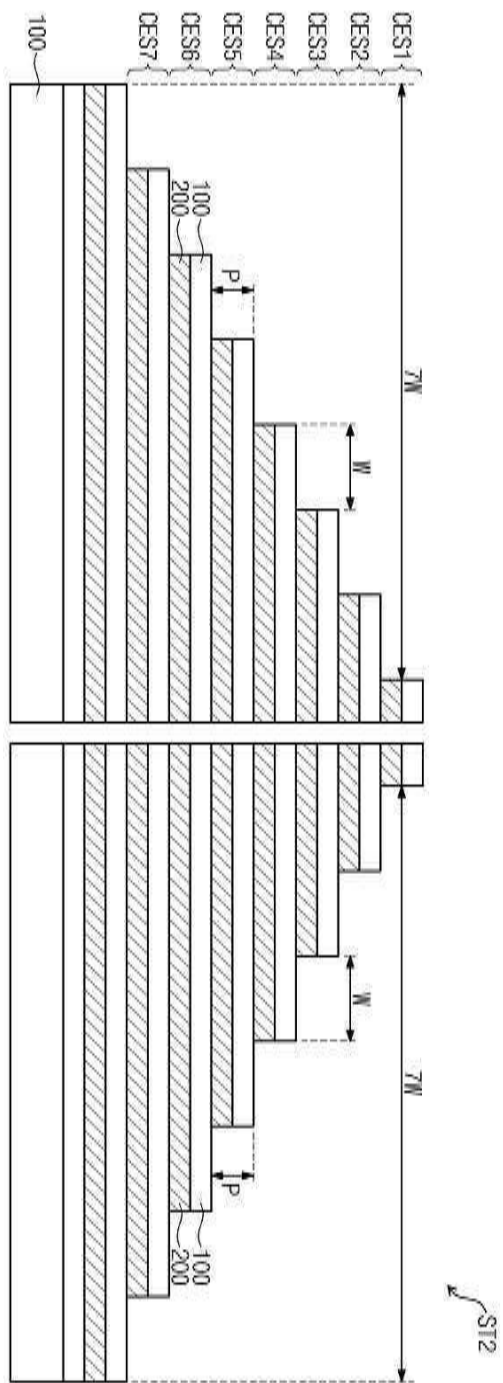
도면53



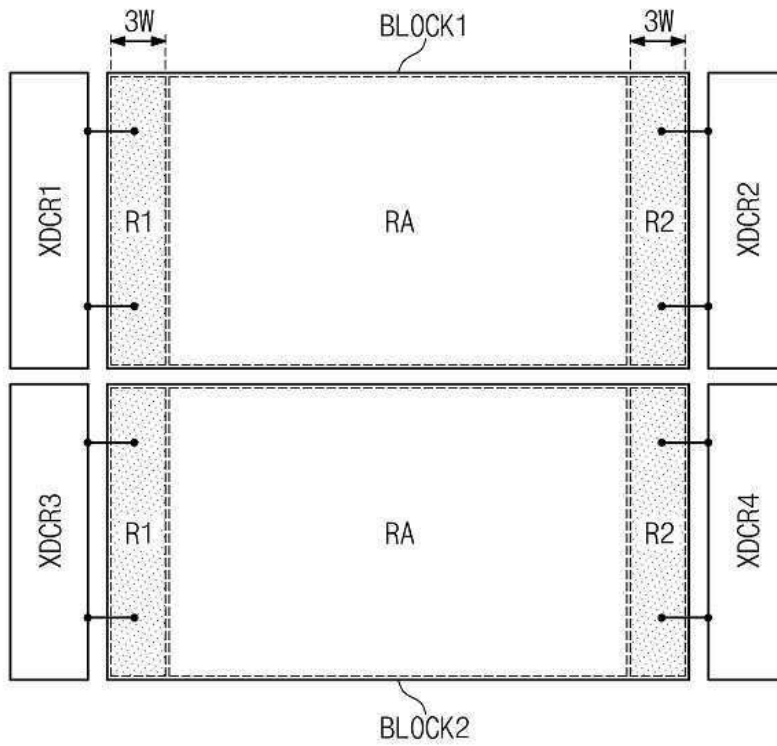
도면54



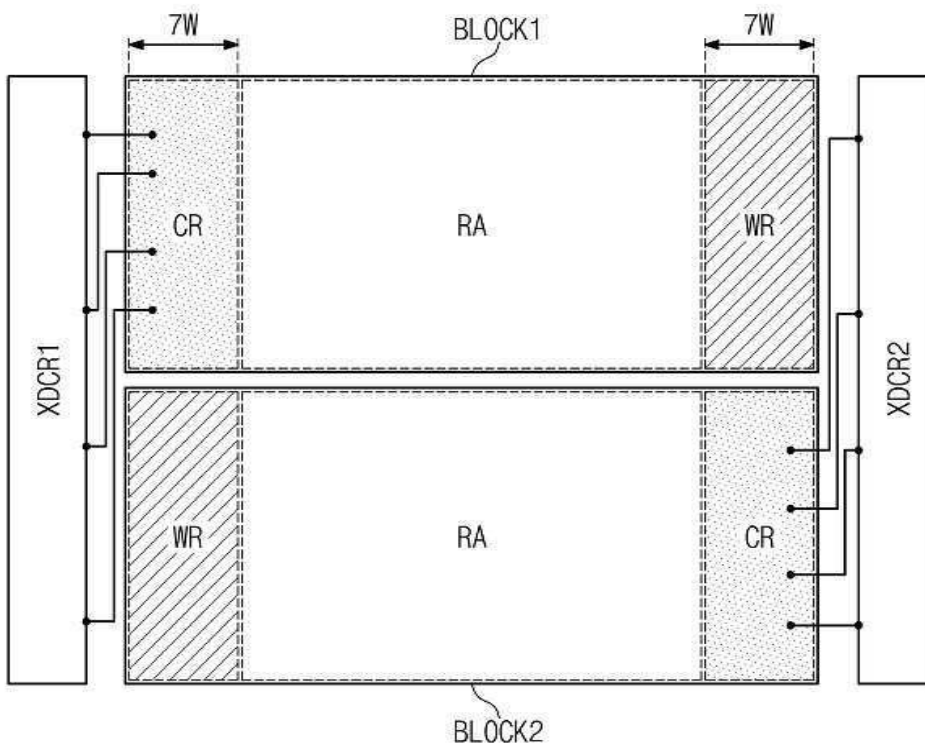
도면55



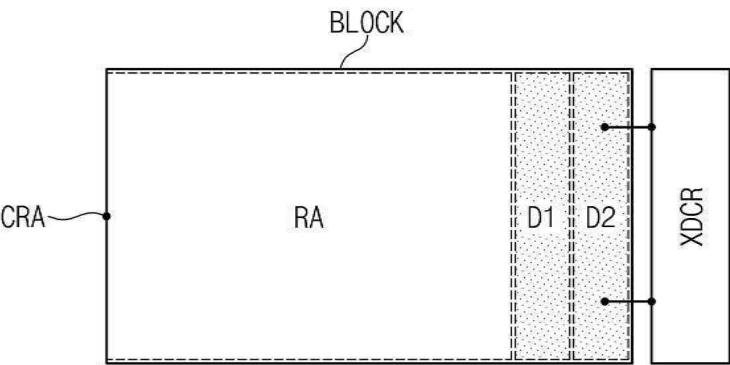
도면56



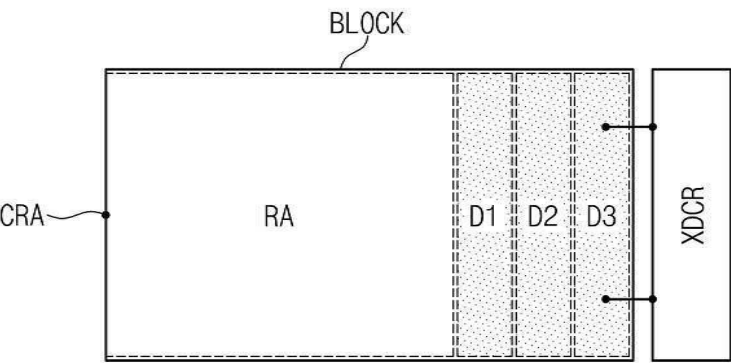
도면57



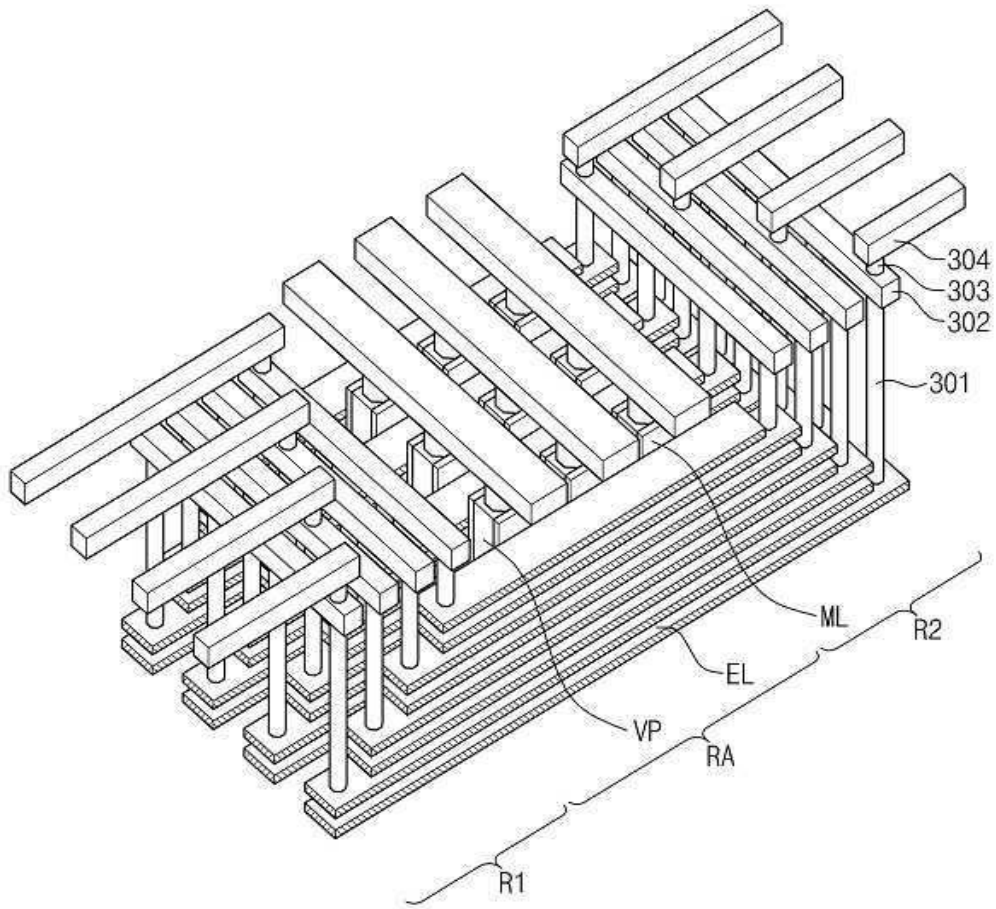
도면58



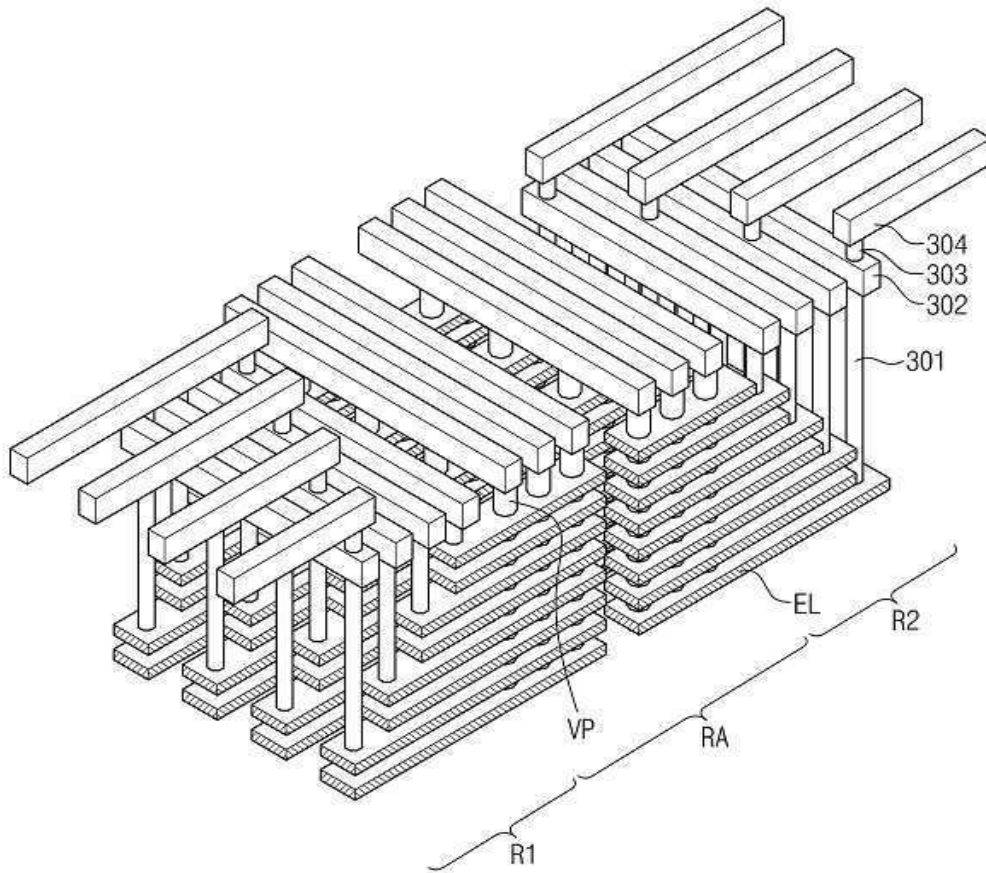
도면59



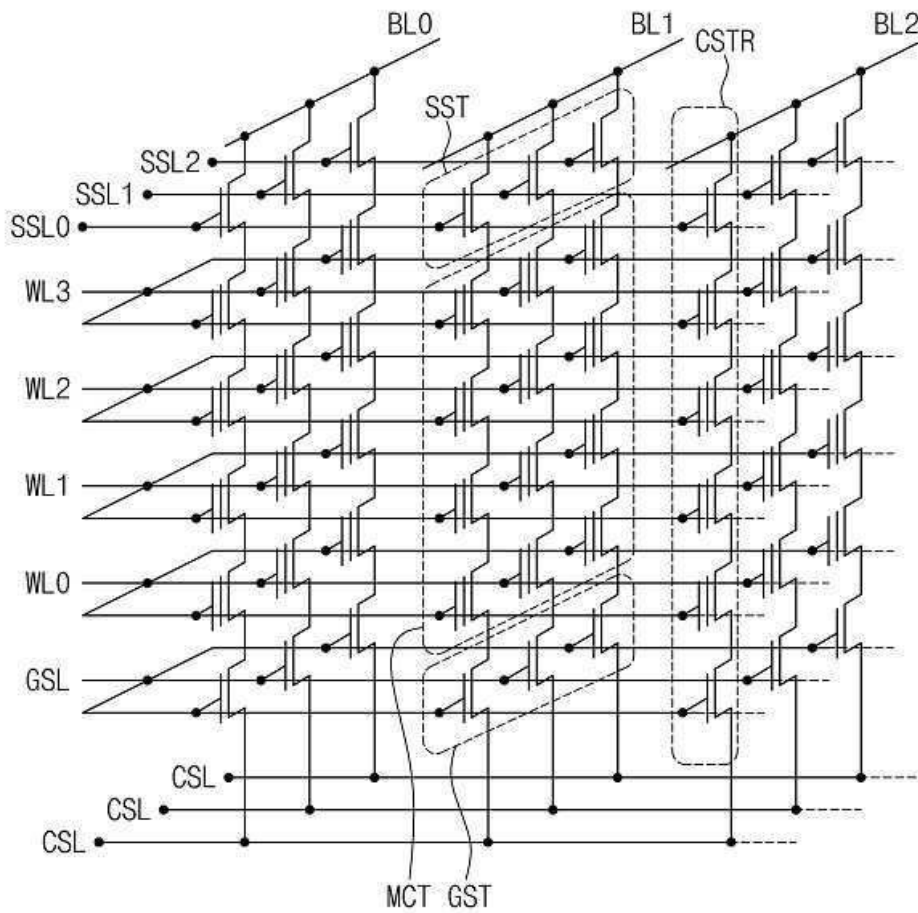
도면60



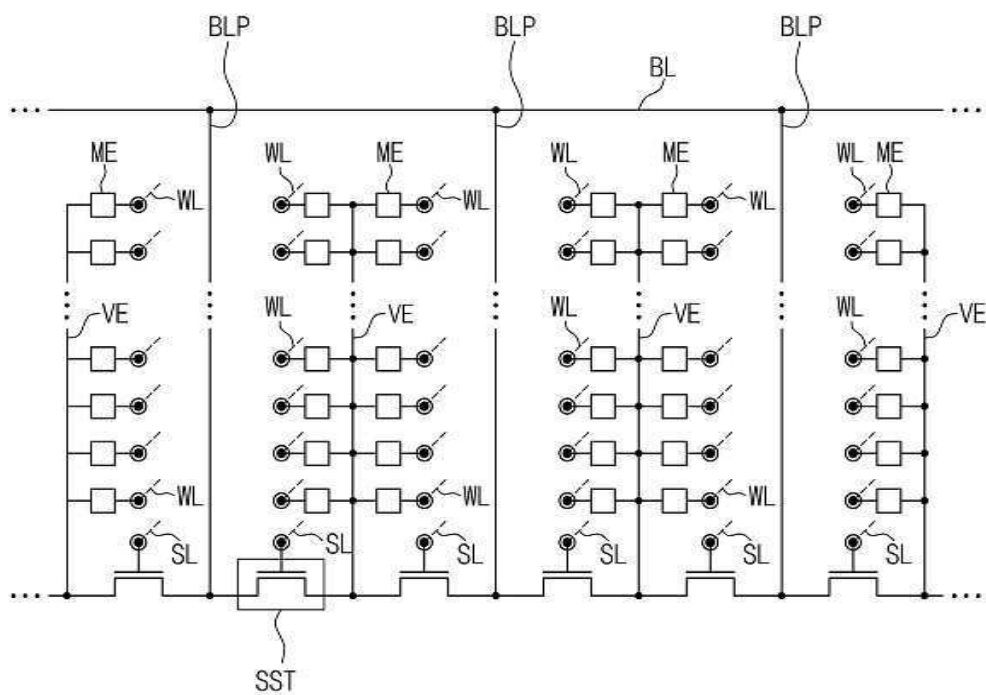
도면61



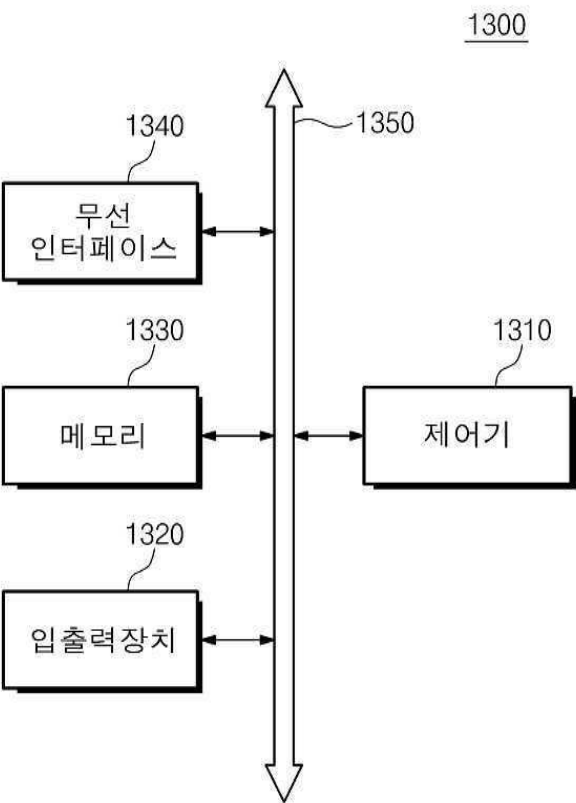
도면62



도면63



도면64



도면65

