

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年12月27日(2018.12.27)

【公開番号】特開2017-224666(P2017-224666A)

【公開日】平成29年12月21日(2017.12.21)

【年通号数】公開・登録公報2017-049

【出願番号】特願2016-117617(P2016-117617)

【国際特許分類】

H 01 L	21/8234	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	27/115	(2017.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	27/10	(2006.01)

【F I】

H 01 L	27/06	1 0 2 A
H 01 L	29/78	3 0 1 X
H 01 L	29/78	3 0 1 P
H 01 L	27/06	1 0 2 J
H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	29/50	M
H 01 L	29/58	G
H 01 L	27/10	4 8 1

【手続補正書】

【提出日】平成30年11月16日(2018.11.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主面に沿って並ぶ第1領域および第2領域を有する半導体基板と、

前記第1領域の前記半導体基板の一部分であって、前記半導体基板の上面から突出し、前記半導体基板の前記主面に沿う第1方向に延在する第1突出部と、

前記第1突出部の上面上に第1絶縁膜を介して形成され、前記第1方向に直交する第2方向に延在する第1ゲート電極と、

前記第1突出部の前記上面上に電荷蓄積部である第2絶縁膜を介して形成され、前記第1ゲート電極の一方の側壁に前記第2絶縁膜を介して隣接し、前記第2方向に延在する第2ゲート電極と、

前記第1ゲート電極および前記第2ゲート電極からなるパターンを前記第1方向において挟むように前記第1突出部の前記上面に形成された第1ソース・ドレイン領域と、

前記第2領域の前記半導体基板の一部分であって、前記半導体基板の前記上面から突出し、前記第1方向に延在する第2突出部と、

前記第2突出部の上面上に第3絶縁膜を介して形成され、前記第2方向に延在する第3ゲート電極と、

前記第3ゲート電極を前記第1方向において挟むように前記第2突出部の前記上面に形成された第2ソース・ドレイン領域と、

前記第1ソース領域・ドレイン領域のそれぞれの上面および側壁を覆い、前記第1突出部に接する第1シリサイド層と、

前記第2ソース・ドレイン領域のそれぞれの上面および側壁を覆い、前記第2突出部に接する半導体層と、

を有し、

前記第1ゲート電極、前記第2ゲート電極および前記第1ソース・ドレイン領域は、不揮発性記憶素子を構成し、

前記第3ゲート電極および前記第2ソース・ドレイン領域は、トランジスタを構成する半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記半導体層の上面の位置は、前記第1シリサイド層の上面の位置よりも高い、半導体装置。

【請求項3】

請求項1記載の半導体装置において、

前記半導体基板上に形成され、前記不揮発性記憶素子および前記トランジスタを覆う第4絶縁膜と、

前記第4絶縁膜を貫通し、前記第1シリサイド層を介して、前記第1ソース・ドレイン領域に電気的に接続された第1接続部と、

前記第4絶縁膜を貫通し、前記第2ソース・ドレイン領域に電気的に接続された第2接続部と、

をさらに有し、

前記第2接続部の底面の位置は、前記第1接続部の底面の位置よりも高い、半導体装置。

【請求項4】

請求項3記載の半導体装置において、

前記第1接続部と前記第1シリサイド層とは、互いに接しており、

前記第2接続部は、前記第2接続部および前記半導体層の間に形成された第2シリサイド層と前記半導体層とを介して前記第2突出部内の前記第2ソース・ドレイン領域に接続されている、半導体装置。

【請求項5】

請求項4記載の半導体装置において、

前記第2接続部の横の前記半導体層の前記上面は、前記第2シリサイド層から露出している、半導体装置。

【請求項6】

請求項4記載の半導体装置において、

前記第1シリサイド層は、ニッケルシリサイドからなり、前記第2シリサイド層は、チタンシリサイドからなる、半導体装置。

【請求項7】

請求項3記載の半導体装置において、

前記第1接続部と前記第1シリサイド層との間には、チタンを含む第1金属膜が介在しており、

前記第2接続部は、前記第2接続部および前記半導体層の間に形成された第2シリサイド層と前記半導体層とを介して前記第2突出部内の前記第2ソース・ドレイン領域に接続

されている、半導体装置。

【請求項 8】

請求項 1 記載の半導体装置において、

前記半導体層は、前記第 2 ソース・ドレイン領域の一部を構成している、半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、

前記第 3 ゲート電極は、第 2 金属膜を含む、半導体装置。

【請求項 10】

請求項 1 記載の半導体装置において、

前記第 1 ゲート電極は、第 3 金属膜を含み、前記第 2 ゲート電極は、第 4 金属膜を含む、半導体装置。

【請求項 11】

(a) 半導体基板を準備する工程、

(b) 前記半導体基板の上面の一部を後退させることで、前記半導体基板の一部分であって、前記半導体基板の前記上面から突出し、前記第 1 方向に延在する第 1 突出部と、前記半導体基板の前記上面から突出し、前記第 1 方向に延在する第 2 突出部とを形成する工程、

(c) 前記第 1 突出部および前記第 2 突出部の間の溝内を埋め込む素子分離膜を形成する工程、

(d) 前記 (c) 工程の後、前記第 1 突出部の直上に第 1 絶縁膜を介して第 1 ゲート電極を形成し、前記第 1 ゲート電極の一方の側壁に電荷蓄積部である第 2 絶縁膜を介して隣接する領域の前記第 1 突出部の直上に前記第 2 絶縁膜を介して第 2 ゲート電極を形成し、前記第 2 突出部の直上に第 3 絶縁膜を介して第 3 ゲート電極を形成する工程、

(e) 前記第 3 ゲート電極の横の前記第 2 突出部の上面および側壁を覆うエピタキシャル層を形成する工程、

(f) 前記第 3 ゲート電極の横の前記第 2 突出部の上面に第 2 ソース・ドレイン領域を形成する工程、

(g) 前記第 1 ゲート電極および前記第 2 ゲート電極からなるパターンの横の前記第 1 突出部の上面に第 1 ソース・ドレイン領域を形成する工程、

(h) 前記 (g) 工程の後、前記第 2 突出部を保護膜により覆った状態で、前記パターンの横の前記第 1 ソース・ドレイン領域のそれぞれの上面および側壁を覆う第 1 シリサイド層を形成する工程、

を有し、

前記第 1 ゲート電極、前記第 2 ゲート電極および前記第 1 ソース・ドレイン領域は、不揮発性記憶素子を構成し、

前記第 3 ゲート電極および前記第 2 ソース・ドレイン領域は、トランジスタを構成する、半導体装置の製造方法。

【請求項 12】

請求項 11 記載の半導体装置の製造方法において、

前記半導体層の上面の位置は、前記第 1 シリサイド層の上面の位置よりも高い、半導体装置の製造方法。

【請求項 13】

請求項 11 記載の半導体装置の製造方法において、

前記 (h) 工程は、

(h1) 前記第 2 突出部を保護膜により覆う工程、

(h2) 前記 (h1) 工程の後、第 1 熱処理を行って前記第 1 突出部を加熱した状態で、前記第 1 突出部を覆う金属膜を形成することで、前記金属膜と前記第 1 突出部の表面とを反応させ、これにより前記金属膜と前記第 1 突出部の表面との間に第 3 シリサイド層を形成する工程、

(h3) 前記 (h2) 工程の後、第 2 熱処理を行うことで、前記金属膜と前記第 1 突出部

の表面とを反応させ、これにより前記第1シリサイド層を形成する工程、
を有する、半導体装置の製造方法。

【請求項14】

請求項13記載の半導体装置の製造方法において、

前記(h2)工程では、前記第1突出部の側壁を覆う前記金属膜は、前記側壁に沿う方向において互いに離間して並ぶ複数の膜からなる、半導体装置の製造方法。

【請求項15】

請求項13記載の半導体装置の製造方法において、

前記(h2)工程は、

(h4)熱処理用チャンバ内で前記第1熱処理を行う工程、

(h5)前記(h4)工程の後、前記半導体基板を、前記熱処理用チャンバ内から成膜用チャンバ内まで真空状態が維持された経路を通って搬送する工程、

(h6)前記(h5)工程の後、前記成膜用チャンバ内でスパッタリング法により前記金属膜の形成を行う工程、

を有する、半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

図2に示すように、メモリセル領域1Aには、X方向に延在する複数のフィンFAが、Y方向に等間隔に配置されている。X方向およびY方向は、半導体基板SBの正面に沿う方向であり。X方向はY方向に対して直交している。フィンFAは、例えば、半導体基板SBの正面から選択的に突出した直方体の突出部(凸部)であり、壁状(板状)の形状を有している。フィンFAの下端部分は、半導体基板SBの正面を覆う素子分離膜EIで囲まれている。フィンFAは、半導体基板SBの一部であり、半導体基板SBの活性領域である。平面視において、隣り合うフィンFA同士の間は、素子分離膜EIで埋まっており、フィンFAの周囲は、素子分離膜EIで囲まれている。フィンFAは、メモリセルMCを形成するための活性領域である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

各フィンFAには、X方向に並ぶ複数のメモリセルMCが形成されている。各メモリセルMCのドレイン領域MDは、メモリセルMC上に形成された層間絶縁膜(図示しない)を貫通するコンタクトホール内に形成されたプラグ(コンタクトプラグ)PG1を介して、X方向に延在する配線MWからなるソース線SLに電気的に接続されている。また、Y方向に配列された複数のメモリセルMCのソース領域MSは、Y方向に延在する配線MWからなるピット線BLに電気的に接続されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

また、nMIS領域1Bには、例えば、X方向に延在するフィンFBが形成されている。フィンFBは、フィンFAと同様に半導体基板SBの一部であり、半導体基板SBの主

面上に突出した壁状(板状)の形状を有している。また、フィンFBは、半導体基板SBの活性領域であり、フィンFBの下端部分は、半導体基板SBの正面を覆う素子分離膜EIで囲まれている。フィンFB上には、Y方向に延在するゲート電極G1が配置され、ゲート電極G1を挟むように、フィンFBの上面にはドレイン領域LD1およびソース領域LS1が形成されている。ドレイン領域LD1およびソース領域LS1は、n型の半導体領域である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

n型トランジスタQNは、ゲート電極G1、ドレイン領域LD1およびソース領域LS1を有する。ゲート電極G1、ドレイン領域LD1およびソース領域LS1は、それぞれ、コンタクトホール内に形成されたプラグPGを介して、配線MWに電気的に接続されている。フィンFBは、n型トランジスタQNを形成するための活性領域である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正の内容】

【0099】

次に、図26に示すように、半導体基板SB上に、例えばCVD法を用いて、絶縁膜IF5を形成する。絶縁膜IF5は、例えば窒化シリコン膜からなり、半導体膜SI3の上面を覆い、かつ、絶縁膜IF4の側壁および上面を、絶縁膜ONを介して覆っている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0113

【補正方法】変更

【補正の内容】

【0113】

次に、図33に示すように、エピタキシャル成長法を用いて、nMIS領域1Bのダメージゲート電極DGおよびサイドウォールSWを含むパターンの横に露出するフィンFBの上面および側壁を覆うエピタキシャル層EP1を形成する。エピタキシャル層EP1は、例えばSi(シリコン)からなる。また、ここでは例えばSiP(リン化シリコン)膜またはSiC(炭化シリコン)膜からなるエピタキシャル層EP1を形成してもよい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0127

【補正方法】変更

【補正の内容】

【0127】

次に、メモリセル領域のフィンFAに形成されたソース・ドレイン領域を覆うシリサイド層を形成する。ここでは、まず、図41に示すスパッタリング装置SDを用いて、図42に示すように、フィンFAを覆う金属膜MS1を形成する。図41に示すスパッタリング装置SDは、ロードポートLP、チャンバCH1～CH5、ロボットアームRA1、RA2を有し、スパッタリング装置SDが含む各チャンバCH1～CH5のそれぞれは、密閉することが可能である。また、各チャンバCH1～CH5と、ロボットアームRA1およびRA2のそれぞれが配置されている搬送室とのそれぞれの内部は、いずれも真空ポンプなどを用いて所望の気圧および温度に保つことが可能である。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0157

【補正方法】変更

【補正の内容】

【0157】

ここでは、コンタクトホールCHのような細い開口部内にスパッタリング法に金属膜を形成することが困難であるため、CVD法により上記金属膜を形成している。ただし、Ni(ニッケル)膜はCVD法で形成することが困難であるため、ここではCVD法により形成することが容易なTi(チタン)膜を当該金属膜として形成している。したがって、シリサイド層S3は、TiSi₂(チタンシリサイド)膜からなる。すなわち、シリサイド層S3は、シリサイド層S1、S2とは異なる材料からなる。なお、シリサイド層S3の形成工程において、Ti(チタン)膜がメモリセル領域1Aのシリサイド層S1の直上のコンタクトホールCHの底部に残ってもよい。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0168

【補正方法】変更

【補正の内容】

【0168】

書き込み方式は、いわゆるSSI(Source Side Injection:ソースサイド注入)方式と呼ばれる、ソースサイド注入によるホットエレクトロン注入で書き込みを行う書き込み方式(ホットエレクトロン注入書き込み方式)を用いることができる。例えば図55の「書き込み」の欄に示されるような電圧を、書き込みを行う選択メモリセルの各部位に印加し、選択メモリセルの絶縁膜ON中の窒化シリコン膜中に電子を注入することで書き込みを行う。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0169

【補正方法】変更

【補正の内容】

【0169】

この際、ホットエレクトロンは、2つのゲート電極(メモリゲート電極MGおよび制御ゲート電極CG)間の下のチャネル領域(ソース、ドレイン間)で発生し、メモリゲート電極MGの下の絶縁膜ON中の電荷蓄積部である窒化シリコン膜にホットエレクトロンが注入される。注入されたホットエレクトロン(電子)は、絶縁膜ON中の窒化シリコン膜中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。すなわち、メモリトランジスタは書き込み状態となる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0170

【補正方法】変更

【補正の内容】

【0170】

消去方法は、いわゆるBTBT方式と呼ばれる、BTBT(Band-To-Band Tunneling:バンド間トンネル現象)によるホットホール注入により消去を行う消去方式(ホットホール注入消去方式)を用いることができる。すなわち、BTBT(バンド間トンネル現象)により発生したホール(正孔)を電荷蓄積部(絶縁膜ON中の窒化シリコン膜NF)に注入することにより消去を行う。例えば図55の「消去」の欄に示されるような電圧を、消去を行う選択メモリセルの各部位に印加し、BTBT現象によりホール(正孔)を発生させ電界加速することで選択メモリセルの絶縁膜ON中の窒化シリコン膜中にホールを注入

し、それによってメモリトランジスタのしきい値電圧を低下させる。すなわち、メモリトランジスタは消去状態となる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0188

【補正方法】変更

【補正の内容】

【0188】

次に、図56に示すように、ハードマスクHM3を除去し、続いて、メモリセル領域1Aを露出し、nMIS領域1BおよびpMIS領域1Cを覆うハードマスクHM4を、半導体基板SB上に形成する。その後、当該ハードマスクHM4をマスクとして用いてエッティングを行うことにより、ダミーゲート電極である制御ゲート電極CGおよびメモリゲート電極MGを除去することで、制御ゲート電極CGおよびメモリゲート電極MGが形成されていた領域のそれぞれに溝を形成する。