

(12) 发明专利申请

(10) 申请公布号 CN 101866953 A

(43) 申请公布日 2010. 10. 20

(21) 申请号 201010183119. 9

(22) 申请日 2010. 05. 26

(71) 申请人 清华大学

地址 100084 北京市 100084-82 信箱

(72) 发明人 王敬 王巍 郭磊 许军

(74) 专利代理机构 北京清亦华知识产权代理事

务所(普通合伙) 11201

代理人 黄德海

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 21/336(2006. 01)

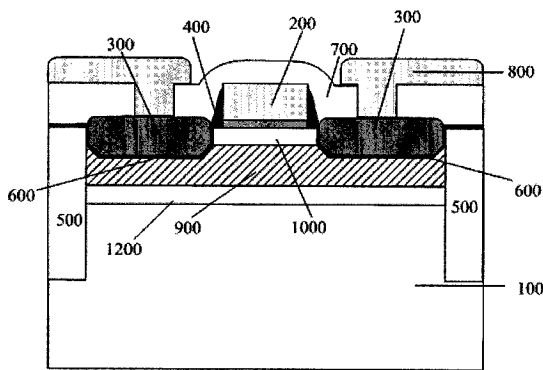
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

低肖特基势垒半导体结构及其形成方法

(57) 摘要

本发明提出一种低肖特基势垒半导体结构,包括:衬底;形成在所述衬底之上的栅堆叠,和所述栅堆叠两侧的一层或多层侧墙;形成在所述栅堆叠两侧,且位于所述衬底之中的金属源漏极;和位于所述衬底和所述金属源漏极之间的绝缘层薄膜。通过本发明实施例形成在金属源漏极和衬底之间的绝缘层薄膜,可以阻止金属源漏极导致的带隙状态进入沟道中,从而减缓费米能级钉扎现象,降低肖特基势垒高度,增加晶体管的开关电流比。



1. 一种低肖特基势垒半导体结构,其特征在于,包括:
衬底;
形成在所述衬底之上的栅堆叠,和所述栅堆叠两侧的一层或多层侧墙;
形成在所述栅堆叠两侧,且位于所述衬底之中的金属源漏极;和
位于所述衬底和所述金属源漏极之间的绝缘层薄膜。
2. 如权利要求 1 所述的低肖特基势垒半导体结构,其特征在于,还包括:
形成于所述衬底之上的高 Ge 组分沟道层,所述金属源漏极形成在所述高 Ge 组分沟道层中。
3. 如权利要求 2 所述的低肖特基势垒半导体结构,其特征在于,所述高 Ge 组分沟道层包括 Ge 沟道层或高 Ge 组分 SiGe 沟道层。
4. 如权利要求 2 所述的低肖特基势垒半导体结构,其特征在于,还包括:
形成于所述高 Ge 组分沟道层之上的 Si 层或低 Ge 组分的 SiGe 层。
5. 如权利要求 4 所述的低肖特基势垒半导体结构,其特征在于,在所述衬底上形成 Si-Ge-Si 结构。
6. 如权利要求 1-5 任一项所述的低肖特基势垒半导体结构,其特征在于,所述绝缘层薄膜包括氮硅化物或氮锗化物。
7. 如权利要求 6 所述的低肖特基势垒半导体结构,其特征在于,所述绝缘层薄膜的厚度为 0.3-5nm。
8. 如权利要求 6 所述的低肖特基势垒半导体结构,其特征在于,还包括与所述金属源漏极相连接的接触孔和金属连线。
9. 一种形成低肖特基势垒半导体结构的方法,其特征在于,包括以下步骤:
提供衬底;
在所述衬底上形成栅堆叠,及所述栅堆叠两侧的一层或多层侧墙;
以所述栅堆叠及所述侧墙为掩膜刻蚀所述衬底以在所述衬底中形成源漏极凹槽;
在所述源漏极凹槽中形成绝缘层薄膜;
在所述绝缘层薄膜之上及所述源漏极凹槽中形成金属源漏极。
10. 如权利要求 9 所述的形成低肖特基势垒半导体结构的方法,其特征在于,还包括:
在所述衬底之上形成高 Ge 组分沟道层,其中,所述金属源漏极形成在所述高 Ge 组分沟道层中。
11. 如权利要求 10 所述的形成低肖特基势垒半导体结构的方法,其特征在于,所述高 Ge 组分沟道层包括 Ge 沟道层或高 Ge 组分 SiGe 沟道层。
12. 如权利要求 10 所述的形成低肖特基势垒半导体结构的方法,其特征在于,还包括:
在所述高 Ge 组分沟道层之上形成 Si 层或低 Ge 组分 SiGe 层。
13. 如权利要求 12 所述的形成低肖特基势垒半导体结构的方法,其特征在于,在衬底结构上形成 Si-Ge-Si 结构。
14. 如权利要求 9-13 任一项所述的形成低肖特基势垒半导体结构的方法,其特征在于,所述绝缘层薄膜包括氮硅化物或氮锗化物。
15. 如权利要求 9 所述的形成低肖特基势垒半导体结构的方法,其特征在于,所述绝缘层薄膜的厚度为 0.3-5nm。

16. 如权利要求 9 所述的形成低肖特基势垒半导体结构的方法,其特征在于,还包括:
形成与所述金属源漏极相连接的接触孔和金属连线。

低肖特基势垒半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体设计及制造技术领域,特别涉及一种低肖特基势垒半导体结构及其形成方法。

背景技术

[0002] 当前 Si 沟道晶体管的继续发展主要面临两大难题:一是由源向沟道的热载流子注入引起的最大饱和电流限制,二是亚阈值特性并不跟随等比例缩小原理而改变所引起的漏电问题。非 Si 沟道的材料在半导体领域的应用,被认为是改善晶体管性能的重要手段。其中 Ge 材料具有良好的低场迁移率以及比 Si 材料更小的禁带宽度,并且 Ge 沟道器件的制作工艺可以和传统的 Si 晶体管工艺相兼容,因此 Ge 被认为是 Si 沟道材料的很有希望的替代者。上述两大难题可以通过将 Si 沟道材料换为 Ge 而得到一定程度的改善和解决。但是 Ge 沟道材料的传统场效应晶体管也面临着自身的问题:如窄禁带导致的 BTBT 带间漏电,锗衬底与栅绝缘层介质间难以得到良好界面,漏源注入激活率过低,注入掺杂在高温下极易扩散导致结深过深等一系列问题。

[0003] 特别地,Ge 晶体管在源漏制作时会受到杂质在 Ge 中固溶度、扩散系数和 Ge 材料熔点的限制,难以做到杂质的高激活率和超浅结深,这对于缩小 MOS 器件尺寸是相当不利的。因此,如何形成 Ge 晶体管的源极和漏极成为了亟待解决的问题。

发明内容

[0004] 本发明的目的旨在至少解决上述技术缺陷之一,特别是解决现有技术中难以形成 Ge 晶体管源极和漏极的缺陷。

[0005] 为达到上述目的,本发明一方面提出一种低肖特基势垒半导体结构,包括:衬底;形成在所述衬底之上的栅堆叠,和所述栅堆叠两侧的一层或多层侧墙;形成在所述栅堆叠两侧,且位于所述衬底之中的金属源漏极;和位于所述衬底和所述金属源漏极之间的绝缘层薄膜。

[0006] 本发明另一方面还提出了一种形成低肖特基势垒半导体结构的方法,包括以下步骤:提供衬底;在所述衬底上形成栅堆叠,及所述栅堆叠两侧的一层或多层侧墙;以所述栅堆叠及所述侧墙为掩膜刻蚀所述衬底以在所述衬底中形成源漏极凹槽;在所述源漏极凹槽中形成绝缘层薄膜;在所述绝缘层薄膜之上及所述源漏极凹槽中形成金属源漏极。

[0007] 通过本发明实施例形成在金属源漏极和衬底之间的绝缘层薄膜,可以阻止金属源漏极导致的带隙状态进入沟道中,从而消除费米能级钉扎效应,降低肖特基势垒高度,增加晶体管的开关电流比。

[0008] 在本发明的优选实施例中,还可形成 Si-Ge-Si 结构,用以解决 BTBT 漏电和栅介质层与沟道间的表面态问题。并且在本发明中整个工艺流程不再需要源漏注入和 Halo 注入,因此本发明实施例不仅能够提高 Ge 晶体管开关电流比,有效解决 Ge 晶体管的漏电问题,而且还能够降低晶体管的制造成本。

[0009] 本发明附加的方面和优点将在下面的描述中部分给出,部分将从下面的描述中变得明显,或通过本发明的实践了解到。

附图说明

[0010] 本发明上述的和 / 或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解,其中:

[0011] 图 1 为本发明实施例的低肖特基势垒半导体结构的结构图;

[0012] 图 2 为本发明实施例采用 Si-Ge-Si 结构的低肖特基势垒半导体结构的结构图;

[0013] 图 3-8 为本发明实施例的低肖特基势垒半导体结构的形成方法中间步骤示意图。

具体实施方式

[0014] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。

[0015] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和 / 或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和 / 或设置之间的关系。此外,本发明提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的可应用于性和 / 或其他材料的使用。另外,以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。

[0016] 在本发明实施例中,采用金属源漏极与半导体衬底材料形成肖特基接触,由于肖特基结具有整流特性,在合适的外加栅压和源漏偏压下,晶体管栅极下方将形成导电沟道,这样载流子就可以从金属源端通过热电场发射的方式进入沟道并进行传输。在本发明中,这种结构的晶体管具有很多优势,如 (1) 不再需要源漏注入和 Halo 注入,可以极大简化晶体管制备工艺流程,减小高浓度注入给衬底带来的注入损伤;(2) 工艺流程中不涉及源漏杂质的激活和扩散,整个制作流程中没有高温工艺的存在,这使得可以在不采用 Gate-Last 工艺的情况下完成 High-K 金属栅结构的制作和沟道应力的引入,为进一步发掘 Ge 沟道器件的潜力提供了良好的条件;(3) 工艺结构上不再需要 PN 结的结构,从根源上解决了 Latch-up 效应,简化了晶体管的隔离工艺,可以增加芯片集成度。

[0017] 但是在锗和常规锗化物(如 NiGe、TiGe、CoGe 等)界面处,由于金属锗化物在锗材料中产生金属致带隙状态效应(MIGS),将会把锗材料的费米能级钉住,强烈的费米能级被钉扎使得半导体材料能级被固定。绝大多数情况下这会使形成的肖特基势垒很高,从而载流子输运受阻。为了缓解这一现象,在本发明实施例中,在金属源漏极和半导体衬底之间还包括一层绝缘层薄膜,例如氮硅化物 SiN 或氮锗化物 GeN 薄膜,可以阻止源漏金属中的自由态进入 Ge 沟道中,从而释放费米能级,有效降低肖特基势垒高度,减小 MIGS 对沟道区域的影响。同时,由于选取的绝缘层材料与沟道界面存在辅助载流子隧穿的缺陷,以及绝缘层本身很薄,载流子在热场发射的作用下获得足够能量,得以通过这层绝缘层势垒通过隧穿进

出沟道。因此本发明实施例可以有效缓解锗的费米能级钉扎这一现象,降低肖特基势垒高度。

[0018] 如图 1 所示,为本发明实施例的低肖特基势垒半导体结构的结构图。该低肖特基势垒半导体结构包括衬底 100,形成在衬底 100 之上的栅堆叠 200,以及栅堆叠 200 两侧的一层或多层侧墙 400,和用于隔离的隔离结构 500。其中,衬底 100 可包括 Si、低锗组分 SiGe、III-V 族材料、II-VI 族材料或其他半导体材料;当然也可以是 SOI、GOI 等覆盖绝缘层的衬底。在本发明的一个实施例中,隔离结构 500 可包括 STI 隔离或者 LOCOS 隔离,当然本领域技术人员还可选择其他隔离方式。在本发明的另一个实施例中,栅堆叠 200 可包括栅介质层和栅极,优选地,可包括高 k 栅介质层和金属栅极,当然其他如氧化物介质层或多晶硅栅极也可应用在本发明中,因此也应包含在本发明的保护范围之内。并且在本发明实施例中,由于采用金属源漏极,工艺流程中不需要对源漏注入进行退火,避免了高温工艺,使得可以在不采用 gate-last(后栅工艺)的情况下完成高 k 栅介质层及金属栅的制作,以及沟道的引入。

[0019] 该低肖特基势垒半导体结构还包括形成在栅堆叠 200 两侧,且位于衬底 100 之中的金属源漏极 300,在金属源漏极 300 和半导体衬底 100 之间具有绝缘层薄膜 600。在本发明的一个实施例中,源漏极 300 中的金属可以包括但不限于 Al、Cu、Pt、Ni、W、Er、Ti、Yb 或其他常规或稀土金属。在本发明的另一个实施例中,绝缘层薄膜 600 可为氮硅化物 SiN 或氮锗化物 GeN。在本发明的上述实施例中,绝缘层薄膜 600 的厚度根据阻挡层材料和金属源漏极中的金属材料不同会有变化,绝缘层薄膜 600 的厚度约为 0.3nm-5nm。在本发明实施例中,绝缘层薄膜 600 的厚度非常重要,如果绝缘层薄膜 600 太薄,则对间隙态的阻挡不足,但是如果绝缘层薄膜 600 太厚,则会导致载流子隧穿变的困难,这都不利于开态电流的提高。在本发明的一个实施例中,如果选择氮硅化物 SiN 作为绝缘层薄膜 600,选择 Al 作为源漏极金属,则绝缘层薄膜 600 的厚度优选约为 3nm。

[0020] 在本发明的一个实施例中,该低肖特基势垒半导体结构还包括介质层 700 以及与金属源漏极 300 相连接的接触孔和金属连线 800。

[0021] 在本发明的一个优选实施例中,还可采用 Si-Ge-Si 结构,以用以解决了 BTBT 漏电和栅介质层与沟道间的表面态问题。例如,在一个实施例中,如图 2 所示,可采用 Si 衬底 100,并在 Si 衬底 100 之上形成高 Ge 组分沟道层 900,其中,金属源漏极 300 形成在高 Ge 组分沟道层 900 中,高 Ge 组分沟道层 900 可包括 Ge 沟道层或高 Ge 组分 SiGe 沟道层。还包括在高 Ge 组分沟道层 900 之上的 Si 层 1000,从而形成 Si-Ge-Si 结构。需要说明的是,本发明所述的 Si-Ge-Si 结构可通过多种方式实现,例如可在 Si 衬底之上先形成一层低 Ge 组分的 SiGe 层,之后在所述低 Ge 组分的 SiGe 层之上形成高 Ge 组分材料层,再在高 Ge 组分材料层之上形成一层 Si 层,从而形成 Si-Ge-Si 结构,又或者,也可以通过控制 SiGe 层中 Ge 组分的含量来形成 Si-Ge-Si 结构,等等。

[0022] 为了更清楚的理解本发明实施例提出的上述半导体结构,本发明还提出了形成上述半导体结构的方法的实施例,需要注意的是,本领域技术人员能够根据上述半导体结构选择多种工艺进行制造,例如不同类型的产品线,不同的工艺流程等等,但是这些工艺制造的半导体结构如果采用与本发明上述结构基本相同的结构,达到基本相同的效果,那么也应包含在本发明的保护范围之内。为了能够更清楚的理解本发明,以下将具体描述形成本

发明上述结构的方法及工艺,还需要说明的是,以下步骤仅是示意性的,并不是对本发明的限制,本领域技术人员还可通过其他工艺实现。

[0023] 在本发明中以下低肖特基势垒半导体结构形成方法的实施例中,将以 Si-Ge-Si 结构为例进行描述,不采用 Si-Ge-Si 结构的例子可参考以下实施例,在此不再赘述。

[0024] 如图 3~8 所示,为本发明实施例的低肖特基势垒半导体结构的形成方法中间步骤示意图,该方法包括以下步骤:

[0025] 步骤 S 101,提供衬底 100,在该实施例中,该衬底 100 为 Si 衬底或低 Ge 组分 SiGe 衬底。

[0026] 步骤 S102,在衬底 100 之上形成高 Ge 组分沟道层 900,如 Ge 沟道层或高 Ge 组分 SiGe 沟道层,并在高 Ge 组分沟道层 900 之上再形成一层 Si 层或者低 Ge 组分 SiGe 层 1000,以形成 Si-Ge-Si 结构,如图 3 所示。更为具体地,在本发明的一个实施例中,例如举例来讲可提供一块低 Ge 组分的 SiGe 衬底 100,在其上通过化学气相淀积的方法,先生长一层 3nm 厚的 Si 层 1200,然后掺杂生长得到约 6nm 厚,均匀掺杂质砷为 $1 \times 10^{14}/\text{cm}^3$ 的 Ge 层 900,然后继续淀积 3nm 厚的 Si 层 1000,以形成 Si-Ge-Si 结构。

[0027] 步骤 S103,定义有源区,并制作器件隔离结构 500,如图 4 所示。

[0028] 步骤 S104,在 Si 层 1000 之上形成栅堆叠 200,以及栅堆叠 200 两侧的一层或多层侧墙 400,如图 5 所示。在本发明实施例中,栅堆叠 200 包括栅介质层和栅极,优选地,可包括高 k 栅介质层和金属栅极,当然其他氮化物或氧化物介质层或多晶硅栅极也可应用在本发明中,因此也应包含在本发明的保护范围之内。并且在本发明实施例中,由于采用金属源漏极,因此避免了高温工艺,使得可以在不采用 gate-last(后栅工艺)的情况下完成高 k 栅介质层及金属栅的制作,以及沟道的引入。

[0029] 步骤 S105,以栅堆叠 200 及侧墙 400 为掩膜刻蚀 Si 层 1000 和高 Ge 组分沟道层 900 以形成源漏极凹槽 1100,如图 6 所示。需要说明的是,图中源漏极凹槽 1100 的形状仅是示意性的,本领域技术人员可以采用任意满足要求的形状,这些均应包含在本发明的保护范围之内。

[0030] 步骤 S106,在源漏极凹槽 1100 中淀积形成绝缘层薄膜 600,如图 7 所示。在本发明的另一个实施例中,绝缘层薄膜 600 可为氮硅化物 SiN 或氮锗化物 GeN,其厚度约为 0.3nm-5nm。

[0031] 在本发明的一个实施例中,优选使用 GeN 作为绝缘薄膜。其中,具体地,GeN 的生长条件可使用等离子超高真空化学气相淀积(UHV-CVD)生长 GeN 薄膜,例如先使用 UHV 反应炉进行 Ge 片表面的清洁,压强约在 10^{-10} Torr 以下的环境下升温到约 300~600 摄氏度,之后持续约 3-5 分钟,使凹槽 1100 表面的 O、C 等杂质析出,以提高形成的 GeN 绝缘薄膜的质量。接着在同一腔体内,将总气压控制在约 15mTorr 以下,通入等离子体的氮气,气流流量约为 20~100sccm,直流功率约为 20~80W。使用的衬底 100 的温度在室温至 300 摄氏度间,反应时间 5-30 分钟。其中,在本发明实施例中,生长的 GeN 薄膜厚度被控制在约 0.3~5nm。优选的工艺为:在 GeN UHV 反应炉中,在 10^{-10} Torr 压强下,500 摄氏度对圆片表面进行热清洁 3 分钟,去除吸附在凹槽 1100 表面的 O 和 C 等杂质。接着通入直流功率 40W 的等离子体氮气气流,气流流量 60sccm,保持衬底 100 的温度为 200 摄氏度,反应 10 分钟,从而得到厚度约 2nm 的 GeN 薄膜。

[0032] 在本发明的另一个实施例中,可通过 PECVD 形成氮硅化物 SiN,具体地, SiN 的生长条件为:气源采用 NH_3/SiH_4 气体流量比例约为 5 : 1 至 15 : 1 的混合气体, SiH_4 气体流量约为 5 ~ 15sccm,衬底温度保持在室温至约 300 摄氏度,反应腔工作气压约为 30Pa ~ 200Pa,反应时间约为 30 ~ 300 秒,从而生长的 SiN 薄膜厚度被控制在约 0.3 ~ 5nm。优选的工艺为:在 PECVD 反应炉中通入用 NH_3/SiH_4 气体流量比例为 10 : 1 的混合气体, SiH_4 气体流量为 10sccm,衬底温度保持 250 摄氏度,反应腔工作气压为 66Pa,反应时间 45 秒,形成一层厚度约为 1.5nm 的 SiN。

[0033] 步骤 S107,在绝缘层薄膜 600 之上及源漏极凹槽 1100 中形成金属源漏极 300,如图 8 所示。例如,可使用物理气相淀积的方法,溅射一层金属,如 Al,之后刻蚀掉栅堆叠 200 之上的金属,最后在源漏区中形成覆盖在绝缘层薄膜 600 之上的金属源漏极 300。在本发明的一个实施例中,源漏极 300 中的金属可以包括但不限于 Al、Cu、Pt、Ni、W、Er、Ti、Yb、其他常规或稀土金属。

[0034] 步骤 S108,淀积介质层 700,并形成与金属源漏极 300 相连接的接触孔和金属连线 800,如图 2 所示。

[0035] 通过本发明实施例形成在金属源漏极和衬底之间的绝缘层薄膜,可以阻止金属源漏极导致的带隙状态进入沟道中,从而消除费米能级钉扎效应,降低肖特基势垒高度,增加晶体管的开态电流。在本发明的优选实施例中,在衬底之上还可以形成 Si-Ge-Si 结构,用以解决了 BTBT 漏电和栅介质层与沟道间的表面态问题,整个工艺流程不再需要源漏注入和 Halo 注入,因此本发明实施例不仅能够提高 Ge 晶体管开关电流比,有效解决 Ge 晶体管的漏电问题,而且还能够降低晶体管的制造成本。

[0036] 尽管已经示出和描述了本发明的实施例,对于本领域的普通技术人员而言,可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型,本发明的范围由所附权利要求及其等同限定。

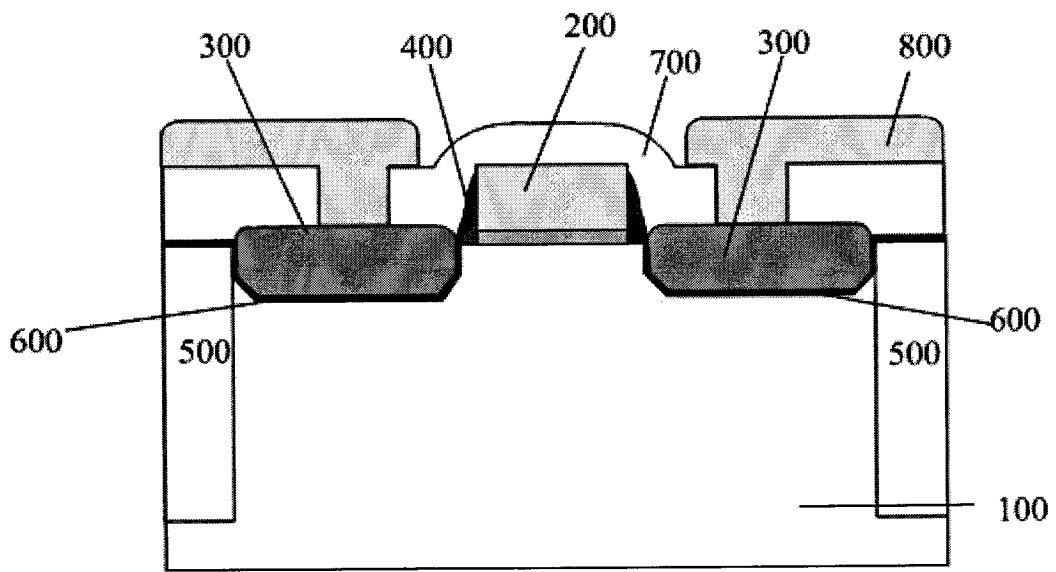


图 1

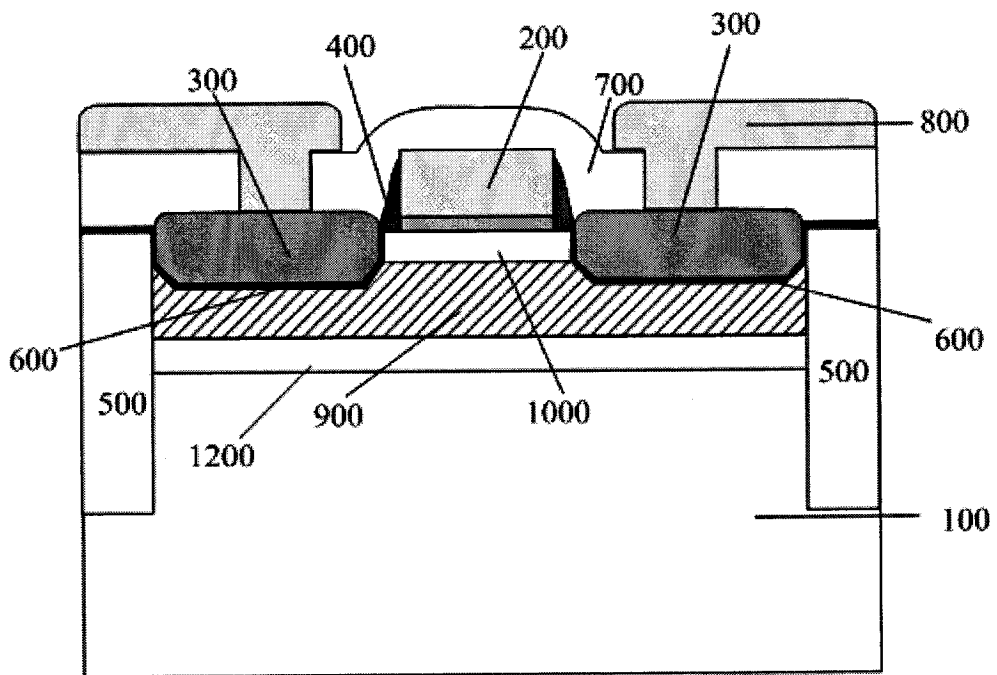


图 2

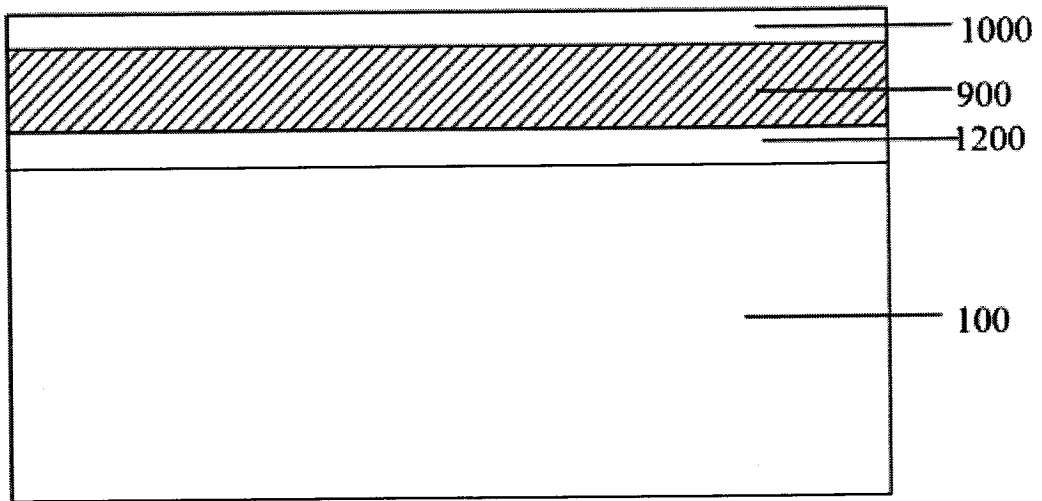


图 3

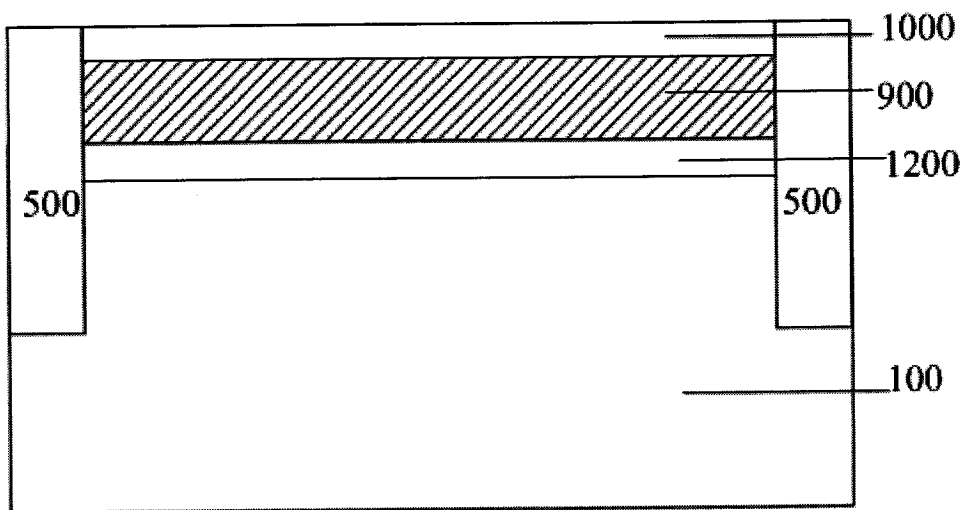


图 4

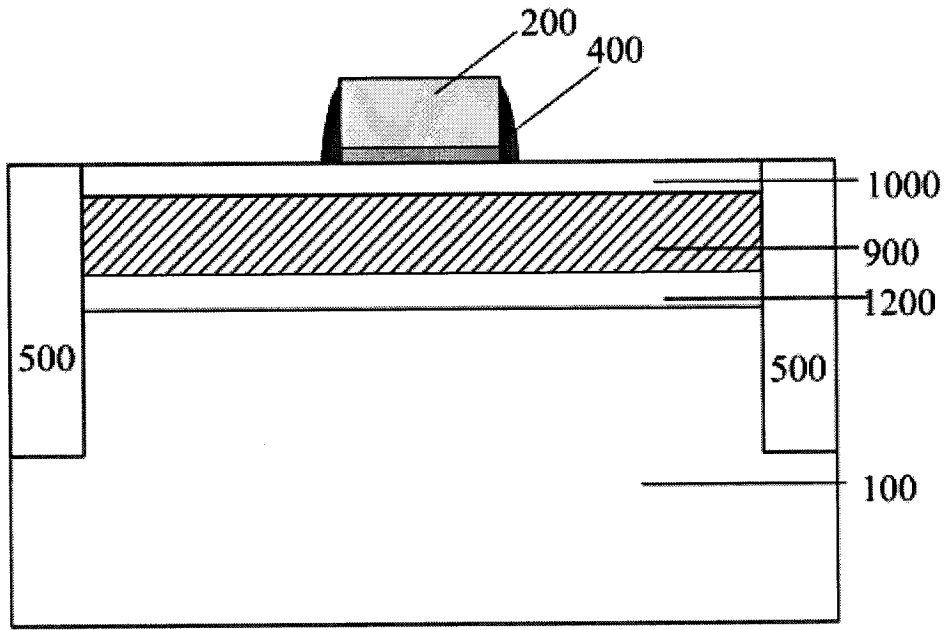


图 5

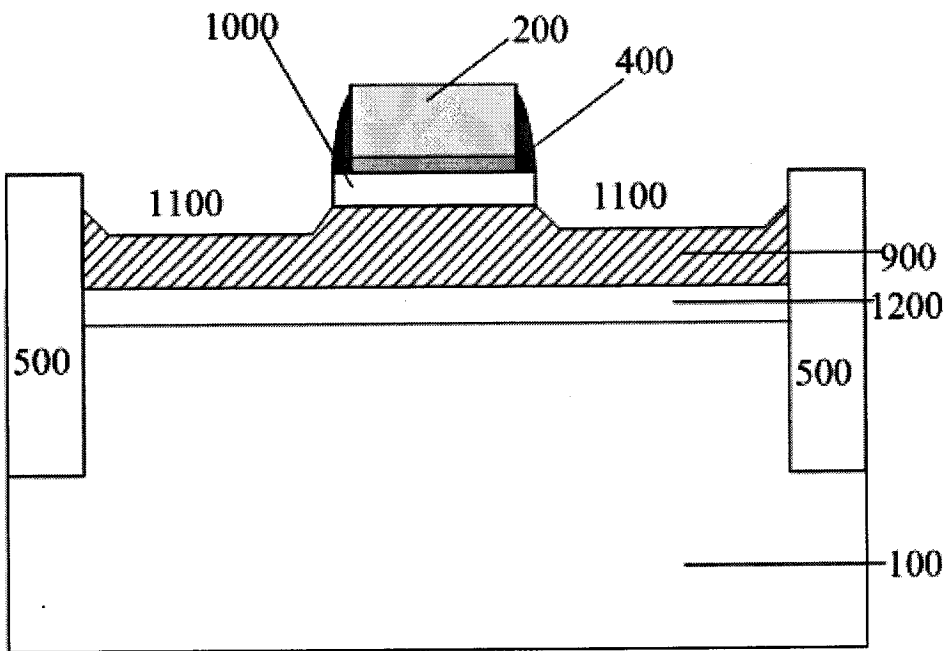


图 6

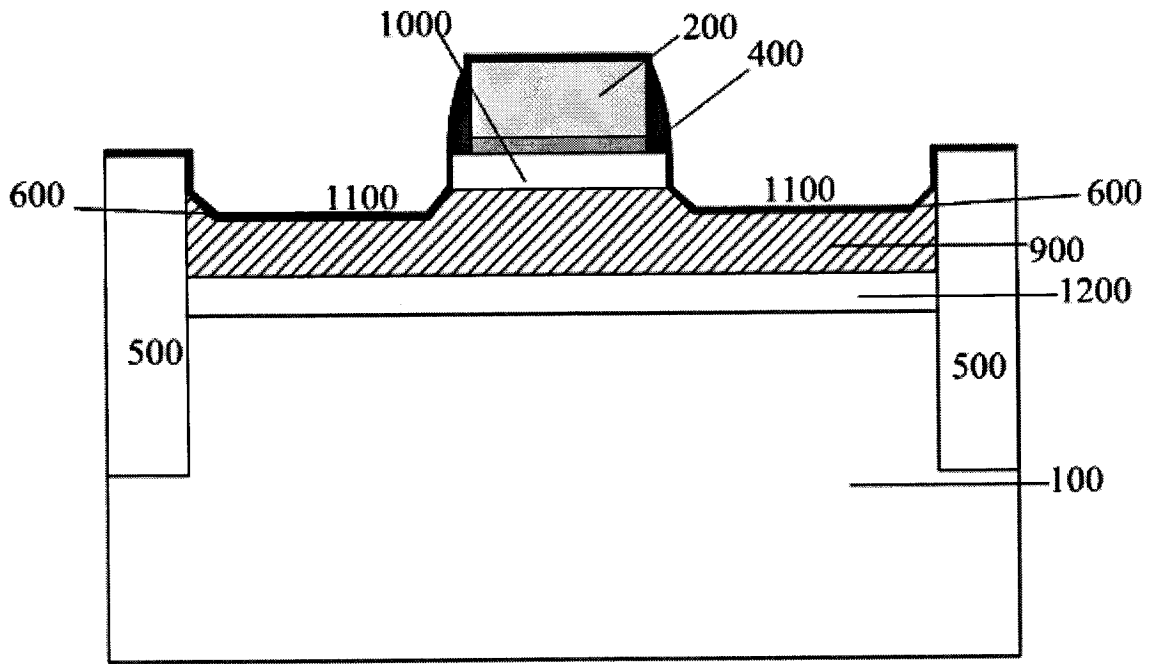


图 7

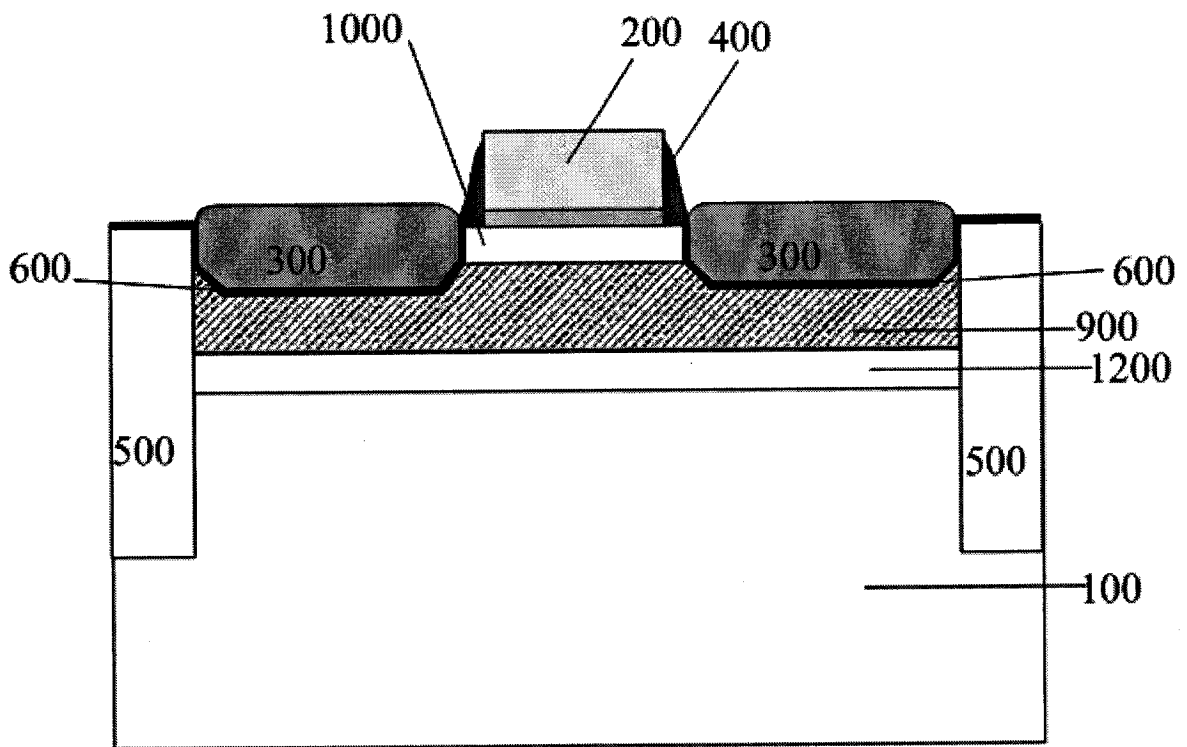


图 8