

FEDERÁLNÍ ÚŘAD  
PRO VYNÁLEZY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

(21) PV 8923-88.A  
(22) Přihlášeno 30 01 89

(40) Zveřejněno 12 09 90  
(45) Vydáno 08 07 92

274 237

(11)

(13) B 1

(51) Int. Cl.<sup>5</sup>  
G 11 C 7/00

(75) Autor vynálezu

HEJDUK KAREL ing. CSc., PRAHA,  
JIRÁK MARTIN ing., MNICHOVICE,  
SLÁDEČEK JIŘÍ ing., SATALICE

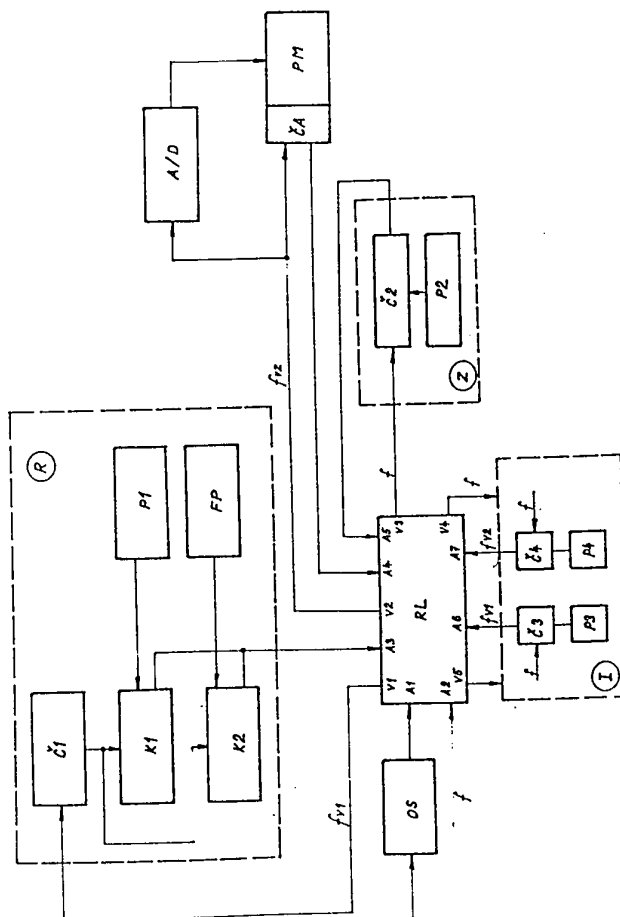
(54)

Zapojení pro programové řízení analogově-  
číslicového převodníku a ukládání dat do  
paměti

(57)

Zapojení sestává ze spouštěcího obvodu (OS), jehož výstup je připojen do obvodů rozhodovací logiky (RL), kde dojde k rozhodnutí o zařazení funkcí nastavení začátku vzorkování a nastavení intervalu vzorkování, shodně vybavených čítači (Č2 a Č3, Č4) a programovacími přepínači nebo registry (P2 a P3, P4). Zapojení dále sestává z jednotky (R) nastavení režimu vzorkování doplněné o dva logické komparátory (K1, K2), z nichž první zajišťuje přepnutí dvou časových základů v jednotce (I) nastavení intervalu vzorkování a druhý v režimu předspouštění ukončuje podle bloku (FP) zadání formátu paměti zápis do paměti (PM), ovládané z rozhodovací logiky (RL) frekvencí pro čítač (ČA) adresy a analogově-číslicový převodník (A/D).

Tímto komparačním způsobem a přímou cestou ke generaci paměti (PM) pomocí čítače (ČA) adresy je dosaženo co nejkratší doby pro zápis dat do paměti (PM).



Vynález se týká zapojení pro programové řízení analogově-číslicového převodníku a ukládání dat do paměti zapojené na jeho výstupu a obsahující čítač adresy.

Známa zapojení pro programové řízení ukládání dat z analogově-číslicového převodníku do paměti vypočítávají například potřebnou adresu pomocí binární sčítačky nebo potřebné zapojení realizují programovatelnými obvody, popřípadě s použitím mikroprocesoru. Zapojení vykazují značnou složitost a zejména uvedené koncepce neumožňují plné využití mezních rychlostí integrovaných obvodů.

Výše uvedené nedostatky odstraňuje zapojení pro programové řízení analogově-číslicového převodníku a ukládání dat do paměti podle vynálezu. Jeho podstata spočívá v tom, že výstup spouštěcího obvodu je spojen s prvním vstupem rozhodovací logiky, jejíž druhý vstup je spojen se zdrojem řídicího kmitočtu. Třetím výstupem je rozhodovací logika spojena s jednotkou nastavení začátku vzorkování, sestávající z druhého programovacího přepínače nebo registru, spojeného s druhým čítačem, jehož výstup je spojen s pátým vstupem rozhodovací logiky, jejíž čtvrtý a pátý výstup je spojen s jednotkou nastavení intervalu vzorkování, obsahující třetí a čtvrtý programovací přepínač nebo registr, spojený s třetím a čtvrtým čítačem. Výstup třetího čítače je spojen se šestým vstupem a výstup čtvrtého čítače je spojen se sedmým vstupem rozhodovací logiky, jejíž třetí vstup je spojen jednak s výstupem prvního komparátoru a jednak s výstupem druhého komparátoru jednotky nastavení režimu vzorkování, přičemž výstup prvního programovacího přepínače nebo registru je připojen k druhému vstupu prvního komparátoru, zatímco ke druhému vstupu druhého komparátoru je připojen výstup bloku formátu paměti. První výstup rozhodovací logiky je spojen se vstupem prvního čítače jednotky nastavení režimu vzorkování a výstup prvního čítače je spojen s prvními vstupy prvního a druhého komparátoru, druhý výstup rozhodovací logiky je spojen jednak přechodně s analogově-číslicovým převodníkem a jednak se vstupem čítače adresy paměti, zatímco výstup čítače adresy je spojen se čtvrtým vstupem rozhodovací logiky.

Výhoda zapojení spočívá v tom, že základní jednotky programovaného řízení, to je jednotky nastavení začátku, intervalu a režimů vzorkování a jednotka rozhodovací logiky pracující s čítači nebo s přednastavitelnými čítači, jejichž stav je vyhodnocován logickými obvody, popřípadě porovnán s nastavenými hodnotami v logických komparátorech, čímž se dosahuje minimálního zpoždění při vytvoření řídicího kmitočtu pro analogově-číslicový převodník a pro generování adresy paměti.

Na připojeném výkresu jsou blokově znázorněny základní jednotky s vnitřním uspořádáním a jejich vzájemné propojení.

Výstup spouštěcího obvodu Q5 je spojen s prvním vstupem A1 rozhodovací logiky RL, jejíž druhý vstup A2 je spojen se zdrojem řídicího kmitočtu. Třetím výstupem V3 je rozhodovací logika RL spojena s jednotkou Z nastavení začátku vzorkování, sestávající z druhého programovacího přepínače nebo registru P2, spojeného s druhým čítačem Č2 jehož výstup je spojen s pátým vstupem A5 rozhodovací logiky RL. Čtvrtý a pátý výstup V4, V5 rozhodovací logiky RL je spojen s jednotkou I nastavení intervalu vzorkování, obsahující třetí a čtvrtý programovací přepínač nebo registr P3, P4, spojený s třetím a čtvrtým čítačem Č3, Č4. Výstup třetího čítače Č3 je spojen se šestým vstupem A6 a výstup čtvrtého čítače Č4 je spojen se sedmým vstupem A7 rozhodovací logiky RL, jejíž třetí vstup A3 je spojen s jednotkou R nastavením režimu vzorkování prostřednictvím výstupu jejího prvního komparátoru K1, spojeného s výstupem jejího prvního programovacího přepínače nebo registru P1 a prostřednictvím výstupu jejího druhého komparátoru K2, spojeného s výstupem jejího bloku FP

formátu paměti. První výstup V1 rozhodovací logiky RL je spojen se vstupem prvního čítače Č1 jednotky R nastavení režimu vzorkování jehož výstup je spojen současně se vstupem prvního a druhého komparátoru K1, K2.

Druhý výstup V2 rozhodovací logiky RL je spojen jednak přes analogově-číslíkový převodník A/D s pamětí PM a jednak přímo se vstupem čítače ČA adresy paměti PM, jehož výstup je spojen se čtvrtým vstupem A4 rozhodovací logiky RL.

Do rozhodovací logiky RL je ze spouštěcího obvodu OS přiváděn spouštěcí signál, který uvolní řídicí kmitočet  $f$ . Ten je přiváděn do druhého čítače Č2 jednotky Z nastavení začátku vzorkování, která na základě informací ve druhém programovacím přepínači nebo registru P2 určí začátek vzorkování, který v obvodech rozhodovací logiky RL uvolní řídicí kmitočet  $f$  pro jednotku I nastavení intervalu vzorkování. Činnost této jednotky I je obdobná jednotce Z nastavení začátku vzorkování, pouze jejím výstupem je proměnný vzorkovací kmitočet  $f_v$ , který je přiváděn z druhého výstupu V2 rozhodovací logiky RL do čítače ČA adresy paměti PM a který může být nastaven ve dvou velikostech na základě přepnutí cesty první vzorkovací kmitočet  $f_{v1}$  nebo druhý vzorkovací kmitočet  $f_{v2}$  pomocí řízení z rozhodovací logiky RL. První vzorkovací kmitočet  $f_{v1}$  je přiváděn z výstupu třetího čítače Č3 jednotky I nastavení intervalu vzorkování na šestý vstup A6 rozhodovací logiky RL a druhý vzorkovací kmitočet  $f_{v2}$  je přiváděn z výstupu čtvrtého čítače Č4 této jednotky I na sedmý vstup A7 rozhodovací logiky RL. O okamžiku přepnutí rozhodne jednotka R nastavení režimu vzorkování, která k tomuto rozhodnutí využije prvního komparátoru K1 a prvního přepínače nebo registru P1. V okamžiku souhlasu stavu prvního čítače Č1 a prvního přepínače nebo registru P1 předá první komparátor K1 tuto informaci rozhodovací logice RL, která přepne z prvního vzorkovacího kmitočtu  $f_{v1}$  na druhý vzorkovací kmitočet  $f_{v2}$ . V tomto režimu jednotka R nastavení režimu vzorkování zpracovává první vzorkovací kmitočet  $f_{v1}$  a do analogově-číslíkového převodníku A/D a čítače ČA adresy přichází postupně první vzorkovací kmitočet  $f_{v1}$  a druhý vzorkovací kmitočet  $f_{v2}$ . Pokud se pracuje pouze s jedním vzorkovacím kmitočtem, potom je použit první vzorkovací kmitočet  $f_{v1}$  a jednotka R nastavení režimu vzorkování je mimo provoz. Činnost analogově-číslíkového převodníku A/D a paměti PM je v rozhodovací logice RL ukončena v obou případech logickým signálem naplnění paměti, který je přiváděn z výstupu čítače ČA adresy na čtvrtý vstup A4 rozhodovací logiky RL a informuje o naplnění paměti PM.

V režimu předspouštění jsou data z analogově-číslíkového převodníku A/D v paměti PM trvale přepisována, rozhodovací logika RL neakceptuje signál naplnění paměti PM a po příchodu spouštěcího signálu ze spouštěcího obvodu OS dává informaci o ukončení záznamu dat jednotka R nastavení režimu vzorkování, využívající v tomto případě druhý komparátor K2, který porovnává stav prvního čítače Č1 s hodnotou nastavenou v bloku FP formátu paměti, odpovídajícímu velikosti paměti PM. Po souhlasu hodnoty prvního čítače Č1 a hodnoty bloku FP formátu paměti ukončí druhý komparátor K2 prostřednictvím rozhodovací logiky RL zápis dat do paměti PM.

Tímto komparačním způsobem a přímou cestou ke generaci paměti PM pomocí čítače ČA adresy je dosaženo co nejkratší doby pro zápis dat do paměti PM.

Zapojení pro programové řízení analogově-číslíkového převodníku a ukládání dat do paměti se využívá v záznamových jednotkách přechodových jevů, které se uplatňují například při zkratových a vypínacích zkouškách a dále všude tam, kde je nutné sledovat různé přechodové jevy, například vypínání, zapínání, maximální hodnoty veličin a podobně. Všeobecně lze navržené zapojení realizovat v přístrojích v elektrotechnice a elektronice, kterými se zaznamenávají různé přechodové jevy.

## P Ř E D M Ě T      V Y N Á L E Z U

Zapojení pro programové řízení analogově-číslicového převodníku a ukládání dat do paměti, vyznačující se tím, že výstup spouštěcího obvodu (OS) je spojen s prvním vstupem (A1) rozhodovací logiky (RL), jejíž druhý vstup (A2) je spojen se zdrojem řídicího kmitočtu, třetí výstup (V3) rozhodovací logiky (RL) je spojen s jednotkou (Z) nastavení začátku vzorkování, sestávající z druhého programovacího přepínače nebo registru (P2) spojeného s druhým čítačem (Č2), jehož výstup je spojen s pátým vstupem (A5) rozhodovací logiky (RL), jejíž čtvrtý a pátý výstup (V4, V5) je spojen s jednotkou (I) nastavení intervalu vzorkování, obsahující třetí a čtvrtý programovací přepínač nebo registr (P3, P4), spojený s třetím a čtvrtým čítačem (Č3, Č4), přičemž výstup třetího čítače (Č3) je spojen se šestým vstupem (A6) rozhodovací logiky (RL) a výstup čtvrtého čítače (Č4) je spojen se sedmým vstupem (A7) rozhodovací logiky (RL), jejíž třetí vstup (A3) je spojen jednak s výstupem prvního komparátoru (K1) a jednak s výstupem druhého komparátoru (K2) jednotky (R) nastavení režimu vzorkování, přičemž výstup prvního programovacího přepínače nebo registru (P1) je připojen k druhému vstupu prvního komparátoru (K1), přičemž ke druhému vstupu druhého komparátoru (K2) je připojen výstup bloku (FP) formátu paměti, přičemž první výstup (V1) rozhodovací logiky (RL) je spojen se vstupem prvního čítače (Č1) jednotky (R) nastavení režimu vzorkování a výstup prvního čítače (Č1) je spojen s prvními vstupy prvního a druhého komparátoru (K1, K2), druhý výstup (V2) rozhodovací logiky (RL) je spojen jednak přes analogově-číslicový převodník (A/D) s pamětí (PM) a jednak se vstupem čítače (ČA) adresy paměti (PM), zatímco výstup čítače adresy (ČA) je spojen se čtvrtým vstupem (A4) rozhodovací logiky (RL).

1 výkres

