

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 21 年 2 月 5 日 (2009.2.5)

【公開番号】特開 2007-166350 (P2007-166350A)

【公開日】平成 19 年 6 月 28 日 (2007.6.28)

【年通号数】公開・登録公報 2007-024

【出願番号】特願 2005-361205 (P2005-361205)

【国際特許分類】

H 0 4 B 1/707 (2006.01)

H 0 4 L 7/00 (2006.01)

H 0 4 W 56/00 (2009.01)

H 0 4 W 24/00 (2009.01)

【F I】

H 0 4 J 13/00 D

H 0 4 L 7/00 C

H 0 4 B 7/26 N

H 0 4 B 7/26 K

【手続補正書】

【提出日】平成 20 年 12 月 11 日 (2008.12.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

測定装置に具備される再構成可能なゲートアレイをプログラムする装置であって、  
前記ゲートアレイを、

被測定信号に含まれる第一の疑似雑音符号と同じ符号系列であって、それぞれ位相が異なる K 個の第二の疑似雑音符号を発生する疑似雑音符号発生器と、

前記 K 個のうち 2 以上の M 個の前記第二の疑似雑音符号を選択対象とし、選択対象の前記第二の疑似雑音符号から 1 つを選択して出力する 2 以上の N 個のセクタであって、あるセクタが選択対象とする前記第二の疑似雑音符号がその他のセクタの選択対象外であるセクタと、

各前記セクタに個々に接続される N 個の乗算器であって、対応する前記セクタが出力する前記第二の疑似雑音符号と前記被測定信号とを乗ずる乗算器と、

各前記乗算器に個々に接続される N 個の加算器であって、対応する前記乗算器が出力する乗算結果を前記乗算結果に対応する前記第二の疑似雑音符号の位相ごとに累積加算する加算器と、

前記加算器の加算結果のうち絶対値が最大である加算結果または所定閾値を超える加算結果に対応する前記第二の疑似雑音符号の位相を、前記第一の疑似雑音符号の位相として検出する検出器、

として機能するようにプログラムし、

各前記セクタが、対応する前記乗算器に前記第一の疑似雑音符号の同一チップデータが供給されている間に、選択対象の前記第二の疑似雑音符号の全てが前記対応する乗算器に供給されるように、前記第二の疑似雑音符号を選択し、

前記測定装置が前記第一の疑似雑音符号に同期できるようにすることを特徴とするゲートアレイプログラム装置。

**【請求項 2】**

被測定信号を格納する記憶装置を備える測定装置に具備され、前記被測定信号のチップレートよりも速いクロックで動作する再構成可能なゲートアレイをプログラムする装置であって、

前記ゲートアレイを、

前記被測定信号に含まれる第一の疑似雑音符号と同じ符号系列であって、それぞれ位相が異なる K 個の第二の疑似雑音符号を発生する疑似雑音符号発生器と、

前記 K 個のうち 2 以上の M 個の前記第二の疑似雑音符号を選択対象とし、選択対象の前記第二の疑似雑音符号から 1 つを選択して出力する 2 以上の N 個のセクタであって、あるセクタが選択対象とする前記第二の疑似雑音符号がその他のセクタの選択対象外であるセクタと、

各前記セクタに個々に接続される N 個の乗算器であって、対応する前記セクタが出力する前記第二の疑似雑音符号と前記記憶装置から読み出される前記被測定信号とを乗ずる乗算器と、

各前記乗算器に個々に接続される N 個の加算器であって、対応する前記乗算器が出力する乗算結果を前記乗算結果に対応する前記第二の疑似雑音符号の位相ごとに累積加算する加算器と、

前記加算器の加算結果のうち絶対値が最大である加算結果または所定閾値を超える加算結果に対応する前記第二の疑似雑音符号の位相を、前記第一の疑似雑音符号の位相として検出する検出器、

として機能するようにプログラムし、

各前記セクタが、対応する前記乗算器に前記第一の疑似雑音符号の同一チップデータが供給されている間に、選択対象の前記第二の疑似雑音符号の全てが前記対応する乗算器に供給されるように、前記第二の疑似雑音符号を選択し、

前記測定装置が前記第一の疑似雑音符号に同期できるようにすることを特徴とするゲートアレイプログラム装置。

**【請求項 3】**

各前記セクタが、固定された順序およびタイミングで周期的に繰り返し前記第二の疑似雑音符号を選択し、

各前記加算器が、対応する前記セクタにおける前記第二の疑似雑音符号の選択周期と等しい時間遅延を有する第一の遅延器を用いて累積加算を行う、

ことを特徴とする請求項 1 または請求項 2 に記載のゲートアレイプログラム装置。

**【請求項 4】**

前記疑似雑音符号発生器が、前記第一の疑似雑音符号と同じ符号系列を有する単一の第三の疑似雑音符号を基に、複数の第二の遅延器を介して、前記第二の疑似雑音符号の全てを並列的に発生することを特徴とする請求項 1 乃至請求項 3 のいずれかに記載のゲートアレイプログラム装置。

**【請求項 5】**

前記第三の疑似雑音符号が、前記ゲートアレイ内の記憶領域に予め格納された疑似雑音符号であることを特徴とする請求項 4 に記載のゲートアレイプログラム装置。

**【請求項 6】**

前記 M および前記 N のそれぞれが、前記ゲートアレイのプログラム毎に異なる値を有し、ことを特徴とする請求項 1 乃至請求項 5 のいずれかに記載のゲートアレイプログラム装置。

**【請求項 7】**

再構成可能なゲートアレイを具備する測定装置であって、

前記ゲートアレイが、

被測定信号に含まれる第一の疑似雑音符号と同じ符号系列であって、それぞれ位相が異なる K 個の第二の疑似雑音符号を発生する疑似雑音符号発生器と、

前記 K 個のうち 2 以上の M 個の前記第二の疑似雑音符号を選択対象とし、選択対象の前

記第二の疑似雑音符号から 1 つを選択して出力する 2 以上の N 個のセレクトタであって、あるセレクトタが選択対象とする前記第二の疑似雑音符号がその他のセレクトタの選択対象外であるセレクトタと、

各前記セレクトタに個々に接続される N 個の乗算器であって、対応する前記セレクトタが出力する前記第二の疑似雑音符号と前記被測定信号とを乗ずる乗算器と、

各前記乗算器に個々に接続される N 個の加算器であって、対応する前記乗算器が出力する乗算結果を前記乗算結果に対応する前記第二の疑似雑音符号の位相ごとに累積加算する加算器と、

前記加算器の加算結果のうち絶対値が最大である加算結果または所定閾値を超える加算結果に対応する前記第二の疑似雑音符号の位相を、前記第一の疑似雑音符号の位相として検出する検出器、

として機能するようにプログラムされ、

各前記セレクトタが、対応する前記乗算器に前記第一の疑似雑音符号の同一チップデータが供給されている間に、選択対象の前記第二の疑似雑音符号の全てが前記対応する乗算器に供給されるように、前記第二の疑似雑音符号を選択し、

前記測定装置が前記第一の疑似雑音符号に同期できるようにしたことを特徴とする測定装置。

#### 【請求項 8】

被測定信号を格納する記憶装置と、前記被測定信号のチップレートよりも速いクロックで動作する再構成可能なゲートアレイとを備える測定装置であって、

前記ゲートアレイが、

前記被測定信号に含まれる第一の疑似雑音符号と同じ符号系列であって、それぞれ位相が異なる K 個の第二の疑似雑音符号を発生する疑似雑音符号発生器と、

前記 K 個のうち 2 以上の M 個の前記第二の疑似雑音符号を選択対象とし、選択対象の前記第二の疑似雑音符号から 1 つを選択して出力する 2 以上の N 個のセレクトタであって、あるセレクトタが選択対象とする前記第二の疑似雑音符号がその他のセレクトタの選択対象外であるセレクトタと、

各前記セレクトタに個々に接続される N 個の乗算器であって、対応する前記セレクトタが出力する前記第二の疑似雑音符号と前記記憶装置から読み出される前記被測定信号とを乗ずる乗算器と、

各前記乗算器に個々に接続される N 個の加算器であって、対応する前記乗算器が出力する乗算結果を前記乗算結果に対応する前記第二の疑似雑音符号の位相ごとに累積加算する加算器と、

前記加算器の加算結果のうち絶対値が最大である加算結果または所定閾値を超える加算結果に対応する前記第二の疑似雑音符号の位相を、前記第一の疑似雑音符号の位相として検出する検出器、

として機能するようにプログラムされ、

各前記セレクトタが、対応する前記乗算器に前記第一の疑似雑音符号の同一チップデータが供給されている間に、選択対象の前記第二の疑似雑音符号の全てが前記対応する乗算器に供給されるように、前記第二の疑似雑音符号を選択し、

前記測定装置が前記第一の疑似雑音符号に同期できるようにしたことを特徴とする測定装置。

#### 【請求項 9】

各前記セレクトタが、固定された順序およびタイミングで周期的に繰り返し前記第二の疑似雑音符号を選択し、

各前記加算器が、対応する前記セレクトタにおける前記第二の疑似雑音符号の選択周期と等しい時間遅延を有する第一の遅延器を用いて累積加算を行う、

ことを特徴とする請求項 7 または請求項 8 に記載の測定装置。

#### 【請求項 10】

前記疑似雑音符号発生器が、前記第一の疑似雑音符号と同じ符号系列を有する単一の第

三の疑似雑音符号を基に、複数の第二の遅延器を介して、前記第二の疑似雑音符号の全てを並列的に発生することを特徴とする請求項 7 乃至請求項 9 のいずれかに記載の測定装置。

【請求項 1 1】

前記第三の疑似雑音符号が、前記ゲートアレイ内の記憶領域に予め格納された疑似雑音符号であることを特徴とする請求項 1 0 に記載の測定装置。

【請求項 1 2】

前記 M および前記 N のそれぞれが、前記ゲートアレイのプログラム毎に異なる値を有しうることとを特徴とする請求項 7 乃至請求項 1 1 のいずれかに記載の測定装置。

【請求項 1 3】

再構成可能なゲートアレイを備える測定装置に具備されるか接続されるコンピュータに、被測定信号に含まれる第一の疑似雑音符号に前記測定装置が同期するように前記ゲートアレイをプログラムさせるプログラムであって、

前記プログラムされたゲートアレイが、

前記第一の疑似雑音符号と同じ符号系列であって、それぞれ位相が異なる K 個の第二の疑似雑音符号を発生する疑似雑音符号発生器と、

前記 K 個のうち 2 以上の M 個の前記第二の疑似雑音符号を選択対象とし、選択対象の前記第二の疑似雑音符号から 1 つを選択して出力する 2 以上の N 個のセクタであって、あるセクタが選択対象とする前記第二の疑似雑音符号がその他のセクタの選択対象外であるセクタと、

各前記セクタに個々に接続される N 個の乗算器であって、対応する前記セクタが出力する前記第二の疑似雑音符号と前記被測定信号とを乗ずる乗算器と、

各前記乗算器に個々に接続される N 個の加算器であって、対応する前記乗算器が出力する乗算結果を前記乗算結果に対応する前記第二の疑似雑音符号の位相ごとに累積加算する加算器と、

前記加算器の加算結果のうち絶対値が最大である加算結果または所定閾値を超える加算結果に対応する前記第二の疑似雑音符号の位相を、前記第一の疑似雑音符号の位相として検出する検出器、

として機能し、

各前記セクタが、対応する前記乗算器に前記第一の疑似雑音符号の同一チップデータが供給されている間に、選択対象の前記第二の疑似雑音符号の全てが前記対応する乗算器に供給されるように、前記第二の疑似雑音符号を選択する、

ことを特徴とするプログラム。

【請求項 1 4】

被測定信号を格納する記憶装置と、前記被測定信号のチップレートよりも速いクロックで動作する再構成可能なゲートアレイとを備える測定装置に具備されるか接続されるコンピュータに、前記被測定信号に含まれる第一の疑似雑音符号に前記測定装置が同期するように前記ゲートアレイをプログラムさせるプログラムであって、

前記プログラムされたゲートアレイが、

前記第一の疑似雑音符号と同じ符号系列であって、それぞれ位相が異なる K 個の第二の疑似雑音符号を発生する疑似雑音符号発生器と、

前記 K 個のうち 2 以上の M 個の前記第二の疑似雑音符号を選択対象とし、選択対象の前記第二の疑似雑音符号から 1 つを選択して出力する 2 以上の N 個のセクタであって、あるセクタが選択対象とする前記第二の疑似雑音符号がその他のセクタの選択対象外であるセクタと、

各前記セクタに個々に接続される N 個の乗算器であって、対応する前記セクタが出力する前記第二の疑似雑音符号と前記記憶装置から読み出される前記被測定信号とを乗ずる乗算器と、

各前記乗算器に個々に接続される N 個の加算器であって、対応する前記乗算器が出力する乗算結果を前記乗算結果に対応する前記第二の疑似雑音符号の位相ごとに累積加算する

加算器と、

前記加算器の加算結果のうち絶対値が最大である加算結果または所定閾値を超える加算結果に対応する前記第二の疑似雑音符号の位相を、前記第一の疑似雑音符号の位相として検出する検出器、

として機能し、

各前記セレクトが、対応する前記乗算器に前記第一の疑似雑音符号の同一チップデータが供給されている間に、選択対象の前記第二の疑似雑音符号の全てが前記対応する乗算器に供給されるように、前記第二の疑似雑音符号を選択する、

ことを特徴とするプログラム。

【請求項 15】

各前記セレクトが、固定された順序およびタイミングで周期的に繰り返し前記第二の疑似雑音符号を選択し、

各前記加算器が、対応する前記セレクトにおける前記第二の疑似雑音符号の選択周期と等しい時間遅延を有する第一の遅延器を用いて累積加算を行う、

ことを特徴とする請求項 13 または請求項 14 に記載のプログラム。

【請求項 16】

前記疑似雑音符号発生器が、前記第一の疑似雑音符号と同じ符号系列を有する単一の第三の疑似雑音符号を基に、複数の第二の遅延器を介して、前記第二の疑似雑音符号の全てを並列的に発生することを特徴とする請求項 13 乃至請求項 15 のいずれかに記載のプログラム。

【請求項 17】

前記第三の疑似雑音符号が、前記ゲートアレイ内の記憶領域に予め格納された疑似雑音符号であることを特徴とする請求項 16 に記載のプログラム。

【請求項 18】

前記 M および前記 N のそれぞれが、前記ゲートアレイのプログラム毎に異なる値を有し、  
うことを特徴とする請求項 13 乃至請求項 17 のいずれかに記載のプログラム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

入力端子 10 は、被測定信号  $S_{IN}$  を受信するための端子である。被測定信号  $S_{IN}$  は、CDMA 方式の信号であって、疑似雑音符号 (PN 符号) を含む信号である。被測定信号  $S_{IN}$  の例としては、IS-95 方式の信号、W-CDMA 方式の信号、または CDMA 2000 方式の信号などがある。前処理装置 20 は、入力端子 10 で受信する信号  $S_{IN}$  に所定の信号処理を施す装置である。前処理装置 20 は、例えば、被測定信号  $S_{IN}$  に含まれる測定対象外の信号を除去したり、後続する装置が被測定信号  $S_{IN}$  を処理しやすくするために被測定信号  $S_{IN}$  に周波数変換やレベル変換を施す。前処理装置 20 により処理された被測定信号  $S_{IN}$  は、前処理装置 20 から被測定信号  $S_{IF}$  として出力される。A/D 変換装置 30 は、前処理装置 20 から出力される信号  $S_{IF}$  を所定の時間間隔で標本化し、標本化した信号をデジタル変換し、変換結果を出力する装置である。標本化速度は、被測定信号  $S_{IN}$  のチップレートに等しい。もちろん、チップレートの 2 倍以上の速度でオーバーサンプリングしても良い。なお、チップは、被測定信号  $S_{IN}$  に含まれる疑似雑音符号のビットである。また、チップレートとは、被測定信号  $S_{IN}$  に含まれる疑似雑音符号が変化する速度、すなわち、ビットレートである。A/D 変換装置 30 によりデジタル変換された信号  $S_{IF}$  は、A/D 変換装置 30 からデータ  $D_S$  として出力される。記憶装置 40 は、A/D 変換装置 30 の変換結果  $D_S$  を格納するための装置である。記憶装置 40 は、データ  $D_S$  を遅滞なく格納できるアクセス能力を有する。記憶装置 40 には、例えば、DRAM や SRAM などの半導体メモリが用いられる。ゲートアレイ 5

0 は、制御装置 6 0 からのデータの書き込みにより所定の処理回路が構成されるゲートアレイであって、FPGA などのように再構成が可能なゲートアレイである。処理回路の例としては、同期捕捉装置や復調装置やBER測定装置などがある。ゲートアレイ 5 0 は、記憶装置 4 0 に格納されたデータ  $D_s$  を処理する。記憶装置 4 0 に格納されたデータ  $D_s$  は、ゲートアレイ 5 0 自身が記憶装置 4 0 から読み出しても良いし、ゲートアレイ 5 0 のために制御装置 6 0 が記憶装置 4 0 から読み出しても良い。ここで、記憶装置 4 0 は、ある一定量のデータをためてからゲートアレイ 5 0 に蓄積したデータを送るようにしてもいいし、または、A/D変換装置 3 0 の出力レートとゲートアレイ 5 0 との処理速度の差を吸収するようなバッファとして用いてもよい。一定量のデータとは、例えば、 $n$  フレーム分のデータである。一定量のデータは、拡散符号の周期が 38400 チップである W - CDM A の場合、 $n \times 38400$  チップ分である。なお、 $n$  は、自然数である。A/D変換装置 3 0 の出力データ速度とゲートアレイ 5 0 の動作周波数が異なる場合が多いので、記憶装置 4 0 を用いることは、測定装置の設計の柔軟性向上に貢献する。制御装置 6 0 は、いわゆるコンピュータであって、プログラムを実行することにより所定の演算または処理を行う装置である。制御装置 6 0 は、上記のデータアクセスの他に、例えば、同一測定装置内の他の装置の制御を行う。なお、制御装置 6 0 は、コンピュータに相当する機能を有するデバイスであれば良いので、周辺機器やディスプレイなどを含んだコンピュータシステムに限らず、CPU や DSP などのプロセッサ、または、コンピュータボードなどであっても良い。出力端子 7 0 は、ゲートアレイ 5 0 の処理結果が出力される端子である。