(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0128954
(43) 공개일자 2015년11월18일

(51) 국제특허분류(Int. Cl.)
H03L 7/18 (2006.01) *H03L 7/099* (2006.01)
H04B 1/16 (2006.01)
(52) CPC특허분류
H03L 7/18 (2013.01)
H03L 7/099 (2013.01)
(21) 출원번호 10-2015-7028571
(22) 출원일자(국제) 2014년03월11일
심사청구일자 없음
(85) 번역문제출일자 2015년10월12일
(86) 국제출원번호 PCT/US2014/023667
(87) 국제공개번호 WO 2014/150575
국제공개일자 2014년09월25일
(30) 우선권주장
13/828,879 2013년03월14일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
리우, 리
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
나라스웅, 치에우차른
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

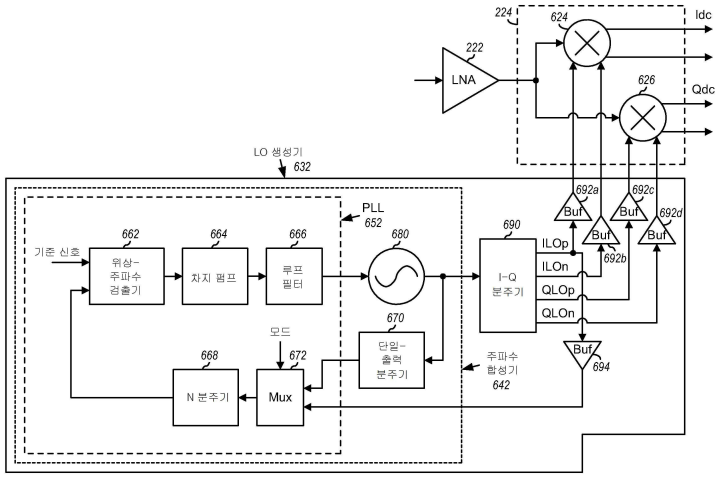
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 **다중-위상 분주기 및 위상 고정 루프를 갖는 로컬 오실레이터(LO) 생성기**

(57) 요 약

일 설계에서, 장치는 오실레이터, 분주기, 및 위상 고정 루프(PLL)를 포함한다. 오실레이터는, 제어 신호를 수신하고, 제어 신호에 의해 결정된 주파수를 갖는 오실레이터 신호를 제공한다. 분주기는, 오실레이터 신호를 수신하고, 상이한 위상들의 다수의 분주된 신호들을 생성한다. PLL은, 기준 신호 및 선택된 분주된 신호를 수신하고, 오실레이터에 대한 제어 신호를 생성한다. 분주기는, 주기적으로 파워 온 및 오프되고, 다수의 가능한 상태들 중 하나에서 웨이크 업하며, 각각의 상태는 선택된 분주된 신호의 상이한 위상과 연관된다. 선택된 분주된 신호의 위상 연속성은, PLL의 일부로서 분주기를 사용함으로써 보장된다. PLL은 선택된 분주된 신호를 기준 신호로 고정하며, 선택된 분주된 신호는 연속적인 위상을 갖는 기준 신호로 인해 연속적인 위상을 갖는다.

대 표 도 - 도6b



(52) CPC특허분류
H04B 1/16 (2013.01)

명 세 서

청구범위

청구항 1

장치로서,

제어 신호를 수신하고 그리고 상기 제어 신호에 의해 결정되는 주파수를 갖는 오실레이터(oscillator) 신호를 제공하도록 구성되는 오실레이터;

상기 오실레이터 신호를 수신하고 그리고 상이한 위상들의 복수의 분주(divide)된 신호들을 생성하도록 구성되는 분주기(divider); 및

상기 복수의 분주된 신호 중 선택된 분주된 신호 및 기준 신호를 수신하고 그리고 상기 오실레이터에 대한 상기 제어 신호를 생성하도록 구성되는 위상-고정 루프(phase-locked loop)(PLL)를 포함하는, 장치.

청구항 2

제 1 항에 있어서,

상기 분주기에 의해 생성되는 상기 복수의 분주된 신호들은 위상이 90도 다른 4개의 분주된 신호들을 포함하며,

상기 PLL은, 상기 4개의 분주된 신호들 중 상기 선택된 분주된 신호를 수신하도록 구성되는, 장치.

청구항 3

제 1 항에 있어서,

상기 분주기는, 위상이 90도 다른 4개의 분주된 신호들을 제공하는 2-분주(divide-by-two) 동상-직교위상(inphase-quadrature) 분주기를 포함하는, 장치.

청구항 4

제 1 항에 있어서,

상기 분주기는, 파워 온(power on)될 시, 복수의 가능한 상태들 중 하나에 있으며,

상기 분주기의 상기 복수의 가능한 상태들은, 상기 분주기가 파워 온되는 경우의 상기 선택된 분주된 신호의 상이한 위상들과 연관되는, 장치.

청구항 5

제 1 항에 있어서,

상기 복수의 분주된 신호들 중 적어도 하나에 기초하여 생성되는 로컬 오실레이터(LO) 신호로 입력 라디오 주파수(RF) 신호를 하향변환하도록 구성되는 하향변환기를 더 포함하는, 장치.

청구항 6

제 1 항에 있어서,

상기 오실레이터 신호를 수신하고 그리고 제 2 분주된 신호를 생성하도록 구성되는 제 2 분주기를 더 포함하며,

상기 PLL은, 상기 분주기로부터의 상기 선택된 분주된 신호 또는 상기 제 2 분주기로부터의 상기 제 2 분주된 신호에 기초하여 상기 제어 신호를 생성하도록 구성되는, 장치.

청구항 7

제 6 항에 있어서,

상기 PLL은,

상기 분주기로부터의 상기 선택된 분주된 신호 및 상기 제 2 분주기로부터의 상기 제 2 분주된 신호를 수신하고, 그리고 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호를 제공하도록 구성되는 멀티플렉서(multiplexer), 및

상기 멀티플렉서로부터의 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호 및 상기 기준 신호를 수신하고, 그리고 제어 신호를 생성하기 위해 사용되는 검출기 출력 신호를 제공하도록 구성되는 위상-주파수 검출기를 포함하는, 장치.

청구항 8

제 6 항에 있어서,

상기 PLL은,

상기 분주기로부터의 상기 선택된 분주된 신호 및 상기 제 2 분주기로부터의 상기 제 2 분주된 신호를 수신하고, 그리고 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호를 제공하도록 구성되는 멀티플렉서,

상기 멀티플렉서로부터의 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호를 수신하고, 그리고 제 3 분주된 신호를 제공하도록 구성되는 제 3 분주기, 및

상기 기준 신호 및 상기 제 3 분주된 신호를 수신하고, 그리고 상기 제어 신호를 생성하기 위해 사용되는 검출기 출력 신호를 제공하도록 구성되는 위상-주파수 검출기를 포함하는, 장치.

청구항 9

제 6 항에 있어서,

상기 분주기는 비-연속적인 로컬 오실레이터(LO) 신호를 생성하도록 선택되고, 그리고

상기 제 2 분주기는 연속적인 LO 신호를 생성하도록 선택되는, 장치.

청구항 10

제 1 항에 있어서,

상기 분주기는, 다운링크(downlink) 수신에 대한 시간 구간들 전에 파워 온되고, 업링크(uplink) 송신에 대한 시간 구간들의 적어도 일부 동안 파워 오프(power off)되는, 장치.

청구항 11

방법으로서,

제어 신호에 의해 결정되는 주파수를 갖는 오실레이터 신호를 생성하는 단계;

상이한 위상들의 복수의 분주된 신호들을 획득하기 위해, 주파수에서, 상기 오실레이터 신호를 분주하는 단계; 및

상기 복수의 분주된 신호들 중 선택된 분주된 신호 및 기준 신호에 기초하여 상기 제어 신호를 생성하는 단계를 포함하는, 방법.

청구항 12

제 11 항에 있어서,

상기 오실레이터 신호를 분주하는 단계는, 위상이 90도 다른 4개의 분주된 신호들을 획득하기 위해, 주파수에서, 상기 오실레이터 신호를 분주하는 단계를 포함하며,

상기 선택된 분주된 신호는 상기 4개의 분주된 신호들 중 하나인, 방법.

청구항 13

제 11 항에 있어서,

상기 복수의 분주된 신호들 중 적어도 하나에 기초하여 로컬 오실레이터(LO) 신호를 생성하는 단계; 및

상기 LO 신호로 입력 라디오 주파수(RF) 신호를 하향변환하는 단계를 더 포함하는, 방법.

청구항 14

제 11 항에 있어서,

상기 오실레이터 신호에 기초하여 제 2 분주된 신호를 생성하는 단계; 및

상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호에 기초하여 상기 제어 신호를 생성하는 단계를 더 포함하는, 방법.

청구항 15

제 14 항에 있어서,

상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호에 기초하여 상기 제어 신호를 생성하는 단계는,

상기 기준 신호와 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호 사이의 위상 에러(phase error)를 검출하는 단계, 및

검출된 위상 에러에 기초하여 상기 제어 신호를 생성하는 단계를 포함하는, 방법.

청구항 16

제 14 항에 있어서,

상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호에 기초하여 상기 제어 신호를 생성하는 단계는,

제 3 분주된 신호를 획득하기 위해, 주파수에서, 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호를 분주하는 단계,

상기 기준 신호와 상기 제 3 분주된 신호 사이의 위상 에러를 검출하는 단계, 및

검출된 위상 에러에 기초하여 상기 제어 신호를 생성하는 단계를 포함하는, 방법.

청구항 17

제 11 항에 있어서,

분주기로 복수의 분주된 신호들을 생성하는 단계;

다운링크 수신에 대한 시간 구간들 전에 상기 분주기를 파워 온하는 단계; 및

업링크 송신에 대한 시간 구간들의 적어도 일부 동안 상기 분주기를 파워 오프하는 단계를 더 포함하는, 방법.

청구항 18

장치로서,

제어 신호에 의해 결정되는 주파수를 갖는 오실레이터 신호를 생성하기 위한 수단;

상이한 위상들의 복수의 분주된 신호들을 획득하기 위해, 주파수에서, 상기 오실레이터 신호를 분주하기 위한 수단; 및

상기 복수의 분주된 신호들 중 선택된 분주된 신호 및 기준 신호에 기초하여 상기 제어 신호를 생성하기 위한 수단을 포함하는, 장치.

청구항 19

제 18 항에 있어서,

상기 오실레이터 신호를 분주하기 위한 수단은, 위상이 90도 다른 4개의 분주된 신호들을 획득하도록, 주파수에서 상기 오실레이터 신호를 분주하기 위한 수단을 포함하며,

상기 선택된 분주된 신호는 상기 4개의 분주된 신호들 중 하나인, 장치.

청구항 20

제 18 항에 있어서,

상기 복수의 분주된 신호들 중 적어도 하나에 기초하여 로컬 오실레이터(LO) 신호를 생성하기 위한 수단; 및

상기 LO 신호로 입력 라디오 주파수(RF) 신호를 하향변환하기 위한 수단을 더 포함하는, 장치.

청구항 21

제 18 항에 있어서,

상기 오실레이터 신호에 기초하여 제 2 분주된 신호를 생성하기 위한 수단; 및

상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호에 기초하여 상기 제어 신호를 생성하기 위한 수단을 더 포함하는, 장치.

청구항 22

제 21 항에 있어서,

상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호에 기초하여 상기 제어 신호를 생성하기 위한 수단은,

상기 기준 신호와 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호 사이의 위상 에러를 검출하기 위한 수단, 및

검출된 위상 에러에 기초하여 상기 제어 신호를 생성하기 위한 수단을 포함하는, 장치.

청구항 23

제 21 항에 있어서,

상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호에 기초하여 상기 제어 신호를 생성하기 위한 수단은,

제 3 분주된 신호를 획득하기 위해, 주파수에서, 상기 선택된 분주된 신호 또는 상기 제 2 분주된 신호를 분주하기 위한 수단;

상기 기준 신호와 상기 제 3 분주된 신호 사이의 위상 에러를 검출하기 위한 수단, 및

검출된 위상 에러에 기초하여 상기 제어 신호를 생성하기 위한 수단을 포함하는, 장치.

청구항 24

제 18 항에 있어서,

다운링크 송신에 대한 시간 구간들 전에 상기 오실레이터 신호를 분주하기 위한 수단을 파워 온하기 위한 수단; 및

업링크 송신에 대한 시간 구간들의 적어도 일부 동안, 상기 오실레이터 신호를 분주하기 위한 수단을 파워 오프하기 위한 수단을 더 포함하는, 장치.

청구항 25

비-일시적인 컴퓨터-판독가능 매체를 포함하는 컴퓨터 프로그램 물건으로서,

상기 비-일시적인 컴퓨터-판독가능 매체는,

적어도 하나의 프로세서로 하여금, 제어 신호에 의해 결정되는 주파수를 갖는 오실레이터 신호의 생성을 지시(direct)하게 하기 위한 코드;

적어도 하나의 프로세서로 하여금, 상기 오실레이터 신호에 기초하여, 상이한 위상들의 복수의 분주된 신호들의 생성을 지시하게 하기 위한 코드; 및

적어도 하나의 프로세서로 하여금, 상기 복수의 분주된 신호들 중 선택된 분주된 신호 및 기준 신호에 기초하여 상기 제어 신호의 생성을 지시하게 하기 위한 코드를 포함하는, 컴퓨터 프로그램 물건.

발명의 설명

기 술 분 야

[0001] **관련 출원들에 대한 상호-참조**

[0002] [0001] 본 출원은, 2013년 3월 14일자로 출원된 미국 특허 출원 일련번호 제 13/828,879호의 이득을 주장하며, 상기 특허 출원은 인용에 의해 본 명세서에 포함된다.

[0003] [0002] 본 개시는 일반적으로 전자기기에 관한 것으로, 더 상세하게는, 주파수 변환에 대해 사용되는 로컬 오실레이터(local oscillator)(LO) 신호를 생성하기 위한 기술들에 관한 것이다.

배 경 기 술

[0004] [0003] 무선 디바이스(예를 들어, 셀룰러 폰 또는 스마트 폰)는, 무선 통신 시스템과의 양방향(two-way) 통신을 위해 데이터를 송신 및 수신할 수도 있다. 무선 디바이스는, 데이터 송신을 위한 송신기 및 데이터 수신을 위한 수신기를 포함할 수도 있다. 데이터 송신에 대해, 송신기는, 변조된 라디오 주파수(RF) 신호를 획득하기 위해 데이터로 송신 LO 신호를 변조하고, 적절한 송신 전력 레벨을 갖는 출력 RF 신호를 획득하기 위해 변조된 RF 신호를 증폭하고, 안테나를 통하여 기지국에 출력 RF 신호를 송신할 수도 있다. 데이터 수신에 대해, 수신기는, 안테나를 통하여 수신된 RF 신호를 획득하고, 수신된 RF 신호를 증폭 및 수신 LO 신호로 하향변환하고, 기지국에 의해 전송된 데이터를 복원하기 위해, 하향변환된 신호를 프로세싱할 수도 있다.

[0005] [0004] 무선 디바이스는, 송신기에 대한 송신 LO 신호 및 수신기에 대한 수신 LO 신호를 생성하기 위한 LO 생성기들을 포함할 수도 있다. LO 신호는, 타겟(target) 주파수에서의 주기적 신호이고, 주파수 변환에 대해 사용될 수도 있다. LO 생성기는, 비-연속적으로 동작될 수도 있고, 오직 전력 소모를 감소시키기 위해 요구되는 경우에만 LO 신호들을 생성하기 위해 파워 온(power on)될 수도 있다. LO 생성기들의 비-연속적인 동작을 지원하는 것이 바람직할 수도 있다.

발명의 내용

[0006] [0005] 주기적으로 파워 온 및 파워 오프(power off)되는 LO 생성기를 이용하여 연속적인 위상을 갖는 LO 신호를 생성하기 위한 기술들이 본 명세서에 기재된다. LO 신호는 LO 생성기 내의 분주기(divider)에 의해 생성될 수도 있다. 분주기는, 주기적으로 파워 온 및 파워 오프될 수도 있고, 다수의 가능한 상태들 중 하나로 웨이크업(wake up)할 수도 있으며, 각각의 상태는 LO 신호의 상이한 위상과 연관된다.

[0007] [0006] 본 개시의 일 양상에서, LO 신호의 위상 연속성은 위상 고정 루프(phase locked loop)(PLL)의 일부로서 분주기를 사용함으로써 보장될 수도 있다. PLL은 LO 신호를 기준 신호로 고정(lock)할 수도 있다. 그 후, LO 신호는, 연속적인 위상을 갖는 기준 신호로 인해 연속적인 위상을 가질 것이다.

[0008] [0007] 일 예시적인 설계에서, 장치(예를 들어, 무선 디바이스 또는 집적 회로)는 오실레이터, 분주기, 및 PLL을 포함할 수도 있다. 오실레이터는, 제어 신호를 수신하고, 제어 신호에 의해 결정된 주파수를 갖는 오실레이터 신호를 제공할 수도 있다. 분주기는, 오실레이터 신호를 수신하고, 상이한 위상들의 복수의 분주(divide)된 신호들을 생성할 수도 있다. PLL은, 기준 신호 및 복수의 분주된 신호들 중 선택된 분주된 신호를 수신하고, 오실레이터에 대한 제어 신호를 생성할 수도 있다. 장치는, 복수의 분주된 신호들 중 적어도 하나에 기초하여 생성된 LO 신호로 입력 RF 신호를 하향변환할 수도 있는 하향변환기를 더 포함할 수도 있다.

[0009] [0008] 일 예시적인 설계에서, 분주기는, 위상이 90도 다른 4개의 분주된 신호들을 제공할 수 있는 2-분주(divide-by-two) 동상-직교위상(inphase-quadrature)(I-Q) 분주기를 포함할 수도 있다. PLL은, 4개의 분주된 신호들 중 선택된 분주된 신호를 수신할 수도 있다. 분주기는, (i) 다운링크(downlink) 수신에 대한 시간 구간들 전에 파워 온될 수도 있고, (ii) 업링크(uplink) 송신에 대한 시간 구간들의 적어도 일부 동안 파워 오프될 수도 있다.

[0010] [0009] 본 개시의 다양한 양상들 및 특성들이 추가로 더 상세히 후술된다.

도면의 간단한 설명

[0011] [0010] 도 1은 상이한 무선 시스템들과 통신하는 무선 디바이스를 도시한다.

[0011] 도 2는, 도 1에서의 무선 디바이스의 블록도를 도시한다.

[0012] 도 3은 LO 생성기의 블록도를 도시한다.

[0013] 도 4는 I-Q 분주기로부터의 상이한 위상들의 분주된 신호들을 도시한다.

[0014] 도 5는 파워 온에서 비-연속적인 위상을 갖는 LO 신호를 도시한다.

[0015] 도 6a 내지 도 6c는, 연속적인 위상을 갖는 LO 신호를 생성할 수 있는 LO 생성기의 3개의 예시적인 설계들을 도시한다.

[0016] 도 7은 I-Q 분주기의 예시적인 설계를 도시한다.

[0017] 도 8a 및 도 8b는 2개의 예시적인 프레임 구조들을 도시한다.

[0018] 도 9는, LO 생성기들을 파워 온 및 오프하는 것에 대한 예시적인 타임라인을 도시한다.

[0019] 도 10은 LO 신호를 생성하기 위한 프로세스를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0012] [0020] 아래에 기재되는 상세한 설명은, 본 개시의 예시적인 설계들의 설명으로서 의도되며, 본 개시가 실시될 수 있는 유일한 설계들만을 표현하도록 의도되지 않는다. 용어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로 본 명세서에 설명된 어떠한 설계도 다른 설계들에 비해 반드시 바람직하거나 유리한 것으로서 해석될 필요는 없다. 상세한 설명은 본 개시의 예시적인 설계들의 철저한 이해를 제공하려는 목적을 위해 특정한 세부사항들을 포함한다. 본 명세서에 설명된 예시적인 설계들이 이들 특정한 세부사항들 없이 실시될 수도 있다는 것이 당업자들에게 명백할 것이다. 몇몇 예시들에서, 본 명세서에 제시된 예시적인 설계들의 신규성을 불명료하게 하는 것을 회피하기 위해, 잘-알려진 구조들 및 디바이스들은 블록도 형태로 도시되어 있다.

[0013] [0021] 비-연속적인 LO 생성기에 의해 연속적인 위상을 갖는 LO 신호를 생성하기 위한 기술들이 본 명세서에 기재된다. 이들 기술들은 무선 통신 디바이스들과 같은 다양한 전자 디바이스들에 대해 사용될 수도 있다.

[0014] [0022] 도 1은 상이한 무선 통신 시스템들(120 및 122)과 통신하는 것이 가능한 무선 디바이스(110)를 도시한다. 무선 시스템들(120 및 122)은 각각, 롱 텀 에볼루션(Long Term Evolution)(LTE) 시스템, 코드 분할 다중 액세스(CDMA) 시스템, GSM(Global System for Mobile Communications) 시스템, 무선 로컬 영역 네트워크(WLAN) 시스템, 또는 몇몇 다른 무선 시스템일 수도 있다. CDMA 시스템은 광대역 CDMA(WCDMA), CDMA 1X, 시간 분할 동기식 코드 분할 다중 액세스(TD-SCDMA), 또는 몇몇 다른 버전의 CDMA를 구현할 수도 있다. TD-SCDMA는 유니버셜 지상 라디오 액세스(Universal Terrestrial Radio Access)(UTRA) 시간 분할 듀플렉스(Time Division Duplex)(TDD) 1.28 Mcps 옵션 또는 LCR(Low Chip Rate)로 또한 지칭된다. LTE는 주파수 분할 듀플렉싱(FDD) 및 시간 분할 듀플렉싱(TDD) 둘 모두를 지원한다. 예를 들어, 무선 시스템(120)은 LTE 시스템일 수도 있고, 무선 시스템(122)은 TD-SCDMA 시스템일 수도 있다. 간략화를 위해, 도 1은, 하나의 기지국(130) 및 하나의 시스템 제어기(140)를 포함하는 무선 시스템(120), 및 하나의 기지국(132) 및 하나의 시스템 제어기(142)를 포함하는 무선 시스템(122)을 도시한다. 일반적으로, 각각의 무선 시스템은 임의의 개수의 기지국들 및 임의의 세트의 네트워크 엔티티(entity)들을 포함할 수도 있다. 각각의 기지국은 자신의 커버리지(coverage) 내의 무선 디바이스들에 대한 통신을 지원할 수도 있다.

[0015] [0023] 무선 디바이스(110)는, 사용자 장비(UE), 모바일 스테이션, 단말, 액세스 단말, 가입자 유닛, 스테이션 등으로서 또한 지칭될 수도 있다. 무선 디바이스(110)는, 셀룰러 폰, 스마트폰, 태블릿, 무선 모뎀, 개인 휴대 정보 단말(PDA), 핸드헬드(handheld) 디바이스, 랩톱 컴퓨터, 스마트북, 넷북, 코드리스(cordless) 폰, 무선 로컬 루프(WLL) 스테이션, Bluetooth 디바이스 등일 수도 있다. 무선 디바이스(110)는 무선 시스템(120 및/또는 122)과 통신하는 것이 가능할 수도 있다. 무선 디바이스(110)는 또한, 브로드캐스트(broadcast) 스테이션들(예를 들어, 브로드캐스트 스테이션(134))로부터의 신호들, 하나 또는 그 초과의 글로벌 내비게이션 위성 시스템들(GNSS)에서의 위성들(예를 들어, 위성(150))로부터의 신호들 등을 수신하는 것이 가능할 수도 있다. 무선 디바이스(110)는, LTE, TD-SCDMA, WCDMA, CDMA 1X, GSM, 802.11 등과 같은 무선 통신을 위한 하나 또는 그 초과의 라디오 기술들을 지원할 수도 있다.

[0016] [0024] 도 2는, 도 1에서의 무선 디바이스(110)의 예시적인 설계의 블록도를 도시한다. 간략화를 위해, 도 2는

하나의 안테나(210)에 대해 하나의 수신기(220) 및 하나의 송신기(250)를 포함하는 무선 디바이스(110)를 도시한다. 일반적으로, 무선 디바이스(110)는, 임의의 개수의 라디오 기술들 및 임의의 개수의 주파수 대역들에 대한 통신을 지원하기 위해, 임의의 개수의 송신기들, 임의의 개수의 수신기들, 및 임의의 개수의 안테나들을 포함할 수도 있다.

[0017] [0025] 수신기 또는 송신기는, 슈퍼-헤테로다인(super-heterodyne) 아키텍처 또는 직접-변환 아키텍처로 구현될 수도 있다. 슈퍼-헤테로다인 아키텍처에서, 신호는 다수의 스테이지들에서 RF와 기저대역 사이로 주파수 변환되는데, 예를 들어, 수신기에 대한 하나의 스테이지에서 RF로부터 중간 주파수(IF)로, 그리고 그 후 다른 스테이지에서 IF로부터 기저대역으로 주파수-변환된다. 제로-IF(zero-IF)(ZIF) 아키텍처로서 또한 지칭되는 직접-변환 아키텍처에서, 신호는 하나의 스테이지에서 RF와 기저대역 사이로 주파수 변환된다. 슈퍼-헤테로다인 및 직접-변환 아키텍처들은, 상이한 회로 블록들을 사용하고 그리고/또는 상이한 요건들을 가질 수도 있다. 도 2에 도시된 예시적인 설계에서, 수신기(220) 및 송신기(250)는 직접-변환 아키텍처로 구현된다. 본 명세서에 설명된 기술들은, 직접-변환 아키텍처 및 슈퍼-헤테로다인 아키텍처 둘 모두에 대해 사용될 수도 있다.

[0018] [0026] 수신 경로에서, 안테나(210)는 기지국들 및/또는 다른 송신기 스테이션들로부터 다운링크 신호들을 수신하고, 안테나 출력 신호를 안테나 인터페이스 회로(212)에 제공한다. 안테나 인터페이스 회로(212)는, 안테나 출력 신호를 라우팅(route)(및 가능하게는 필터링)하고, 수신된 RF 신호(RXin)를 수신기(220)에 제공한다. 안테나 인터페이스 회로(212)는, 스위치들, 듀플렉서들, 다이플렉서(diplexer)들, 필터들, 매칭 회로들 등을 포함할 수도 있다.

[0019] [0027] 수신기(220) 내에서, 저 잡음 증폭기(low noise amplifier)(LNA)(222)는, 수신된 RF 신호를 증폭하고, 입력 RF 신호를 하향변환기(224)에 제공한다. 하향변환기(224)는 또한, LO 생성기(230)로부터 LO 신호를 수신한다. LO 신호는, 위상이 90도 다른 동상 LO 신호(ILO) 및 직교위상 LO 신호(QLO)를 포함한다. 하향변환기(224)는, 입력 RF 신호를 LO 신호를 이용하여 RF로부터 기저대역으로 하향변환하고, 동상(I) 및 직교위상(Q) 하향변환된 신호들(Idc 및 Qdc)을 제공한다. 저역통과 필터들(226)은, I 및 Q 신호들을 하향변환하고, I 및 Q 필터링된 신호들을 제공한다. 증폭기(Amp)(228)들은, I 및 Q 필터링된 신호들을 증폭하고, I 및 Q 입력 기저대역 신호들(Iin 및 Qin)을 데이터 프로세서/제어기(280)에 제공한다. 저역통과 필터들(226)은, I 하향변환된 신호에 대한 하나의 저역통과 필터 및 Q 하향변환된 신호에 대한 다른 저역통과 필터를 포함할 수도 있다. 유사하게, 증폭기들(228)은, I 필터링된 신호에 대한 하나의 증폭기 및 Q 필터링된 신호에 대한 다른 증폭기를 포함할 수도 있다. 데이터 프로세서(280) 내에서, 아날로그-투-디지털 변환기(analog-to-digital converter)(ADC)들(282)은, I 및 Q 입력 기저대역 신호들을 디지털화하고, I 및 Q 샘플들을 제공한다. 데이터 프로세서(280)는, 무선 디바이스(110)에 전송된 데이터를 복원하기 위해, I 및 Q 샘플들을 디지털 방식으로 프로세싱하기 위한 다른 회로들을 포함한다.

[0020] [0028] LO 생성기(230)는 하향변환기(224)를 위한 LO 신호를 생성한다. LO 생성기(230)는, 하나 또는 그 초과의 전압 제어된 오실레이터(VCO)들, PLL들, 기준 오실레이터들, 분주기들, 버퍼(buffer)들 등을 포함할 수도 있다. 기준 신호 생성기(232)는 기준 주파수에 있는 기준 신호를 생성하고, 데이터 프로세서(280), LO 생성기(230), 및/또는 다른 회로들에 기준 신호를 제공한다.

[0021] [0029] 송신 경로에서, 데이터 프로세서(280)는, 송신될 데이터를 프로세싱하고, I 및 Q 칩(chip)들을 획득한다. 디지털-투-아날로그 변환기(digital-to-analog converter)(DAC)(284)들은, I 및 Q 칩들을 송신기(250)에 제공되는 I 및 Q 출력 기저대역 신호들을 변환한다. 송신기(250) 내부에서, I 및 Q 출력 기저대역 신호들을, 저역통과 필터들(252)에 의해 필터링되고, 증폭기들(254)에 의해 증폭되고, 그리고 LO 생성기(260)로부터의 TX LO 신호에 기초하여 상향변환기(256)에 의해 기저대역으로 RF로 상향변환되어 변조된 RF 신호를 획득한다. 전력 증폭기(PA)(258)는, 변조된 RF 신호를 증폭하고, 적절한 송신 전력 레벨을 갖는 출력 RF 신호를 제공한다. 출력 RF 신호는, 안테나 인터페이스 회로(212)를 통해 라우팅되고 안테나(210)를 통하여 송신된다.

[0022] [0030] 도 2는 수신기(220) 및 송신기(250)의 예시적인 설계를 도시한다. 송신기 및 수신기는 또한, 필터들, 매칭 회로들 등과 같은 도 2에 도시되지 않은 다른 회로들을 포함할 수도 있다. 도 2는 또한, 하나의 수신기(220) 및 하나의 송신기(250)를 포함하는 무선 디바이스(110)를 도시한다. 일반적으로, 무선 디바이스는, 임의의 개수의 주파수 대역들, 임의의 개수의 안테나들, 및 임의의 개수의 라디오 기술들을 지원하기 위한 임의의 개수의 수신기들 및 임의의 개수의 송신기들을 포함할 수도 있다. 예를 들어, 무선 디바이스(110)는, 1000 메가헤르츠(MHz)보다 낮은 주파수들을 커버(cover)하는 저-대역, 1000 MHz 내지 2300 MHz의 주파수들을 커버하는 중간-대역, 및/또는 2300 MHz 보다 높은 주파수들을 커버하는 고-대역 각각에 대한 하나 또는 그 초과의 수신기

들 및 하나 또는 그 초과의 송신기들을 포함할 수도 있다. 수신기(220) 및 송신기(250)의 부분 또는 그 전부는, 하나 또는 그 초과의 RF IC(RFIC)들, 아날로그 집적 회로(IC)들, 믹싱된-신호 IC들 등 상에 구현될 수도 있다. 예를 들어, 수신기(220) 내의 회로들 전부가 RFIC 상에 구현될 수도 있다.

[0023] [0031] 데이터 프로세서/제어기(280)는 무선 디바이스(110)에 대한 다양한 기능들을 수행할 수도 있다. 예를 들어, 데이터 프로세서(280)는, 수신기(220)를 통해 수신되는 데이터 및 송신기(250)를 통해 송신되는 데이터에 대한 프로세싱을 수행할 수도 있다. 제어기(280)는, 수신기(220) 및 송신기(250) 내의 다양한 회로들의 동작을 제어할 수도 있다. 메모리(286)는, 데이터 프로세서/제어기(280)에 대한 프로그램 코드들 및 데이터를 저장할 수도 있다. 데이터 프로세서/제어기(280)는, 하나 또는 그 초과의 주문형 집적 회로(ASIC)들 및/또는 다른 IC들 상에 구현될 수도 있다.

[0024] [0032] 도 3은, 도 2에서의 LO 생성기(230 또는 260)에 대해 사용될 수도 있는 LO 생성기(330)의 블록도를 도시한다. LO 생성기(330)는, 주파수 합성기(340), 분주기(390), 및 버퍼들(Buf)(392a 내지 392d)을 포함한다. 주파수 합성기(340)는 PLL(350) 및 VCO(380)를 포함한다. 주파수 합성기(340)는 원하는 주파수에서의 VCO 신호를 생성한다. 분주기(390)는 주파수에서 VCO 신호를 분주하고, LO 신호를 제공한다.

[0025] [0033] PLL(350) 내에서, 위상-주파수 검출기(362)는, 기준 신호 및 분주기(368)로부터의 피드백 신호를 수신하고, 2개의 신호들의 위상들을 비교하며, 기준 신호와 피드백 신호 사이의 위상 차이/에러를 표시하는 검출기 출력 신호를 제공한다. 차지 펌프(charge pump)(364)는, 검출기 출력 신호를 수신하고, 검출된 위상 에러에 비례하는 에러 신호를 생성한다. 루프 필터(366)는, 에러 신호를 필터링하고, VCO(380)에 대한 제어 신호를 제공한다. VCO(380)는, 제어 신호에 기초하여 결정된 주파수를 갖는 VCO 신호를 생성한다. 루프 필터(366)는, 피드백 신호의 위상이 기준 신호의 위상으로 고정되도록 제어 신호를 조정한다. 분주기(368)는, VCO 신호를 팩터 N으로(by a factor of N) 분주하고, 피드백 신호를 제공한다. 분주기 팩터 N은 정수 또는 정수가 아닌 값일 수도 있다.

[0026] [0034] 분주기(390)는, 주파수에서 VCO 신호를 분주하고, 서로에 관하여 위상이 90도 다른 ILOp, ILOn, QLOp, QLOn 신호들을 포함하는 4개의 분주된 신호들을 제공한다. 버퍼들(392a 내지 392d)은, 4개의 분주된 신호들을 버퍼링하고, 위상이 90도 다른 ILO 신호 및 QLO 신호를 포함하는 LO 신호를 제공한다. ILO 신호는, 위상이 180도 다른 버퍼링된 ILOp 및 ILOn 신호들을 포함하는 차동(differential) 신호이다. QLO 신호는, 위상이 180도 다른 버퍼링된 QLOp 및 QLOn 신호들을 포함하는 차동 신호이다. 일반적으로, 차동 신호는, 접미사 "p"에 의해 표시되는 비-반전 신호 및 접미사 "n"에 의해 표시되는 반전 신호를 포함한다. ILO 신호는 하향변환기(224) 내의 믹서(324)에 제공될 수도 있다. QLO 신호는 하향변환기(224) 내의 믹서(325)에 제공될 수도 있다.

[0027] [0035] 도 4는, VCO 신호, 및 분주기(390)가 2-분주 I-Q 분주기인 경우에 대한 ILOp, ILOn, QLOp 및 QLOn 신호들을 도시한다. 이러한 경우에서, ILOp, ILOn, QLOp, 및 QLOn 신호들은, VCO 신호의 절반의 주파수에 있다. 또한, QLOp 신호는 ILOp 신호에 관하여 90도(또는 VCO 신호의 절반 사이클)만큼 지연된다.

[0028] [0036] 무선 디바이스(110)는, 다운링크 및 업링크를 통해 무선 시스템 내의 기지국과 통신할 수도 있다. 다운링크(또는 순방향 링크)는 기지국으로부터 무선 디바이스로의 통신 링크를 지칭하고, 업링크(또는 역방향 링크)는 무선 디바이스로부터 기지국으로의 통신 링크를 지칭한다.

[0029] [0037] 무선 디바이스(110)는, TDD 및/또는 FDD를 이용하는 무선 시스템과의 통신을 지원할 수도 있다. TDD에 대해, 다운링크 및 업링크는 동일한 주파수를 공유하고, 다운링크 송신들 및 업링크 송신들은 상이한 시간 기간들에서 동일한 주파수를 통해 전송될 수도 있다. FDD에 대해, 다운링크 및 업링크는 할당된 별개의 주파수들이다. 다운링크 송신들은 하나의 주파수를 통해 전송될 수도 있고, 업링크 송신들이 다른 주파수를 통해 전송될 수도 있다. TDD를 지원하는 몇몇 예시적인 라디오 기술들은 LTE TDD, TD-SCDMA, 및 GSM을 포함한다. FDD를 지원하는 몇몇 예시적인 라디오 기술들은 LTE FDD, WCDMA 및 CDMA 1X를 포함한다.

[0030] [0038] TDD를 이용하여 무선 시스템과 통신하는 경우, 무선 디바이스(110)는, 오직 수신(RX) 시간 동안에만 수신기(220) 내의 회로를 파워 온/업(up)할 수도 있고, 배터리 전력을 보존하기 위해 비-RX(non-RX) 시간 동안에는 수신기 회로를 파워 오프/다운(down)할 수도 있다. RX 시간은, 다운링크에 대해 지정된 시간 기간들을 커버할 수도 있고, 단지 무선 디바이스(110)가 다운링크 신호들을 수신할 필요가 있는 시간 기간들을 커버할 수도 있다. 비-RX 시간은, RX 시간의 부분이 아닌 남아있는 시간 기간들 전부를 커버할 수도 있다. 예를 들어, 무선 디바이스(110)는, RX 시간 동안 LO생성기(230)를 파워 온할 수도 있고, 비-RX 시간 동안 LO 생성기(230)를 파워 오프할 수도 있다. 따라서, LO 생성기(230)는 비-연속적인 방식으로 동작할 수도 있다.

[0031] [0039] 도 3에 도시된 바와 같이, LO 생성기(230)는, 적절한 RF 주파수에서의 VCO 신호를 생성하기 위한 주파수 합성기(340) 및 LO 신호를 생성하기 위한 분주기(390)를 포함할 수도 있다. 주파수 합성기(340)는, 연속적인 위상을 갖는 기준 신호로 고정될 수도 있고, 그에 따라, 주파수 합성기(340)가 계속적으로 파워 온 및 오프될 수도 있다 하더라도, 연속적인 위상을 갖는 VCO 신호를 생성할 수도 있다. 그러나, 분주기(390)는, 가능한 상태들의 세트 중 하나에서 파워 업할 수도 있다. 예를 들어, 분주기(390)는 2-분주 분주기일 수도 있고, 파워 온된 경우, 상태 '0' 또는 '1' 중 어느 하나에서 임의로(arbitrarily) 웨이크 업할 수도 있다. 분주기(390)의 상태는, 분주기(390)가 웨이크 업하는 경우, 착신(incoming) VCO 신호의 어느 엣지(예를 들어, 상승 엣지 또는 하강 엣지)가 분주기(390)를 트리거링(trigger)하는지에 의존한다. 일반적으로, 분주기의 웨이크-업 신호는, 배터리 전력을 절감하고 분주기의 복잡도를 감소시키기 위해, VCO 신호와 동기화되어 있지 않거나 시간이 정해져(timed) 있지 않다. 2-분주 분주기가 하나의 VCO 엣지(또는 하나의 사이클)를 누락(miss)한다면, 2-분주 분주기 출력의 절대 위상은 180° 만큼 시프팅된다. 분주기(390)는, 상태 '0'에서 웨이크 업하는 경우, 제 1 위상을 갖는 ILO 및 QLO 신호들을 생성할 수도 있고, 상태 '1'에서 웨이크 업하는 경우, 제 2 위상을 갖는 ILO 및 QLO 신호들을 생성할 수도 있다. 그 후, ILO 및 QLO 신호들은 바람직하지 않거나 또는 수용가능하지 않을 수도 있는 비-연속적인 위상을 가질 수도 있다.

[0032] [0040] 도 5는, 파워 업된 경우 상이한 상태들에서 웨이크 업하는 분주기로 인한 비-연속적인 위상을 갖는 LO 신호를 도시한다. 연속적인 위상을 갖는 기준 신호는, 도 5의 상단에 도시되고, 항상 파워 온될 수도 있는 도 2에서의 기준 신호 생성기(232)에 의해 생성될 수도 있다. 연속적인 VCO 신호는, 항상 파워 온되는 제 1 주파수 합성기에 의해 생성될 수도 있다. 비-연속적인 VCO 신호는, 주기적으로 파워 온 및 오프되는 제 2 주파수 합성기에 의해 생성될 수도 있다. 비-연속적인 VCO 신호는, 제 2 주파수 합성기가 연속적인 위상을 갖는 기준 신호로 고정된 경우 연속적인 위상을 가질 수도 있다.

[0033] [0041] 연속적인 LO 신호는, 연속적인 VCO 신호를 분주함으로써 생성될 수도 있고, 연속적인 위상을 가질 수도 있다. 비-연속적인 LO 신호는, 주파수에서 비-연속적인 VCO 신호를 분주하는 분주기에 의해 생성될 수도 있다. 분주기는, 시간 T1에서 파워 오프되기 전에 제 1 상태(예를 들어, 상태 '0')에서 동작할 수도 있고, 시간 T2에서 파워 온된 후에 제 2 상태(예를 들어, 상태'1')에서 동작할 수도 있다. 분주기의 상이한 상태들은, ILO 및 QLO 신호들의 상이한 I-Q 관계와 연관될 수도 있다. 그러면, 비-연속적인 LO 신호는, 분주기가 시간 T2에서 상이한 상태에 있는 것으로 인해, 시간 T2에서 위상 불연속성을 가질 수도 있다. 특히, 비-연속적인 LO 신호는, 시간 T1 전에 제 1 위상을 그리고 시간 T2 후에 제 2 위상을 가질 수도 있으며, 제 2 위상은 제 1 위상과 상이하다.

[0034] [0042] 도 2에서의 하향변환기(224)에 제공되는 LO 신호는, RF 신호를 적절히 하향변환하기 위해 시간에 걸쳐 연속적인 위상을 가져야 한다(즉, 어떠한 위상 불연속성도 가지지 않아야 함). 위상 연속성은 항상 주파수 합성기 및 분주기를 파워 온함으로써 달성될 수도 있다. 그러나, 단지 LO 신호의 위상 연속성을 유지하기 위해, 심지어 주파수 합성기 및 분주기가 업링크 서브프레임(subframe)들 동안의 데이터 수신에 대해 필요하지 않은 경우조차 주파수 합성기 및 분주기를 파워 온하기 위해, 상당한 배터리 전력이 낭비될 수도 있다.

[0035] [0043] 본 개시의 일 양상에서, PLL 피드백 루프의 일부로서 분주기(하향변환기 또는 상향변환기에 대한 LO 신호를 생성함)를 사용함으로써 연속적인 위상을 갖는 LO 신호가 생성될 수도 있다. 분주기는, 예를 들어, 도 3에 도시된 바와 같이, 서로에 대해 직교위상에 있는 4개의 분주된 신호들을 생성하는 2-분주 I-Q 분주기일 수도 있다. 분주기는 또한, 상이한 위상들의 다수의 분주된 신호들을 생성하는 다른 분주율(divider ration)을 갖는 I-Q 분주기일 수도 있다.

[0036] [0044] 본 명세서에 설명된 기술들은, 주파수 합성기 및 분주기가, 심지어 이들 회로들이 배터리 전력을 보존하기 위해 주기적으로 파워 온 또는 오프되는 경우조차, 연속적인 위상을 갖는 LO 신호를 생성하는 것을 가능하게 할 수도 있다. 기술들은, 수신기에 대한 LO 생성기 뿐만 아니라 송신기에 대한 LO 생성기에 대해서도 사용될 수도 있다. 명확화를 위해, 기술들의 다양한 세부사항들이 도 2에서의 수신기(220)에 대한 LO 생성기(230)에 대하여 아래에 설명된다.

[0037] [0045] 도 6a는, 심지어 LO 생성기(630)가 주기적으로 파워 온 및 오프되는 경우조차 연속적인 위상을 갖는 LO 신호를 생성할 수 있는 LO 생성기(630)의 예시적인 설계의 블록도를 도시한다. LO 생성기(630)는, 도 2에서의 LO 생성기(230 또는 260)에 대해 사용될 수도 있다. LO 생성기(630)는, 주파수 합성기(640), 분주기(690), 및 버퍼들(692a 내지 692d)을 포함하며, 각각은 도 3에서의 주파수 합성기(340), 분주기(390), 및 버퍼들(392a 내지 392d)과 유사한 방식으로 커플링된다. 주파수 합성기(640)는 PLL(650) 및 VCO(680)를 포함하며, 이들은 도

3에서의 PLL(350) 및 VCO(380)와 유사한 방식으로 커플링된다.

[0038] [0046] 도 6에 도시된 예시적인 설계에서, PLL(650)은 위상-주파수 검출기(662), 차지 펌프(664), 루프 필터(666), 및 분주기(668)를 포함하며, 각각은 도 3에서의 위상-주파수 검출기(362), 차지 펌프(364), 루프 필터(366), 및 분주기(368)와 유사한 방식으로 커플링된다. 분주기(690)는 VCO(680)로부터의 VCO 신호를 팩터 M으로 분주하며, 여기서 M은 2, 3, 4, 또는 몇몇 다른 값일 수도 있다. 분주기(690)는, 서로에 관하여 위상이 90도 다른 ILOp, ILOn, QLOp 및 QLOn 신호들을 포함하는 4개의 분주된 신호들을 제공한다. 버퍼들(692a 내지 692d)은, 4개의 분주된 신호들을 버퍼링하고, 예를 들어, 도 4에 도시된 바와 같은 알려진 위상 관계를 갖는 ILO 신호 및 QLO 신호를 제공한다. 버퍼(694)는, 선택된 분주된 신호를 분주기(690)로부터 수신하고, 선택된 분주된 신호를 버퍼링하고, 그리고 버퍼링된 분주된 신호를 분주기(668)에 제공한다. 선택된 분주된 신호는, 도 6a에 도시된 바와 같은 ILOp 신호 또는 분주기(690)에 제공되는 몇몇 다른 분주된 신호일 수도 있다. 분주기가 ILOp, ILOn, QLOp 및 QLOn 신호들에 대해 유사한 로딩을 갖기 위해, 버퍼(694)와 같은 더미(Dummy) 버퍼들이 ILOn, QLOp 및 QLOn 신호들에 대한 신호 경로들에 배치될 수도 있다.

[0039] [0047] 분주기(690)는, PLL(650)의 외부에 로케이팅되고, LO 분주기로서 또한 지칭될 수도 있다. 분주기(668)는 PLL(650)의 일부이고, 프로그래밍가능 PLL 분주기(또는 N-분주기)로 또한 지칭될 수도 있다. PLL 분주기(668)는 정수-N 분주기 또는 분수(fractional)-N 분주기일 수도 있다. PLL 분주기(668)는, 듀얼-모듈러스(modulus) 또는 멀티-모듈러스 프리스케일러(prescaler), 및 프리스케일러의 분주율을 제어하기 위한 모드 제어 신호들을 생성할 수도 있는 주파수 카운터들을 포함할 수도 있다. PLL 분주기(668)는, I/Q 입력 또는 출력이 필요하지 않을 수도 있다. PLL 분주기(668)는 통상적으로, VCO로부터 단일 위상 출력을 수신하고, 위상-주파수 검출기에 대해, 통상적으로 싱글 엔드형(single ended)일 수도 있는 단일 출력 신호를 생성한다. 도 6a에 도시된 예시적인 설계에서, 분주기들(668 및 690) 둘 모두는 PLL(650)의 피드백 루프 내에 로케이팅된다. PLL(650)은, PLL 분주기(668)로부터의 피드백 신호의 위상이 기준 신호의 위상으로 고정되도록, VCO(680)에 대한 제어 신호를 생성한다. LO 분주기(690)로부터의 ILOp 신호가 PLL분주기(668)에 제공되므로, PLL(650)은, ILOp 신호의 위상이 기준 신호의 위상으로 고정되도록 제어 신호를 생성한다. 그 후, ILOp 신호는, ILOp 신호의 위상을 기준 신호의 연속적인 위상으로 고정하는 PLL(650)로 인해, (심지어 LO 생성기(630)가 주기적으로 전력 온 및 오프한다 하더라도) 연속적인 위상을 가질 것이다. PLL(650)이 결국 기준 신호로 고정할 것이므로, PLL 분주기(668) 또는 LO 분주기(690)의 초기 웨이크 업 상태는 문제가 아닐 수도 있다. 주어진 분주기가 원하지 않은 상태에서 웨이크 업하면, 기준 신호의 위상으로 정착(settle)하기 위해 PLL(650)이 더 많은 시간을 소요할 수도 있다.

[0040] [0048] 일반적으로, LO 신호를 생성하는데 사용되는 분주기는, 임의의 개수의 가능한 상태들을 가질 수도 있고, 임의의 개수의 분주된 신호를 생성할 수도 있다. 예를 들어, 분주기는, 도 6a에 도시된 바와 같이, 서로 직교 위상에 있는 4개의 분주된 신호들을 생성하는 2-분주 I-Q 분주기일 수도 있다. 분주기는 또한, 상이한 위상들을 갖는 다수의 분주된 신호들을 생성하는 다른 분주율을 갖는 I-Q 분주기일 수도 있다. 임의의 경우에서, 분주기에 의해 출력된 다수의 분주된 신호들 가운데서 하나의 분주된 신호가 선택될 수도 있다. 선택된 분주된 신호는, PLL에 피드백(feed back)될 수도 있고, 연속적인 위상을 갖는 기준 신호로 고정될 수도 있다. 그 후, 선택된 분주된 신호는 연속적인 위상을 가질 것이다. 다른 분주된 신호들 각각은, 분주기의 설계로 인해, 선택된 분주된 신호의 위상에 관하여 알려진 위상을 가질 것이다.

[0041] [0049] 도 6b는, 심지어 LO 생성기(632)기가 주기적으로 파워 온 및 오프되는 경우조차 연속적인 위상을 갖는 LO 신호를 생성할 수도 있는 LO 생성기(632)의 예시적인 설계의 블록도를 도시한다. LO 생성기(632)는 또한, 도 2에서의 LO 생성기(230 또는 260)에 대해 사용될 수도 있다. LO 생성기(632)는, 주파수 합성기(642), 분주기(690), 및 버퍼들(692a 내지 692d 및 694)을 포함하며, 이들은 도 6a에 대해 상술된 바와 같이 커플링된다. 주파수 합성기(642)는 PLL(652), VCO(680), 및 분주기(670)를 포함한다. PLL(652) 및 VCO(680)는 도 3에서의 PLL(350) 및 VCO(380)와 유사한 방식으로 커플링된다.

[0042] [0050] 도 6b에 도시된 예시적인 설계에서, PLL(652)은 위상-주파수 검출기(662), 차지 펌프(664), 루프 필터(666), 및 분주기(668)를 포함하며, 이들은 도 6a에 대해 상술된 바와 같이 커플링된다. PLL(652)은 추가로 멀티플렉서(Mux)(672)를 포함한다. 분주기(670)는, VCO(680)로부터 VCO 신호를 수신하고, 주파수에서 VCO 신호를 팩터 L로 분주하며, 제 1 분주된 신호를 멀티플렉서(672)의 제 1 입력에 제공한다. L은 2, 3, 4, 또는 몇몇 다른 값과 동일할 수도 있다. 버퍼(694)는, 선택된 분주된 신호(예를 들어, ILOp 신호)를 분주기(690)로부터 수신하고 그 신호를 버퍼링하며, 제 2 분주된 신호를 멀티플렉서(672)의 제 2 입력에 제공한다. 멀티플렉서(67

2)는, 모드 제어 신호에 기초하여 제 1 또는 제 2 분주된 신호를 분주기(668)에 제공한다.

[0043] [0051] 일 설계에서, LO 생성기(632)는, 연속적 모드 또는 비-연속적 모드 중 어느 하나에서 동작할 수도 있고, 이는 모드 제어 신호에 의해 표시될 수도 있다. 연속적 모드에서, VCO 신호는, 분주기(670)에 의해 분주되고, 멀티플렉서(672)를 통해 라우팅되고, 분주기(668)에 제공될 수도 있다. 분주기(670)는, 단일의 분주된 신호를 제공하고, PLL 분주기(668)의 주파수 동작 범위 요건을 용이하게 할 수도 있다. 분주기(670)는, 분주기(668)가 직접 VCO 주파수에서 동작할 수 있는 경우 우회(bypass)될 수도 있다. 버퍼(694)는 연속적 모드에서 파워 오프될 수도 있다. 분주기(690)는, 연속적 모드에서, 하향변환기에 대해 LO 신호를 제공하기 위해 파워 온될 수도 있다. 비-연속적 모드에서, 버퍼(694)로부터의 ILOp 신호는, 멀티플렉서(672)를 통해 라우팅되고 분주기(668)에 제공될 수도 있다. PLL(652)의 피드백 루프에서의 ILOp 신호의 사용은, LO 생성기(632)가 주기적으로 파워 온 및 오프될 수도 있다 하더라도, LO 생성기(632)가 연속적인 위상을 갖는 ILOp 신호를 생성하는 것을 가능하게 할 수도 있다. 분주기(670)는 비-연속적인 모드에서 파워 오프될 수도 있다. 연속적 모드는, LO 생성기(632)가 연속적으로 파워 온되는 경우, 또는 연속적인 위상을 갖는 LO 신호가 요구되지 않는 경우의 사용에 대해 선택될 수도 있다. 비-연속적 모드는, 연속적인 위상이 요구되고, 그리고 LO 생성기(632)가 주기적으로 파워 온 및 오프되는 경우의 사용에 대해 선택될 수도 있다.

[0044] [0052] 일 설계에서, VCO(680)는, 멀티-대역 및/또는 멀티-모드 애플리케이션들을 위해 다수의 LO 분주기들을 드라이빙(drive)할 수도 있다. 다수의 LO 분주기들은, LO 분주기(690) 및 도 6b에 도시되지 않은 적어도 하나의 부가적인 LO 분주기를 포함할 수도 있다. 다수의 LO 분주기들은, 물리적으로 분리되어 있을 수도 있고 그리고/또는 상이한 분주율들을 가질 수도 있다. LO 분주기, LNA, 및 믹서가 각각의 대역에 대해 물리적으로 분리되어 있을 수도 있으므로, 상이한 LO 분주기 출력들을 PLL에 피드백하는 대신, (도 6b에서의 분주기(670)에 대응할 수도 있는) PLL 그 자체에 대한 공통 분주기를 갖는 것이 유리할 수도 있다. 연속적 모드에서, VCO(680)로부터의 공통 고정 VCO 신호는, 멀티-대역 및/또는 멀티-모드 애플리케이션들에서 상이한 LO 분주기들로 라우팅될 수도 있다.

[0045] [0053] 도 6c는, 심지어 LO 생성기(634)가 주기적으로 파워 온 및 오프되는 경우조차 연속적인 위상을 갖는 LO 신호를 생성할 수 있는 LO 생성기(634)의 예시적인 설계의 블록도를 도시한다. LO 생성기(634)는 또한, 도 2에서의 LO 생성기(230 또는 260)에 대해 사용될 수도 있다. LO 생성기(634)는 주파수 합성기(644), 분주기(690), 및 버퍼들(692a 내지 692d 및 694)을 포함하며, 이들은 도 6a에 대해 상술된 바와 같이 커플링된다. 주파수 합성기(644)는 PLL(654), VCO(680), 및 분주기(674)를 포함한다. PLL(644) 및 VCO(680)는 도 3에서의 PLL(350) 및 VCO(380)와 유사한 방식으로 커플링된다.

[0046] [0054] 도 6c에 도시된 예시적인 설계에서, PLL(654)은 위상-주파수 검출기(662), 차지 펌프(664), 및 루프 필터(666)를 포함하며, 이들은 도 6a에 대해 상술된 바와 같이 커플링된다. PLL(654)은 추가로 멀티플렉서(Mux)(678)를 포함한다. 분주기(674)는, VCO(680)로부터 VCO 신호를 수신하고, 주파수에서 VCO 신호를 팩터 K로 분주하며, 제 1 분주된 신호를 멀티플렉서(678)의 제 1 입력에 제공한다. K는 임의의 정수 또는 정수가 아닌 값일 수도 있다. 분주기(676)는, 선택된 분주된 신호를 버퍼(694)로부터 수신하고, 선택된 분주된 신호를 팩터 Q로 분주하며, 제 2 분주된 신호를 멀티플렉서(678)의 제 2 입력에 제공한다. 멀티플렉서(678)는, 모드 제어 신호에 기초하여 제 1 또는 제 2 분주된 신호를 위상-주파수 검출기(662)에 제공한다.

[0047] [0055] 일 설계에서, LO 생성기(634)는, 연속적 모드 또는 비-연속적 모드 중 어느 하나에서 동작할 수도 있고, 이는 모드 제어 신호에 의해 표시될 수도 있다. 연속적 모드에서, VCO 신호는, 분주기(674)에 의해 분주되고, 멀티플렉서(672)를 통해 라우팅되고, 위상-주파수 검출기(662)에 제공될 수도 있다. 분주기(676) 및 버퍼(694)는, 연속적 모드에서, 파워 오프될 수도 있다. 비-연속적 모드에서, 버퍼(694)로부터의 ILOp 신호는, 분주기(676)에 의해 주파수에서 분주되고, 멀티플렉서(678)를 통해 라우팅되며, 위성-주파수 검출기(662)에 제공될 수도 있다. PLL(654)의 피드백 루프에서의 ILOp 신호의 사용은, LO 생성기(634)가 주기적으로 파워 온 및 오프될 수도 있다 하더라도, LO 생성기(634)가 연속적인 위상을 갖는 ILOp 신호를 생성하는 것을 가능하게 할 수도 있다. 분주기(674)는 비-연속적인 모드에서 파워 오프될 수도 있다.

[0048] [0056] 도 6c에 도시된 설계에서, 연속적 모드 및 비-연속적 모드에 대해 별개의 분주기들(674 및 676)이 사용된다. 분주기(674)는, VCO(680)로부터 분주기(674)로의 VCO 신호의 라우팅 트레이스(trace)들을 단축시키기 위해 VCO(680)에 근접하게 로케이팅되며, 이는 전력 소산을 감소시키고 성능을 개선시킬 수도 있다. 분주기(676)는, 분주기(690) 및 버퍼(694)로부터 분주기(676)로의 ILOp 신호의 라우팅 트레이스들을 단축시키기 위해 분주기(690)에 근접하게 로케이팅된다.

[0049] [0057] 도 6a 내지 도 6c는, 분주된 신호에 대한 연속적인 위상을 보장하기 위해, LO 분주기로부터의 분주된 신호가 PLL의 피드백 루프에서 사용되는 LO 생성기의 3개의 예시적인 설계들을 도시한다. 또한, 연속적인 위상을 갖는 LO 신호를 생성할 수 있는 LO 생성기는 다른 방식들로 구현될 수도 있다. 예를 들어, VCO는, 전류 제어된 오실레이터(ICO) 등과 같은 몇몇 다른 타입의 오실레이터로 대체될 수도 있다. PLL은 또한 다른 방식들로 구현될 수도 있고, 도 6a 내지 도 6c에 도시되지 않은 상이한 그리고/또는 부가적인 회로들을 포함할 수도 있다.

[0050] [0058] 도 7은, 도 3에서의 분주기(390) 또는 도 6a 내지 도 6c에서의 분주기(690)에 대해 사용될 수도 있는 2-분주 I-Q 분주기(790)의 예시적인 설계의 개략도를 도시한다. 분주기(790)는, 상호-커플링된 2개의 D 플립 플롭(flip flop)들(796 및 798)을 포함한다. 플립 플롭(796)은, 플립 플롭(798)의 D 입력에 커플링되는 자신의 Q 출력을 갖는다. 플립 플롭(798)은, 플립 플롭(796)의 D 입력에 커플링되는 자신의 $\overline{Q}$ 출력을 갖는다. 인버터(792)는, VCO 신호를 수신하는 자신의 입력, 및 플립 플롭(796)의 클록 입력에 커플링되는 자신의 출력을 갖는다. 인버터(794)는, 인버터(792)의 출력에 커플링되는 자신의 입력, 및 플립 플롭(798)의 클록 입력에 커플링되는 자신의 출력을 갖는다. 플립 플롭(796)은 자신의 Q 및 $\overline{Q}$ 출력들로부터 각각 ILOp 및 ILOn 신호들을 제공한다. 플립 플롭(798)은 자신의 Q 및 $\overline{Q}$ 출력들로부터 각각 QLOp 및 QLOn 신호들을 제공한다.

[0051] [0059] 플립 플롭들(796 및 798)은, 인버터(794)로 인한 VCO 신호의 하강 및 상승 엣지들에 의해 클로킹(clock)된다. 그러므로, 플립 플롭(798)의 Q 및 $\overline{Q}$ 출력들은 플립 플롭(796)의 Q 및 $\overline{Q}$ 출력들 이후에 VCO 신호 사이클의 이분의 일에서 트랜지션(transition)한다.

[0052] [0060] 플립 플롭(796)이 파워 온된 경우, 처음에, Q 출력은 플립 플롭(796)이 상태 '0'에서 웨이크 업하는지 또는 상태 '1'에서 웨이크 업하는지에 의존하여 로직 하이(high) 또는 로직 로우(low)를 제공할 수도 있다. 플립 플롭(798)은, VCO 신호 사이클의 이분의 일 이후에 플립 플롭(796)의 Q 출력 상의 로직 값을 클록 인(clock in)하고, 클로킹된 로직 값을 자신의 Q 출력에 제공한다. 따라서, 플립 플롭(798)의 Q 출력으로부터의 QLOp 신호는 플립 플롭(796)의 Q 출력으로부터의 ILOp 신호의 지연된 버전이다. 플립 플롭(796)은, 다음 VCO 신호 사이클에서 플립 플롭(798)의 $\overline{Q}$ 출력(또는 플립 플롭(796)의 $\overline{Q}$ 출력) 상의 로직 값을 클록 인한다. 따라서, 플립 플롭(796)은, 2-분주를 구현하기 위해, 교번하는(alternating) VCO 신호 사이클들 상에서 로직 하이 및 로직 로우 사이를 토글링(toggle)한다.

[0053] [0061] 도 7은, LO 신호에 대한 상이한 위상들의 다수의 분주된 신호들을 생성하기 위해 사용될 수도 있는 I-Q 분주기의 예시적인 설계를 도시한다. 상이한 위상들의 다수의 분주된 신호들을 생성하는 분주기는, 다른 회로들을 이용하여 다른 방식들로 또한 구현될 수도 있다.

[0054] [0062] TDD를 이용하는 다양한 무선 시스템들과 통신하기 위한 무선 디바이스들에 대해 사용될 수도 있는 연속적인 위상을 갖는 LO 신호를 생성하기 위한 기술들이 본 명세서에 기재된다. 예를 들어, 기술들은, LTE TDD 시스템들, TD-SCDMA 시스템들 등에서 무선 디바이스들에 대해 사용될 수도 있다. 상이한 무선 시스템들이 TDD를 지원하기 위해 상이한 프레임 구조들을 이용할 수도 있다.

[0055] [0063] 도 8a는 TD-SCDMA에 대한 예시적인 프레임 구조(800)를 도시한다. 송신 시간 라인이 프레임들 내에 파티셔닝(partition)되고, 각각의 프레임은 시스템 프레임 넘버(SFN)에 의해 식별된다. 각각의 프레임은, 10 밀리초(ms)의 지속기간을 갖고, 2개의 서프프레임들(1 및 2)로 파티셔닝된다. 각각의 서브프레임은, 5 ms의 지속기간을 갖고, 7개의 타임슬롯 0 내지 타임슬롯 6, 다운링크 파일럿 타임 슬롯(Downlink Pilot Time Slot)(DwPTS), 업링크 파일럿 타임 슬롯(Uplink Pilot Time Slot)(UpPTS), 및 가드 기간(guard period)(GP)으로 파티셔닝된다. DwPTS, 가드 기간, 및 UpPTS는 타임슬롯 0 이후에 로케이팅된다. 타임슬롯 0은 다운링크에 대해 사용되고, 타임슬롯 1은 업링크에 대해 사용되고, 타임슬롯들 2 내지 6 각각은, 스위치 포인트에 의해 결정된 바에 따라 다운링크 및/또는 업링크에 대해 사용될 수도 있다. 각각의 타임슬롯들은 675 마이크로-초(μs)(또는 864 chips)의 지속기간을 갖는다. DwPTS는 75 μs(또는 96 chips)의 지속기간을 갖고, UpPTS는 125 μs(또는 160 chips)의 지속기간을 갖는다. 가드 기간은, DwPTS 및 UpPTS 사이에 로케이팅되고, 75 μs(또는 96 chips)의 지속기간을 갖는다.

[0056] [0064] TD-SCDMA에 대해, 각각의 타임슬롯들은 제 1 데이터 부분, 미드앰블(midamble), 제 2 데이터 부분, 및 가드 기간을 포함한다. 각각의 데이터 부분은 275 μs(또는 352 chips)의 지속기간을 갖고, 미드앰블은 112.5 μs(또는 144 chips)의 지속기간을 갖는다. 가드 기간은, 타임슬롯의 종단(end)에 로케이팅되고, 12.5 μs(또는

16 chips)의 지속기간을 갖는다. 각각의 타임슬롯은, 데이터 송신을 위한 하나 또는 다수의 사용자들에게 할당될 수도 있다.

[0057] [0065] 도 8b는 LTE TDD에 대한 예시적인 프레임 구조(850)를 도시한다. 송신 타임라인은 라디오 프레임들의 유닛들로 파티셔닝되고, 각각의 라디오 프레임은 10 ms의 지속기간을 갖는다. 각각의 라디오 프레임은 0 내지 9의 인덱스들을 갖는 10개의 서브프레임들로 파티셔닝된다. LTE는, TDD에 대한 다수의 업링크-다운링크 구성들을 지원한다. 서브프레임들 0 및 5는 다운링크에 대해 사용되고, 서브프레임 2는 모든 업링크-다운링크 구성들에 대하여 업링크에 대해 사용된다. 서브프레임들 3, 4, 7, 8, 및 9 각각은 업링크-다운링크 구성에 의존하여 다운링크 또는 업링크에 대해 사용될 수도 있다. 서브프레임 1은, DwPTS, 가드 기간(GP), 및 UpPTS로 이루어지는 3개의 특수 필드들을 포함한다. 서프프레임 6은, 오직 DwPTS만을 포함하거나 또는 3개의 특수 필드들 전부를 포함하거나 또는 업링크-다운링크 구성에 의존하여 다운링크 서브프레임을 포함할 수도 있다. DwPTS, 가드 기간, 및 UpPTS는 상이한 서브프레임 구성들에 대해 상이한 지속기간들을 가질 수도 있다. DwPTS는 214 ㎲와 857 ㎲ 사이의 지속기간을 가질 수도 있다. UpPTS는 71 ㎲와 142 ㎲ 사이의 지속기간을 가질 수도 있다. 가드 기간은 71 ㎲와 714 ㎲ 사이의 지속기간을 가질 수도 있다.

[0058] [0066] 도 8a 및 도 8b에 도시된 바와 같이, TD-SCDMA 시스템들 및 LTE TDD 시스템들은 다운링크 타임슬롯들과 업링크 타임슬롯들 사이에서 고속 스위칭을 갖는다. 예를 들어, 도 8a에 도시된 TD-SCDMA 시스템에서의 서브프레임 내에서, 다운링크-투-업링크(donwlink-to-uplink) 트랜지션은 타임슬롯 0 이후의 75 ㎲ 가드 기간 내에 발생하고, 업링크-투-다운링크(uplink-to-downlink) 트랜지션은 타임슬롯의 종단에서 12.5 ㎲ 가드 기간 내에 발생한다.

[0059] [0067] 일반적으로, TDD 시스템에서, 몇몇 서프프레임들은, 다운링크에 대해 사용될 수도 있고, 다운링크 서브프레임들로서 지칭될 수도 있다. 남아있는 서브프레임들은, 업링크에 대해 사용될 수도 있고, 업링크 서브프레임들로서 지칭될 수도 있다. 무선 디바이스(110)는, 배터리 전력을 보존하기 위해, 업링크 서브프레임들 동안 가급적 많은 수신기 회로를 디스에이블링(disable)할 수도 있다. 무선 디바이스(110)는 또한, 배터리 전력을 보존하기 위해, 다운링크 서브프레임들 동안 가급적 많은 송신기 회로를 디스에이블링할 수도 있다.

[0060] [0068] 도 8a 및 8b에 도시된 바와 같이, 수신기는 오직 몇몇 시간 구간들 동안만 활성일 수도 있고, 송신기는 TDD를 이용하는 무선 시스템과의 통신을 위한 몇몇 다른 시간 구간들 동안 활성일 수도 있다. 특히, 수신기는, TD-SCDMA 시스템에서의 다운링크 타임슬롯들 동안 또는 LTE TDD 시스템에서의 다운링크 서브프레임들 동안 활성일 수도 있다. 송신기는, TD-SCDMA 시스템에서의 업링크 타임슬롯들 동안 또는 LTE TDD 시스템에서의 업링크 서브프레임들 동안 활성일 수도 있다. 배터리 전력을 보존하고 가급적 성능을 개선하기 위해, LO 생성기(230)는, 오직 수신기가 활성인 경우에만 인에이블링(enable)될 수도 있고, 다른 시간들에서 디스에이블링될 수도 있다.

[0061] [0069] 도 9는, TD-SCDMA에 대한 도 2에서의 무선 디바이스(110) 내의 RX LO 생성기(230) 및 TX LO 생성기(260)를 파워 온 및 오프시키기 위한 예시적인 타임라인(900)을 도시한다. 업링크를 통한 데이터 송신에 대해, TX LO 생성기(260)는, (i) 시간 T1에서의 DwPTS의 시작에서 인에이블링되고, 그리고 (ii) 시간 T4에서의 업링크에 대한 타임슬롯 1의 종료에서 디스에이블링된다. 송신기(250)는, (i) 시간 T2에서의 타임슬롯 1의 시작 전에 인에이블링되고, 그리고 (ii) 시간 T4에서의 업링크에 대한 타임슬롯 1의 종료에서 디스에이블링된다.

[0062] [0070] 다운링크를 통한 데이터 수신에 대해, RX LO 생성기(230)는, (i) 시간 T1에서의 다운링크에 대한 타임슬롯 0의 종료에서 디스에이블링되고, 그리고 (ii) 시간 T3에서의 다운링크에 대한 타임슬롯 2의 시작 전에 인에이블링된다. RX LO 생성기(230)는 시간 T3에서 시작해서 기준 신호로 고정하려 시도하고, 시간 T4에서 고정을 달성한다. 수신기(220)는, (i) 시간 T1에서의 다운링크에 대한 타임슬롯 0의 종료에서 디스에이블링되고, (i) 시간 T4에서의 다운링크에 대한 타임슬롯 2의 시작 전에 인에이블링된다.

[0063] [0071] 도 9에 도시된 바와 같이, RX LO 생성기(230)는, 데이터 수신에 대한 LO 신호를 생성하기 위해 다운링크 서브프레임들 동안 파워 온될 수도 있다. RX LO 생성기(230)는 업링크 서브프레임들 동안 파워 오프될 수도 있다.

[0064] [0072] 일 예시적인 설계에서, 장치(예를 들어, 무선 디바이스, IC, 회로 모듈 등)는, 오실레이터, 분주기, 및 PLL을 포함할 수도 있다. 오실레이터(예를 들어, 도 6a 내지 도 6c에서의 VCO(680))는, 제어 신호를 수신하고, 제어 신호에 의해 결정된 주파수를 갖는 오실레이터 신호(예를 들어, VCO 신호)를 제공할 수도 있다. 분주기(예를 들어, 분주기(690))는, 오실레이터 신호를 수신하고, 상이한 위상들의 복수의 분주된 신호들을 생성할 수

도 있다. PLL(예를 들어, 도 6a, 도 6b, 또는 도 6c에서의 PLL(650, 652, 또는 654))은, 복수의 분주된 신호들 중 선택된 분주된 신호 및 기준 신호를 수신할 수도 있고, 오실레이터에 대한 제어 신호를 생성할 수도 있다. 장치는 추가로, 복수의 분주된 신호들 중 적어도 하나에 기초하여 생성된 LO 신호를 이용하여 입력 RF 신호를 하향변환할 수도 있는 하향변환기(예를 들어, 하향변환기(224))를 포함할 수도 있다.

[0065] [0073] 일 예시적인 설계에서, 분주기는, 위상이 90도 다른 4개의 분주된 신호들을 포함하는 복수의 분주된 신호들을 생성할 수도 있다. 예를 들어, 분주기는, 위상이 90도 다른 4개의 분주된 신호들을 제공할 수 있는 2-분주 I-Q 분주기를 포함할 수도 있다. PLL은, 4개의 분주된 신호들 중 선택된 분주된 신호를 수신할 수도 있다. 분주기는, 파워 온될 시, 복수의 가능한 상태들 중 하나에 있을 수도 있다. 분주기의 복수의 가능한 상태들은, 분주기가 파워 온되는 경우의 선택된 분주된 신호의 상이한 위상들과 연관될 수도 있다. PLL의 피드백 루프에서의 선택된 분주된 신호의 사용은, 분주기가 파워 온되는 경우의 분주기의 상태에 관계 없이 선택된 분주된 신호가 연속적인 위상을 갖는 것을 보장할 수도 있다.

[0066] [0074] 일 예시적인 설계에서, 장치는, 제 2 분주기(예를 들어, 도 6b에서의 분주기(670) 또는 도 6c에서의 분주기(674))를 더 포함할 수도 있으며, 제 2 분주기는, 오실레이터 신호를 수신하고, 제 2 분주된 신호를 생성할 수도 있다. PLL은, 분주기로부터의 선택된 분주된 신호 또는 제 2 분주기로부터의 제 2 분주된 신호에 기초하여 제어 신호를 생성할 수도 있다.

[0067] [0075] 도 6c에 도시된 예시적인 설계에서, PLL은 멀티플렉서 및 위상-주파수 검출기를 포함할 수도 있다. 멀티플렉서(예를 들어, 도 6c에서의 멀티플렉서(678))는, 분주기로부터 선택된 분주된 신호를 그리고 제 2 분주기로부터 제 2 분주된 신호를 수신할 수도 있고, 선택된 분주된 신호 또는 제 2 분주된 신호 중 어느 하나를 제공할 수도 있다. 위상-주파수 검출기(예를 들어, 검출기(662))는, 멀티플렉서로부터 선택된 분주된 신호 또는 제 2 분주된 신호를 그리고 기준 신호를 수신할 수도 있고, 제어 신호를 생성하기 위해 사용되는 검출기 출력 신호를 제공할 수도 있다.

[0068] [0076] 도 6b에 도시된 예시적인 설계에서, PLL은 멀티플렉서, 제 3 분주기, 및 위상-주파수 검출기를 포함할 수도 있다. 멀티플렉서(예를 들어, 도 6b에서의 멀티플렉서(672))는, 분주기로부터 선택된 분주된 신호를 그리고 제 2 분주기로부터 제 2 분주된 신호를 수신할 수도 있고, 선택된 분주된 신호 또는 제 2 분주된 신호를 제공할 수도 있다. 제 3 분주기(예를 들어, 분주기(668))는, 멀티플렉서부터 선택된 분주된 신호 또는 제 2 분주된 신호를 수신할 수도 있고, 제 3 분주된 신호를 제공할 수도 있다. 위상-주파수 검출기(예를 들어, 검출기(662))는, 기준 신호 및 제 3 분주된 신호를 수신할 수도 있고, 제어 신호를 생성하기 위해 사용되는 검출기 출력 신호를 제공할 수도 있다.

[0069] [0077] 일 예시적인 설계에서, 분주기는, (i) 다운링크 수신에 대한 시간 구간들 전에 파워 온되고, 그리고 (ii) 업링크 송신에 대한 시간 구간들의 적어도 일부 동안 파워 오프될 수도 있다. 일 예시적인 설계에서, 분주기는 비-연속적인 LO 신호를 생성하도록 선택될 수도 있고, 제 2 분주기는 연속적인 LO 신호를 생성하도록 선택될 수도 있다.

[0070] [0078] 도 10은 LO 신호를 생성하기 위한 프로세스(1000)의 예시적인 설계를 도시한다. 제어 신호에 의해 결정된 주파수를 갖는 오실레이터 신호가 (예를 들어, 도 6a 내지 도 6c에서의 VCO(680)에 의해) 생성될 수도 있다(블록 1012). 오실레이터 신호는, 상이한 위상들의 복수의 분주된 신호들을 획득하기 위해 (예를 들어, 도 6a 내지 도 6c에서의 분주기(690)에 의해) 주파수에서 분주될 수도 있다(블록 1014). 제어 신호는, 기준 신호 뿐만 아니라 복수의 분주된 신호들 중 선택된 분주된 신호에 기초하여 (예를 들어, 도 6a, 도 6b, 또는 도 6c에서의 PLL(640, 642, 또는 644)에 의해) 생성될 수도 있다(블록 1016). LO 신호는 복수의 분주된 신호들 중 적어도 하나에 기초하여 생성될 수도 있다(블록 1018). 입력 RF 신호는 LO 신호로 하향변환될 수도 있다(블록 1020).

[0071] [0079] 블록(1014)의 일 설계에서, 오실레이터 신호는, 위상이 90도 다른 4개의 분주된 신호들을 획득하도록 주파수에서 분주될 수도 있다. 선택된 분주된 신호는 4개의 분주된 신호들 중 하나일 수도 있다.

[0072] [0080] 일 설계에서, 복수의 분주된 신호들을 생성하기 위해 사용되는 분주기는 비-연속적으로 동작될 수도 있다. 예를 들어, 분주기는, 다운링크 수신에 대한 시간 구간들 전에 파워 온될 수도 있고, 업링크 송신들에 대한 시간 구간들의 적어도 일부 동안 파워 오프될 수도 있다.

[0073] [0081] 일 설계에서, 제 2 분주된 신호는 오실레이터 신호에 기초하여 (예를 들어, 분주기(670 또는 674))에 의해 생성될 수도 있다. 제어 신호는, 선택된 분주된 신호 또는 제 2 분주된 신호에 기초하여 생성될 수도 있다.

도 6c에 도시된 일 설계에서, 예를 들어, 도 6c에 도시된 바와 같이, 기준 신호와 선택된 분주된 신호 또는 제 2 분주된 신호 사이의 위상 에러가 검출될 수도 있다. 제어 신호는, 검출된 위상 에러에 기초하여 생성될 수도 있다. 도 6b에 도시된 다른 설계에서, 선택된 분주된 신호 또는 제 2 분주된 신호는, 제 3 분주된 신호를 획득하기 위해 주파수에서 분주될 수도 있다. 기준 신호와 제 3 분주된 신호 사이의 위상 에러가 검출될 수도 있다. 그 후, 제어 신호가 검출된 위상 에러에 기초하여 생성될 수도 있다.

[0074] [0082] 당업자들은, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 기술 및 기법을 사용하여 표현될 수도 있음을 이해할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 결합에 의해 표현될 수도 있다.

[0075] [0083] 당업자들은 본 명세서의 개시와 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수도 있음을 추가적으로 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능의 관점들에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대해 다양한 방식들로 구현할 수도 있지만, 그러한 구현 결정들이 본 개시의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

[0076] [0084] 본 명세서의 개시와 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수도 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수도 있다.

[0077] [0085] 본 명세서의 개시와 관련하여 설명된 방법 또는 알고리즘의 단계들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구현될 수도 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수도 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수도 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수도 있다. ASIC은 사용자 단말에 상주할 수도 있다. 대안적으로, 프로세서 및 저장 매체는 사용자 단말 내의 별개의 컴포넌트들로서 상주할 수도 있다.

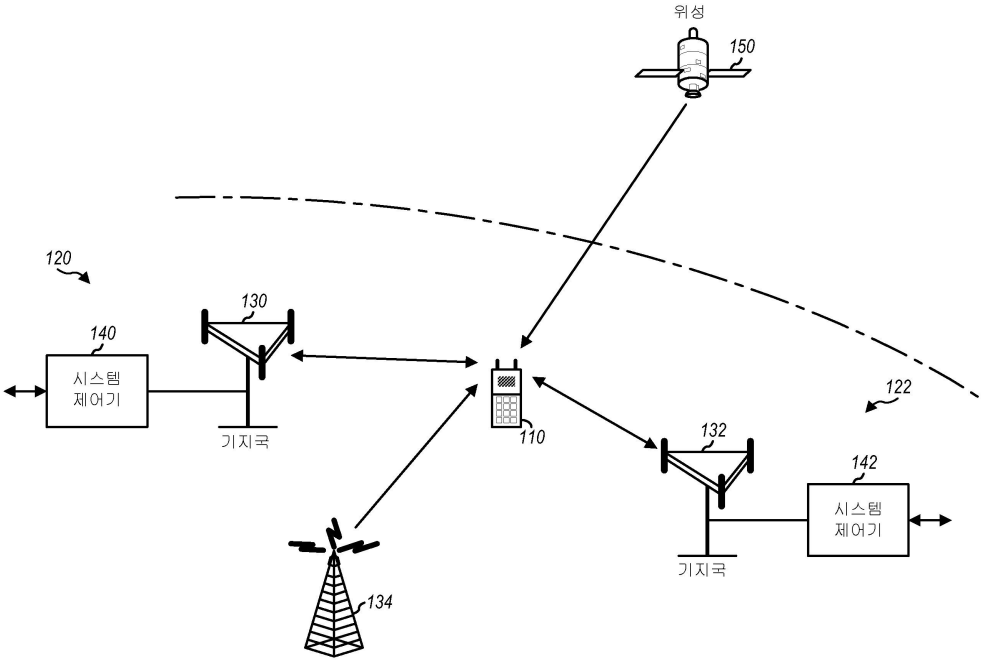
[0078] [0086] 하나 또는 그 초과의 예시적인 설계들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상에 하나 또는 그 초과의 명령들 또는 코드로서 저장되거나 이들을 통해 송신될 수도 있다. 컴퓨터-판독가능 매체들은, 일 장소에서 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함한 통신 매체들 및 컴퓨터 저장 매체들 양자를 포함한다. 저장 매체들은 범용 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드 수단을 반송 또는 저장하는데 사용될 수 있고, 범용 또는 특수-목적 컴퓨터 또는 범용 또는 특수-목적 프로세서에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속수단(connection)이 컴퓨터-판독가능 매체로 적절히 지칭된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선(twisted pair), 디지털 가입자 라인(DSL), 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되면, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들이 매체의 정의에 포함된다. 본 명세서에 사용되는 바와 같이, 디스크(disk) 및 디스크(disc)는 컴팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다목적 디스크(digital versatile disc)(DVD), 플로피 디스크(disk) 및 blu-ray 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 또한, 상기의 것들의 결합들은 컴퓨터-판독

가능 매체들의 범위 내에 포함되어야 한다.

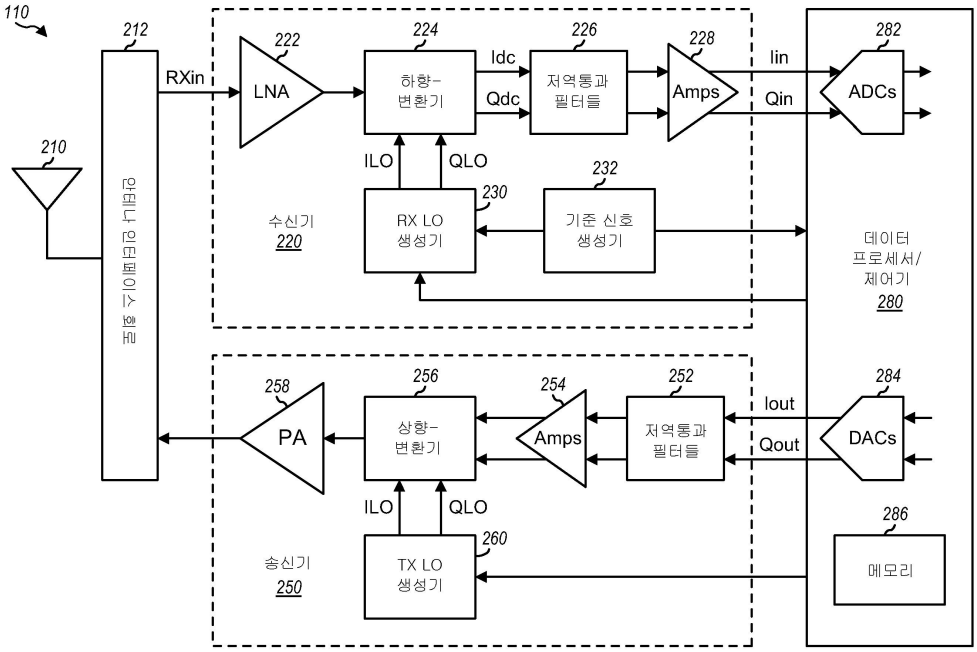
[0079] [0087] 본 개시의 이전 설명은 임의의 당업자가 본 개시를 사용 또는 실시할 수 있도록 제공된다. 본 개시에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 본 개시의 사상 또는 범위를 벗어나지 않으면서 다른 변경들에 적용될 수도 있다. 따라서, 본 개시는 본 명세서에 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본 명세서에 기재된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

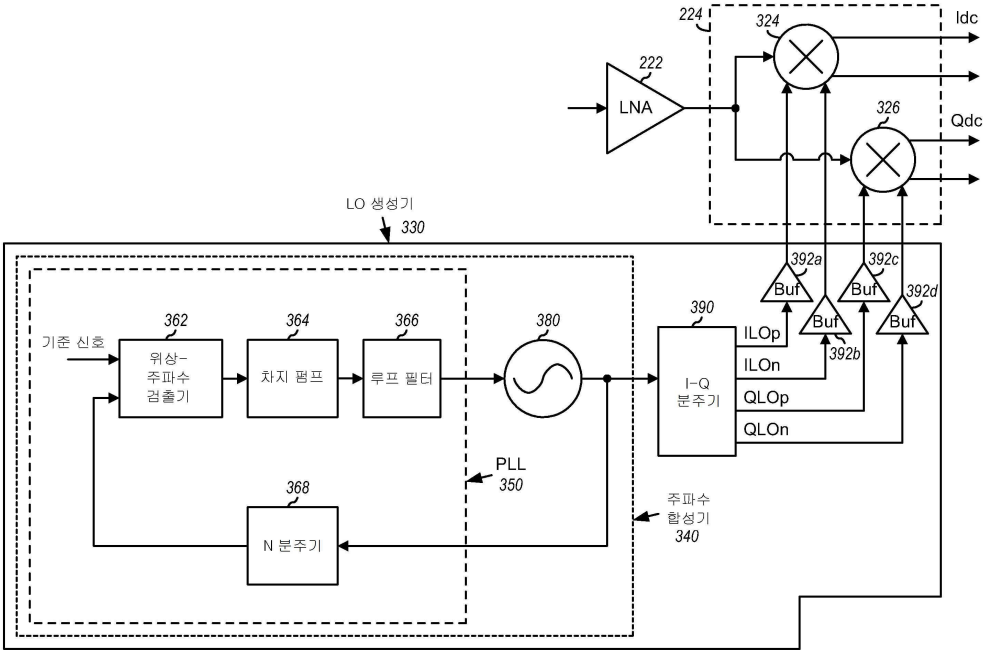
도면1



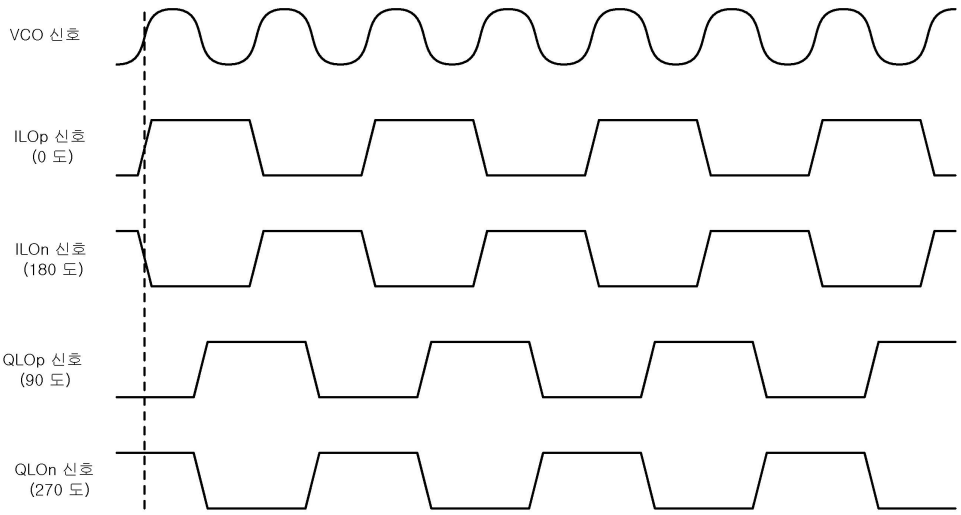
도면2


110
212
RXin
LNA
222
224
하향-
변환기
Idc
Qdc
226
저역통과
필터들
228
Amps
Iin
Qin
282
ADCs
210
안테나 인터페이스 회로
ILO
QLO
230
RX LO
생성기
232
기준 신호
생성기
수신기
220
데이터
프로세서/
제어기
280
258
PA
256
상향-
변환기
254
Amps
252
저역통과
필터들
Iout
Qout
284
DACs
ILO
QLO
260
TX LO
생성기
286
메모리
송신기
250

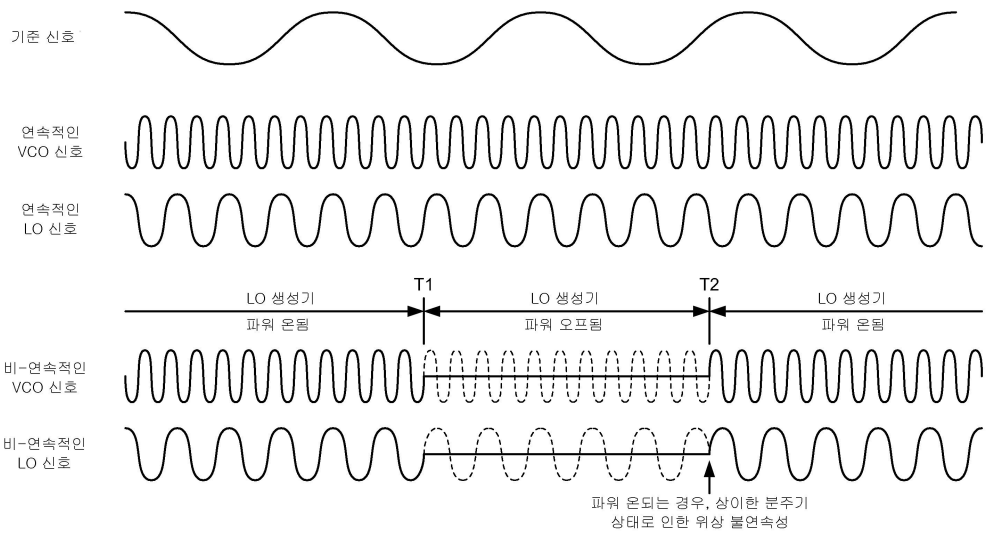
도면3


224
324
Idc
222
LNA
326
Qdc
LO 생성기
330
392a
392c
392d
Buf
Buf
Buf
392b
362
364
366
380
390
기준 신호
위상-
주파수
검출기
차지 펌프
루프 필터
I-Q
분주기
ILOp
ILOn
QLOp
QLOn
PLL
350
368
N 분주기
주파수
합성기
340

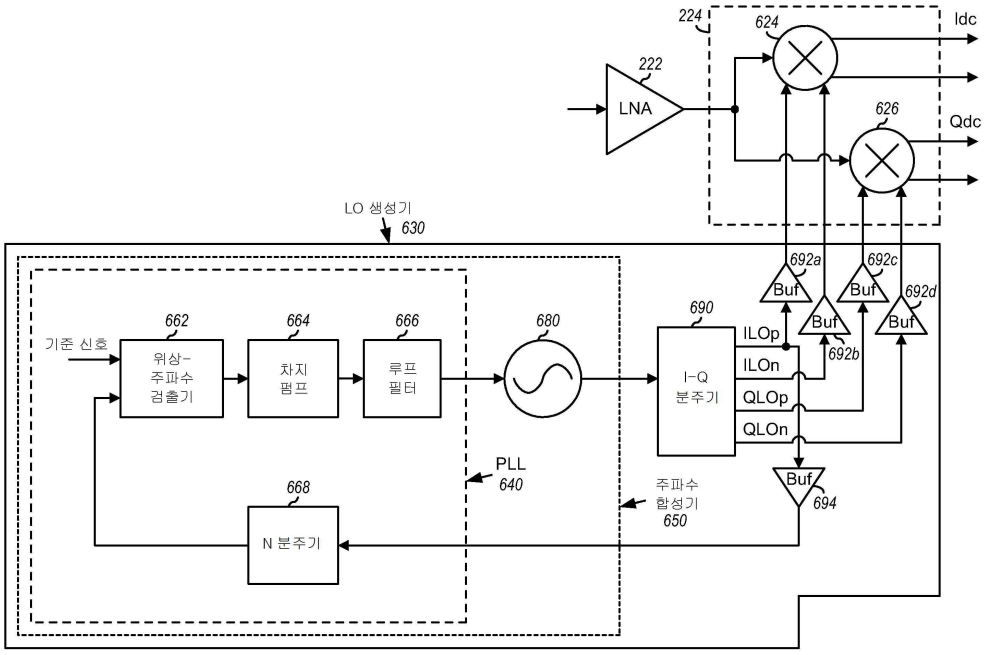
도면4


VCO 신호
ILOp 신호
(0 도)
ILOn 신호
(180 도)
QLOp 신호
(90 도)
QLOn 신호
(270 도)

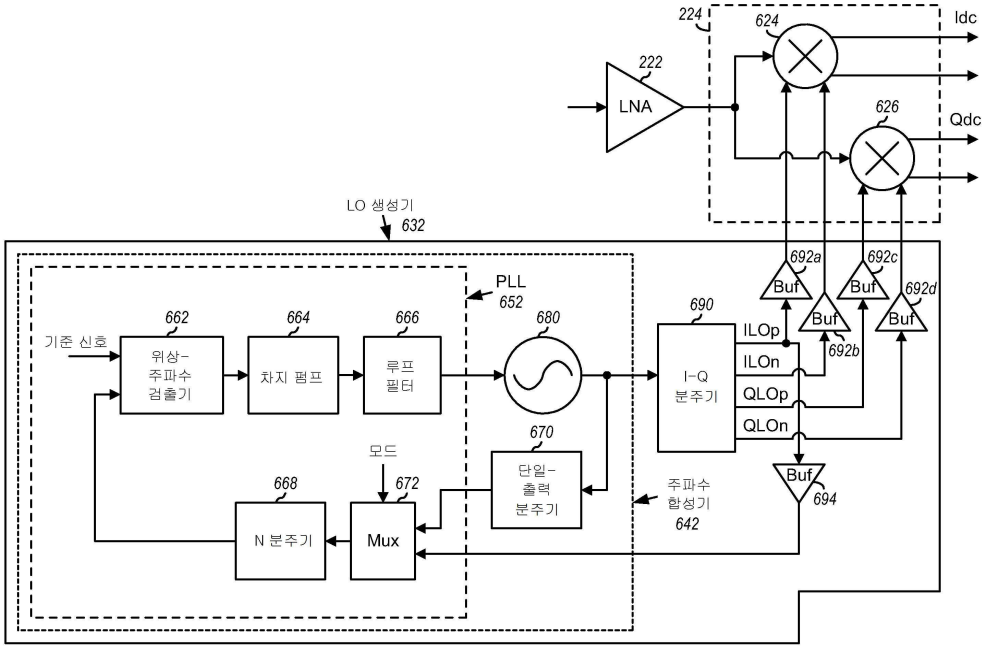
도면5


기준 신호
연속적인
VCO 신호
연속적인
LO 신호
T1
T2
LO 생성기
파워 온됨
LO 생성기
파워 오프됨
LO 생성기
파워 온됨
비-연속적인
VCO 신호
비-연속적인
LO 신호
파워 온되는 경우, 상이한 분주기
상태로 인한 위상 불연속성

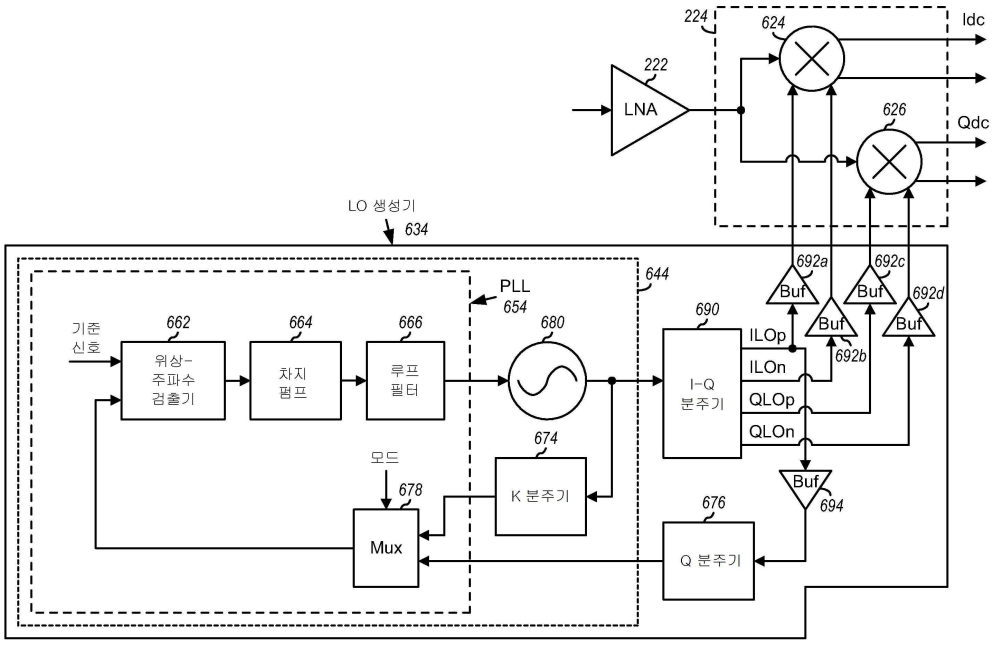
도면6a


224
624
Idc
222
LNA
626
Qdc
LO 생성기
630
692a
692c
692d
Buf
692b
690
662
664
666
680
기준 신호
위상-
주파수
검출기
차지
펌프
루프
필터
I-Q
분주기
ILOp
ILOn
QLOp
QLOn
PLL
640
668
주파수
합성기
650
694
N 분주기

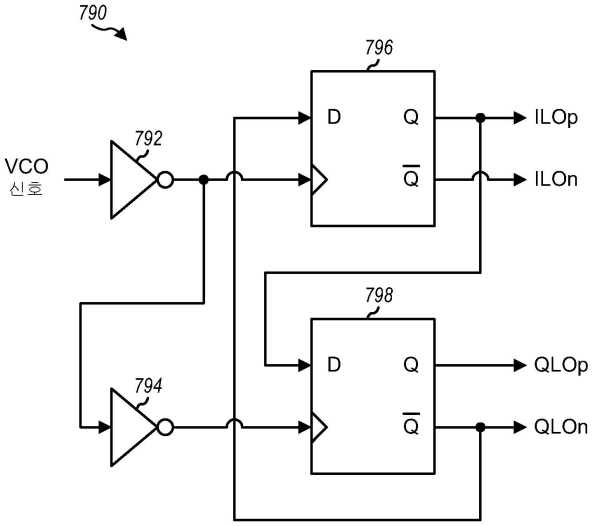
도면6b


224
624
Idc
222
LNA
626
Qdc
LO 생성기
632
692a
692c
692d
Buf
692b
690
662
664
666
680
PLL
652
기준 신호
위상-
주파수
검출기
차지 펌프
루프
필터
I-Q
분주기
ILOp
ILOn
QLOp
QLOn
670
모드
668
672
단일-
출력
분주기
주파수
합성기
642
694
N 분주기
Mux

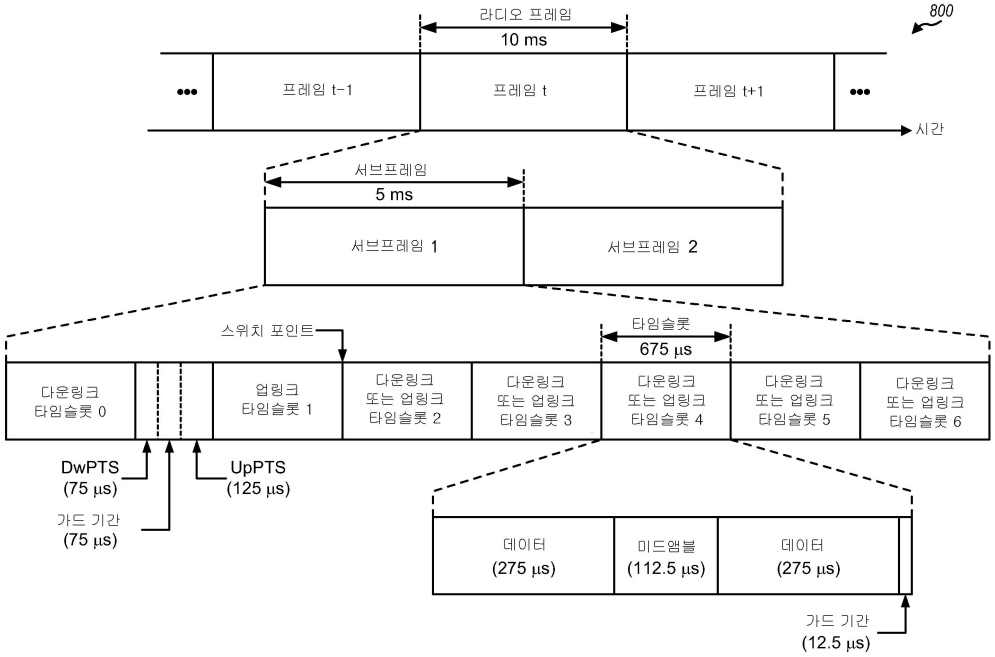
도면6c


224
624
Idc
222
LNA
626
Qdc
LO 생성기
634
644
692a
692c
692d
Buf
PLL
654
680
690
기준
신호
662
664
666
위상-
주파수
검출기
차지
펌프
루프
필터
I-Q
분주기
ILOp
ILOn
QLOp
QLOn
692b
674
모드
678
K 분주기
676
694
Mux
Q 분주기

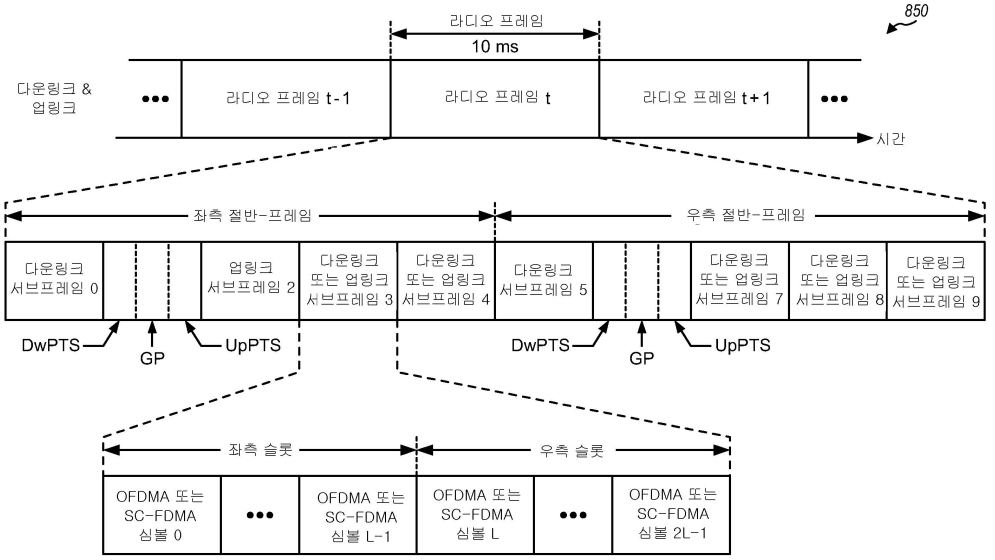
도면7


790
796
D
Q
ILOp
792
VCO
신호
ILOn
798
D
Q
QLOp
794
QLOn

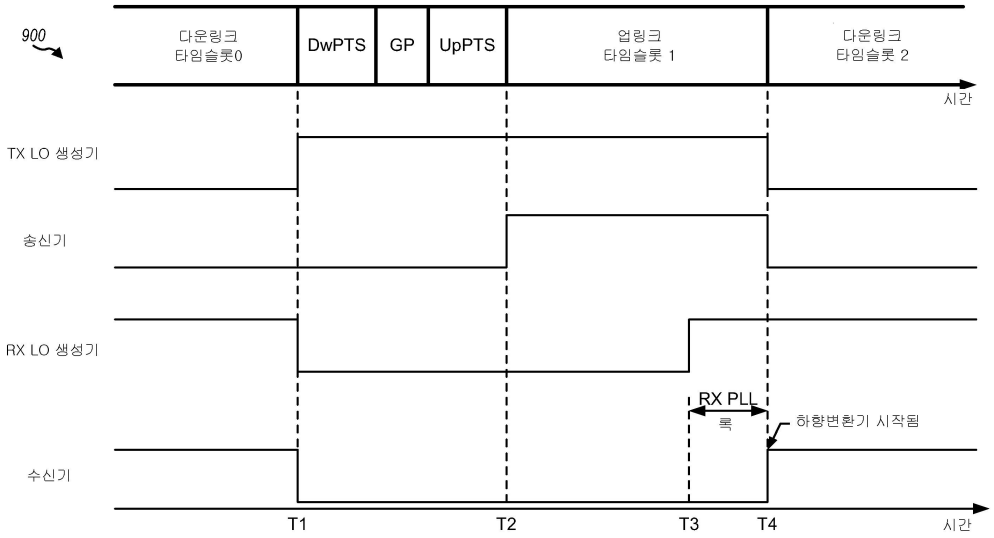
도면8a


800
라디오 프레임
10 ms
프레임 t-1
프레임 t
프레임 t+1
시간
서브프레임
5 ms
서브프레임 1
서브프레임 2
스위치 포인트
타임슬롯
675 μs
다운링크 타임슬롯 0
업링크 타임슬롯 1
다운링크 또는 업링크 타임슬롯 2
다운링크 또는 업링크 타임슬롯 3
다운링크 또는 업링크 타임슬롯 4
다운링크 또는 업링크 타임슬롯 5
다운링크 또는 업링크 타임슬롯 6
DwPTS (75 μs)
UpPTS (125 μs)
가드 기간 (75 μs)
데이터 (275 μs)
미드앰블 (112.5 μs)
데이터 (275 μs)
가드 기간 (12.5 μs)

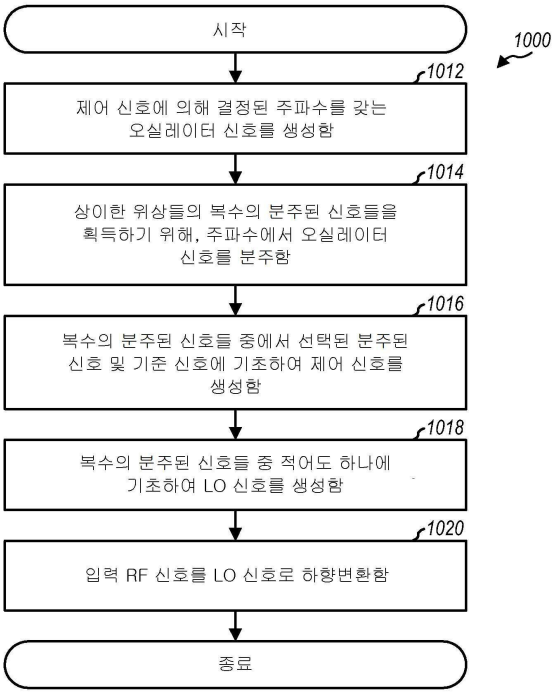
도면8b


850
라디오 프레임
10 ms
다운링크 & 업링크
라디오 프레임 t-1
라디오 프레임 t
라디오 프레임 t+1
시간
좌측 절반-프레임
우측 절반-프레임
다운링크 서브프레임 0
업링크 서브프레임 2
다운링크 또는 업링크 서브프레임 3
다운링크 또는 업링크 서브프레임 4
다운링크 서브프레임 5
다운링크 또는 업링크 서브프레임 7
다운링크 또는 업링크 서브프레임 8
다운링크 또는 업링크 서브프레임 9
DwPTS
GP
UpPTS
DwPTS
GP
UpPTS
좌측 슬롯
우측 슬롯
OFDMA 또는 SC-FDMA 심볼 0
OFDMA 또는 SC-FDMA 심볼 L-1
OFDMA 또는 SC-FDMA 심볼 L
OFDMA 또는 SC-FDMA 심볼 2L-1

도면9


900
다운링크
타임슬롯0
DwPTS
GP
UpPTS
업링크
타임슬롯 1
다운링크
타임슬롯 2
시간
TX LO 생성기
송신기
RX LO 생성기
RX PLL
록
하향변환기 시작됨
수신기
T1
T2
T3
T4
시간

도면10


시작
1000
1012
제어 신호에 의해 결정된 주파수를 갖는
오실레이터 신호를 생성함
1014
상이한 위상들의 복수의 분주된 신호들을
획득하기 위해, 주파수에서 오실레이터
신호를 분주함
1016
복수의 분주된 신호들 중에서 선택된 분주된
신호 및 기준 신호에 기초하여 제어 신호를
생성함
1018
복수의 분주된 신호들 중 적어도 하나에
기초하여 LO 신호를 생성함
1020
입력 RF 신호를 LO 신호로 하향변환함
종료