

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 11 月 12 日 (12.11.2015)



(10) 国际公布号
WO 2015/168927 A1

- (51) 国际专利分类号:
G02F 1/1335 (2006.01) G02F 1/1368 (2006.01)
G02F 1/1333 (2006.01)
- (21) 国际申请号: PCT/CN2014/077124
- (22) 国际申请日: 2014 年 5 月 9 日 (09.05.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410184922.2 2014 年 5 月 4 日 (04.05.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (72) 发明人: 徐向阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: ARRAY PANEL AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 阵列面板及其制作方法

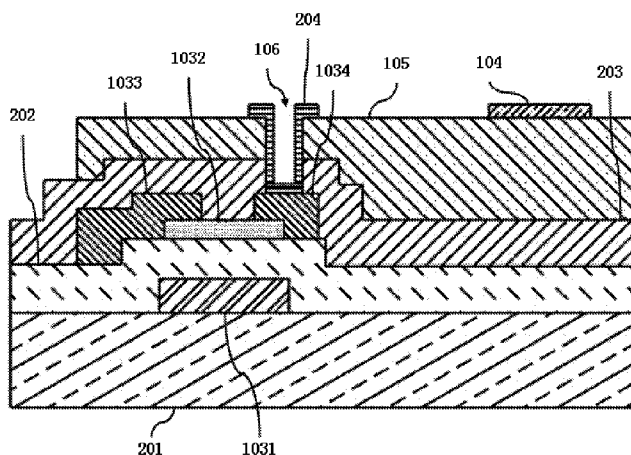


图 2 / Fig.2

(57) Abstract: An array panel, comprising: a substrate (201), a scanning line (101), a data line (102) and a pixel array. A pixel unit in the pixel array comprises: a thin film transistor (103), a pixel electrode (104) and a colour film layer (105) provided between a first plane and a second plane, wherein the first plane is a plane where a gate electrode of the thin film transistor (103) is located, and the second plane is a plane where the pixel electrode (104) is located. The scanning line (101), the data line (102) and the pixel array are all provided on the substrate. The array panel is beneficial to reducing power consumption.

(57) 摘要: 一种阵列面板, 包括: 基板 (201); 扫描线 (101); 数据线 (102); 像素阵列, 像素阵列中的像素单元包括: 薄膜晶体管 (103); 像素电极 (104); 设置于第一平面和第二平面之间的彩膜层 (105), 其中, 第一平面为薄膜晶体管 (103) 的栅极所在的平面, 第二平面为像素电极 (104) 所在的平面; 其中, 扫描线 (101)、数据线 (102) 和像素阵列均设置于基板上。该阵列面板有利于降低功耗。

WO 2015/168927 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

说明书

发明名称：阵列面板及其制作方法

技术领域

- [1] 本发明涉及显示技术领域，特别涉及一种阵列面板及其制作方法。

背景技术

- [2] 传统的TFT-LCD（Thin Film Transistor Liquid Crystal Display，薄膜晶体管液晶显示面板）将彩膜（CF，Color Filter）和TFT（Thin Film Transistor，薄膜晶体管）阵列分别做在不同的基板上，其中，TFT阵列基板包括：薄膜晶体管、外围线路和像素电极，彩膜基板包括：公共电极、R/G/B彩膜、PS（Position Spacer，间隔件）和BM（Black Matrix，黑色矩阵层）。由于CF和TFT阵列分别做在不同的玻璃基板上，因此可以节省工艺生产时间。
- [3] 在实践中，发明人发现现有技术至少存在以下问题：
- [4] TFT阵列基板中的薄膜晶体管和像素电极或者其延伸部具有重叠部分，因此薄膜晶体管和像素电极会形成一个电容，该电容会对像素单元的显示造成一定的影响，原因是：该电容的存在可能会导致输入至像素电极中的电压无法达到预期值，从而降低显示质量。
- [5] 而为了确保显示质量，需要加大电压，以排除该电容的影响，此时则需要耗费更多的电能。
- [6] 故，有必要提出一种新的技术方案，以解决上述技术问题。

对发明的公开

技术问题

- [7] 本发明的目的在于提供一种阵列面板及其制作方法，其能降低像素单元的电量消耗，从而降低阵列面板的功耗。

问题的解决方案

技术解决方案

- [8] 一种阵列面板，所述阵列面板包括：一基板；至少一扫描线；至少一数据线；以及一像素阵列，所述像素阵列包括至少一像素单元，其中，所述像素单元包

括：一薄膜晶体管；一像素电极；以及一彩膜层，设置于第一平面和第二平面之间，其中，所述第一平面为所述薄膜晶体管的栅极所在的平面，所述第二平面为所述像素电极所在的平面；其中，所述扫描线、所述数据线和所述像素阵列均设置于所述基板上；所述彩膜层设置于第一区域和第二区域上；所述第一区域和所述第二区域分别为所述像素电极和所述薄膜晶体管在所述基板上所对应的区域；所述彩膜层的表面设置有至少一凹槽，所述凹槽的形状与所述像素电极的形状对应，所述像素电极卡设于所述凹槽内。

- [9] 在上述阵列面板中，所述薄膜晶体管还包括源极和漏极，所述彩膜层覆盖所述源极和所述漏极。
- [10] 在上述阵列面板中，所述彩膜层设置有通孔，所述通孔中设置有连接线，所述连接线连接所述像素电极和所述漏极。
- [11] 在上述阵列面板中，所述像素电极是通过在所述彩膜层的所述表面上以及在所述凹槽内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除得到的。
- [12] 在上述阵列面板中，所述凹槽的底面或侧面设置有凹陷部或突起部。
- [13] 一种阵列面板，所述阵列面板包括：一基板；至少一扫描线；至少一数据线；以及一像素阵列，所述像素阵列包括至少一像素单元，其中，所述像素单元包括：一薄膜晶体管；一像素电极；以及一彩膜层，设置于第一平面和第二平面之间，其中，所述第一平面为所述薄膜晶体管的栅极所在的平面，所述第二平面为所述像素电极所在的平面；其中，所述扫描线、所述数据线和所述像素阵列均设置于所述基板上。
- [14] 在上述阵列面板中，所述彩膜层设置于第一区域和第二区域上；其中，所述第一区域和所述第二区域分别为所述像素电极和所述薄膜晶体管在所述基板上所对应的区域。
- [15] 在上述阵列面板中，所述薄膜晶体管还包括源极和漏极，所述彩膜层覆盖所述源极和所述漏极。
- [16] 在上述阵列面板中，所述彩膜层设置有通孔，所述通孔中设置有连接线，所述连接线连接所述像素电极和所述漏极。

- [17] 在上述阵列面板中，所述彩膜层的表面设置有至少一凹槽，所述凹槽的形状与所述像素电极的形状对应，所述像素电极卡设于所述凹槽内。
- [18] 在上述阵列面板中，所述像素电极是通过在所述彩膜层的所述表面上以及在所述凹槽内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除得到的。
- [19] 在上述阵列面板中，所述凹槽的底面或侧面设置有凹陷部或突起部。
- [20] 一种上述阵列面板的制作方法，所述方法包括以下步骤：在所述基板上分别设置所述扫描线、所述薄膜晶体管和所述数据线；在第一区域和第二区域上设置所述彩膜层，其中，所述第一区域为待设置的像素电极所对应的区域，所述第二区域为所述薄膜晶体管所对应的区域；在所述彩膜层上设置所述像素电极。
- [21] 在上述阵列面板的制作方法中，所述在所述彩膜层上设置所述像素电极的步骤之前，所述方法还包括：在所述彩膜层上设置一通孔；在所述通孔中设置一连接线，使得所述连接线与所述薄膜晶体管的漏极连接，并且所述连接线延伸至所述彩膜层的表面。
- [22] 在上述阵列面板的制作方法中，在在所述彩膜层上设置所述像素电极的过程中，所述方法还包括：在所述像素电极和所述连接线之间设置导电层，使得所述像素电极和所述连接线相连。
- [23] 在上述阵列面板的制作方法中，所述连接线是通过在所述通孔上涂布、沉积第一导电层来形成的。
- [24] 在上述阵列面板的制作方法中，在形成所述薄膜晶体管之后，以及在形成所述彩膜层之前，所述方法还包括以下步骤：在所述薄膜晶体管的所述漏极上设置第二导电层，其中，所述第二导电层的厚度大于或等于待设置的所述彩膜层在所述薄膜晶体管上的厚度；利用掩膜对所述第二导电层进行光刻，使得所述薄膜晶体管的所述漏极上形成有一导电柱；对所述第二导电层中除所述导电柱以外的部分进行剥离。
- [25] 在上述阵列面板的制作方法中，所述在所述彩膜层上设置所述像素电极的步骤之前，所述方法还包括：在所述彩膜层的表面上设置至少一凹槽，其中，所述凹槽的形状与所述像素电极的形状对应；所述在所述彩膜层上设置所述像素电

极的步骤包括：将所述像素电极设置于所述凹槽内，使得所述凹槽卡设所述像素电极。

[26] 在上述阵列面板的制作方法中，所述将所述像素电极设置于所述凹槽内的步骤包括：在所述彩膜层的所述表面上以及在所述凹槽内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除，以在所述凹槽内形成所述像素电极。

[27] 在上述阵列面板的制作方法中，所述在所述彩膜层的所述表面上设置至少一凹槽的步骤之后，所述方法还包括以下步骤：对所述凹槽的底面或侧面进行光刻或蚀刻，以使所述凹槽的底面或侧面具有凹陷部或突起部。

发明的有益效果

有益效果

[28] 相对现有技术，本发明的阵列面板及其制作方法能够降低薄膜晶体管的栅极和像素电极所形成的耦合电容，从而降低了像素单元的电量消耗，降低了所述阵列面板的功耗。

对附图的简要说明

附图说明

[29] 图1为本发明的阵列面板中的像素单元的示意图；

[30] 图2为图1中A-A'截面的第一实施例的示意图；

[31] 图3为图1中A-A'截面的第二实施例的示意图；

[32] 图4为本发明的阵列面板的制作方法的第一实施例的流程图；

[33] 图5为本发明的阵列面板的制作方法的第二实施例的流程图。

实施该发明的最佳实施例

本发明的最佳实施方式

[34] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。

[35] 参考图1和图2，图1为本发明的阵列面板中的像素单元的示意图。图2为图1中A-A'截面的第一实施例的示意图。

- [36] 本实施例的阵列面板包括基板201、像素阵列、至少一扫描线101以及至少一数据线102。其中，所述扫描线101、所述数据线102和所述像素阵列均设置于所述基板201上。
- [37] 所述像素阵列包括至少一像素单元，其中，所述像素单元包括薄膜晶体管103、像素电极104以及彩膜（Color Film/Color Filter）层105。所述彩膜层105设置于第一平面和第二平面之间，其中，所述第一平面为所述薄膜晶体管103的栅极1031所在的平面，所述第二平面为所述像素电极104所在的平面。
- [38] 在本实施例的阵列面板中，所述彩膜层105设置于第一区域和第二区域上。其中，所述第一区域和所述第二区域分别为所述像素电极104和所述薄膜晶体管103在所述基板201上所对应的区域。
- [39] 在本实施例的阵列面板中，所述薄膜晶体管103还包括源极1033和漏极1034，所述彩膜层105覆盖所述源极1033和所述漏极1034。
- [40] 在上述技术方案中，通过在所述薄膜晶体管103的栅极1031所在的第一平面和所述像素电极104所在的第二平面之间设置所述彩膜层105，增大了所述栅极1031所在的所述第一平面与所述像素电极104所在的第二平面之间的距离，从而降低了所述栅极1031和所述像素电极104所形成的耦合电容，因此降低了所述像素单元的电量消耗，降低了所述阵列面板的功耗。
- [41] 在本实施例的阵列面板中，所述彩膜层105设置有通孔106，所述通孔106中设置有连接线204，所述连接线204连接所述像素电极104和所述漏极1034。
- [42] 所述通孔106是通过对所述彩膜层105进行光刻或蚀刻来形成的。此外，所述连接线204可以通过在所述通孔106上涂布、沉积第一导电层（例如，金属层）来形成，所述连接线204延伸至所述彩膜层105的表面。其中，所述彩膜层105的所述表面为所述彩膜层105背向所述基板201的一面。
- [43] 此外，在本实施例中，所述连接线204还可以通过以下方式形成：在形成所述薄膜晶体管103之后，以及在形成所述彩膜层105之前，在所述薄膜晶体管103的所述漏极1034上设置第二导电层（例如，金属层），所述第二导电层的厚度大于或等于待设置的所述彩膜层105在所述薄膜晶体管103（所述漏极1034）上的厚度，然后利用掩膜对所述第二导电层进行光刻，使得所述薄膜晶体管103的

所述漏极1034上形成有一导电柱（相当于所述连接线204），最后对所述第二导电层中除所述导电柱以外的部分进行剥离。所述彩膜层105包覆所述导电柱的侧面，所述导电柱的顶面与所述像素电极104相连接。

[44] 参考图1和图3，其中，图3为图1中A-A'截面的第二实施例的示意图。本实施例与上述第一实施例相似，不同之处在于：

[45] 在本实施例的阵列面板中，所述彩膜层105的所述表面设置有至少一凹槽301，所述凹槽301的形状与所述像素电极104的形状对应，所述像素电极104卡设于所述凹槽301内。所述凹槽301是通过对所述彩膜层105利用光刻工艺进行曝光和显影得到的。所述像素电极104是通过在所述彩膜层105的所述表面上以及在所述凹槽301内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除得到的。

[46] 上述技术方案有利于使得像素电极104稳固地卡设于所述彩膜层105的所述凹槽301内，从而使得所述像素电极104不容易从所述彩膜层105的所述表面脱离。

[47] 此外，作为一种改进，所述凹槽301的底面或侧面还可以设置为凹凸不平状，例如，所述凹槽301的底面或侧面还可以设置有凹陷部或突起部。所述凹陷部或所述突起部是通过对所述凹槽301进行光刻或蚀刻得到的。

[48] 上述技术方案有利于增大所述凹槽301的内部表面（底面和侧面）与所述像素电极104之间的摩擦力，从而使得所述凹槽301能够稳固地对所述像素进行卡设，因此，所述像素电极104不容易从所述彩膜层105上脱离出来。

[49] 参考图4，图4为本发明的阵列面板的制作方法的第一实施例的流程图。本实施例的阵列面板的制作方法包括以下步骤：

[50] 步骤401，在所述基板201上分别设置所述扫描线101、所述薄膜晶体管103和所述数据线102。

[51] 步骤402，在第一区域和第二区域上设置所述彩膜层105，其中，所述第一区域为待设置的像素电极104所对应的区域，所述第二区域为所述薄膜晶体管103所对应的区域。

[52] 步骤403，在所述彩膜层105上设置所述像素电极104。

[53] 在上述技术方案中，通过在所述薄膜晶体管103的栅极1031所在的第一平面和

所述像素电极104所在的第二平面之间设置所述彩膜层105，增大了所述栅极1031所在的所述第一平面与所述像素电极104所在的第二平面之间的距离，从而降低了所述栅极1031和所述像素电极104所形成的耦合电容，因此降低了所述像素单元的电量消耗，降低了所述阵列面板的功耗。

[54] 具体地，首先在所述基板201上面按适当的厚度（2000~5000埃，其中，1埃等于 10^{-10} 米）镀上栅极金属材料（Cr, Mo, Al, Cu...），根据第一次光刻工艺对所述栅极金属材料按一定的形态进行曝光和显影，然后用掩膜（Mask）对所述栅极金属材料进行湿刻，然后将PR（Photoresist，光刻胶/光致抗蚀剂）进行剥离。

[55] 在形成所述薄膜晶体管103的所述栅极1031之后，通过PECVD（Plasma Enhanced Chemical Vapor Deposition，等离子体增强化学气相沉积法）形成沉积一层绝缘膜202（2000~5000埃），在所述绝缘膜202形成之后，按照适当的膜厚（2000~4000埃）通过PECVD形成一半导体层1032，即，激活层（Active layer（a-Si:H）），根据第二次光刻工艺按一定的形态对所述半导体层1032进行曝光和显影，用掩膜进行干刻，然后将PR进行剥离。

[56] 在形成所述半导体层1032后，在所述绝缘膜202和所述半导体层1032上按一定的厚度（1000~6000埃）进行镀膜，以形成源极/漏极金属材料，根据第三次光刻工艺按一定的形态对所述源极/漏极金属材料进行曝光和显影，用掩膜进行湿刻和沟道N+干刻，然后将PR进行剥离，从而形成源极1033/漏极1034以及数据线102。

[57] 在形成所述源极1033/漏极1034后，按适当的膜厚（1000~6000埃），通过PECVD形成沉积一层绝缘保护膜203（SiNx），根据第四次光刻工艺按一定的形态对所述绝缘保护膜203进行曝光和显影，用掩膜进行干刻，然后将PR进行剥离。

[58] 在所述绝缘保护膜203形成后，按照适当的膜厚（7000~20000埃）涂布一层红色（R, Red）彩膜材料，根据第五次光刻工艺按一定的形态对所述红色彩膜材料进行曝光和显影，以形成红色彩膜层；然后按照适当的膜厚（7000~20000埃）涂布一层绿色（G, Green）彩膜材料，根据第六次光刻工艺按一定的形态对所述绿色彩膜材料进行曝光和显影，以形成绿色彩膜层；然后按照适当的膜厚

(7000~20000埃)涂布一层蓝色(B, Blue)彩膜材料,根据第七次光刻工艺按一定的形态对所述蓝色彩膜材料进行曝光和显影,以形成蓝色彩膜层。其中,所述红色彩膜层、所述绿色彩膜层和所述蓝色彩膜层的形成顺序可以是任意的。

[59] 在彩膜层(所述红色彩膜层、所述绿色彩膜层、所述蓝色彩膜层)行成后,按适当的厚度(100~1000埃)镀上透明电极材料(ITO或IZO),根据第八次光刻工艺按一定的形态对所述透明电极材料进行曝光和显影,用掩膜进行干刻,然后将PR进行剥离。

[60] 参考图5,图5为本发明的阵列面板的制作方法的第二实施例的流程图。本实施例与上述第一实施例相似,不同之处在于:

[61] 在本实施例的阵列面板的制作方法中,所述在所述彩膜层105上设置所述像素电极104的步骤(即,步骤403)之前,所述方法还包括:

[62] 步骤501,在所述彩膜层105上设置一通孔106。

[63] 步骤502,在所述通孔106中设置一连接线204,使得所述连接线204与所述薄膜晶体管103的漏极1034连接,并且所述连接线204延伸至所述彩膜层105的表面。

[64] 其中,所述彩膜层105的所述表面为所述彩膜层105背向所述基板201的一面。所述通孔106是通过对所述彩膜层105进行光刻或蚀刻来形成的。此外,所述连接线204可以通过在所述通孔106上涂布、沉积第一导电层(例如,金属层)来形成。

[65] 此外,在本实施例中,所述连接线204还可以通过以下方式形成:在形成所述薄膜晶体管103之后,以及在形成所述彩膜层105之前,在所述薄膜晶体管103的所述漏极1034上设置第二导电层(例如,金属层),所述第二导电层的厚度大于或等于待设置的所述彩膜层105在所述薄膜晶体管103上的厚度,然后利用掩膜对所述第二导电层进行光刻,使得所述薄膜晶体管103的所述漏极1034上形成有一导电柱(相当于所述连接线204),最后对所述第二导电层中除所述导电柱以外的部分进行剥离。所述彩膜层105包覆所述导电柱的侧面,所述导电柱的顶面与所述像素电极104相连接。

[66] 在本实施例的阵列面板的制作方法中,在在所述彩膜层105上设置所述像素电

极104的过程中，所述方法还包括：

- [67] 在所述像素电极104和所述连接线204之间设置导电层，使得所述像素电极104和所述连接线204相连。其中，设置所述导电层这一步骤可以与设置所述像素电极104的步骤（即，步骤403）同时进行。
- [68] 本发明的阵列面板的制作方法的第三实施例与上述第一或第二实施例相似，不同之处在于：
- [69] 所述在所述彩膜层105上设置所述像素电极104的步骤之前，所述方法还包括：
- [70] 在所述彩膜层105的所述表面上设置至少一凹槽301，其中，所述凹槽301的形状与所述像素电极104的形状对应。其中，设置所述凹槽301的步骤可以与设置所述通孔106的步骤（即，步骤501）同时进行。
- [71] 所述在所述彩膜层105上设置所述像素电极104的步骤包括：
- [72] 将所述像素电极104设置于所述凹槽301内，使得所述凹槽301卡设所述像素电极104。
- [73] 所述凹槽301是通过对所述彩膜层105利用光刻工艺进行曝光和显影得到的。所述像素电极104是通过在所述彩膜层105的所述表面上以及在所述凹槽301内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除得到的。
- [74] 上述技术方案有利于使得像素电极104稳固地卡设于所述彩膜层105的所述凹槽301内，从而使得所述像素电极104不容易从所述彩膜层105的所述表面脱离。
- [75] 本发明的阵列面板的制作方法的第四实施例与上述第三实施例相似，不同之处在于：
- [76] 在在所述彩膜层105的所述表面上形成所述凹槽301后，对所述凹槽301的底面或侧面进行光刻或蚀刻，以使所述凹槽301的底面或侧面为凹凸不平状，例如，将所述凹槽301的底面或侧面设置为具有凹陷部或突起部，即，所述凹陷部或所述突起部是通过对所述凹槽301进行光刻或蚀刻得到的。
- [77] 上述技术方案有利于增大所述凹槽301的内部表面（底面和侧面）与所述像素电极104之间的摩擦力，从而使得所述凹槽301能够稳固地对所述像素进行卡设，因此，所述像素电极104不容易从所述彩膜层105上脱离出来。
- [78] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以

限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

发明实施例

本发明的实施方式

[79]

工业实用性

[80]

序列表自由内容

[81]

权利要求书

- [权利要求 1] 一种阵列面板，其中
所述阵列面板包括：
一基板；
至少一扫描线；
至少一数据线；以及
一像素阵列，所述像素阵列包括至少一像素单元，其中，所述像素单元包括：
一薄膜晶体管；
一像素电极；以及
一彩膜层，设置于第一平面和第二平面之间，其中，所述第一平面为所述薄膜晶体管的栅极所在的平面，所述第二平面为所述像素电极所在的平面；
其中，所述扫描线、所述数据线和所述像素阵列均设置于所述基板上；
所述彩膜层设置于第一区域和第二区域上；
所述第一区域和所述第二区域分别为所述像素电极和所述薄膜晶体管在所述基板上所对应的区域；
所述彩膜层的表面设置有至少一凹槽，所述凹槽的形状与所述像素电极的形状对应，所述像素电极卡设于所述凹槽内。
- [权利要求 2] 根据权利要求1所述的阵列面板，其中
所述薄膜晶体管还包括源极和漏极，所述彩膜层覆盖所述源极和所述漏极。
- [权利要求 3] 根据权利要求2所述的阵列面板，其中
所述彩膜层设置有通孔，所述通孔中设置有连接线，所述连接线连接所述像素电极和所述漏极。
- [权利要求 4] 根据权利要求1所述的阵列面板，其中
所述像素电极是通过在所述彩膜层的所述表面上以及在所述凹槽

内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除得到的。

[权利要求 5] 根据权利要求4所述的阵列面板，其中
所述凹槽的底面或侧面设置有凹陷部或突起部。

[权利要求 6] 一种阵列面板，其中
所述阵列面板包括：
一基板；
至少一扫描线；
至少一数据线；以及
一像素阵列，所述像素阵列包括至少一像素单元，其中，所述像素单元包括：
一薄膜晶体管；
一像素电极；以及
一彩膜层，设置于第一平面和第二平面之间，其中，所述第一平面为所述薄膜晶体管的栅极所在的平面，所述第二平面为所述像素电极所在的平面；
其中，所述扫描线、所述数据线和所述像素阵列均设置于所述基板上。

[权利要求 7] 根据权利要求6所述的阵列面板，其中
所述彩膜层设置于第一区域和第二区域上；
其中，所述第一区域和所述第二区域分别为所述像素电极和所述薄膜晶体管在所述基板上所对应的区域。

[权利要求 8] 根据权利要求7所述的阵列面板，其中
所述薄膜晶体管还包括源极和漏极，所述彩膜层覆盖所述源极和所述漏极。

[权利要求 9] 根据权利要求8所述的阵列面板，其中
所述彩膜层设置有通孔，所述通孔中设置有连接线，所述连接线连接所述像素电极和所述漏极。

- [权利要求 10] 根据权利要求6所述的阵列面板，其中
所述彩膜层的表面设置有至少一凹槽，所述凹槽的形状与所述像素电极的形状对应，所述像素电极卡设于所述凹槽内。
- [权利要求 11] 根据权利要求10所述的阵列面板，其中
所述像素电极是通过在所述彩膜层的所述表面上以及在所述凹槽内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除得到的。
- [权利要求 12] 根据权利要求10所述的阵列面板，其中
所述凹槽的底面或侧面设置有凹陷部或突起部。
- [权利要求 13] 一种如权利要求6所述的阵列面板的制作方法，其中
所述方法包括以下步骤：
在所述基板上分别设置所述扫描线、所述薄膜晶体管 and 所述数据线；
在第一区域和第二区域上设置所述彩膜层，其中，所述第一区域为待设置的像素电极所对应的区域，所述第二区域为所述薄膜晶体管所对应的区域；
在所述彩膜层上设置所述像素电极。
- [权利要求 14] 根据权利要求13所述的阵列面板的制作方法，其中
所述在所述彩膜层上设置所述像素电极的步骤之前，所述方法还包括：
在所述彩膜层上设置一通孔；
在所述通孔中设置一连接线，使得所述连接线与所述薄膜晶体管的漏极连接，并且所述连接线延伸至所述彩膜层的表面。
- [权利要求 15] 根据权利要求14所述的阵列面板的制作方法，其中
在在所述彩膜层上设置所述像素电极的过程中，所述方法还包括：
在所述像素电极和所述连接线之间设置导电层，使得所述像素电极和所述连接线相连。

- [权利要求 16] 根据权利要求14所述的阵列面板的制作方法，其中所述连接线是通过在所述通孔上涂布、沉积第一导电层来形成的。
- [权利要求 17] 根据权利要求14所述的阵列面板的制作方法，其中在形成所述薄膜晶体管之后，以及在形成所述彩膜层之前，所述方法还包括以下步骤：
在所述薄膜晶体管的所述漏极上设置第二导电层，其中，所述第二导电层的厚度大于或等于待设置的所述彩膜层在所述薄膜晶体管上的厚度；
利用掩膜对所述第二导电层进行光刻，使得所述薄膜晶体管的所述漏极上形成有一导电柱；
对所述第二导电层中除所述导电柱以外的部分进行剥离。
- [权利要求 18] 根据权利要求13所述的阵列面板的制作方法，其中所述在所述彩膜层上设置所述像素电极的步骤之前，所述方法还包括：
在所述彩膜层的表面上设置至少一凹槽，其中，所述凹槽的形状与所述像素电极的形状对应；
所述在所述彩膜层上设置所述像素电极的步骤包括：
将所述像素电极设置于所述凹槽内，使得所述凹槽卡设所述像素电极。
- [权利要求 19] 根据权利要求18所述的阵列面板的制作方法，其中所述将所述像素电极设置于所述凹槽内的步骤包括：
在所述彩膜层的所述表面上以及在所述凹槽内设置透明导电材料，然后对所述表面上的所述透明导电材料进行清除，以在所述凹槽内形成所述像素电极。
- [权利要求 20] 根据权利要求18所述的阵列面板的制作方法，其中所述在所述彩膜层的所述表面上设置至少一凹槽的步骤之后，所述方法还包括以下步骤：

对所述凹槽的底面或侧面进行光刻或蚀刻，以使所述凹槽的底面或侧面具有凹陷部或突起部。

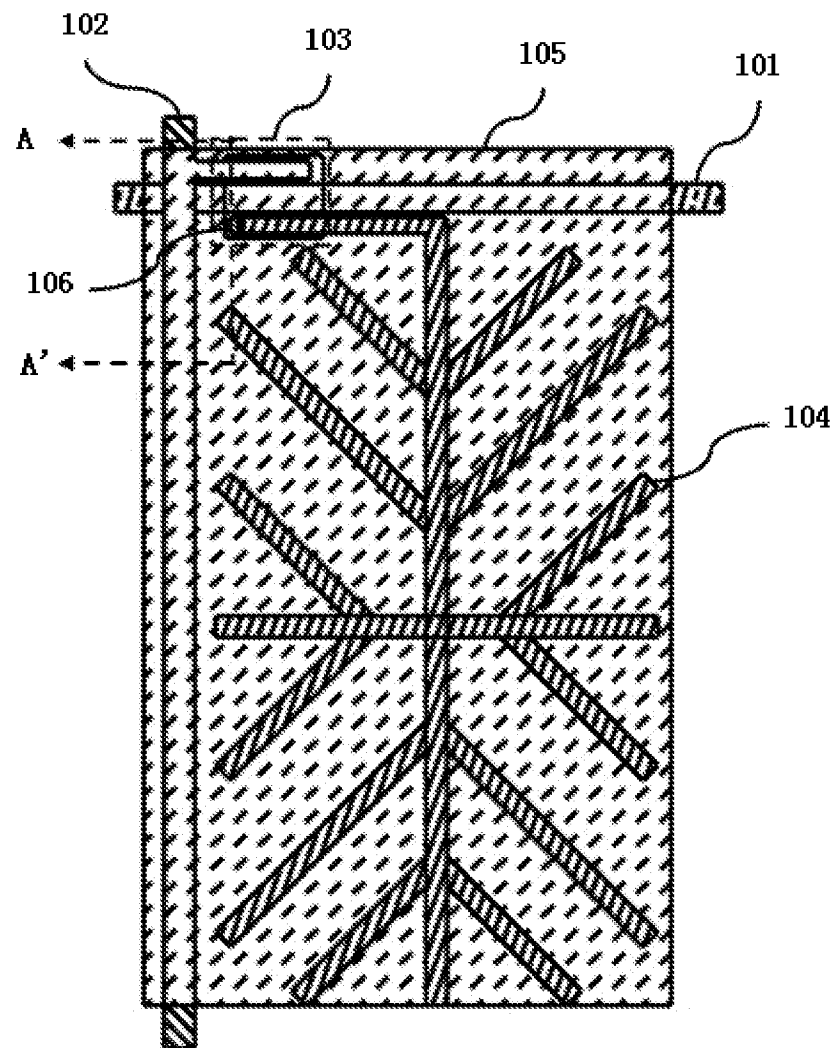


图 1

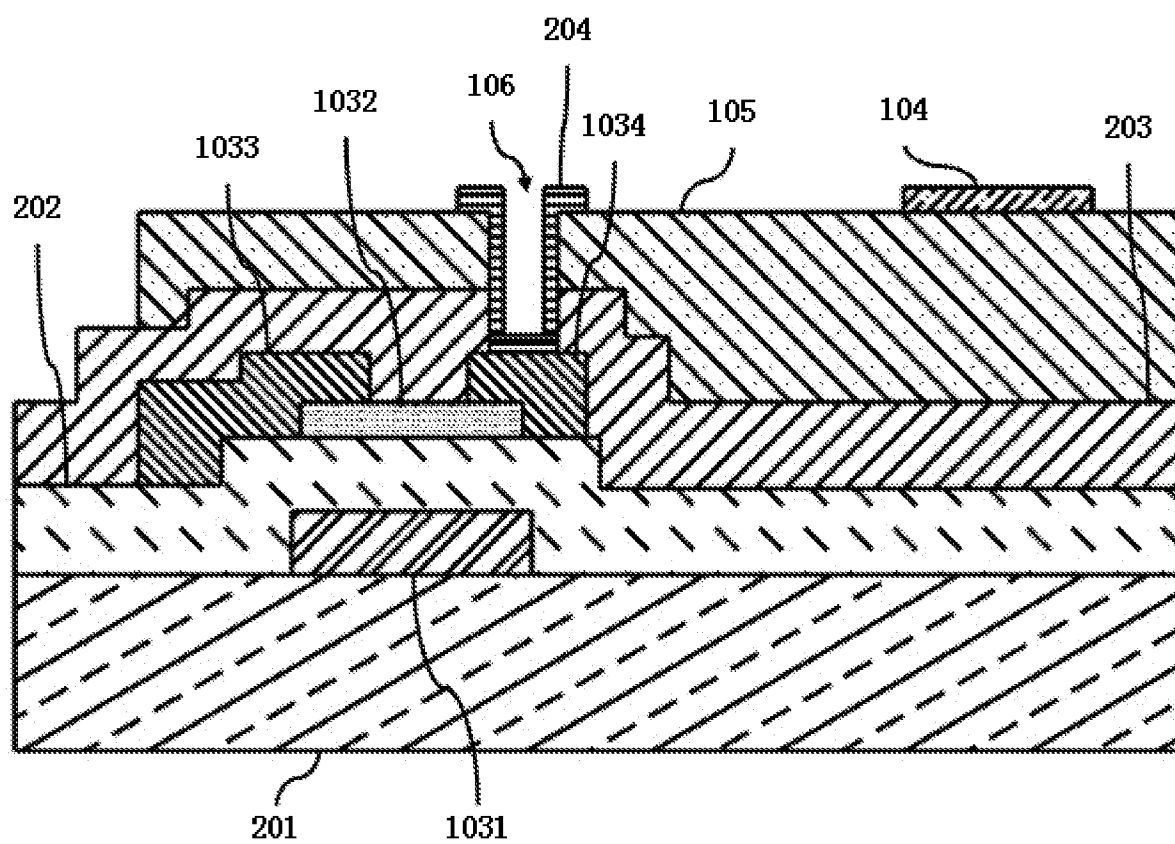


图 2

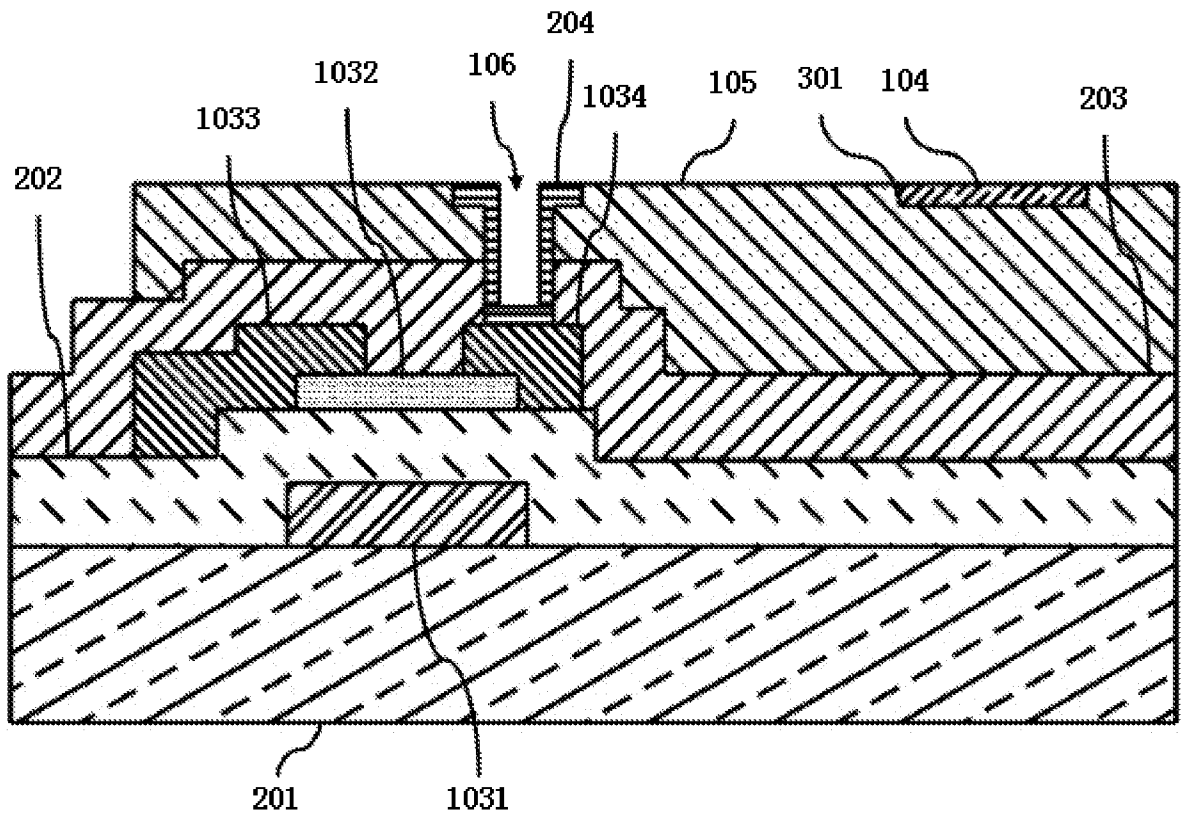


图 3

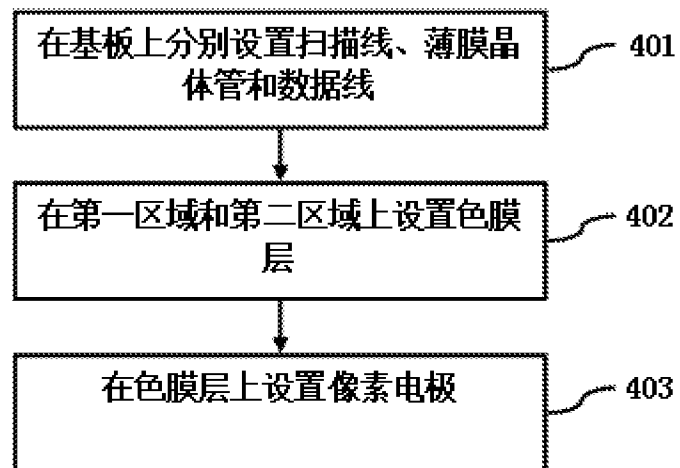


图 4

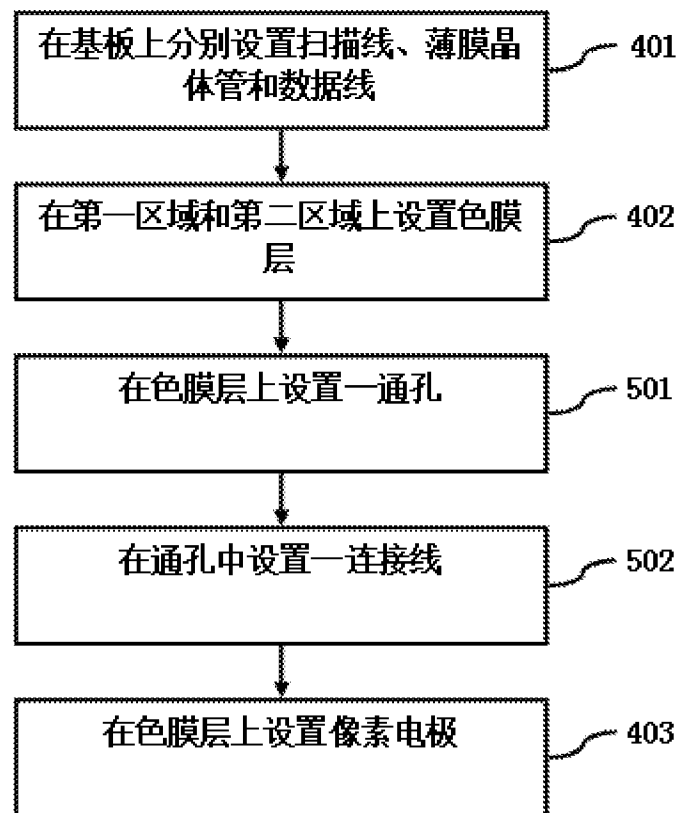


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/077124

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1335 (2006.01) i; G02F 1/1333 (2006.01) i; G02F 1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNKI, CNPAT: colour film, optical filtering, pixel electrode, concave, thin film transistor, color, filter+, pixel, electron?, TFT, groove+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103199095 A (BOE TECHNOLOGY GROUP CO., LTD.), 10 July 2013 (10.07.2013), description, paragraphs [0033]-[0072], and figures 2-5	1-20
Y	CN 101556417 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 14 October 2009 (14.10.2009), description, page 7, paragraph 1, and page 8, paragraph 6, and figure 2	1-20
A	CN 1734319 A (FUJITSU DISPLAY TECHNOLOGIES CORPORATION et al.), 15 February 2006 (15.02.2006), the whole document	1-20
A	KR 20110070394 A (LG DISPLAY CO., LTD.), 24 June 2011 (24.06.2011), the whole document	1-20
A	CN 101517472 A (SHARP KABUSHIKI KAISHA), 26 August 2009 (26.08.2009), the whole document	1-20
A	JP 2011237582 A (SEIKO EPSON CORP.), 24 November 2011 (24.11.2011), the whole document	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 January 2015 (09.01.2015)	Date of mailing of the international search report 04 February 2015 (04.02.2015))
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer FAN, Wei Telephone No.: (86-10) 61648480

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/077124

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103713778 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 09 April 2014 (09.04.2014), the whole document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/077124

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103199095 A	10 July 2013	WO 2014161234 A1	09 October 2014
CN 101556417 A	14 October 2009	CN 101556417 B	01 December 2010
CN 1734319 A	15 February 2006	CN 100414356 C	27 August 2008
		JP 2006053419 A	23 February 2006
		JP 4717392 B2	06 July 2011
		US 7440073 B2	21 October 2008
		US 2006033878 A1	16 February 2006
		TW I264816 B	21 October 2006
KR 20110070394 A	24 June 2011	None	
CN 101517472 A	26 August 2009	US 7999888 B2	16 August 2011
		US 2010208178 A1	19 August 2010
		WO 2008035482 A1	27 March 2008
		CN 101517472 B	24 October 2012
JP 2011237582 A	24 November 2011	None	
CN 103713778 A	09 April 2014	None	

A. 主题的分类		
G02F 1/1335 (2006.01)i; G02F 1/1333 (2006.01)i; G02F1/1368 (2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
G02F1/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
WPI, EPODOC, CNKI, CNPAT: 彩膜, 滤光, 彩色, 像素电极, 凹, 槽, 薄膜晶体管, colo?r, filter+, pixel, electron?, TFT, groov+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103199095 A (京东方科技集团股份有限公司) 2013年 7月 10日 (2013 - 07 - 10) 说明书第[0033]-[0072]段, 附图2-5	1-20
Y	CN 101556417 A (北京京东方光电科技有限公司) 2009年 10月 14日 (2009 - 10 - 14) 说明书第7页第1段, 第8页第6段, 附图2	1-20
A	CN 1734319 A (富士通显示技术株式会社 等) 2006年 2月 15日 (2006 - 02 - 15) 全文	1-20
A	KR 20110070394 A (LG DISPLAY CO., LTD.) 2011年 6月 24日 (2011 - 06 - 24) 全文	1-20
A	CN 101517472 A (夏普株式会社) 2009年 8月 26日 (2009 - 08 - 26) 全文	1-20
A	JP 2011237582 A (SEIKO EPSON CORP.) 2011年 11月 24日 (2011 - 11 - 24) 全文	1-20
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2015年 1月 09日		2015年 2月 04日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		范伟
传真号 (86-10)62019451		电话号码 (86-10)61648480

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 103713778 A (合肥京东方光电科技有限公司 等) 2014年 4月 09日 (2014 - 04 - 09) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/077124

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103199095	A	2013年 7月 10日	WO	2014161234	A1	2014年 10月 09日
CN	101556417	A	2009年 10月 14日	CN	101556417	B	2010年 12月 01日
CN	1734319	A	2006年 2月 15日	CN	100414356	C	2008年 8月 27日
				JP	2006053419	A	2006年 2月 23日
				JP	4717392	B2	2011年 7月 06日
				US	7440073	B2	2008年 10月 21日
				US	2006033878	A1	2006年 2月 16日
				TW	I264816	B	2006年 10月 21日
KR	20110070394	A	2011年 6月 24日	无			
CN	101517472	A	2009年 8月 26日	US	7999888	B2	2011年 8月 16日
				US	2010208178	A1	2010年 8月 19日
				WO	2008035482	A1	2008年 3月 27日
				CN	101517472	B	2012年 10月 24日
JP	2011237582	A	2011年 11月 24日	无			
CN	103713778	A	2014年 4月 09日	无			