



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 329 183**

51 Int. Cl.:

**H03G 1/00** (2006.01)

**H03F 3/45** (2006.01)

**H03F 3/72** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **07020764 .2**

96 Fecha de presentación : **24.10.2007**

97 Número de publicación de la solicitud: **1928087**

97 Fecha de publicación de la solicitud: **04.06.2008**

54 Título: **Circuito amplificador de ganancia variable.**

30 Prioridad: **30.11.2006 JP 2006-324045**

45 Fecha de publicación de la mención BOPI:  
**23.11.2009**

45 Fecha de la publicación del folleto de la patente:  
**23.11.2009**

73 Titular/es: **Mitsumi Electric Co., Ltd.**  
**2-11-2, Tsurumaki**  
**Tama-shi, Tokyo 206-8567, JP**

72 Inventor/es: **Dobashi, Nagayoshi y**  
**Mabuchi, Shigeki**

74 Agente: **Carvajal y Urquijo, Isabel**

ES 2 329 183 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Circuito amplificador de ganancia variable.

5 **Antecedente de la invención**1. **Campo de la invención**

10 La presente invención se relaciona de manera general con circuitos amplificadores de ganancia variable, y particularmente con circuitos amplificadores de ganancia variable que ajustan el nivel de la señal de audio al variar la ganancia de la señal basada en una señal de control.

2. **Descripción de la técnica relacionada**

15 Como un circuito amplificador de ganancia variable de ejemplo, se conoce un circuito amplificador de ganancia variable que ajusta el nivel de una señal de audio al variar la ganancia de la señal basado en una señal de control que corresponde al nivel pico a pico de la señal de audio capturada de varias fuentes de audio.

20 La Fig 6 es un diagrama de circuitos esquemático de un circuito amplificador de ganancia variable convencional integrado en un chip semiconductor. Como se muestra en la Fig 6, una señal de audio de varias fuentes de audio tiene entrada en un terminal 1, y se suministra la señal de audio de entrada a cada terminal de entrada de no inversión de amplificadores operacionales 2, 4, 6, 8.

25 Como se muestra en la Fig 6, el terminal de salida y el terminal de entrada inversor del amplificador operacional 2 se conecta uno al otro por vía de la resistencia R1. El terminal de entrada inversor se conecta a un extremo de la resistencia R2. El voltaje referencial (Vref) se aplica al otro extremo de la resistencia R2. El terminal de salida del amplificador operacional 2 se conecta a un terminal 10. Como un resultado, el amplificador operacional 2 se configura como un amplificador no inversor. El amplificador operacional 2 opera solo cuando, por ejemplo, se suministra una señal de control de alto nivel al terminal 3 del amplificador operacional 2. La amplificación del amplificador no inversor se determina por R1 y R2 operacional 2 opera solo cuando, por ejemplo, se suministra una señal de control de alto nivel al terminal 3 del amplificador operacional 2. La amplificación del amplificador no inversor se determina por R1 y R2 y se obtiene por la fórmula  $(=1+R1/R2)$ . En este ejemplo, la amplificación del amplificador no inversor es 6 dB (2 veces).

35 El terminal de salida y el terminal de entrada inversor del amplificador operacional 4 se conectan uno al otro a través de una resistencia R3. El terminal de entrada inversor se conecta a un extremo de la resistencia R4. El voltaje de referencia (Vref) se aplica al otro extremo de la resistencia R4. El terminal de salida del amplificador operacional 4 se conecta a un terminal 10. Como un resultado, el amplificador operacional 4 se configura como un amplificador no inversor. El amplificador operacional 4 opera solo cuando, por ejemplo, se suministra una señal de control de alto nivel. Al terminal 5 del amplificador operacional 4. La amplificación del amplificador no inversor se determina por R3 y R4 y se obtiene por la forma  $(1+R3/R4)$ . En este ejemplo, la amplificación del amplificador no inversor es 4 dB (1.58 veces).

45 El terminal de salida y el terminal de entrada inversor del amplificador operacional 6 se conectan uno al otro a través de una resistencia R5. El terminal de entrada inversora se conecta a un extremo de la resistencia R6. El voltaje de referencia (Vref) se aplica al otro extremo de la resistencia R6. El terminal de salida del amplificador operacional 4 se conecta a una Terminal 10. Como un resultado, el amplificador operacional 6 se configura como un amplificador no inversor. El amplificador operacional 6 opera solo cuando, por ejemplo, se suministra una señal de control de alto nivel al terminal 7 del amplificador operacional 6. La amplificación del amplificador no inversor se determina por R5 y R6 y se obtiene por la formula  $(=1+R5/R6)$ . Por ejemplo, la amplificación del amplificador no inversor es 2 dB (1.26 veces).

55 El terminal de salida y el terminal de entrada inversor del amplificador operacional 8 se conectan uno al otro. El terminal de salida del amplificador operacional 8 se conecta al terminal 10. Como un resultado, el amplificador operacional 8 se configura como un amplificador amortiguador. El amplificador operacional 8 opera solo cuando, por ejemplo, se suministra una señal de control de alto nivel al terminal 9 del amplificador operacional 8. La amplificación del amplificador amortiguador es 0 dB (1 vez).

60 Solo una de las señales de control suministradas a los terminales 3, 5, 7, 9 es de alto nivel. De acuerdo con lo anterior solo uno de los amplificadores operacionales 2,4,6,8 se opera y una señal de audio amplificada por uno de los amplificadores operacionales 2,4,6,8 es la salida del terminal 10.

65 La Fig. 7 es un diagrama esquemático del circuito de un amplificador no inversor de ejemplo del amplificador operacional 2. La configuración del otro amplificador no inversor de los amplificadores operacionales 2, 4, 6, 8 es sustancialmente igual como la configuración del amplificador operacional 2. En la Figura 7, los emisores de los transistores npn Q1, Q2 se conectan uno al otro hacen masa por vía de una fuente de corriente constante 11 y un interruptor 12. La base del transistor Q1 se conecta a un terminal 1, y el recolector del transistor Q1 se conecta al voltaje Vcc por vía de una fuente de corriente constante 13. La base del transistor Q2 se conecta a la unión de un

## ES 2 329 183 T3

extremo de la resistencia R1 y el otro extremo de la resistencia R2. El recolector del transistor Q2 se conecta al voltaje Vcc. Como un resultado, el circuito diferencial se configura con los transistores Q1 y Q2.

5 El recolector del transistor Q1, que es la salida del circuito diferencial, se conecta a la base de un transistor pnp Q3. El emisor del transistor Q3 se conecta al voltaje Vcc. El recolector del transistor Q3 hace masa por vía de una fuente de corriente constante 14 y un interruptor 15. Como un resultado, el transistor Q3 opera como un circuito de salida con el emisor haciendo masa. El recolector del transistor Q3 se conecta al terminal 10, la base del transistor Q2 por vía de la resistencia R1, y la base del transistor Q3 por vía de un capacitor C0 para compensación de fase.

10 El voltaje de referencia se aplica a la base del transistor Q2 por vía de la resistencia R2. Los interruptores 12, 15 se cierran solo cuando se aplica la señal de control de alto nivel al terminal 3 para que fluya corriente a través de los transistores Q1 a Q3.

15 La Solicitud de Publicación de Modelos de Utilidad Japonesa No. H4-102311 describe un circuito amplificador en el que la ganancia del circuito amplificador se determina al seleccionar solo uno de los dos circuitos amplificadores diferenciales en el circuito amplificador con el fin de aplicar energía solo al amplificador diferencial seleccionado.

20 La Fig. 6 es un diagrama esquemático de circuito que muestra un ejemplo de un circuito amplificador de ganancia variable convencional. Como se muestra en la Fig. 6, se necesita que las resistencias R1 a R6 se suministren para establecer la amplificación de cada amplificador no inversor.

25 Adicionalmente, como se muestra en la Fig. 7, un circuito de salida que incluye un transistor, una fuente de corriente constante, y un interruptor son necesarios para cada amplificador no inversor. Desafortunadamente, debido a la estructura, el número de elementos de circuitos del anterior circuito amplificador de ganancia variable convencional es grande y, de acuerdo con lo anterior, el área del circuito integrado semiconductor llega a ser grande para integrar los elementos de circuito en el circuito integrado semiconductor.

30 La US 2005/057304 A1 describe un amplificador con un terminal de entrada para recibir una señal de entrada. La etapa de salida suministra señales de salida diferenciales inversoras y no inversoras en nodos de salida inversoras y no inversoras. Sin embargo, esta no incluye un número de resistencias conectadas en serie entre el terminal de salida de señal y el terminal al que se aplica el voltaje de referencia de acuerdo con la presente invención.

### Resumen de la invención

35 La presente invención se hace en claridad de las desventajas mencionadas anteriormente, y puede proporcionar un circuito amplificador de ganancia variable que tiene relativamente menos elementos de circuito y reduce por lo tanto el área requerida para formar el circuito en un circuito integrado semiconductor.

40 De acuerdo con un aspecto de la presente invención, se suministra aquí un circuito amplificador de ganancia variable de acuerdo con la reivindicación 1. Esto incluye: múltiples circuitos diferenciales (22, 24, 26, 28), cada uno tiene dos terminales de entrada y un terminal de salida, uno de los terminales de entrada de cada uno de los circuitos diferenciales se conecta en común a un terminal de entrada de señal para ingresar una señal a cada uno de los circuitos diferenciales, una cualquiera de los circuitos diferenciales (22,24,26,28) se selecciona para operación; un circuito de salida (30) que tiene una Terminal de entrada conectada en común a cada terminal de salida de los circuitos diferenciales (22, 24, 26, 28) y una Terminal de salida de señal (50), el circuito de salida ingresa una señal de salida de cualquier circuito diferencial (22, 24, 26, 28) y saca una señal de salida de el terminal de salida de señal (50); y múltiple resistencia (R12, R11, R13, R14) se conectan en serie entre el terminal de salida de señal (50) del circuito de salida (30) y un terminal (51) al que se aplica un voltaje de referencia, en el que cada una de las uniones entre las resistencias (R12, R11, R13, R14) se conectan a una de las otras terminales de entrada de los circuitos diferenciales (22, 24, 26, 28).

55 De acuerdo con otro aspecto de la presente invención, se proporciona aquí un circuito amplificador de ganancia variable en el que cada uno de los circuitos diferenciales 22, 24, 26, 28) incluyen un par de transistores; y un recolector de un transistor cuya base se relaciona con uno de los terminales de entrada de los circuitos diferenciales que se conecta al terminal de salida.

60 De acuerdo con todavía otro aspecto de la invención, se proporciona aquí un circuito amplificador de ganancia variable en el que el circuito de salida (30) incluye un transmisor emisor común cuya base se conecta a cada uno de los terminales de salida de los circuitos diferenciales y cuyo recolector se conecta al terminal de salida de señal (50).

Cabe anotar que los números de referencia anteriores en paréntesis son solo para propósito ilustrativo y no limitan el alcance y espíritu de la presente invención a los ejemplos descritos.

65 De acuerdo con una realización de la presente invención, el numero de resistencias utilizadas para configurar la amplificación de cada amplificador no inversor se puede reducir, reduciendo por lo tanto el área requerida para formar un circuito amplificador de ganancia variable en un circuito de integrado semiconductor.

**Breve descripción de los dibujos**

La Fig. 1 es un diagrama esquemático de circuito que muestra un circuito amplificador de ganancia variable de ejemplo de acuerdo con una realización de la presente invención;

La Fig. 2 es un diagrama de circuito que muestra un circuito amplificador de ganancia variable de ejemplo de acuerdo con una realización de la presente invención;

La Fig. 3 es un diagrama de circuito que muestra un circuito que genera voltaje de referencia de ejemplo de acuerdo con una realización de acuerdo con la presente invención.

La Fig. 4 es un diagrama de circuito parcialmente extraído de la Fig. 2;

La Fig. 5 es un diagrama de circuito de una realización modificada de la realización de la Fig. 4;

La Fig. 6 es un diagrama de circuito esquemático que muestra un circuito amplificador de ganancia variable convencional;

La Fig. 7 es un diagrama que muestra un amplificador no inversor utilizado en un circuito amplificador de ganancia variable convencional.

**Descripción detallada de las realizaciones preferidas**

La Fig.1 es un diagrama esquemático de circuito que muestra un circuito amplificador de ganancia variable de ejemplo de acuerdo con una realización de la presente invención.

La Fig. 2 es un diagrama de circuito que muestra un circuito amplificador de ganancia variable de ejemplo de acuerdo con una realización de la presente invención.

Cabe anotar que el circuito amplificador de ganancia variable completo se forma en un circuito integrado semiconductor.

En la Fig. 1, una señal de audio de varias fuentes de audio se coloca dentro de un terminal de entrada de señal 21. La señal de audio de entrada se suministra en común a cada Terminal de entrada no inversor de circuitos diferenciales 22, 24, 26, 28.

El terminal de salida del circuito diferencial 22 se conecta a un terminal de salida de señal 50 a través de un circuito de salida 30. El terminal de entrada inversor del circuito diferencial 22 se conecta a la unión de un extremo de la resistencia R11 y un extremo de la resistencia R12. El otro extremo de la resistencia R12 se conecta a un terminal 51 en donde se aplica un voltaje de referencia Vref. El otro extremo de la resistencia R11 se conecta al Terminal de salida de señal 50 a través de las resistencias R13, R14.

Se suministran de manera separada señales de control a los terminales 23, 25, 27, y 29. Solo una de las señales de control es de alto nivel. Cuando se suministra la señal de control de alto nivel al Terminal 23 del circuito diferencial 22, solo opera el circuito diferencial 22. La amplificación del amplificador no inversor del circuito diferencial 22 (Av1) se da por la siguiente fórmula:

$$Av1=1+(R11+R13+R14)/R12 \tag{1}$$

El terminal de salida del circuito diferencial 24 se conecta a el terminal de salida de señal 50 a través del circuito de salida 30. El terminal de entrada inversora del circuito diferencial 24 se conecta a la unión de un extremo de la resistencia R11 y un extremo de la resistencia R13. El otro extremo de la resistencia R11 se conecta al Terminal 51 por vía de la resistencia R12. El otro extremo de la resistencia R13 se conecta al Terminal de salida de señal 50 por vía de la resistencia R14.

Cuando se suministra la señal de control de alto nivel al Terminal 25 del circuito diferencial 24, solo opera el circuito diferencial 24. La amplificación del amplificador no inversor del circuito diferencial 24 (Av2) se da por la siguiente Fórmula:

$$Av2=1+(R13+R14)/(R12+R11) \tag{2}$$

El terminal de salida del circuito diferencial 26 se conecta al Terminal de salida de señal 50 por vía del circuito de salida 30. El terminal de entrada de inversor del circuito diferencial 26 se conecta a la unión de un extremo de la resistencia R13 y un extremo de la resistencia R14. El otro extremo de la resistencia R13 se conecta al Terminal 51 por vía de las resistencias R11 y R12. El otro extremo de la resistencia R14 se conecta al Terminal de salida de señal 50.

## ES 2 329 183 T3

Cuando se suministra la señal de control de alto nivel al Terminal 27 del circuito diferencial 26, solo opera el circuito diferencial 26. La amplificación del amplificador no inversor del circuito diferencial 26 ( $A_{v3}$ ) se da por la siguiente fórmula:

$$A_{v3} = 1 + R_{14}/(R_{12} + R_{11} + R_{13}) \quad (3)$$

El terminal de salida del circuito diferencial 28 se conecta al Terminal de salida de señal 50 a través del circuito de salida 30. El terminal de entrada inversor del circuito diferencial 28 se conecta a la unión de un extremo de la resistencia  $R_{14}$  y el terminal de salida de señal 50.

Cuando la señal de control de alto nivel se suministra al Terminal 29 del circuito diferencial 28, solo opera el circuito diferencial 28. La amplificación del amplificador no inversor del circuito diferencial 28 ( $A_{v4}$ ) se da por la siguiente fórmula:

$$A_{v4} = 1 \text{ (0 dB)} \quad (4)$$

En este ejemplo, se da los siguientes valores:

$$R_{11} = 1.3 \text{ k}\Omega$$

$$R_{12} = 5 \text{ k}\Omega$$

$$R_{13} = 1.6 \Omega$$

$$R_{14} = 2.1 \Omega$$

La amplificación de cada circuito diferencial se da como sigue:

$$A_{v1} = 2 \text{ (6 dB)} \quad \text{por fórmula (1)}$$

$$A_{v2} = 1.58 \text{ (4 dB)} \quad \text{por fórmula (2)}$$

$$A_{v3} = 1.26 \text{ (2 dB)} \quad \text{por fórmula (3)}$$

Como se muestra en la Fig. 2, los emisores de transistores npn Q11, Q12 hacen masa comúnmente a través de una fuente de corriente constante 31 y un interruptor 32. La base del transistor Q11 se conecta a un terminal de entrada 21. El recolector del transistor Q11 se conecta al voltaje  $V_{cc}$  a través de una fuente de corriente constante 33. La base del transistor Q12 se conecta a la unión de un extremo de la resistencia  $R_{11}$  y un extremo de la  $R_{12}$ . El recolector del transistor Q12 se conecta al voltaje  $V_{cc}$ . Como un resultado, los transistores Q11, Q12 constituyen el circuito diferencial 22.

Los emisores de los transistores npn Q13, Q14 hacen masa comúnmente a través de una fuente de corriente constante 34 y un interruptor 35. La base del transistor Q13 se conecta a un terminal de entrada 21. El recolector del transistor Q13 se conecta a un  $V_{cc}$  de voltaje por vía de una fuente de corriente constante 33. La base del transistor Q14 se conecta a la unión de un extremo de la resistencia  $R_{11}$  y un extremo de la resistencia  $R_{13}$ . El recolector del transistor Q14 se conecta al voltaje  $V_{cc}$ . Como un resultado, los transistores Q13, Q14 constituyen el circuito diferencial 24.

Los emisores de los transistores npn Q15, Q16 hacen masa comúnmente a través de una fuente de corriente constante 36 y un interruptor 37. La base del transistor Q15 se conecta a un terminal de entrada 21. El recolector del transistor Q15 se conecta al voltaje  $V_{cc}$  por vía de una fuente de corriente constante 33. La base del transistor Q16 se conecta a la unión de un extremo de la resistencia  $R_{13}$  y un extremo de la resistencia  $R_{14}$ . El recolector del transistor Q16 se conecta al voltaje  $V_{cc}$ . Como un resultado, los transistores Q15, Q16 constituyen el circuito diferencial 24.

Los emisores de los transistores npn Q17, Q18 hacen masa comúnmente a través de una fuente de corriente constante 38 y un interruptor 39. La base del transistor Q17 se conecta a un terminal de entrada 21. El recolector del transistor Q17 se conecta al voltaje  $V_{cc}$  por vía de una fuente de corriente constante 33. La base del transistor Q18 se conecta a la unión de un extremo de la resistencia  $R_{14}$  y el terminal de salida de señal 50. El recolector del transistor Q18 se conecta al voltaje  $V_{cc}$ . Como un resultado, los transistores Q17, Q18 constituyen el circuito diferencial 28.

Los recolectores de los transistores Q11, Q13, Q15, y Q17, que son las salidas de los circuitos diferenciales 22, 24, 26, 28, respectivamente, se conectan en común a la base del transistor npn Q19 del circuito de salida 30. El emisor del transistor Q19 se conecta al voltaje  $V_{cc}$ . El recolector del transistor Q19 hace tierra por vía de una fuente de corriente constante 40. El transistor Q19 forma un circuito emisor común. El recolector del transistor Q19 se conecta a el terminal de salida de señal 50, y la base del transistor Q19 a través de un capacitor C1 para compensación de fase.

## ES 2 329 183 T3

La Fig.3 es un diagrama de circuito que muestra un circuito que genera voltaje de referencia conectado al Terminal 51 de acuerdo con una realización de la presente invención. Como se muestra en la Fig. 3, se conectan las resistencias R21 y R22 en serie entre el voltaje Vcc y la masa de circuito. Debido a la configuración, el voltaje de la unión entre la resistencia R21 y R22 se da por la fórmula:  $V_{cc} * (R22 / (R21 + R22))$ . El voltaje es la salida de un terminal 60 como un voltaje de referencia Vref a través de un circuito seguidor emisor que incluye un transistor Qa y una resistencia R23 y otros circuitos seguidor emisor que incluye un transistor Qb y una resistencia R24.

La Fig. 4 es un diagrama de circuito que extrae el circuito diferencial 22 y el circuito de salida 30 del diagrama de circuito de la Fig. 2. la Fig.5 es un diagrama de circuito modificado del diagrama de circuito de la Fig. 4.

De acuerdo con una realización de la presente invención, como se muestra en la Fig. 4, la señal invertida del recolector del transistor Q11 se invierte adicionalmente por el transistor emisor común Q19, y la señal invertida adicional se saca de el terminal de salida de señal 50. De una parte, de acuerdo con el circuito modificado de la Fig. 5, una señal que tiene la misma fase como aquella de la señal de entrada del terminal 21 se transmite a la base de un transistor npn Q20 que forma un circuito seguidor emisor, y la señal se saca del terminal de salida de señal 50. En las Fig. 4 y 5, se asume que Ra se da como sigue:

$$R_a = R_{11} + R_{13} + R_{14}$$

En el circuito de la Fig.5, cuando una señal varía entre un mínimo voltaje 4 V y un máximo voltaje 8 V con un voltaje central de 6 V (Vref) se ingresa desde el terminal de entrada de señal 21, el voltaje en el terminal de salida de señal 50 cambia entre un voltaje mínimo 2V y un voltaje máxima 10 V con un voltaje central de 6 V. de otra parte, el voltaje recolector del transistor Q12 cambia entre un voltaje mínimo 2.7 V y un voltaje máxima de 10.7 V con un voltaje central de 6.7 V debido a la caída de voltaje de aproximadamente 0.7 V entre la base y el emisor del transistor Q20.

Adicionalmente, el voltaje base del transistor Q12, que es un voltaje dividido del voltaje en el terminal de salida de señal 50, se da por las resistencias de las resistencias Ra y R12. Por lo tanto, el voltaje base del transistor Q12 cambia entre un voltaje mínimo de 4 V y un voltaje máximo de 8 V con un voltaje centro de 6 V. en este caso, sin embargo, el voltaje mínimo de la base del transistor Q12 es 4 V, y el voltaje mínimo del recolector del transistor Q12 es 2.7 V. por lo tanto, el voltaje de dolarización aplicado entre la base y el recolector del transistor 12 es tan bajo que el transistor no puede trabajar normalmente debido a que una señal de entrada cercana al nivel de voltaje mínimo se llega a apagar.

De otra parte, en la configuración de acuerdo con la realización de la presente invención mostrada en la Fig.4, cuando una señal surge entre una voltaje mínimo de 4 V y un voltaje máximo de 8 V con un voltaje centro de 6 V (Vref) ingresa del terminal de entrada de señal 21, el voltaje en el terminal de salida de señal 50 cambia entre un voltaje mínimo 2 V y un voltaje máximo 10 V con un voltaje centro de 6 V. adicionalmente, debido a que el voltaje base del transistor Q12 es un voltaje dividido del voltaje en el terminal de salida de señal 50 y puede ser dado por las resistencias de las resistencias Ra y R12, el voltaje base del transistor Q12 cambia entre un voltaje mínimo 4 V y un voltaje máximo 8 V con un voltaje centro de 6 V. sin embargo, debido a que el voltaje del recolector del transistor 12 es el voltaje Vcc, el transistor Q12 puede operar en rango completo entre los valores máximo y mínimo de la señal.

Cuando se muestra la configuración convencional en la Fig. 6 formada dentro de un circuito integrado semiconductor, es necesario proporcionar el área en donde las resistencias R1, R2, R3, R4, R5, y R6 se forman en el circuito. De otra parte, cuando un circuito de acuerdo con la realización de la presente invención mostrada en la Fig. 1 se forma dentro de un circuito integrado semiconductor, es necesario asegurar el área en donde las resistencias R11, R12, R13, R14 se forman en el circuito. Sin embargo el área para las resistencias R11, R12, R13 es sustancialmente la misma como el área necesaria para formar las resistencias R1 y R2. Por lo tanto, el área para las resistencias R3, R4, R5, R6 se puede eliminar. Se asume que son necesarias para forma una resistencia de 1 kΩ que es sustancialmente igual al área para un transistor. De acuerdo con el ejemplo de la Fig. 6 la resistencia de R3, R4, R5, R6 es aproximadamente 14 kΩ. Por lo tanto, en un ejemplo en la Fig. 1, se puede eliminar un área para 14 transistores.

Adicionalmente, de acuerdo con el diagrama de circuitos de la Fig.1, las resistencias R11 a R14 siempre se utilizan cuando cualquiera de los circuitos diferenciales 22, 24, 26, 28 se seleccionan y operan. Debido a la característica, se puede eliminar un cierto número de resistencias. Adicionalmente, el circuito de salida 30 se utiliza comúnmente cuando cualquiera de los circuitos diferenciales 22, 24, 26, y 28 se seleccionan y utilizan. Debido a la característica, se puede eliminar un cierto número de elementos de circuito, reduciendo por lo tanto el área necesaria para los elementos de circuito formados de otra manera en un circuito integrado semiconductor.

# ES 2 329 183 T3

## REIVINDICACIONES

5 1. Un circuito amplificador de ganancia variable que tiene múltiples circuitos diferenciales (22,24,26,28) cada circuito diferencial tiene dos terminales de entrada y una Terminal de salida, uno de los terminales de entrada de cada uno de los circuitos diferenciales se conecta en común a un terminal de entrada de señal para ingresar una señal a cada uno de los circuitos diferenciales, uno cualquiera de los circuitos diferenciales se selecciona para operar; y

10 Un circuito de salida (30) que tiene un terminal de ingreso conectado en común a cada terminal de salida de los circuitos diferenciales y un terminal de salida de señal (50), el circuito de salida ingresa una señal de salida de cualquier circuito diferencial y saca una señal de salida del terminal de salida de señal;

**Caracterizado** porque el circuito amplificador de ganancia variable comprende

15 Múltiples resistencias (R11, R12, R13, R14) conectadas en serie entre el terminal de salida de señal y un terminal al que se aplica un voltaje de referencia, cada unión entre las resistencias (R11, R12, R13, R14) se conectan a una de las otras terminales de entrada de los circuitos diferenciales.

2. El circuito amplificador de ganancia variable de acuerdo con la reivindicación 1, en donde:

20 Cada uno de los circuitos diferenciales incluye un para de transistores (Q11, Q12, a Q17, Q18); y

Un recolector de un transistor cuya base se relaciona como uno de los terminales de entrada de cada uno de los circuitos diferenciales que se conecta al Terminal de salida.

25 3. El circuito amplificador de ganancia variable de acuerdo con la reivindicación 2, en donde:

30 El circuito de salida incluye un transmisor emisor común (Q19) cuya base se conecta a cada uno de los terminales de salida de los circuitos diferenciales y cuyo recolector se conecta al Terminal de salida de señal (50).

FIG.1

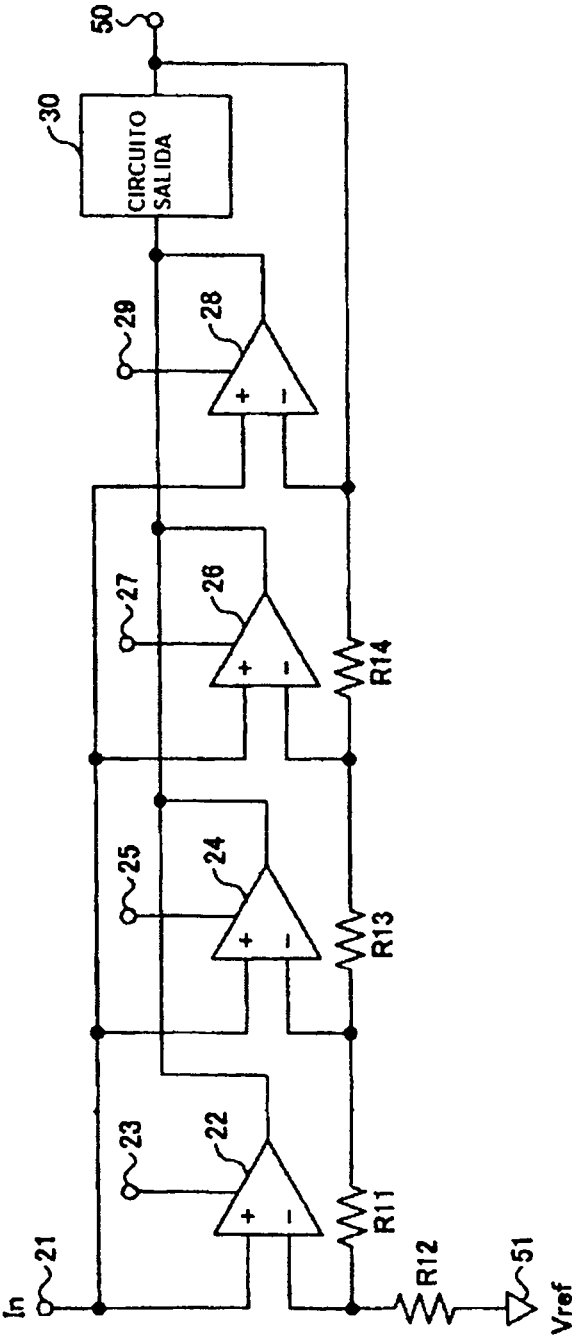


FIG.2

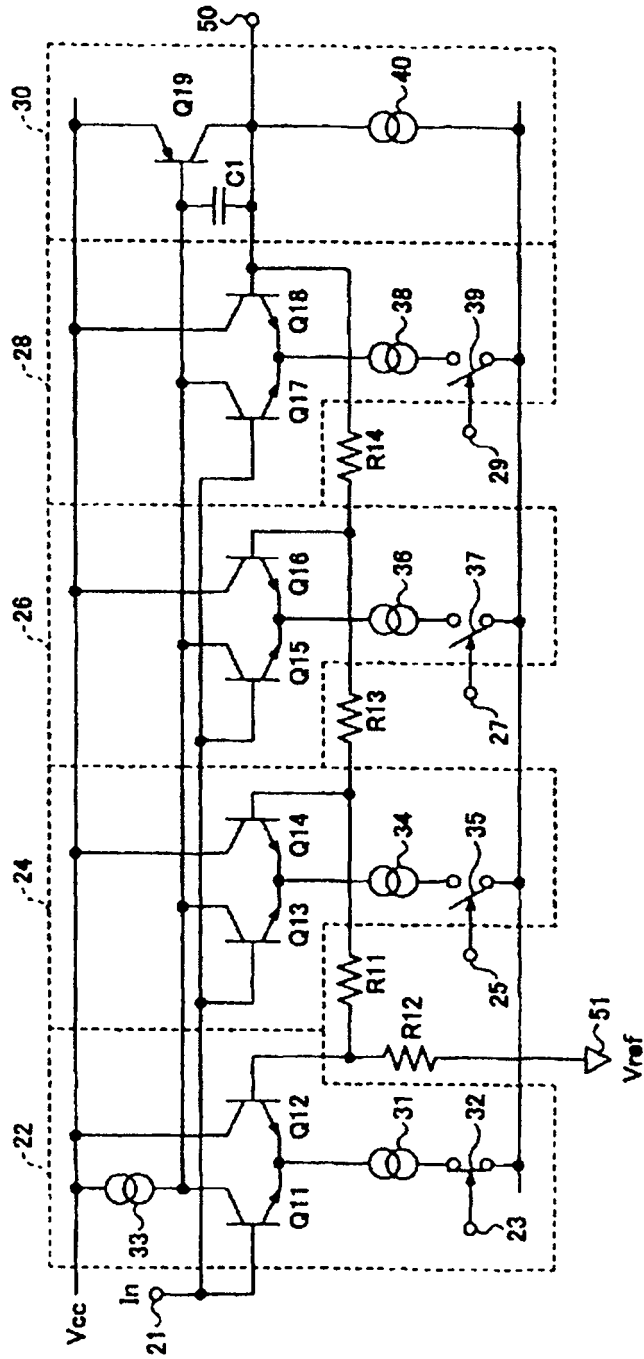


FIG.3

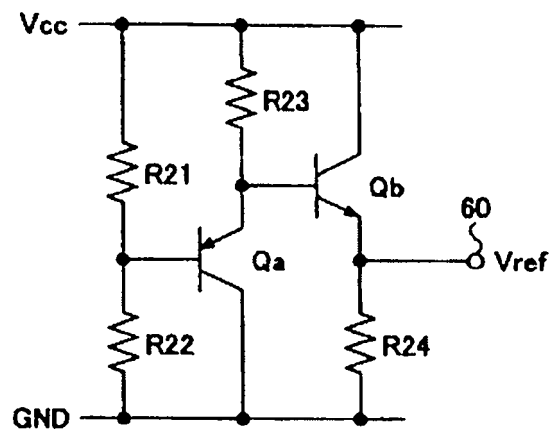


FIG.4

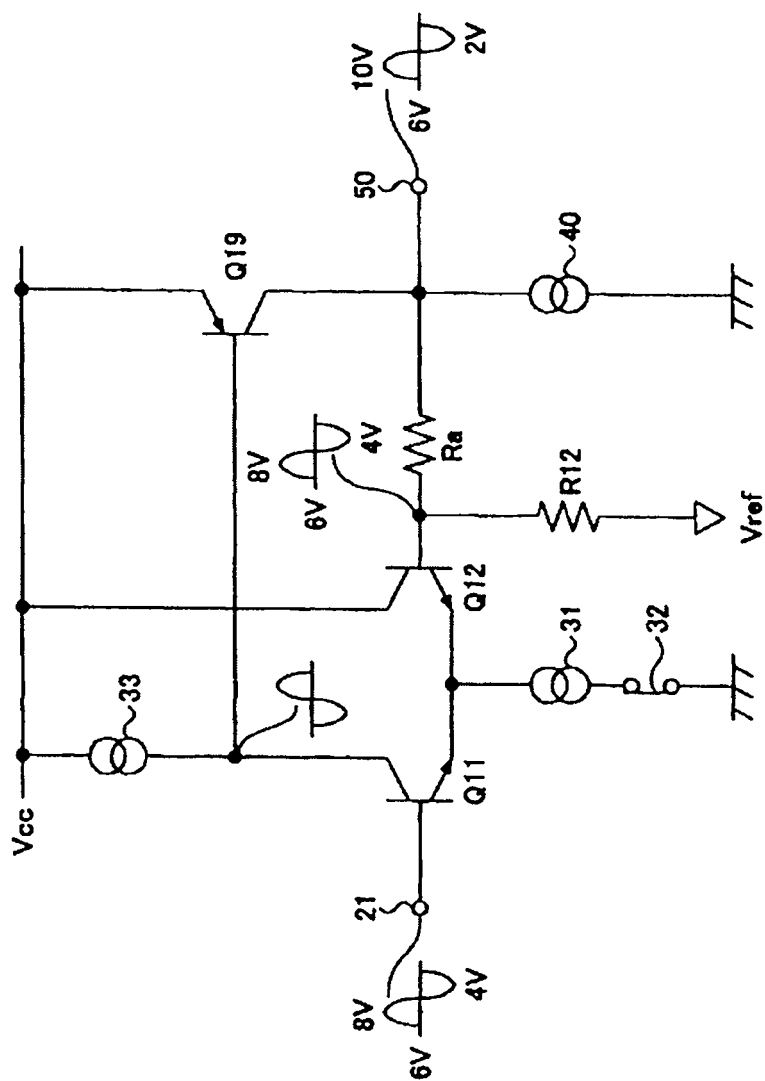


FIG.5

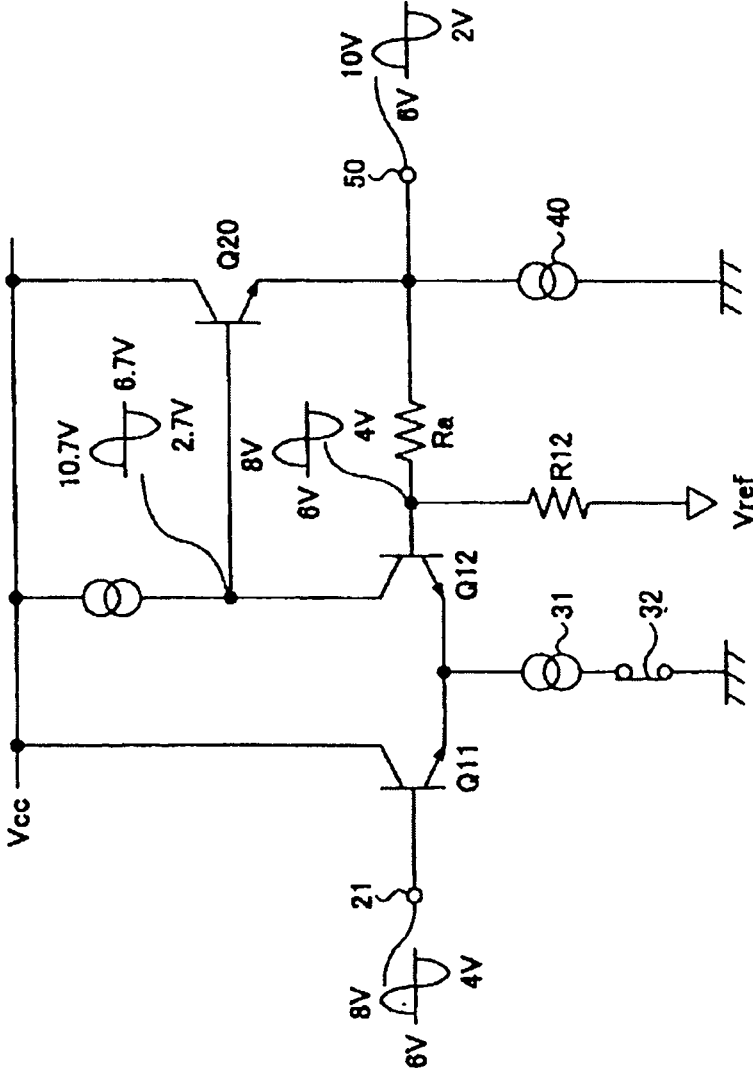


FIG. 6 TÉCNICA ANTERIOR

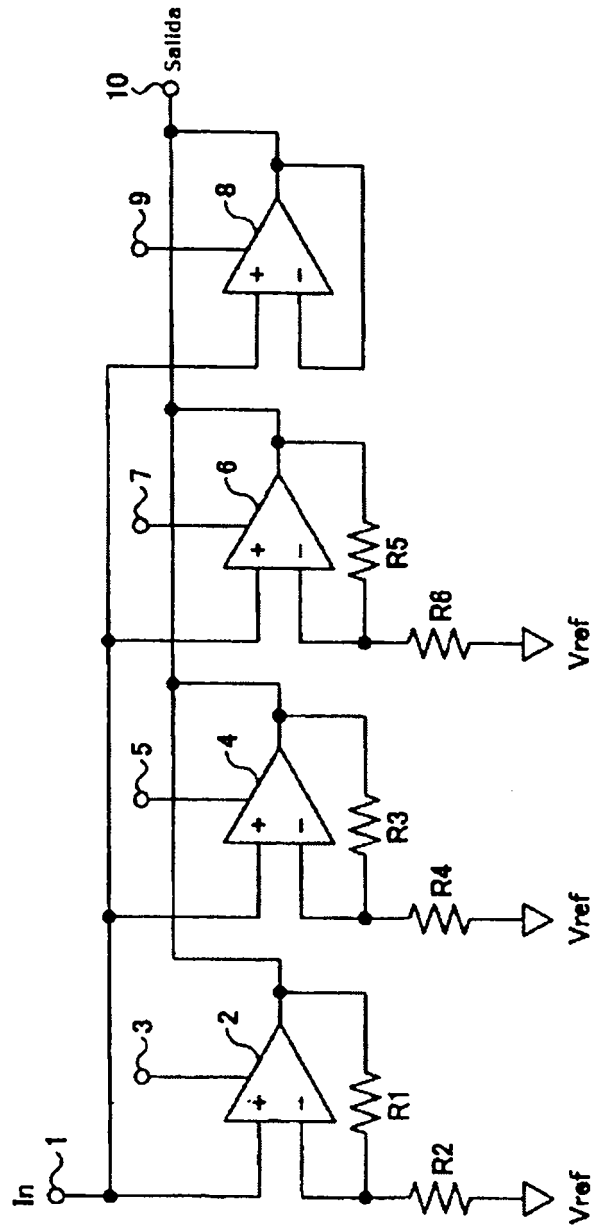


FIG. 7 TÉCNICA ANTERIOR

