



(12) 发明专利申请

(10) 申请公布号 CN 103843160 A

(43) 申请公布日 2014. 06. 04

(21) 申请号 201280048166. X

(51) Int. Cl.

(22) 申请日 2012. 08. 28

H01L 33/00(2006. 01)

(30) 优先权数据

H01L 33/12(2006. 01)

102011114670. 2 2011. 09. 30 DE

H01L 21/20(2006. 01)

G23C 14/06(2006. 01)

(85) PCT国际申请进入国家阶段日

H01L 33/22(2006. 01)

2014. 03. 31

H01L 33/32(2006. 01)

(86) PCT国际申请的申请数据

G30B 23/06(2006. 01)

PCT/EP2012/066699 2012. 08. 28

G30B 29/40(2006. 01)

(87) PCT国际申请的公布数据

W02013/045190 DE 2013. 04. 04

(71) 申请人 欧司朗光电半导体有限公司

地址 德国雷根斯堡

(72) 发明人 约阿希姆·赫特功 卡尔·恩格尔

贝特霍尔德·哈恩

安德烈亚斯·魏玛 彼得·施陶斯

(74) 专利代理机构 北京集佳知识产权代理有限公司

11227

代理人 丁永凡 张春水

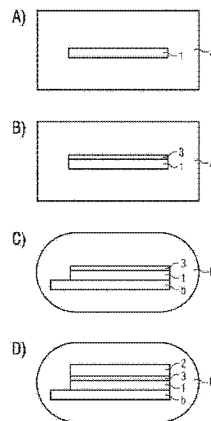
权利要求书2页 说明书6页 附图3页

(54) 发明名称

用于制造光电子半导体芯片的方法和相应的光电子半导体芯片

(57) 摘要

在方法的至少一个实施形式中,所述方法设计成用于制造光电子半导体芯片(10),尤其是发光二极管。该方法至少包括下述步骤:提供硅生长衬底(1);借助于溅镀在生长衬底(1)上生成III族氮化物缓冲层(3),和在缓冲层(3)上方生长具有有源层(2a)的III族氮化物半导体层序列(2)。



1. 一种用于制造光电子半导体芯片(10)的方法,具有下述步骤:
  - 提供硅生长衬底(1);
  - 借助于溅镀在所述生长衬底(1)上生成 III 族氮化物缓冲层(3);以及
  - 在所述缓冲层(3)上方生长具有有源层(2a)的 III 族氮化物半导体层序列(2)。
2. 根据上一项权利要求所述的方法,其中所述缓冲层(3)基于 AlN 并且直接地施加到所述生长衬底(1)上。
3. 根据上一项权利要求所述的方法,其中对所述缓冲层(3)添加氧,其中氧的重量份额位于 0.1% 和 10% 之间,其中包括边界值。
4. 根据上一项权利要求所述的方法,其中所述缓冲层(3)中的氧份额沿远离所述生长衬底(1)的方向单调地下降。
5. 根据上述权利要求中的任一项所述的方法,其中所述缓冲层(3)具有在 10nm 和 1000nm 之间的厚度,尤其具有在 50nm 和 200nm 之间的厚度,其中包括边界值。
6. 根据上述权利要求中的任一项所述的方法,其中借助于溅镀或者借助于气相外延直接在所述缓冲层(3)上施加夹层(4),其中所述夹层(4)基于 AlGa<sub>x</sub>N<sub>1-x</sub>,并且在所述夹层(4)中,Al 含量沿远离所述生长衬底(1)的方向单调地下降。
7. 根据上一项权利要求所述的方法,其中将下述层直接彼此相继地并且以所说明的顺序制备到所述夹层(4)上:
  - 生长层(8),所述生长层基于 GaN 并且借助于溅镀或气相外延来生成;
  - 掩膜层(6),所述掩膜层基于 SiN<sub>x</sub>,其中所述掩膜层以在 50% 和 90% 之间的覆盖度来覆盖所述生长层(8),其中包括边界值,并且所述掩膜层(6)借助于溅镀或气相外延来生成;
  - 聚结层(7),所述聚结层基于 GaN 并且借助气相外延来生长;
  - 由 AlGa<sub>x</sub>N<sub>1-x</sub> 和 / 或由 AlN 构成的一个或多个中间层(8),其中在多个中间层(9)的情况下,在两个相邻的中间层(9)之间借助气相外延来各生长一个 GaN 层(6);以及
  - 所述半导体层序列(2a, 2b, 2c),所述半导体层序列基于 AlInGa<sub>x</sub>N<sub>1-x</sub> 并且借助气相外延来生长。
8. 根据上述权利要求中的任一项所述的方法,其中在 550°C 和 900°C 之间的温度下并且在  $1 \times 10^{-3}$  mbar 和  $1 \times 10^{-2}$  mbar 之间的压强下执行所述溅镀,其中包括边界值。
9. 根据上述权利要求中的任一项所述的方法,其中将所述溅镀时的生长速率设定在 0.03nm/s 和 0.5nm/s 之间,其中包括边界值,其中所述溅镀在具有 Ar 和具有 N<sub>2</sub> 的气氛下执行,并且 Ar 与 N<sub>2</sub> 的比例为 1:2,具有最高 15% 的公差。
10. 根据上述权利要求中的任一项所述的方法,其中将载体衬底(11)安置到所述半导体层序列(2)的背离所述生长衬底(1)的一侧上并且随后将所述生长衬底(1)移除。
11. 根据上述权利要求中的任一项所述的方法,其中在溅镀沉积设备(A)中生成所述缓冲层(3),并且在与所述溅镀沉积设备不同的气相外延反应器(B)中生长所述半导体层序列(2),  
其中所述溅镀沉积设备(A)不具有镓。
12. 一种光电子半导体芯片(10),所述光电子半导体芯片具有半导体层序列(2),所述半导体层序列具有设置用于产生辐射的有源层(2a)和至少一个 n 型掺杂的层(2b),其中

- 所述 n 型掺杂的层(2b)邻接于所述有源层(2a)；
  - 所述半导体层序列(2)基于 AlInGaN；
  - 在所述 n 型掺杂的层(2b)的背离载体衬底(11)的一侧上生长有由 AlGaIn 构成的、厚度在 5nm 和 50nm 之间的至少一个中间层(9),其中包括边界值；
  - 在所述中间层(9)的或所述中间层(9)中的一个的背离所述载体衬底(11)的一侧上生长有由掺杂的或未掺杂的 GaN 构成的、厚度在 300nm 和 1.2  $\mu\text{m}$  之间的聚结层(7),其中包括边界值；
  - 粗糙部(13)从所述聚结层(7)起伸展至所述 n 型掺杂的层(2b)处或伸展到所述 n 型掺杂的层(2b)中；
  - 所述半导体层堆(2)的辐射出射面部分地通过所述聚结层(7)形成,并且
  - 所述中间层(9)局部地空出。
13. 根据上一项权利要求所述的光电子半导体芯片(10),所述光电子半导体芯片借助根据上述权利要求 1 至 11 中的任一项所述的方法来制造。

## 用于制造光电子半导体芯片的方法和相应的光电子半导体芯片

### 技术领域

[0001] 提出一种用于制造光电子半导体芯片的方法以及一种相应的光电子半导体芯片。

### 背景技术

[0002] 在参考文献 Dadgar 等著的 Applied Physics Letters, 2002 年 5 月 20 日的第 80 卷, 第 20 期中提出一种基于硅的制造发射蓝色的发光二极管的方法。

### 发明内容

[0003] 要实现的目的在于, 提出一种用于有效地制造光电子半导体芯片的方法。

[0004] 根据方法的至少一个实施形式, 所述方法包括提供生长衬底的步骤。生长衬底优选为硅衬底。设计成用于生长的表面优选是硅 -111- 表面。设置用于生长的表面尤其能够是平滑的并且具有最高 10nm 的粗糙度。生长衬底的厚度优选为至少 50  $\mu\text{m}$  或至少 200  $\mu\text{m}$ 。

[0005] 根据方法的至少一个实施形式, 所述方法包括在生长衬底上生成 III 族氮化物缓冲层的步骤。借助于溅镀来进行缓冲层的生成。因此, 不经由气相外延、如金属有机气相外延(英文为 Metal Organic Chemical Vapor Phase Epitaxy, 简称为 MOPVE)来生成缓冲层。

[0006] 根据方法的至少一个实施形式, 在缓冲层上方生长具有有源层的 III 族氮化物半导体层序列。半导体层序列的有源层设计成在半导体芯片运行时用于尤其在紫外的或可见的光谱范围中产生电磁辐射。特别地, 所产生的辐射的波长在 430nm 和 680nm 之间, 其中包括边界值。有源层优选包括一个或多个 pn 结或者一个或多个量子阱结构。

[0007] 半导体材料优选为氮化物化合物半导体材料, 如  $\text{Al}_n\text{In}_{1-n}\text{Ga}_m\text{N}$ , 其中  $0 \leq n \leq 1$ 、 $0 \leq m \leq 1$  并且  $n+m \leq 1$ 。在此, 半导体层序列能够具有掺杂物质以及附加的组成成分。然而为了简单性, 仅说明半导体层序列的主要组成成分, 即 Al、Ga、In 以及 N, 即使这些主要组成成分能够部分地由少量的其他物质取代和 / 或补充时也如此。

[0008] 根据方法的至少一个实施形式, 适用的是:  $0 \leq n \leq 0.2$  和 / 或  $0.35 \leq m \leq 0.95$  和 / 或  $0 < 1-n-m \leq 0.5$ 。n 和 m 的所提到的数值范围优选适用于半导体层序列的全部子层, 其中不包括掺杂物质。然而, 在此可能的是, 半导体层序列具有一个或多个中间层, 对于所述中间层而言, 不同于 n、m 的所提到的数值并且代替于此适用的是:  $0.75 \leq n \leq 1$  或  $0.80 \leq n \leq 1$ 。

[0009] 在方法的至少一个实施形式中, 所述方法设计成用于制造光电子半导体芯片、尤其是发光二极管。该方法至少包括下述步骤, 优选地以所给出的顺序:

[0010] - 提供硅生长衬底;

[0011] - 借助于溅镀在生长衬底上生成 III 族氮化物缓冲层; 和

[0012] - 在缓冲层上方生长具有有源层的 III 族氮化物半导体层序列。

[0013] 与 MOVPE 相比, 借助于溅镀能够相对低成本地并且以相对高的生长速度生成厚的层。因此, 在几分钟之内能够沉积例如由 AlN 构成的至 1  $\mu\text{m}$  厚的层。

[0014] 此外,其中执行溅镀的设备能够不具有镓。镓在用于 MOVPE 的外延设备中典型地作为杂质存在,因为尤其对于在蓝色光谱范围中发射的发光二级管需要含镓的层。但是通过杂质镓能够结合硅衬底形成所谓的回熔物。回熔物是指褐色的、由镓和硅构成的相对软的化合物。通过镓将硅从生长衬底中析出并且在硅衬底的设置用于生长的表面上造成花状部(Aufblühungen)和孔。这能够导致较差的生长结果。

[0015] 此外,通过借助于溅镀来生成缓冲层能够缩短和 / 或简化后续的 MOVPE 工艺。尤其可能的是,放弃直接位于衬底上的成核层并且将缓冲层直接地施加到生长衬底上。

[0016] 此外,可能的是,通过溅镀缓冲层来减少铝在用于生成半导体层序列的 MOVPE 工艺中的应用。由于 MOVPE 工艺中的高的温度,典型地使用石墨架作为衬底架。石墨架可能在 MOVPE 中由具有铝和 / 或镓的薄的白色的层覆盖,由此石墨架的加热性能和热放射性能发生改变。通过在气相外延反应器之外借助于溅镀来生成缓冲层,显著地减少由铝覆盖石墨架并且能够更加简单地设定 MOVPE 工艺的参数。

[0017] 根据方法的至少一个实施形式,多层地沉积缓冲层。例如,通过薄的铝层形成缓冲层的最靠近生长衬底的第一子层。所述铝层的厚度例如位于一个、两个或三个原子单层中。优选地,所述铝层不具有或基本上不具有氮,使得生长衬底在生长面上不会直接地与氮接触。

[0018] 根据方法的至少一个实施形式,缓冲层具有由 AlN 构成的第二子层,所述第二子层与跟随于其的、由 AlN 构成的第三子层相比更慢地沉积。第二子层和第三子层优选直接地彼此跟随并且更优选直接地跟随于第一子层。特别地,缓冲层由三个这种子层构成。

[0019] 根据方法的至少一个实施形式,在溅镀缓冲层时添加氧。氧占尤其基于氮化铝的缓冲层的重量份额优选为至少 0.1%、或至少 0.2%、或至少 0.5%。此外,氧占缓冲层的重量份额优选为最高 10% 或最高 5% 或最高 1.5%。将氧引入到缓冲层中也在参考文献 DE10034263B4 中说明,其公开内容通过参考并入本文。

[0020] 根据方法的至少一个实施形式,缓冲层中的氧份额沿远离生长衬底的方向单调地或严格单调地下降。特别地,在厚度在 10nm 和 30nm 之间的薄层中,其中包括边界值,直接地在硅生长衬底上存在最高的氧浓度。在远离生长衬底的方向上,氧份额能够阶梯状地或线性地下降。

[0021] 根据方法的至少一个实施形式,生长具有至少 10nm 或至少 30nm 或至少 50nm 的厚度的缓冲层。

[0022] 替选地或附加地,缓冲层的厚度为最高 1000nm 或最高 200nm 或最高 150nm。特别地,缓冲层的厚度为大约 100nm。

[0023] 根据方法的至少一个实施形式,将夹层直接地施加到缓冲层上。夹层的施加借助于溅镀或借助于如 MOVPE 的气相外延来进行。夹层优选基于 AlGaIn。

[0024] 根据方法的至少一个实施形式,夹层生长为,使得铝含量沿远离生长衬底的方向单调地或严格单调地下降,即例如阶梯状地或线性地下降。

[0025] 根据方法的至少一个实施形式,生长具有多个层片的夹层。在夹层的各个层片中,铝含量优选是恒定的或近似恒定的。各个层片优选具有在 20nm 和 100nm 之间的、尤其大约为 50nm 的厚度,其中包括边界值。夹层尤其包括两个层和六个层之间,尤其为四个层,其中包括边界值。夹层的总厚度例如在 50nm 和 500nm 之间或者在 100nm 和 300nm 之间、优选为

大约 200nm,其中包括边界值。

[0026] 根据方法的至少一个实施形式,尤其将生长层直接地生长到夹层上。生长层优选是掺杂的或也是未掺杂的 GaN 层。生长层的厚度优选位于 50nm 和 300nm 之间,其中包括边界值。生长层优选通过溅镀或通过 MOVPE 来生成。

[0027] 根据方法的至少一个实施形式,尤其将掩膜层直接地施加到生长层上。掩膜层例如由氮化硅、氧化硅、氮氧化硅或由氮化硼或氧化镁来形成。掩膜层的厚度优选为最高 2nm 或最高 1nm 或者最高 0.5nm。特别地,生成厚度平均为一个或两个单层的掩膜层。掩膜层能够通过溅镀或通过 MOVPE 来生成。

[0028] 根据方法的至少一个实施形式,将掩膜层以至少 20% 或至少 50% 或至少 55% 的覆盖度施加到位于其下的层上。优选地,覆盖度为最高 90% 或最高 80% 或最高 70%。换言之,那么在俯视图观察,生长衬底和 / 或生长层以所提到的份额由掩膜层的材料遮盖。因此,生长层局部地空出。

[0029] 根据方法的至少一个实施形式,尤其直接地在局部空出的生长层上以及掩膜层上生长聚结层。聚结层优选基于未掺杂的或基本上未掺杂的 GaN。聚结层在局部空出的生长层上并且因此在掩膜层的开口中生长。聚结层从掩膜层中的所述开口起共生成一体的、相对低缺陷的层。

[0030] 根据方法的至少一个实施形式,生长具有至少 300nm 或至少 400nm 的厚度的聚结层。替选地或附加地,厚度为最高 3  $\mu\text{m}$  或最高 1.2  $\mu\text{m}$ 。

[0031] 根据方法的至少一个实施形式,在聚结层上尤其直接物理接触地生长中间层。中间层优选是具有在 75% 和 100% 之间的铝含量的 AlGa<sub>N</sub> 层或者 AlN 层,其中包括边界值。中间层的厚度优选位于 5nm 和 50nm 之间、尤其位于 10nm 和 20nm 之间,其中包括边界值。中间层能够是掺杂的。

[0032] 根据方法的至少一个实施形式,生长多个中间层,其中中间层能够分别在制造公差范围内相同地构成。在两个相邻的中间层之间优选存在各一个能够是掺杂的或未掺杂的 GaN 层。此外,GaN 层优选与两个相邻的中间层直接接触。此外,GaN 层的厚度优选为至少 20nm 或至少 50nm 或至少 500nm,并且替选地或附加地能够为最高 1000nm 或最高 2000nm 或最高 3000nm。

[0033] 根据方法的至少一个实施形式,在中间层上或在中间层中的距生长衬底最远的一个上生长具有有源层的半导体层序列。半导体层序列优选与中间层直接接触并且基于 AlInGa<sub>N</sub> 或 InGa<sub>N</sub>。半导体层序列的邻接于中间层的层优选是 n 型掺杂的。n 型掺杂例如借助硅和 / 或锗来进行。

[0034] 根据方法的至少一个实施形式,在溅镀缓冲层和 / 或生长层和 / 或掩膜层时存在 550°C 和 900°C 之间的温度,其中包括边界值。此外,溅镀时的压强尤其位于 10<sup>-3</sup>mbar 和单倍的 10<sup>-2</sup>mbar 之间,其中包括边界值。

[0035] 根据方法的至少一个实施形式,在溅镀缓冲层或还有其他的通过溅镀生成的层时的生长速度为至少 0.03nm/s 和 / 或最高 0.5nm/s。溅镀优选在具有氩气和氮气的气氛下执行。氩气与氮气的比例优选为 1:2,其中存在最高 15% 或最高 10% 的公差。

[0036] 根据方法的至少一个实施形式,在半导体层序列的与生长衬底相对置的一侧上安置载体衬底。随后,例如借助于激光剥离技术或通过刻蚀来移除生长衬底。在半导体层序

列和载体衬底之间能够存在另外的层,尤其是镜层、电接触层和 / 或连接介质层如焊料。

[0037] 根据方法的至少一个实施形式,在溅镀沉积设备中生成缓冲层并且半导体层序列在与所述溅镀沉积设备不同的气相外延反应器中生长。尤其优选的是,溅镀沉积设备不具有镓和 / 或不具有石墨。

[0038] 此外,提出一种光电子半导体芯片。光电子半导体芯片能够借助如在上述实施形式中的一个或多个中提出的方法来制造。因此,方法的特征对于光电子半导体芯片也是公开的并且反之亦然。

[0039] 在光电子半导体芯片的至少一个实施形式中,所述光电子半导体芯片具有带有设置用于产生辐射的有源层的半导体层序列。半导体层序列还包括至少一个 n 型掺杂的层和至少一个 p 型掺杂的层,其中这些掺杂的层优选直接地邻接于有源层。半导体层序列基于 AlInGaN 或 InGaN。

[0040] 半导体芯片在半导体层序列的 p 侧包括载体衬底。在半导体层序列的 n 型掺杂的层的背离载体衬底的一侧上存在中间层,所述中间层基于 AlGaIn,并且所述中间层具有高的铝含量,并且所述中间层以在 5nm 和 50nm 之间的厚度生长,其中包括边界值。能够形成多个中间层,在所述中间层之间存在氮化镓层。

[0041] 在中间层的或中间层中的一个的背离载体衬底的一侧上存在由掺杂的或未掺杂的 GaN 构成的、厚度在 300nm 和 1.5  $\mu$ m 之间的聚结层,其中包括边界值。此外,半导体芯片设有粗糙部,所述粗糙部从聚结层起伸展至半导体层序列的 n 型掺杂的层上或伸展到其中。半导体层序列的辐射出射面部分地通过聚结层形成。中间层或中间层中的至少一个通过粗糙部局部地空出。

## 附图说明

[0042] 下面,参考附图根据实施例详细阐明在此描述的方法以及在此描述的半导体芯片。在此,相同的附图标记说明各个附图中的相同的元件。然而,在此不示出合乎比例的关系,更确切地说,为了更好的理解,能够夸张大地示出个别元件。

[0043] 附图示出:

[0044] 图 1 示出用于制造在此描述的光电子半导体芯片的在此描述的方法的实施例的示意图,和

[0045] 图 2 至 5 示出在此描述的光电子半导体芯片的实施例的示意剖面图。

## 具体实施方式

[0046] 在图 1 中示意地图解示出用于制造光电子半导体芯片 10 的方法。根据图 1A,在溅镀沉积设备 A 中提供硅生长衬底 1。在根据图 1B 的方法步骤中,在溅镀沉积设备 A 中,将缓冲层 3 溅镀到生长衬底 1 上。缓冲层 3 是优选设有氧的 AlN 层。

[0047] 在溅镀缓冲层 3 时的温度优选为大约 760°C。溅镀沉积设备 A 中的压强尤其为大约  $5 \times 10^{-2}$  mbar,其中存在氩气 - 氮气气氛。在溅镀缓冲层 3 时的沉积速度为大约 0.15nm/s。溅镀功率优选位于 0.5kW 和 1.5kW 之间,尤其为大约 0.5kW,其中包括边界值。缓冲层 3 以大约 100nm 的厚度生成。溅镀沉积设备 A 不具有镓。

[0048] 在根据图 1C 的方法步骤中,将生长衬底 1 连同缓冲层 3 从溅镀沉积设备 A 移入到

MOVPE 反应器 B 中。生长衬底 1 位于衬底架 b 处,所述衬底架优选由石墨构成。通过在溅镀沉积设备 A 中、而不是在 MOVPE 反应器 B 中生成 AlN 缓冲层 3,能够防止或大幅减少衬底架 b 被具有铝和 / 或镓的反射性的层包覆。

[0049] 为了生长具有设置用于产生辐射的有源层的半导体层序列 2,生长衬底 1 连同缓冲层 3 保留在 MOVPE 反应器 B 中。因此,半导体层序列被外延地施加到溅镀的缓冲层 3 上。

[0050] 因为含镓的半导体层序列 2 的生长与缓冲层 3 的生成以空间分离的方式进行,所以能够防止在溅镀沉积设备 A 中存在镓杂质。由此,可能的是,镓不会与硅生长衬底 1 或与所述硅生长衬底的生长面直接地接触。由此,能够防止所谓的回熔。

[0051] 该方法优选在晶片复合物中进行。如分割成各个半导体芯片 10 或者生成附加的功能层的另外的方法步骤为了简化的视图而没有在图 1 中示出。

[0052] 在图 2 中示意地图解示出光电子半导体芯片 10 的实施例。在硅生长衬底 1 上存在溅镀的缓冲层 3。除氧之外或替代于氧,缓冲层 3 也能够具有铟和 / 或硅。

[0053] 夹层 4 直接地跟随缓冲层 3。夹层 4 优选具有在图 2 中没有绘出的多个层片。例如,层片分别具有大约 50nm 的厚度并且显示出在远离生长衬底 1 的方向上减小的铝含量,其中各个层片中的铝含量能够为大约 95%、60%、30% 以及 15%,尤其具有最高百分之十或最高百分之五的公差。

[0054] 夹层 4 直接被由掺杂的或未掺杂的 GaN 构成的生长层 8 跟随。生长层 8 的厚度优选为大约 200nm。如果生长层是掺杂的,那么掺杂物质浓度优选最高为半导体层序列 2 的 n 型掺杂的层 2b 的掺杂物质浓度的二分之一。

[0055] 掩膜层 6 在远离生长衬底 1 的方向上直接跟随生长层 8。掩膜层 6 优选覆盖生长层 8 至大约 60% 或至大约 70%。生长层 8 由少量单层氮化硅形成。

[0056] 在掩膜层 6 的开口中,由掺杂的或未掺杂的 GaN 构成的聚结层 7 在生长层 8 上生长。在远离生长衬底 1 的方向上,聚结层共生成连续的层。聚结层 7 尤其比  $2\mu\text{m}$  或  $1.5\mu\text{m}$  更薄。聚结层 7 的厚度优选位于  $0.5\mu\text{m}$  和  $1.0\mu\text{m}$  之间,其中包括边界值。

[0057] 中间层 9 直接跟随聚结层 7。优选地,中间层 9 是具有高的铝含量的 AlGaIn 层或 AlN 层并且具有大约 15nm 或大约 20nm 的厚度。

[0058] 也可能的是,中间层 9 具有多个子层。例如,由 AlGaIn 构成的第一子层跟随聚结层 7 并且由具有更高的 Al 含量的 AlGaIn 构成的第二子层跟随第一子层之后。跟随优选表示沿着生长方向并且能够表示:彼此跟随的层接触。

[0059] 半导体层序列 2 的 n 型掺杂的层 2b 跟随于中间层 9,所述 n 型掺杂的层邻接于有源层 2a。在有源层 2a 的背离生长衬底 1 的一侧上存在至少一个 p 型掺杂的层 2c。半导体层序列 2 的层 2a、2b、2c 优选基于 InGaIn。n 型掺杂的层 2b 的掺杂物质浓度优选位于  $5\times 10^{18}/\text{ccm}$  和  $1\times 10^{20}/\text{ccm}$  之间或  $1\times 10^{19}/\text{ccm}$  和  $6\times 10^{19}/\text{ccm}$  之间,其中包括边界值。n 型掺杂的层 2b 的掺杂优选借助铟和 / 或硅来进行。p 型掺杂的层 2c 优选用镁掺杂。

[0060] n 型掺杂的层 2b 的厚度 D 例如在  $1.0\mu\text{m}$  和  $4\mu\text{m}$  之间、尤其在  $1.5\mu\text{m}$  和  $2.5\mu\text{m}$  之间,其中包括边界值。在 n 型掺杂的层 2b 的最靠近中间层 9 的区域中,掺杂物质浓度可选地降低并且在该区域中例如在  $5\times 10^{17}/\text{ccm}$  和  $1\times 10^{19}/\text{ccm}$  之间、尤其大约  $1\times 10^{18}/\text{ccm}$ ,其中包括边界值,其中所述区域优选具有在 100nm 和 500nm 之间的厚度,其中包括边界值。该区域在附图中没有绘出。



[0061] 在根据图 3 的半导体芯片 10 的实施例中,生长衬底 1 以及缓冲层 3 和夹层 4 被移除,如这也可能结合图 2。在半导体层序列 2 的 p 侧上安置第一接触层 12a。经由第一接触层 12a,将半导体层序列 2 与载体衬底 11 连接。载体衬底 11 的厚度优选位于 50  $\mu\text{m}$  和 1mm 之间,其中包括边界值。

[0062] 在半导体层序列 2 的背离载体衬底 11 的一侧上生成粗糙部 13。粗糙部 13 伸展至半导体层序列 2 的 n 型掺杂的层 2b 处或伸展至其中。因此,通过粗糙部局部地空出 n 型掺杂的层 2b 以及中间层 9。尤其优选地,掩膜层 6 通过粗糙部 13 完全地移除。

[0063] 可选的是,在背离载体衬底的一侧上安置另外的接触层 12b,经由所述另外的接触层能够电接触半导体芯片 10 并且对其通电,例如借助于接合线通电。如镜层或连接介质层的另外的可选的层在图 3 中没有绘出。

[0064] 半导体芯片 10 的另一个实施例在图 4 中示出。如接触层或镜层的层为了简化的视图而在图 4 中没有图解示出。根据图 4 的半导体芯片 10 具有两个中间层 9,在这两个中间层之间存在 GaN 层 5。

[0065] 粗糙部 13 穿过两个中间层 5 伸展至 n 型掺杂的层 2b 中。不同于所示出的可能的是,中间层 9 中的一个没有被粗糙部触及。此外,可能的是,最靠近有源层 2a 的中间层 9 构成为用于生成粗糙部 13 的刻蚀阻挡层。不同于在图 4 中所示出的,也能够存在多于两个中间层 9,这些中间层分别彼此相同或彼此不同地构造。

[0066] 在图 5 中示出半导体芯片 10 的另一个实施例。半导体层序列 2 经由例如是焊料的连接介质 18 固定在载体衬底 11 上。半导体层序列 2 的朝向载体衬底 11 的一侧经由第一电连接层 14 并且经由载体衬底 11 电接触。

[0067] 此外,半导体层序列 2 的背离载体衬底 11 的一侧经由第二电连接层 16 接触。从载体衬底 11 起观察,第二连接层 16 穿过有源层 2a 并且被横向地引导到半导体层序列 2 旁边。例如,第二连接层 16 能够横向地在半导体层序列 2 旁边与没有绘出的接合线连接。

[0068] 粗糙部 13 没有伸展至第二连接层 16 处。此外,连接层 16、14 通过例如由氧化硅或氮化硅构成的分隔层 15 而彼此电绝缘。在图 5 中没有绘出中间层以及聚结层。因此,半导体芯片 10 能够与在参考文献 US2010/0171135 中说明的相似地构成,其公开内容通过参考并入本文。

[0069] 本发明不由于根据实施例进行的描述而限制于此。更确切地说,本发明包括每个新的特征以及特征的任意的组合,这尤其是包含在权利要求中的特征的任意的组合,即使这些特征或这些组合本身没有明确地在权利要求或实施例中说明也如此。

[0070] 本申请要求德国专利申请 102011114670.2 的优先权,其公开内容通过参考并入本文。

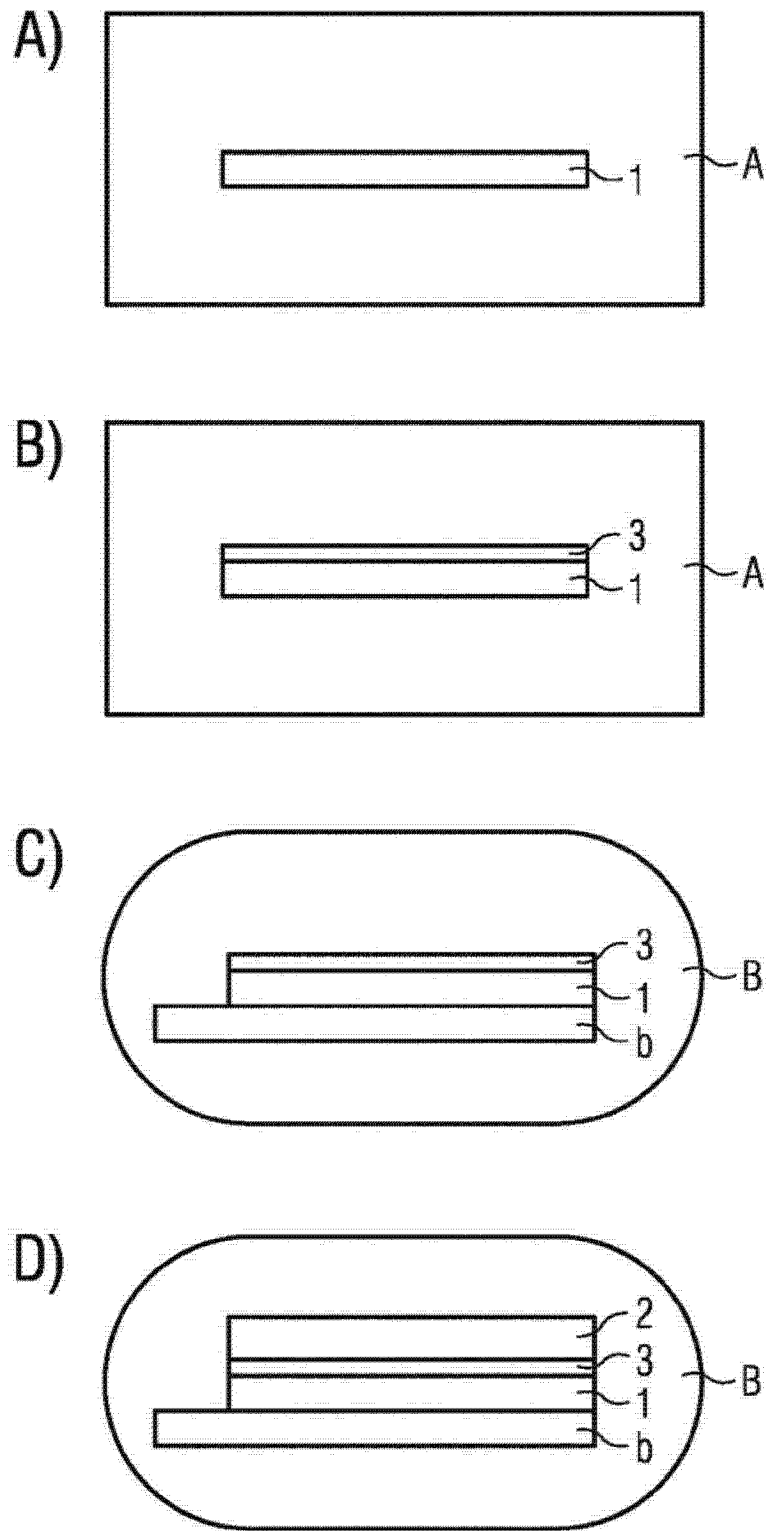


图 1

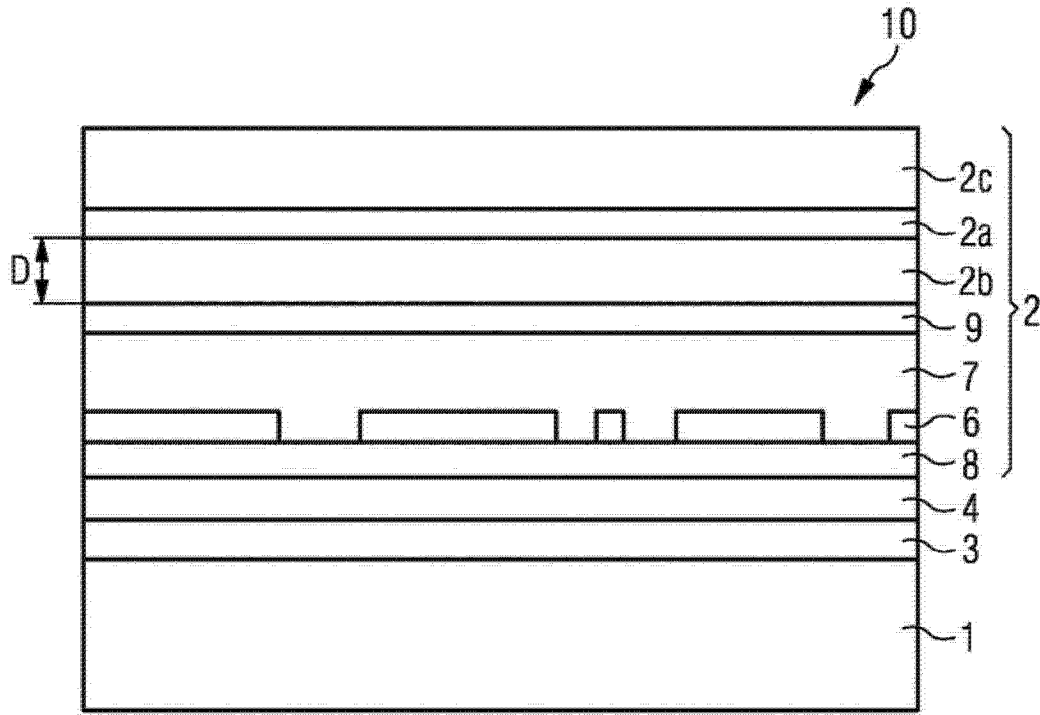


图 2

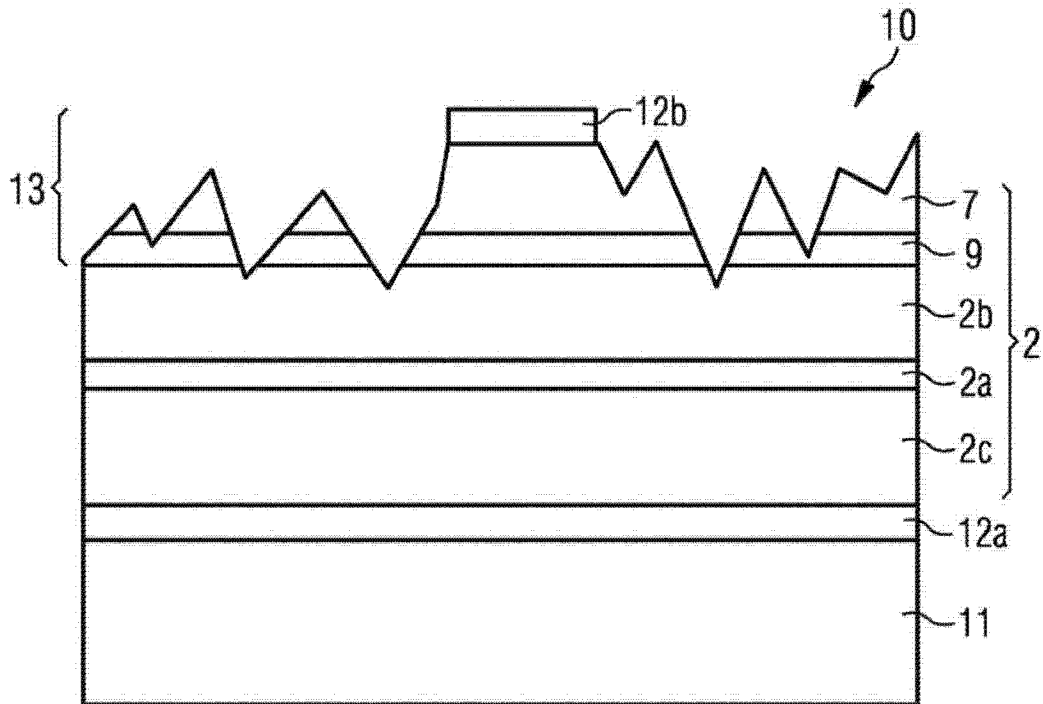


图 3

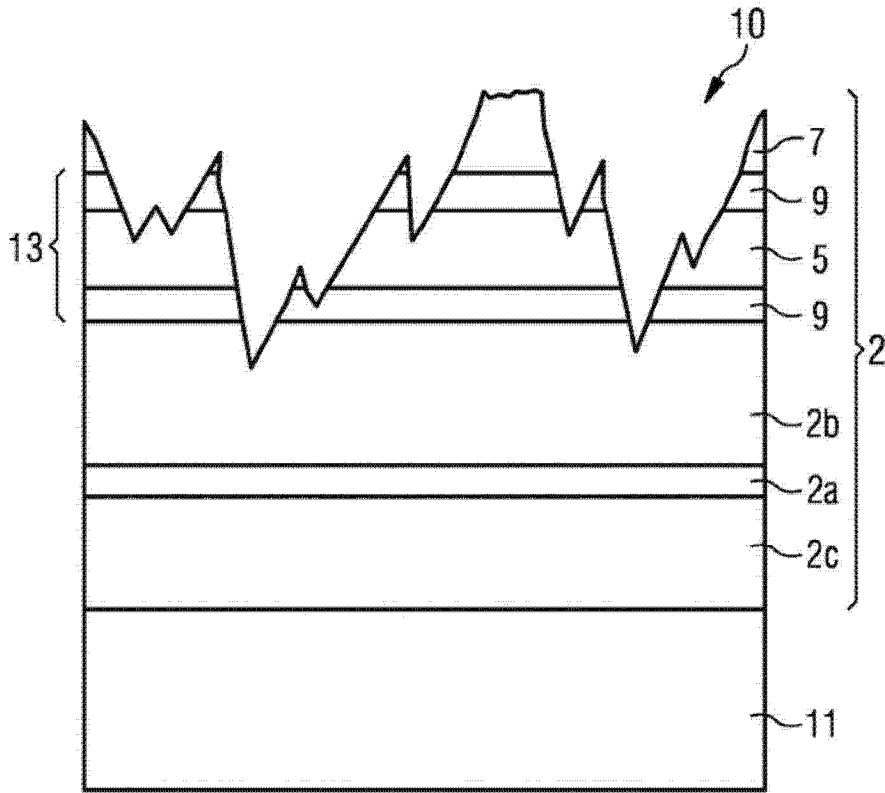


图 4

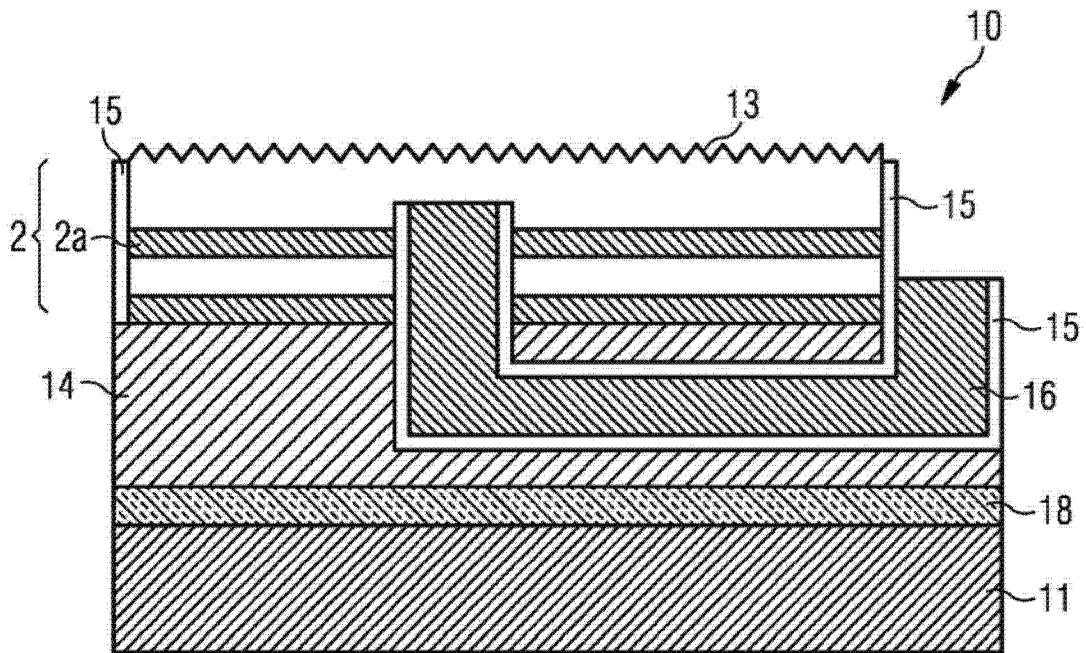


图 5