



(12)发明专利申请

(10)申请公布号 CN 108028196 A

(43)申请公布日 2018.05.11

(21)申请号 201680043730.7

(22)申请日 2016.08.10

(30)优先权数据

2015-167416 2015.08.27 JP

(85)PCT国际申请进入国家阶段日

2018.01.25

(86)PCT国际申请的申请数据

PCT/JP2016/073648 2016.08.10

(87)PCT国际申请的公布数据

W02017/033754 JA 2017.03.02

(71)申请人 东京毅力科创株式会社

地址 日本东京都

(72)发明人 小川秀平 朴玩哉 木原嘉英

本田昌伸

(74)专利代理机构 北京尚诚知识产权代理有限公司 11322

代理人 龙淳

(51)Int.Cl.

H01L 21/3065(2006.01)

H05H 1/46(2006.01)

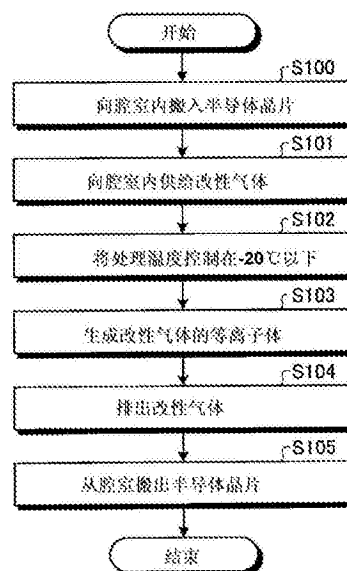
权利要求书1页 说明书14页 附图13页

(54)发明名称

等离子体处理方法

(57)摘要

一种等离子体处理方法,其利用等离子体对依次层叠有有机膜、掩模膜和抗蚀剂膜的被处理体进行处理,包括:向放入了在抗蚀剂膜上形成有规定的图案的被处理体的腔室内供给改性气体的步骤,所述改性气体为 H_2 气体、卤化氢气体、包含稀有气体和 H_2 气体的混合气体或者包含稀有气体和卤化氢气体的混合气体;和改性步骤,在 $-20^{\circ}C$ 的处理温度下,利用改性气体的等离子体对被处理体的抗蚀剂膜进行改性。



1. 一种等离子体处理方法,其利用等离子体对依次层叠有有机膜、掩模膜和抗蚀剂膜的被处理体进行处理,所述等离子体处理方法的特征在于,包括:

向放入了在所述抗蚀剂膜上形成有规定的图案的所述被处理体的腔室内供给改性气体的步骤,其中,所述改性气体为 H_2 气体、卤化氢气体、包含稀有气体和 H_2 气体的混合气体或者包含稀有气体和卤化氢气体的混合气体;和

改性步骤,在 $-20^{\circ}C$ 的处理温度下,利用所述改性气体的等离子体对所述被处理体的所述抗蚀剂膜进行改性。

2. 如权利要求1所述的等离子体处理方法,其特征在于,包括:

向所述腔室内供给蚀刻用的第一处理气体的步骤;和

第一蚀刻步骤,在 $0^{\circ}C$ 以上、 $40^{\circ}C$ 以下的处理温度下,利用所述第一处理气体的等离子体,以在所述改性步骤中被改性后的所述抗蚀剂膜为掩模,对所述掩模膜进行蚀刻。

3. 如权利要求2所述的等离子体处理方法,其特征在于:

所述第一处理气体包含含卤化合物气体,该含卤化合物气体包含含有CF键或者SF键的气体。

4. 如权利要求2或3所述的等离子体处理方法,其特征在于,包括:

向所述腔室内供给蚀刻用的第二处理气体的供给步骤;和

第二蚀刻步骤,在 $-20^{\circ}C$ 以下的处理温度下,利用所述第二处理气体的等离子体,以在所述第一蚀刻步骤中被蚀刻后的所述掩模膜为掩模,对所述有机膜进行蚀刻。

5. 如权利要求1所述的等离子体处理方法,其特征在于,包括:

向所述腔室内供给蚀刻用的第二处理气体的供给步骤;和

第二蚀刻步骤,在 $-20^{\circ}C$ 以下的处理温度下,利用所述第二处理气体的等离子体,以转印有在所述改性步骤中被改性后的所述抗蚀剂膜的图案的所述掩模膜为掩模,对所述有机膜进行蚀刻。

6. 如权利要求4或5所述的等离子体处理方法,其特征在于:

所述第二处理气体包含稀有气体与含氧原子的气体的混合气体。

等离子体处理方法

技术领域

[0001] 本发明的各种方面和实施方式涉及等离子体处理方法。

背景技术

[0002] 在半导体器件的制造过程中,在被蚀刻层上形成规定的图案的掩模,通过蚀刻,将该掩模的图案转印到被蚀刻层。作为掩模,例如使用利用光刻技术形成的抗蚀剂掩模。因此,在形成于被蚀刻层的图案的极限尺寸,受到利用光刻技术形成的抗蚀剂掩模的分辨率的极限的影响。

[0003] 近年来,随着半导体器件的微小化、高集成化,对使用比ArF准分子激光的波长短的EUV (Extreme Ultra-Violet) 光的光刻技术进行了研究。使用EUV光的光刻与使用ArF准分子激光光刻相比,能够在抗蚀剂掩模形成微小的图案。在使用EUV光的光刻中,能够进行在例如10nm以下的微小的加工。

[0004] 另外,在形成于抗蚀剂掩模的图案中,抗蚀剂掩模的高度对图案尺寸的比值在3以上时,会产生图案倒塌等的不良状况。因此,抗蚀剂掩模的高度对图案尺寸的比值需要在3以下。因此,随着半导体器件的微小化进展,抗蚀剂掩模也有进展。抗蚀剂掩模的高度为,在10nm级中,例如为30nm以下。

[0005] 当蚀刻被蚀刻层时,抗蚀剂掩模也一部分被蚀刻,但是随着抗蚀剂掩模的薄膜化进展,到在被蚀刻层形成规定的图案为止,抗蚀剂掩模不能维持规定的图案。由此,形成于蚀刻后的被蚀刻层的图案的尺寸精度有时会降低。

[0006] 在下述的专利文献1公开了以下技术:为了改善EUV光致抗蚀剂的蚀刻耐受性,在图案上的抗蚀剂形成封入层,之后执行用于对硬掩模进行图案化的蚀刻处理步骤。另外,在下述的专利文献2公开了以下思想:为了抑制抗蚀剂损坏,仅在将形成有规定的图案的ArF抗蚀剂作为掩模以对有机防反射膜进行蚀刻的步骤中,将晶片温度控制在在 $-40^{\circ}\text{C}\sim 0^{\circ}\text{C}$ 。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:日本特开2013-145874号公报

[0010] 专利文献2:日本特开2005-72518号公报

发明内容

[0011] 发明想要解决的技术问题

[0012] 但是,在以光致抗蚀剂为掩模对被蚀刻层进行蚀刻时,在蚀刻前,进行用于改善形成有规定的图案的光致抗蚀剂的表面的粗糙等的改性步骤。但是,在现有的改性步骤中,通过执行改性步骤,光致抗蚀剂的厚度变得比执行改性步骤前的厚度薄。在使用EUV光的光刻中,能够进行比现有的ArF准分子激光更微小的加工,因此光致抗蚀剂需要比现有的更薄。因此,对于通过使用EUV光的光刻而形成有图案的光致抗蚀剂执行改性步骤时,光致抗蚀剂变得更薄。由此,光致抗蚀剂作为掩模并蚀刻被蚀刻层时,蚀刻后的被蚀刻层的尺寸精度劣

化。

[0013] 用于解决课题的技术方案

[0014] 本发明的一个方面为等离子体处理方法,其利用等离子体对依次层叠有有机膜、掩模膜和抗蚀剂膜的被处理体进行处理,上述等离子体处理方法包括:向放入了在上述抗蚀剂膜上形成有规定的图案的上述被处理体的腔室内供给改性气体的步骤,其中,上述改性气体为 H_2 气体、卤化氢气体、包含稀有气体和 H_2 气体的混合气体或者包含稀有气体和卤化氢气体的混合气体;和改性步骤,在 $-20^{\circ}C$ 的处理温度下,利用上述改性气体的等离子体对上述被处理体的上述抗蚀剂膜进行改性。

[0015] 发明效果

[0016] 根据本发明的各种方面和实施方式,能够良好地维持抗蚀剂膜本身的加工精度。

附图说明

[0017] 图1是表示等离子体处理装置的一个例子的截面图。

[0018] 图2是表示半导体晶片的一个例子的截面图。

[0019] 图3是表示实施例1的等离子体处理方法的一个例子的流程图。

[0020] 图4是表示处理温度和光致抗蚀剂的高度的减少量的关系的一个例子的图。

[0021] 图5是表示对于处理温度的LWR和LER之和的关系的一个例子的图。

[0022] 图6是表示对于处理温度的LWR和LER与光致抗蚀剂的高度的关系的一个例子的图。

[0023] 图7是表示 H_2 气体的阿利纽斯作图法的一个例子的图。

[0024] 图8是表示实施例2的等离子体处理方法的一个例子的流程图。

[0025] 图9是表示处理温度和选择比的关系的一个例子的图。

[0026] 图10是表示氟的阿利纽斯作图法的一个例子的图。

[0027] 图11是表示处理温度和槽的截面形状的关系的一个例子的示意图。

[0028] 图12是表示处理温度和锥形角度的关系的一个例子的图。

[0029] 图13是表示实施例3的等离子体处理方法的一个例子的流程图。

[0030] 图14是表示处理温度和Top-BtmCD的关系的一个例子的图。

[0031] 图15是表示 O_2 气体的阿利纽斯作图法的一个例子的图。

[0032] 图16是表示处理温度和选择比的关系的一个例子的图。

[0033] 图17是表示实施例4的等离子体处理方法的一个例子的流程图。

具体实施方式

[0034] 以下,根据附图对公开的等离子体处理方法的实施方式进行详细地说明。此外,不限制于根据本实施方式所公开的发明。另外,在处理内容不矛盾的范围内,可以适当地组合以下所示的各实施例。

[0035] 实施例1

[0036] [等离子体处理装置100的构成]

[0037] 图1是表示等离子体处理装置100的一个例子的截面图。等离子体处理装置100具有气密地构成、电接地的腔室1。腔室1由例如在表面实施了阳极氧化处理的铝等,形成为大

致圆筒状。在腔室1的上部的开口设置有喷头16,在其上设置有圆筒状的接地导体1a。在腔室1内设置有载置台2,其水平地支承作为被处理体的一个例子的半导体晶片W。

[0038] 载置台2具有基材2a和静电卡盘6。基材2a由例如铝等的导电性的金属构成,作为下部电极发挥作用。基材2a由导体构成的支承台4支承。支承台4隔着绝缘板3被腔室1的底部支承。另外,在载置台2的上方的外周,设置有由例如单晶硅等形成的聚焦环5。而且,在载置台2和支承台4的周围,以包围载置台2和支承台4的方式设置有由例如石英等形成的圆筒状的内部部件3a。

[0039] 在基材2a的上表面设置有静电卡盘6。静电卡盘6具有绝缘体6b和设置于绝缘体6b之间的电极6a。电极6a与直流电源12连接。静电卡盘6通过从直流电源12向电极6a施加的直流电压来在静电卡盘6的表面产生库仑力,由此将半导体晶片W吸附保持于静电卡盘6的上面。

[0040] 在基材2a的内部形成有流动制冷剂的流路2b。在流路2b中,Galden等制冷剂经由配管2c和2d进行循环。通过在流路2b内循环的制冷剂,将载置台2和静电卡盘6控制在规定温度。另外,在载置台2以贯通载置台2的方式,设置有用向半导体晶片W的背面侧供给氦气等热传导气体(背侧气体)的配管30。配管30与未图示的背侧气体供给源连接。利用在流路2b内流动的制冷剂和向半导体晶片W的背面侧供给的热传导气体,等离子体处理装置100能够将吸附保持于静电卡盘6的上表面的半导体晶片W控制在规定温度。

[0041] 在载置台2的上方以大致平行地相对载置台2的方式即以与载置于载置台2上的半导体晶片W相对的方式设置有喷头16。喷头16作为上部电极发挥作用。即,喷头16和载置台2作为一对电极(上部电极和下部电极)发挥作用。将载置于载置台2上的半导体晶片W与喷头16之间称为处理空间S。喷头16经由匹配器11a与高频电源10a连接。另外,载置台2的基材2a经由匹配器11b与高频电源10b连接。

[0042] 高频电源10a对喷头16施加等离子体的产生中使用的规定频率(例如60MHz)的高频电力。另外,高频电源10b对载置台2的基材2a施加离子的引入(偏置)中所使用的规定频率的高频电力,即比高频电源10a低的频率(例如13MHz)的高频电力。

[0043] 上述喷头16隔着绝缘性部件45被腔室1的上部支承。喷头16具有主体部16a和上部顶板16b。主体部16a例如由表面经阳极氧化处理的铝等形成,其下部可装卸地支承上部顶板16b。上部顶板16b由例如石英等含硅物质形成。

[0044] 在主体部16a的内部设置有气体扩散室16c和16d。在主体部16a的底部以位于气体扩散室16c或者16d的下部的方式形成有多个气体流通口16e。气体扩散室16c设置于喷头16的大致中央,气体扩散室16d以包围气体扩散室16c的方式设置于气体扩散室16c的周围。气体扩散室16c和16d能够独立地控制处理气体的流量等。

[0045] 在上部顶板16b,以在厚度方向贯通该上部顶板16b的方式设置有气体流通口16f,各气体流通口16f与上述气体流通口16e连通。根据这样的构成,向气体扩散室16c和16d供给的处理气体经由气体流通口16e或者16f以喷淋状扩散而供给在腔室1内。此外,在主体部16a等设置有未图示的加热器或者用于使制冷剂循环的未图示的配管等的温度调整机构,在半导体晶片W的处理中能够将喷头16的温度控制在规定的范围内。

[0046] 在喷头16的主体部16a设置有用向气体扩散室16c导入处理气体的气体导入口16g和用于向气体扩散室16d导入处理气体的气体导入口16h。气体导入口16g与配管15a的

一端连接。配管15a的另一端经由阀V1和质量流量控制器(MFC)15c,与供给用于半导体晶片W的处理的氣體的气体供给源15连接。另外,气体导入口16h与配管15b的一端连接。配管15b的另一端经由泵V2和MFC15d,与气体供给源15连接。

[0047] 从气体供给源15供给的处理气体经由配管15a和15b分别被供给到气体扩散室16c和16d,经由各自的气体流通口16e和16f以喷淋状扩散而供给到腔室1内。气体供给源15例如在进行后述的改性步骤时,将改性气体供给到腔室1内。

[0048] 喷头16经由低通滤波器(LPF)51和开关53与输出负的直流电压的可变直流电源52电连接。开关53控制从可变直流电源52向喷头16的直流电压的施加和切断。例如,从高频电源10a将高频电力施加到喷头16,从高频电源10b将高频电力施加到载置台2,在腔室1内的处理空间S生成等离子体时,根据需要将开关53打开,向作为上部电极发挥作用的喷头16施加规定的大的负的直流电压。

[0049] 在载置台2的周围以包围载置台2的方式设置有排气通路71。在处理空间S和排气通路71之间,以包围载置台2的方式在载置台2的周围设置有具有多个贯通孔的缓冲板18。排气通路71与排气管72连接,排气管72与排气装置73连接。排气装置73具有涡轮分子泵等的真空泵。通过使该真空泵运作,排气装置73能够经由排气通路71和排气管72将腔室1内减压到规定的真空度。

[0050] 在腔室1的侧壁设置有开口部74,在开口部74设置有开闭该开口部74的门阀G。另外,在腔室1的内壁和载置台2的外周面可装卸地设置有沉积屏蔽件76。沉积屏蔽件76和77防止蚀刻副产物(沉积)附着在腔室1的内壁。在与吸附保持于静电卡盘6上的半导体晶片W大致相同高度的沉积屏蔽件76的位置,设置有直流接地的导电性部件(GND部件)79。通过GND部件79,能够抑制腔室1内的异常放电。

[0051] 如上述方式构成的等离子体处理装置100由控制部60总体控制其动作。控制部60包括:具有CPU(Central Processing Unit),控制等离子体处理装置100的各部的处理控制器61;用户接口62;和存储部63。

[0052] 用户接口62包括:输入装置,其用于操作者操作等离子体处理装置100的指令等的输入所使用的键盘;和将等离子体处理装置100的工作状况可视化显示的显示器等的输出装置。

[0053] 在存储部63中存储有:用于在处理控制器61的控制下实现在等离子体处理装置100进行的各種处理的控制程序(软件)、存储有处理条件的数据等的方案。处理控制器61根据存储于存储部63内的控制程序来运作,根据由用户接口62接收到的指示等,从存储部63读取方案等。然后,处理控制器61根据读取的方案等控制等离子体处理装置100,由此由等离子体处理装置100进行期望的处理。另外,处理控制器61能够将存储于计算机可读取的存储介质(例如,硬盘、CD、软盘、半导体存储器等)的控制程序和方案等从该存储介质读取进行运行。另外,处理控制器61能够将存储于其他装置的存储部内的控制程序和方案等例如通过通信线路从该其他装置取得进行运行。

[0054] 例如,控制部60控制等离子体处理装置100的各部以进行后述的等离子体处理方法。当列举一个详细的例子时,控制部60在执行后述的改性步骤时,向腔室1内供给改性气体,将吸附保持于静电卡盘6上的半导体晶片W控制在规定的温度。然后,控制部60对作为上部电极发挥作用的喷头16施加规定频率的高频电力和规定电压的负的直流电压,对作为下

部电极发挥作用的载置台2施加规定频率的高频电力,由此在腔室1内生成改性气体的等离子体。然后,控制部60利用生成的改性气体的等离子体,来改性设置于半导体晶片W的光致抗蚀剂。

[0055] [半导体晶片W的构造]

[0056] 本实施例中处理的半导体晶片W为例如如图2所示的结构。图2是表示半导体晶片W的一个例子的截面图。半导体晶片W为在绝缘膜20上,按照有机膜21、掩模膜22和光致抗蚀剂(PR)23的顺序层叠而形成。绝缘膜20例如为SiO₂等的氧化膜。有机膜21例如为自旋碳膜等的有机电介质层(ODL:Organic Dielectric Layer)。掩模膜22例如为含硅防反射膜(SiARC)。此外,作为另一例子,掩模膜22可以为在有机膜21上层叠有SiON膜并在其上层叠有有机防反射膜(BARC)的2层结构。光致抗蚀剂23例如为使用EUV光形成有规定的图案的EUV抗蚀剂。光致抗蚀剂23为抗蚀剂膜的一个例子。

[0057] [等离子体处理]

[0058] 接着,对图2所示的半导体晶片W进行的等离子体处理进行说明。图3是表示实施例1的等离子体处理方法的一个例子的流程图。

[0059] 首先,图1所示的等离子体处理装置100中,打开门阀G,将半导体晶片W通过未图示的搬运机器人等,从开口部74搬入到腔室1内,载置于静电卡盘6上(S100)。然后,搬运机器人退避到腔室1外,关闭门阀G。然后,对静电卡盘6的电极6a施加来自直流电源12的规定的直流电压,半导体晶片W被库伦力吸附保持于静电卡盘6。然后,通过排气装置73的真空泵将腔室1内排气到规定的真空度。

[0060] 在腔室1内达到规定的真空度后,将改性气体以规定的流量从气体供给源15供给到腔室1,将腔室1内维持在规定的压力(S101)。本实施例中,改性气体为含氢气体。具体而言,改性气体例如为含有Ar气体和H₂气体的混合气体。此外,改性气体也可以为H₂气体、卤化氢气体、包含稀有气体和H₂气体的混合气体或者包含稀有气体和卤化氢气体的混合气体。作为卤化氢气体,例如可以使用HBr气体等。另外,作为稀有气体,例如可以使用Ar气体等。

[0061] 然后,通过在载置台2的流路2b内流动的制冷剂 and 向半导体晶片W的背面侧供给的热传导气体,将半导体晶片W控制在规定的处理温度(S102)。在步骤S102中,等离子体处理装置100将半导体晶片W的处理温度控制在例如-20℃以下。优选地,在步骤S102中,等离子体处理装置100将半导体晶片W的处理温度控制在例如-60℃以上、-20℃以下的范围内的温度。

[0062] 接着,从高频电源10a对喷头16施加规定频率(例如60MHz)的高频电力,从可变直流电源52对喷头16施加规定电压的负的直流电压。另外,从高频电源10b对载置台2施加规定频率(例如13MHz)

的高频电力。由此,在作为上部电极的喷头16和作为下部电极的载置台2之间形成电场,在半导体晶片W的处理空间S内生成改性气体的等离子体(S103)。步骤S103为改性步骤的一个例子。利用改性气体的等离子体,对半导体晶片W的光致抗蚀剂23的表面进行改性。由此,能够改善形成于光致抗蚀剂23的规定的图案中的LWR(Line Width Roughness:线宽粗糙度)和LER(Line Edge Roughness:线边缘粗糙度)。

[0064] 对半导体晶片W进行了规定时间的利用改性气体的等离子体的处理后,停止来自气体供给源15的改性气体的供给,通过排气装置73的真空泵将腔室1内的改性气体排气

(S104)。然后,打开门阀G,通过搬运机器人等,将静电卡盘6上的半导体晶片W搬出到腔室1的外部(S105),本流程图所示的等离子体处理结束。进行了本流程图所示的等离子体处理后,在半导体晶片W上进行以改善了LWR和LER的光致抗蚀剂23为掩模、对掩模膜22进行蚀刻的处理。

[0065] 在此,根据改性步骤的温度条件,有时通过改性步骤的执行而光致抗蚀剂23的高度的减少量变大。图4是表示处理温度与光致抗蚀剂的高度的减少量的关系的一个例子的图。在图4中,表示了从-50℃到+20℃的各温度中,与半导体晶片W被等离子体照射的时间对应的光致抗蚀剂23的高度的减少量的实验结果。此外,图4所示的“Dense”表示形成于光致抗蚀剂23的图案的密度高的区域中,光致抗蚀剂23的高度的减少量,图4所示的“Iso”表示形成于光致抗蚀剂23的图案的密度低的区域中,光致抗蚀剂23的高度的减少量

[0066] 参照图4,在改性步骤中,半导体晶片W的处理温度越变低,光致抗蚀剂23的高度的减少量越变少。即,光致抗蚀剂23的高度的减少量,依赖于半导体晶片W的处理温度。此外,无论在形成于光致抗蚀剂23的图案的密度高的区域,还是在形成于光致抗蚀剂23的图案的密度低的区域,半导体晶片W的处理温度低的部位光致抗蚀剂23的高度的减少量少的倾向是不变的。

[0067] 图5是表示对于处理温度的LWR和LER之和的关系的一个例子的图。在图5中,表示了从-50℃到+20℃的各温度中,与半导体晶片W被等离子体照射的时间对应的LWR与LER之和的实验结果。此外,在图5中,在形成于光致抗蚀剂23的图案的密度高的区域和形成于光致抗蚀剂23的图案的密度低的区域中,分别测定LWR与LER之和。

[0068] 参照图5,可知:改性步骤中,半导体晶片W被等离子体照射的时间变长时,具有LWR与LER之和的值变小,LWR与LER之和的值改善的倾向。但是,即使半导体晶片W的处理温度变化,LWR与LER之和的值也没有变化。即,LWR与LER之和的值的改善程度,依赖于半导体晶片W被等离子体照射的时间,并且依赖于半导体晶片W的处理温度。

[0069] 归纳LWR和LER与光致抗蚀剂的高度对处理温度的关系,为例如图6所示。在图6中,第一轴表示LWR和LER对处理温度的关系的一个例子,第二轴表示光致抗蚀剂的高度对处理温度的关系的一个例子。参照图6,即使半导体晶片W的处理温度改变,LWR与LER的值也同样程度地改善。

[0070] 另外,参照图6时可知:半导体晶片W的处理温度低的部位光致抗蚀剂23的高度的减少量少。另外,在半导体晶片W的处理温度在-20℃时和-50℃时,光致抗蚀剂23的高度的减少量几乎没有差异。这是由于在-20℃附近,存在H自由基的活性化能量的阈值。因此,如果半导体晶片W的处理温度在-20℃以下,能够减少光致抗蚀剂23的高度的减少量。此外,如果半导体晶片W的处理温度为在-60℃以上、-20℃以下的范围内的温度,使用一般采用的制冷剂,能够控制在该范围的温度,因此,能够抑制等离子体处理装置处理中成本的上升。

[0071] 在此,在改性步骤中,通过改性气体的等离子体中存在的H自由基的自发反应,减少光致抗蚀剂23的高度。H自由基的反应的速度常数k,能够通过下述所述的阿列纽斯式(1)计算。

[0072] (数学式1)

$$[0073] \quad k = A \exp\left(-\frac{E_a}{RT}\right) \quad \cdots (1)$$

[0074] 其中,A是与温度不相关的常数(频率因子), E_a 是每1摩尔的活性化能量,R是气体常数,T是绝对温度。

[0075] 对于 H_2 气体,将速度常数k的自然对数制图,例如为图7所示。图7是表示 H_2 气体的阿利纽斯作图法的一个例子的图。根据图7可知,处理温度变得越低,即, $1000/T(K)$ 的值变得越高,H自由基的反应的速度常数k的值变得越低,反应速度降低。因此,通过降低半导体晶片W的处理温度,降低改性气体的等离子体中存在的H自由基的自发反应的速度,能够抑制光致抗蚀剂23的高度的减少。

[0076] 另一方面,光致抗蚀剂23的LWR和LER被VUV(Vacuum Ultra-Violet)反应的效果所改善。被照射了VUV光的光致抗蚀剂23吸收VUV光,在表面发生化学反应而表面流动。由此,光致抗蚀剂23的表面变得光滑,作为LWR和LER的原因的表面的凹凸减少。VUV反应依赖于VUV光的发光强度。VUV光的发光强度I,例如能够由下述所述的式(2)表示。

[0077] (数学式2)

$$[0078] \quad I(p, q) = \alpha \beta k_{ex}(p) n(1) n_e \cdots (2)$$

[0079] 其中, α 和 β 是比例常数, $k_{ex}(p)$ 是激发速度系数, $n(1)$ 是自由基密度, n_e 是电子密度。

[0080] 根据上述式(2)可知,改性步骤中的VUV光的发光强度I依赖于H自由基的密度,但是不依赖于温度。因此,当半导体晶片W的处理温度以外的条件是相同时,即使在低温的条件下,也能够得到与常温或者高温的条件下相同的LWR和LER的改善效果。

[0081] 由此,通过在 -20°C 以下的低温条件下执行改性步骤,抑制由于H自由基(导致)的光致抗蚀剂23的高度的减少,并且由于VUV效果,能够改善光致抗蚀剂23的LWR和LER。由此,即使在改性步骤执行后,也能够良好地维持光致抗蚀剂23的加工精度。由此,将由于改性步骤的执行而被改性了的光致抗蚀剂23作为掩模的蚀刻步骤中,能够提高蚀刻后的半导体晶片W的加工精度。

[0082] 实施例2

[0083] 在实施例1中,执行使用改性气体的等离子体对半导体晶片W的光致抗蚀剂23进行改性的改性步骤。本实施例中,在执行了如实施例1所示的改性步骤后,接着执行以光致抗蚀剂23作为掩模对掩模膜22进行蚀刻的第一蚀刻步骤。此外,本实施例中,等离子体处理装置100的结构与图1所示的实施例1中的等离子体处理装置100相同,因此省略详细的说明。

[0084] [等离子体处理]

[0085] 图8是表示实施例2中的等离子体处理方法的一个例子的流程图。此外,图8中与图3标注了相同附图标记的处理,与图3中说明的处理相同,因此省略详细的说明。

[0086] 首先,在图1所示的等离子体处理装置100中,打开门阀G,将半导体晶片W载置于在静电卡盘6上,并被吸附保持于静电卡盘6上(S100)。然后,利用排气装置73的真空泵,将腔室1内排气至规定的真空度。然后,执行如图3所示的步骤S101~S104的处理。

[0087] 接着,从气体供给源15以规定的流量将第一处理气体供给到腔室1内,腔室1内被维持在规定的压力(S110)。本实施例中,第一处理气体中包含 SF_6 气体。此外,第一处理气体

中,可以包含含卤化合物气体,即含有CF键或者SF键的气体。例如,第一处理气体中,可以包含CF₄或SF₆气体等。

[0088] 然后,利用在载置台2的流路2b内流动的制冷剂 and 向半导体晶片W的背面侧供给的热传导气体,将半导体晶片W控制在规定的处理温度(S111)。在步骤S111中,等离子体处理装置100将半导体晶片W的处理温度控制在常温(例如0℃以上、40℃以下的范围内的温度)。

[0089] 接着,从高频电源10a对喷头16施加规定频率(例如60MHz)的高频电力,从可变直流电源52对喷头16施加规定电压的负的直流电压。另外,从高频电源10b对载置台2施加规定频率(例如13MHz)的高频电力。由此,在作为上部电极的喷头16和作为下部电极的载置台2之间形成电场,在半导体晶片W的处理空间S内生成第一处理气体的等离子体(S112)。利用第一处理气体的等离子体,以光致抗蚀剂23作为掩模,对掩模膜22进行蚀刻。步骤S112为第一蚀刻步骤的一个例子。

[0090] 在利用第一处理气体进行的等离子体的掩模膜22的蚀刻被执行了规定时间后,停止来自气体供给源15的第一处理气体的供给,利用排气装置73的真空泵,将腔室1内的第一处理气体排气(S113)。然后,打开门阀G,将静电卡盘6上的半导体晶片W搬出到腔室1的外部(S105),本流程图所示的等离子体处理结束。在进行了本流程图所示的等离子体处理后,对半导体晶片W进行如下处理:以利用蚀刻而转印有光致抗蚀剂23的图案的掩模膜22作为掩模,对光致抗蚀剂23进行蚀刻。

[0091] 在此,在以光致抗蚀剂23作为掩模的掩模膜22的蚀刻中,使用第一处理气体。作为第一处理气体使用SF₆或者CF₄时,测定掩模膜22对光致抗蚀剂23的选择比,例如得到图9的结果。图9是表示处理温度和选择比的关系的一个例子的图。参照图9,使用SF₆作为第一处理气体时的选择比,成为了比使用CF₄时的选择比高的值。另外,使用SF₆作为第一处理气体的时的选择比与使用CF₄时的选择比的差,在常温区域(0℃~40℃)变得更大。

[0092] 在此,将第一处理气体所包含的元素与光致抗蚀剂23所包含的碳元素结合而产生的副生成物作为保护膜,在光致抗蚀剂23上堆积,由此改善掩模膜22对光致抗蚀剂23的选择比。C-S键的键能为272(kJ/mol),C-C键的键能为346(kJ/mol),C-S键以比C-C键少的能量键,而生成副生成物。因此,使用SF₆作为第一处理气体,容易生成副生成物,在光致抗蚀剂23上容易形成保护膜。因此,使用SF₆作为第一处理气体时的选择比,成为比使用CF₄时的选择比高的值。

[0093] 另外,本实施例中,掩模膜22为SiARC或者BARC和SiON的2重构造。因此,在掩模膜22中含有硅元素。而且,在对掩模膜22进行蚀刻的过程中,将第一处理气体中所含有的元素与掩模膜22中含有的硅结合而产生的副生成物作为保护膜而堆积在光致抗蚀剂23上。由此,也改善掩模膜22对光致抗蚀剂23的选择比。

[0094] 在此,Si-S键的键能为293(kJ/mol),Si-C键的键能为318(kJ/mol),Si-S键以比Si-C键少的能量键,生成副生成物。因此,使用SF₆作为第一处理气体,容易生成副生成物,在光致抗蚀剂23上容易形成保护膜。因此,使用SF₆作为第一处理气体时的选择比成为比使用CF₄时的选择比高的值。

[0095] 另外,使用SF₆作为第一处理气体或者CF₄时,等离子体中的F自由基(F*)和F离子(F⁺)的任一者均有助于掩模膜22的等离子体蚀刻。但是,与掩模膜22所包含的碳元素反应而生成的副生成物在掩模膜22的侧壁、底面形成保护膜。因此,通过等离子体蚀刻在掩模膜22

形成的槽的形状,由有助于下方向的蚀刻的F离子、有助于各向同性的蚀刻的F自由基与保护膜的相关关系决定。

[0096] 在此,S-F键的键能为284 (kJ/mol),C-F键的键能为485 (kJ/mol),因此,使用SF₆作为第一处理气体时的等离子体中的F自由基的绝对量,比使用CF₄作为第一处理气体时的等离子体中的F自由基的绝对量多。因此,使用SF₆作为第一处理气体时,比使用CF₄作为第一处理气体时,能够促进F自由基的各向同性的蚀刻。

[0097] 图10是表示氟的阿利纽斯作图法的一个例子的图。例如,如图10所示,对于氟的反应的速度常数k,处理温度变得越高,即1000/T (K) 的值变得越低,则反应的速度常数k的值变得越高,反应速度上升。另一方面,处理温度变得越低,即1000/T (K) 的值变得越高,则反应的速度常数k的值变得越低,反应速度降低。

[0098] 图11是表示处理温度和槽的截面形状的关系的一个例子的示意图。图11的 (a) 是表示在低温 (例如不到0℃) 的处理温度下进行蚀刻时形成于掩模膜22的槽的截面形状的一个例子。图11的 (b) 是表示在常温 (例如0℃以上、不到40℃) 的处理温度下进行蚀刻时形成于掩模膜22的槽的截面形状的一个例子。图11的 (c) 是表示在高温 (例如40℃以上) 的处理温度下进行蚀刻时形成于掩模膜22的槽的截面形状的一个例子。

[0099] 根据图10所示的阿利纽斯图,当处理温度为低温时,能够抑制F自由基的自发反应。因此,能够支配侧壁的保护膜的形成。由此,例如如图11的 (a) 所示,在掩模膜22形成的槽的侧壁成为锥形形状,并且由槽底部的保护膜闭塞而停止蚀刻。

[0100] 另一方面,当处理温度为高温时,根据图10所示的阿利纽斯图,能够促进F自由基的自发反应。因此,能够控制F自由基的各向同性的蚀刻。由此,例如如图11的 (c) 所示,在掩模膜22形成的槽的形状成为弓形 (Bowling) 形状。

[0101] 与此相反,当处理温度为常温时,在槽的侧壁形成的保护膜与F自由基的各向同性的蚀刻的平衡良好,因此,例如如图11的 (b) 所示,在掩模膜22形成的槽的侧壁为接近垂直的角度。

[0102] 图12是表示处理温度和锥形角度的关系的一个例子的图。参照图12,使用SF₆作为第一处理气体或者CF₄时,处理温度上升,因此槽的侧壁的角度增大。当使用SF₆作为第一处理气体时,在处理温度为大约0℃以上时,锥形角度为80度以上。另外,参照图12,使用SF₆作为第一处理气体时,由于锥形角度对处理温度的上升有上升的趋势,处理温度变为大约40℃时,锥形角度为90度。

[0103] 在此,形成于掩模膜22的槽的侧壁,优选80度以上、90度以下的范围内的角度。因此,在使用SF₆作为第一处理气体时,如果处理温度在0℃以上、40℃以下的范围内,则槽的侧壁的锥形角度为80度以上、90度以下的范围内的角度。因此,在蚀刻掩模膜22的第一蚀刻步骤中,在使用SF₆作为第一处理气体时,优选处理温度在0℃以上、40℃以下的范围内。

[0104] 此外,参照图12,即使在使用CF₄作为第一处理气体时,如果处理温度在20℃以上、40℃以下的范围内,则槽的侧壁的锥形角度为80度以上、90度以下的范围内的角度。因此,在对掩模膜22进行蚀刻的第一蚀刻步骤中,在使用CF₄作为第一处理气体时,优选处理温度在20℃以上、40℃以下的范围内。

[0105] 实施例3

[0106] 在实施例2中,在执行了使用改性气体的等离子体以改性半导体晶片W的光致抗蚀

剂23的改性步骤后,执行了将光致抗蚀剂23作为掩模对半导体晶片W的掩模膜22进行蚀刻的第一蚀刻步骤。本实施例中,在执行了实施例2所示的改性步骤和第一蚀刻步骤后,执行将在第一蚀刻步骤中被蚀刻的掩模膜22作为掩模对半导体晶片W的有机膜21进行蚀刻的第二蚀刻步骤。此外,在本实施例中,等离子体处理装置100的构成,与图1所示的实施例1中的等离子体处理装置100相同,因此省略详细的说明。

[0107] [等离子体处理]

[0108] 图13是表示实施例3中的等离子体处理方法的一个例子的流程图。此外,图13中,与图3或者图8以相同附图标记标注的处理,与图3或者图8中说明的处理相同,因此省略详细的说明。

[0109] 首先,在图1所示的等离子体处理装置100中,打开门阀G,半导体晶片W载置于在静电卡盘6上并被吸附保持于静电卡盘6上(S100)。然后,利用排气装置73的真空泵,将腔室1内排气至规定的真空度。

[0110] 接着,进行如图3所示的步骤S101~S104的处理。由此,将光致抗蚀剂23改性,能够降低光致抗蚀剂23的LWR和LER。接着,进行图8所示的步骤S110~S113的处理。由此,具有被降低了LWR和LER的光致抗蚀剂23的图案被转印到掩模22。

[0111] 接着,从气体供给源15以规定的流量将第二处理气体供给到腔室1内,将腔室1内维持在规定的压力(S120)。在本实施例中,第二处理气体为包含Ar气体和O₂气体的混合气体。此外,第二处理气体中也可以为包含稀有气体和含有氧原子的气体的混合气体。作为稀有气体,可以使用例如Ar气体等。另外,作为含有氧原子的气体,除了O₂气体之外,可以使用例如CO₂气体等。

[0112] 然后,利用在载置台2的流路2b内流动的制冷剂 and 向半导体晶片W的背面侧供给的热传导气体,将半导体晶片W控制在规定的处理温度(S121)。步骤S121中,等离子体处理装置100将半导体晶片W的处理温度控制在例如-20℃以下。优选地,步骤S121中,等离子体处理装置100将半导体晶片W的处理温度控制为-60℃以上、-20℃以下的范围内的温度。

[0113] 接着,从高频电源10a对喷头16施加规定频率(例如60MHz)的高频电力,从可变直流电源52对喷头16施加规定电压的负的直流电压。另外,从高频电源10b对载置台2施加规定频率(例如13MHz)的高频电力。由此,在作为上部电极的喷头16和作为下部电极的载置台2之间形成电场,在半导体晶片W上的处理空间S内生成第二处理气体的等离子体(S122)。利用第二处理气体的等离子体,将转印有光致抗蚀剂23的图案的掩模膜22作为掩模,对有机膜21进行蚀刻。步骤S122为第二蚀刻步骤的一个例子。

[0114] 在将第二处理气体的等离子体的有机膜21的蚀刻执行规定时间后,停止来自气体供给源15的第二处理气体的供给,利用排气装置73的真空泵,将腔室1内的第二处理气体排气(S123)。然后,打开门阀G,将静电卡盘6上的半导体晶片W搬出到腔室1的外部(S105),本流程图所示的等离子体处理结束。进行了本流程图所示的等离子体处理后,在半导体晶片W,将通过蚀刻转印了掩模膜22的图案的有机膜21作为掩模,对绝缘膜20进行蚀刻处理。

[0115] 在此,在将掩模膜22作为掩模的有机膜21的蚀刻中,使用第二处理气体。使用作为第二处理气体的Ar气体和O₂气体的混合气体时,例如如图14所示,半导体晶片W的处理温度变得越低,Top-BtmCD(顶部临界尺寸减去底部临界尺寸)的值变得越大。图14是表示处理温度和Top-BtmCD的关系的一个例子的图。在图14中,纵轴表示Top-BtmCD的值,横轴表示半导

体晶片W的处理温度。

[0116] 此外,Top-BtmCD表示从TopCD(顶部临界尺寸)减去BtmCD(底部临界尺寸)的值。TopCD为在有机膜21形成的槽的开口部的CD(Critical Dimension:临界尺寸),BtmCD为在有机膜21形成的槽的底部的CD。另外,如图14所示的“Dense”表示在有机膜21形成的槽的密度高的区域中的槽的Top-BtmCD,“Iso”表示在有机膜21形成的槽的密度低的区域中的槽的Top-BtmCD。

[0117] 另外,在Top-BtmCD的值比0大时,在有机膜21形成的槽的侧壁为锥形形状。另外,在Top-BtmCD的值比0小时,在有机膜21形成的槽的侧壁为弓形(Bowing)形状。另外,在Top-BtmCD的值为0时,在有机膜21形成的槽的侧壁大致垂直。

[0118] 参照图14,使用作为第二处理气体的Ar气体和O₂气体的混合气体时,半导体晶片W的处理温度变得越高,Top-BtmCD的值在负方向变大。即,半导体晶片W的处理温度变得越高,在有机膜21形成的槽成为弓形形状。另一方面,半导体晶片W的处理温度变得越低,Top-BtmCD的值接近0。即,半导体晶片W的处理温度变得越低,能够抑制在有机膜21形成的槽成为弓形形状。

[0119] 另外,参照图14,使用Ar气体和O₂气体的混合气体作为第二处理气体时,半导体晶片W的处理温度变得越低,Top-BtmCD的值越接近0。即,半导体晶片W的处理温度变得越低,越能够抑制在有机膜21形成的槽成的Bowing形状。因此,即使使用Ar气体和O₂气体的混合气体作为第二处理气体的时,通过将半导体晶片W的处理温度设定得较低,也能够抑制在有机膜21形成的槽的弓形形状。

[0120] 图15是表示O₂气体的阿利纽斯作图法的一个例子的图。例如,如图15所示,处理温度变高,即 $1000/T$ (K)的值变低时,0自由基等的反应的速度常数k的值变高,反应速度上升。即,处理温度变得越高,有助于各向同性的蚀刻的0自由基的反应速度上升,能够促进在有机膜21形成的槽的侧壁的自发反应,槽成为弓形形状。

[0121] 另一方面,如图15所示,处理温度变低,即 $1000/T$ (K)的值变高,0自由基等的反应的速度常数k的值变低,反应速度降低。即,处理温度变得越低,有助于各向同性的蚀刻的0自由基的反应速度降低,能够抑制在有机膜21形成的槽的侧壁的自发反应,能够抑制槽的弓形形状。因此,在将掩模膜22作为掩模的有机膜21的蚀刻中,通过将半导体晶片W的处理温度设定得较低,能够抑制在有机膜21形成的槽的弓形形状。

[0122] 另外,参照图14,半导体薄膜W的处理温度为大约-20℃以下时,在任意条件下Top-BtmCD的值为-2.0nm以上,能够充分地抑制槽的弓形形状。因此,在将掩模膜22作为掩模的有机膜21的蚀刻中,使用Ar气体和O₂气体的混合气体作为第二处理气体时,或者使用Ar气体和CO₂气体的混合气体时,优选将半导体晶片W的处理温度设定在-20℃以下。

[0123] 另外,参照图14,半导体晶片W的处理温度为大约-60℃以下时,使用Ar气体和O₂气体的混合气体作为第二处理气体时的“Iso”中的Top-BtmCD的值为+2.0nm以上。Top-BtmCD的值在正方向过度增大时,在有机膜21形成的槽的侧壁能够成为锥形形状,并且底部闭塞而停止蚀刻。因此,在将掩模膜22作为掩模的有机膜21的蚀刻中,使用Ar气体和O₂气体的混合气体作为第二处理气体时,或者使用Ar气体和CO₂气体的混合气体时,优选将半导体晶片W的处理温度设定在-60℃以上、-20℃以下。

[0124] 另外,在使用Ar气体和O₂气体的混合气体作为第二处理气体时,有机膜21对掩模

膜22的选择比与处理温度的关系例如为图16那样。图16是表示处理温度和选择比的关系的一个例子的图。在图16中,使用SiARC作为掩模膜22。例如如图16所示,掩模膜22的蚀刻率对半导体晶片W的处理温度基本没有依赖性,但是半导体晶片W的处理温度变得越低,有机膜21的蚀刻率变得越高。因此,半导体晶片W的处理温度变得越低,有机膜21对掩模膜22的选择比变得越高。因此,将掩模膜22作为掩模的有机膜21的蚀刻中,通过将半导体晶片W的处理温度设定得较低,能够以高选择比进行有机膜21的蚀刻。

[0125] 实施例4

[0126] 在实施例3中,在同一等离子体处理装置100中执行了改性步骤、第一蚀刻步骤和第二蚀刻步骤。对此,在本实施例中,在第一等离子体处理装置100中执行改性步骤和第二蚀刻步骤、并在第二等离子体处理装置100中执行第一蚀刻步骤这一点与实施例3不同。此外,在本实施例中,第一等离子体处理装置100和第二等离子体处理装置100的结构与图1所示的实施例1中的等离子体处理装置100相同,因此省略详细的说明。

[0127] [等离子体处理]

[0128] 图17是表示实施例4的等离子体处理方法的一个例子的流程图。首先,在第一等离子体处理装置100中,打开门阀G,通过搬运机器人等将半导体晶片W从开口部74搬入到腔室1内,并载置于静电卡盘6上(S200)。然后,关闭门阀G,半导体晶片W被静电卡盘6吸附保持。然后,利用排气装置73的真空泵将腔室1内排气至规定真空度。

[0129] 在第一等离子体处理装置100的腔室1内达到规定的真空度后,从气体供给源15以规定的流量将改性气体供给到腔室1内,将腔室1内维持在规定的压力(S201)。在本实施例中,改性气体为含氢的气体。具体而言,改性气体例如包含Ar气体和H₂气体。此外,改性气体也可以为H₂气体、卤化氢气体,或者含有稀有气体和H₂气体或者卤化氢气体的混合气体。然后,利用在载置台2的流路2b内流动的制冷剂 and 向半导体晶片W的背面侧供给的热传导气体,将半导体晶片W控制在规定的处理温度(S202)。在步骤S202中,等离子体处理装置100将半导体晶片W的处理温度控制在例如-20℃以下。优选在步骤S202中,等离子体处理装置100将半导体晶片W的处理温度控制为-60℃以上、-20℃以下的范围内的温度。

[0130] 接着,对喷头16施加规定频率的高频电力和规定电压的负的直流电压,并且对载置台2施加规定频率的高频电力。由此,在作为上部电极的喷头16和作为下部电极的载置台2之间形成电场,在半导体晶片W的处理空间S内生成改性气体的等离子体(S203)。步骤S203为改性步骤的一个例子。利用改性气体的等离子体,改性半导体晶片W的光致抗蚀剂23的表面,能够改善LWR和LER。

[0131] 对于半导体晶片W,进行了规定时间的利用改性气体的等离子体的处理后,停止来自气体供给源15的改性气体的供给,通过排气装置73的真空泵将腔室1内的改性气体排气(S204)。然后,在第一等离子体处理装置100中,打开门阀G,通过搬运机器人等,将静电卡盘6上的半导体晶片W从腔室1搬出(S205)。

[0132] 接着,在第二等离子体处理装置100中,打开门阀G,通过搬运机器人等,将步骤S205中从第一等离子体处理装置100搬出的半导体晶片W,搬入第二等离子体处理装置100的腔室1内,并且载置于静电卡盘6上(S300)。然后,关闭门阀,半导体晶片W被静电卡盘6吸附保持。然后,利用排气装置73的真空泵,将腔室1内排气至规定的真空度。

[0133] 在第二等离子体处理装置100的腔室1内达到规定的真空度后,从气体供给源15以

规定的流量将第一处理气体供给到腔室1内,将腔室1内维持在规定的压力(S301)。在本实施例中,第一处理气体中包含 SF_6 气体。此外,第一处理气体也可以包含含卤化合物气体,即含有CF键或者SF键的气体。然后,利用在载置台2的流路2b内流动的制冷剂 and 向半导体晶片W的背面侧供给的热传导气体,将半导体晶片W控制在规定的处理温度(S302)。在步骤S302中,等离子体处理装置100将半导体晶片W的处理温度控制在常温(例如 0°C 以上、 40°C 以下的范围内的温度)。

[0134] 接着,对喷头16施加规定频率的高频电力和规定电压的负的直流电压,并且对载置台2施加规定频率的高频电力。由此,在作为上部电极的喷头16和作为下部电极的载置台2之间形成电场,并在半导体晶片W的处理空间S内生成第一处理气体的等离子体(S303)。利用第一处理气体的等离子体,将光致抗蚀剂23作为掩模,对掩模膜22进行蚀刻。步骤S303为第一蚀刻步骤的一个例子。

[0135] 在将第一处理气体的等离子体的掩模膜22的蚀刻执行规定时间后,停止来自气体供给源15的第一处理气体的供给,利用排气装置73的真空泵,将腔室1内的第一处理气体排气(S304)。然后,在第二等离子体处理装置100中,打开门阀G,将静电卡盘6上的半导体晶片W从腔室1外部搬出(S305)。

[0136] 接着,在第一等离子体处理装置100中,打开门阀G,通过搬运机器人等,将步骤S305中从第二等离子体处理装置100搬出的半导体晶片W搬入到第一等离子体处理装置100的腔室1内,并且载置于静电卡盘6上(S206)。然后,关闭门阀,半导体晶片W被静电卡盘6吸附保持。然后,利用排气装置73的真空泵,将腔室1内排气至规定的真空度。

[0137] 在第一等离子体处理装置100的腔室1内达到规定的真空度后,从气体供给源15以规定的流量将改性气体供给到腔室1内,将腔室1内维持在规定的压力(S207)。在本实施例中,第二处理气体为包含Ar气体和 O_2 气体的混合气体。此外,第二处理气体也可以是稀有气体和含有氧原子的气体的混合气体。然后,利用在载置台2的流路2b内流动的制冷剂和向半导体晶片W的背面侧供给的热传导气体,将半导体晶片W控制在规定的处理温度(S208)。在步骤S208中,等离子体处理装置100将半导体晶片W的处理温度控制在例如 -20°C 以下。优选在步骤S208中,等离子体处理装置100将半导体晶片W的处理温度控制为 -60°C 以上、 -20°C 以下的范围内的温度。

[0138] 接着,对喷头16施加规定频率的高频电力和规定电压的负的直流电压,并且对载置台2施加规定频率的高频电力。由此,在作为上部电极的喷头16和作为下部电极的载置台2之间形成电场,在半导体晶片W上的处理空间S内生成第二处理气体的等离子体(S209)。利用第二处理气体的等离子体,将掩模膜22作为掩模,对有机膜21进行蚀刻。步骤S209为第二蚀刻步骤的一个例子。

[0139] 在将第二处理气体的等离子体的有机膜21的蚀刻执行了规定时间后,停止来自气体供给源15的第二处理气体的供给,利用排气装置73的真空泵,将腔室1内的第二处理气体排气(S210)。然后,在第一等离子体处理装置100中,打开门阀G,将静电卡盘6上的半导体晶片W搬出到腔室1外部(S211)。本流程图所示的等离子体处理结束。在进行本流程图所示的等离子体处理后,在半导体晶片W,将通过蚀刻而转印有掩模膜22的图案的有机膜21作为掩模,对绝缘膜20进行蚀刻处理。

[0140] 在本实施例中,第一等离子体处理装置100执行改性步骤(步骤S203)和第二蚀刻

步骤(步骤S209),第二等离子体处理装置100执行第一蚀刻步骤。然后,第一等离子体处理装置100在改性步骤和第二蚀刻步骤中,将半导体晶片W的处理温度控制在例如-20℃以下,第二等离子体处理装置100在第一蚀刻步骤中,将半导体晶片W的处理温度控制为例如常温。

[0141] 在此,在一个等离子体处理装置100中连续地处理改性步骤和第一蚀刻步骤时,在-20℃以下的处理温度下进行了改性步骤后,在第一蚀刻步骤开始前,至半导体晶片W和腔室1内的各部分达到常温为止需要待机。另外,在一个等离子体处理装置100中连续地处理第一蚀刻步骤和第二蚀刻步骤时,在常温下进行了第一蚀刻步骤后,在开始第二蚀刻步骤前,至半导体晶片W和腔室1内的各部分达到-20℃以下为止需要待机。

[0142] 对此,在本实施例中,在-20℃以下进行的改性步骤和第二蚀刻步骤由第一等离子体处理装置100执行,在常温下进行的第一蚀刻步骤由第二等离子体处理装置100执行。因此,各等离子体处理装置100内保持在规定的温度,能够进行各自的处理。因此,能够削减等离子体处理装置100的腔室1内的各部达到规定的温度的待机时间。另外,对于多个半导体晶片W,能够提高改性步骤、第一蚀刻步骤和第二蚀刻步骤连续地进行时的产量。

[0143] 此外,在图17所示的等离子体处理中,在第一等离子体处理装置100进行步骤S200~S205所示的处理期间,第二等离子体处理装置100可以先进行步骤S302所示的处理。由此,能够更加迅速地开始第一蚀刻步骤。

[0144] 以上,使用实施方式对本发明进行了说明,但是本发明的技术反应不限于上述实施方式所记载的范围。本领域技术人员明了在上述实施方式中能够增加改变或者改良。另外,这样增加了改变或者改良的方式也能够被包含于本发明的技术范围内,这一点从专利申请的范围的记载中可知。

[0145] 附图标记说明

[0146] W 半导体晶片

[0147] 100 等离子体处理装置

[0148] 1 腔室

[0149] 2 载置台

[0150] 16 喷头

[0151] 20 绝缘膜

[0152] 21 有机膜

[0153] 22 掩模膜

[0154] 23 光致抗蚀剂。

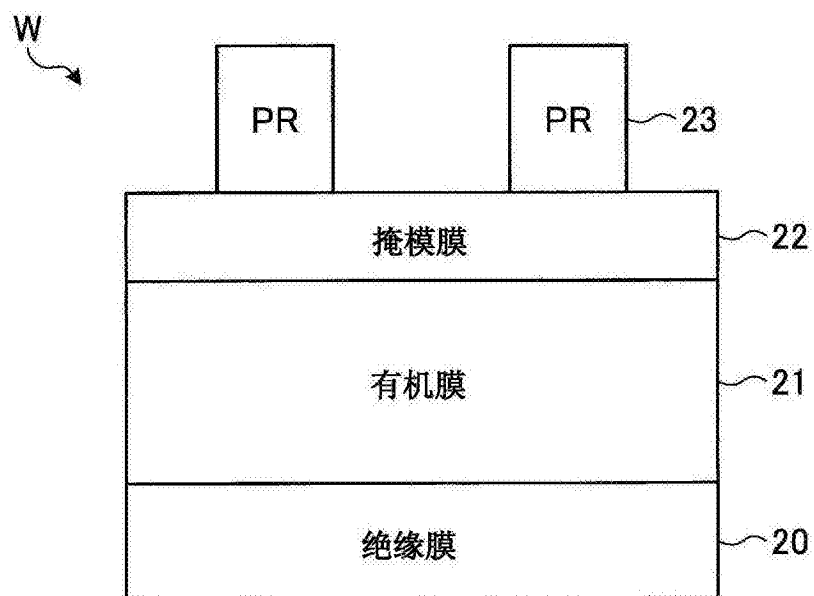


图2

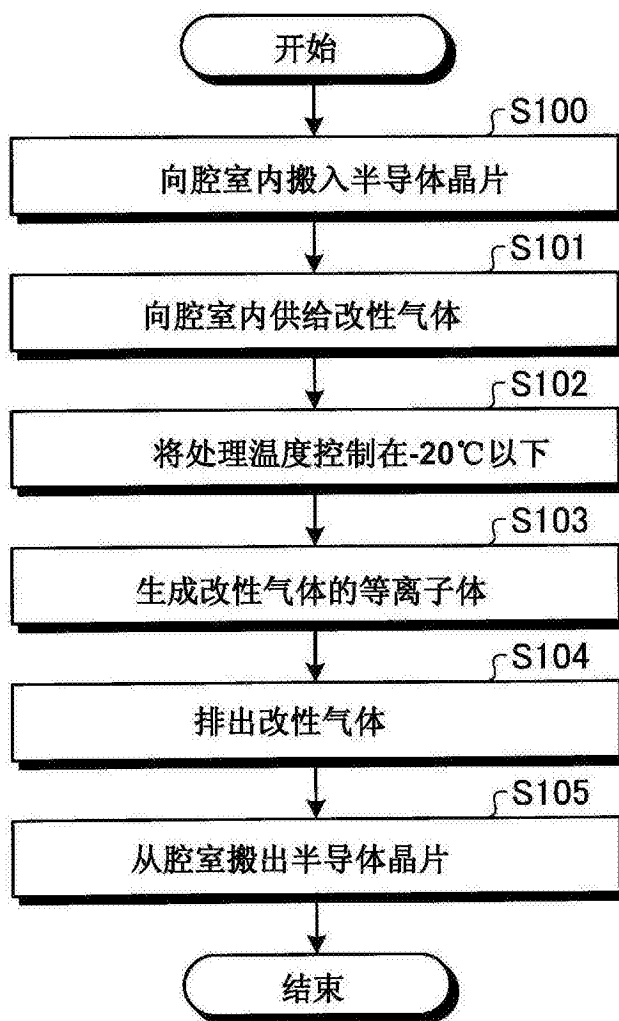


图3

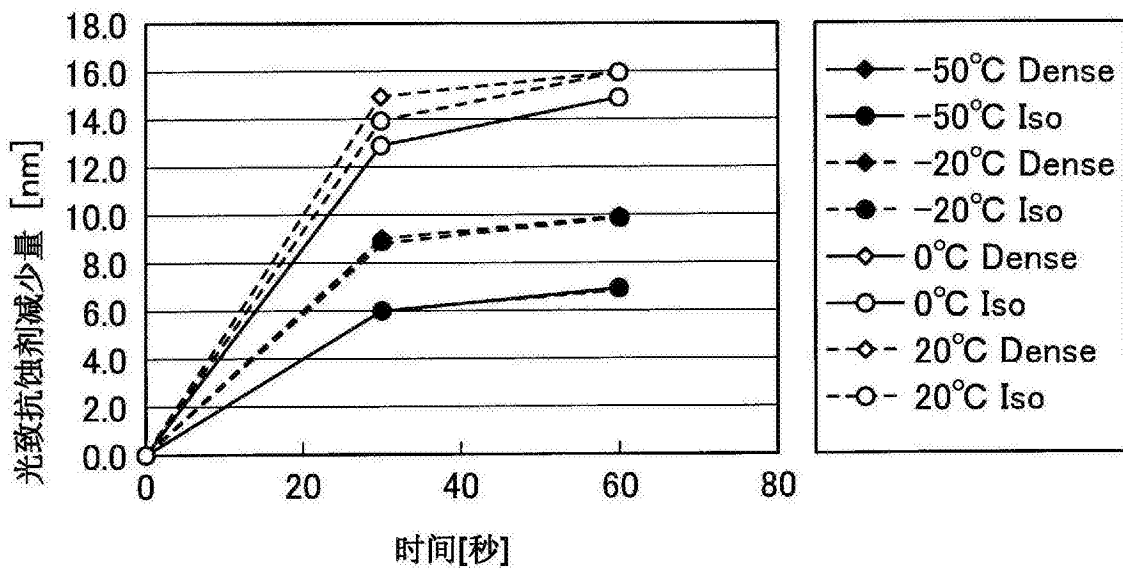


图4

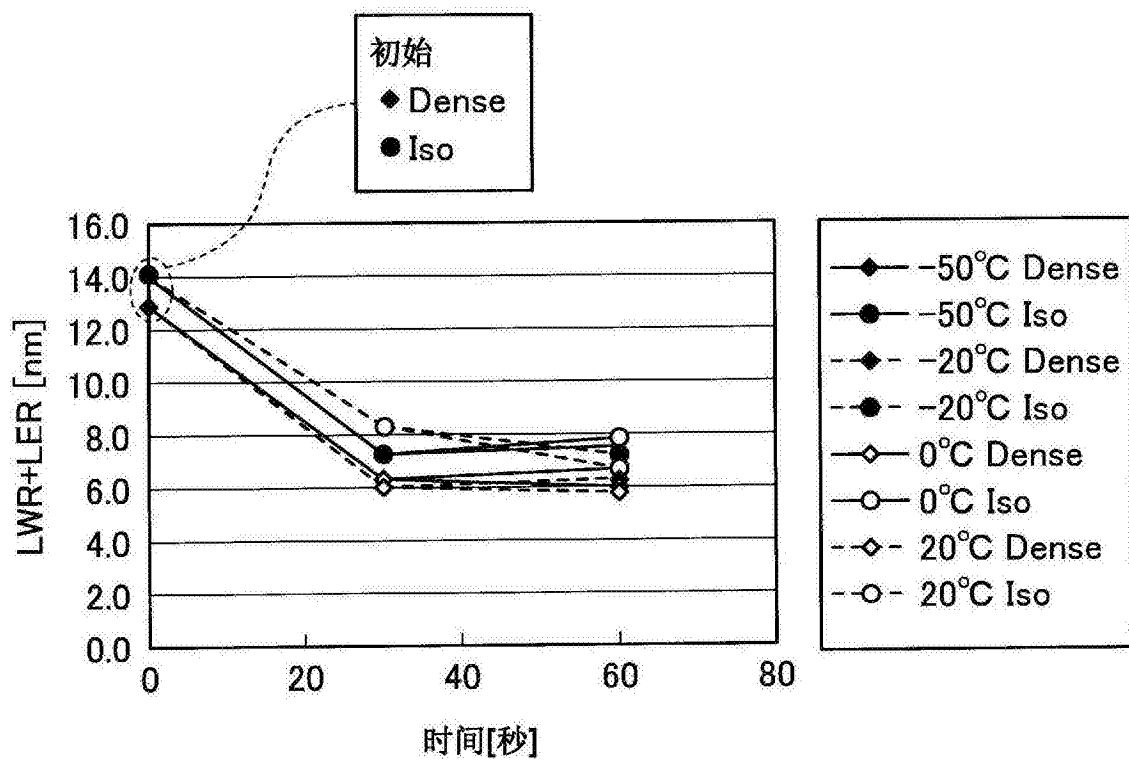


图5

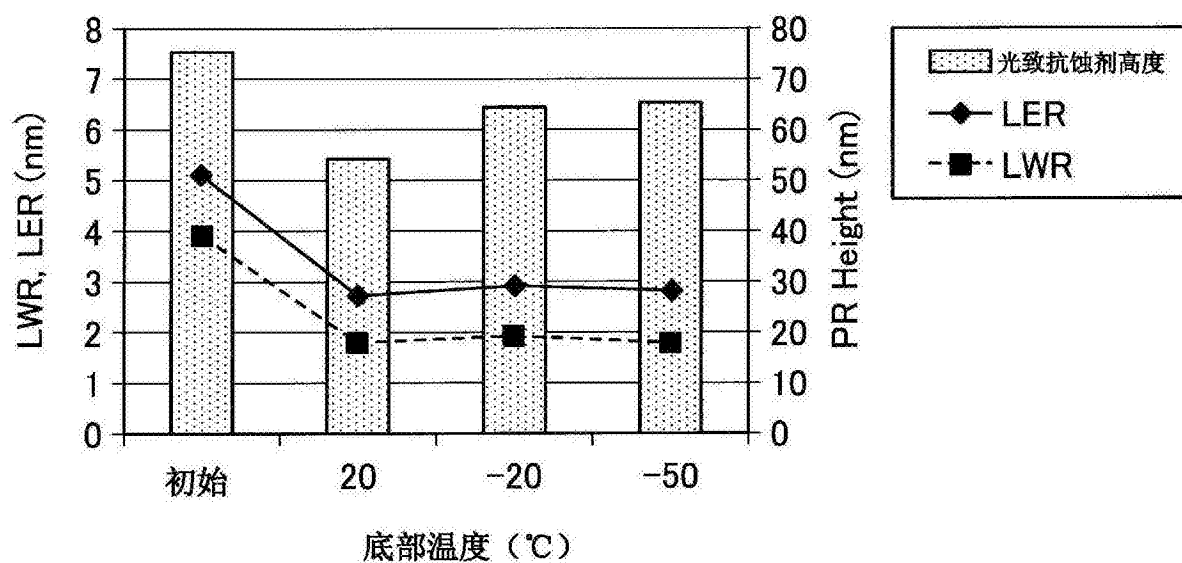


图6

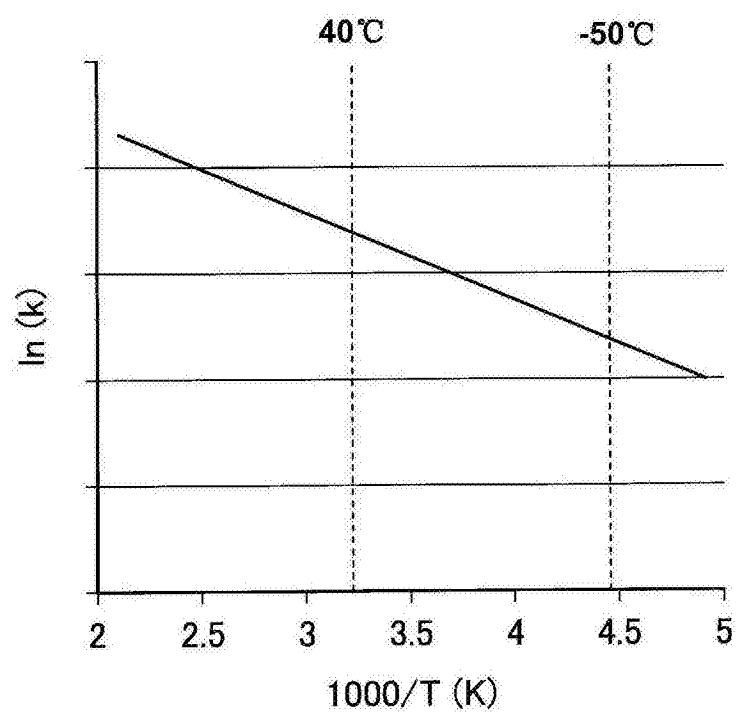


图7

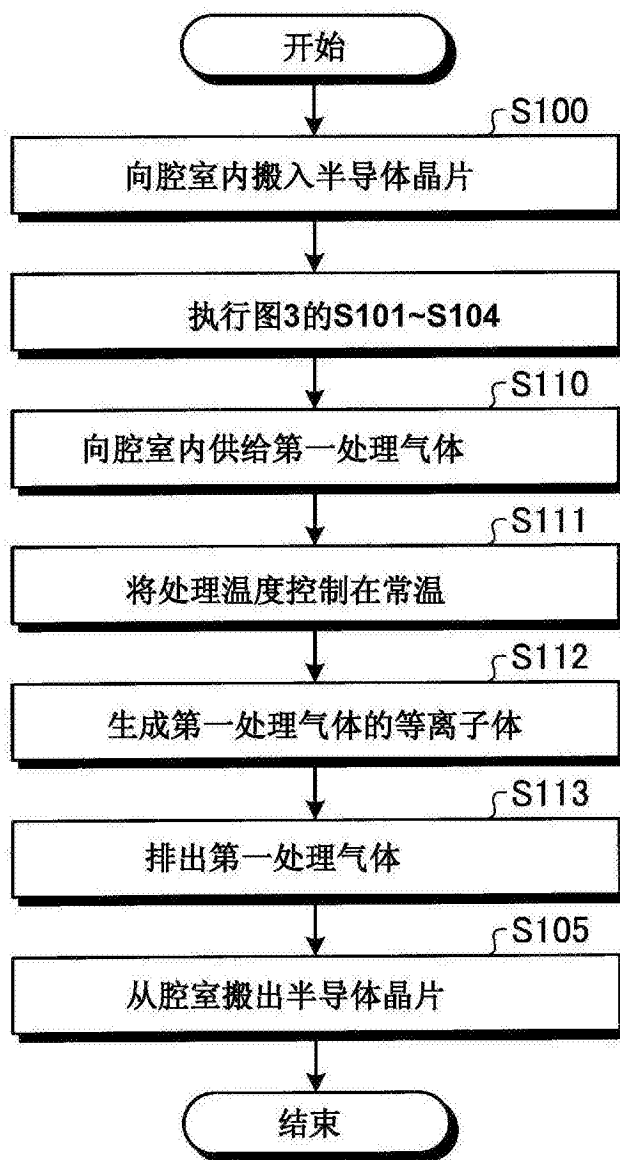


图8

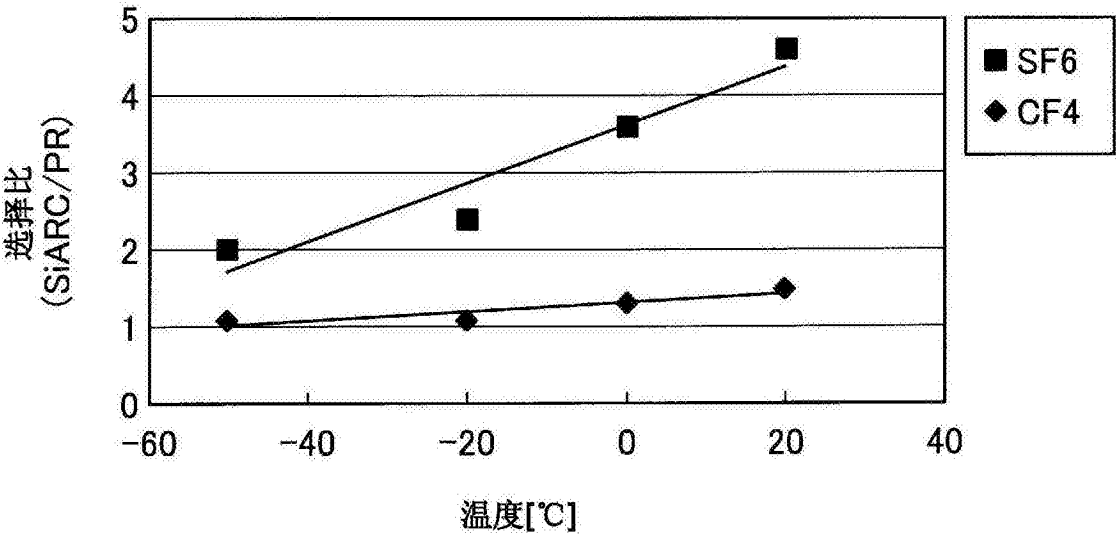


图9

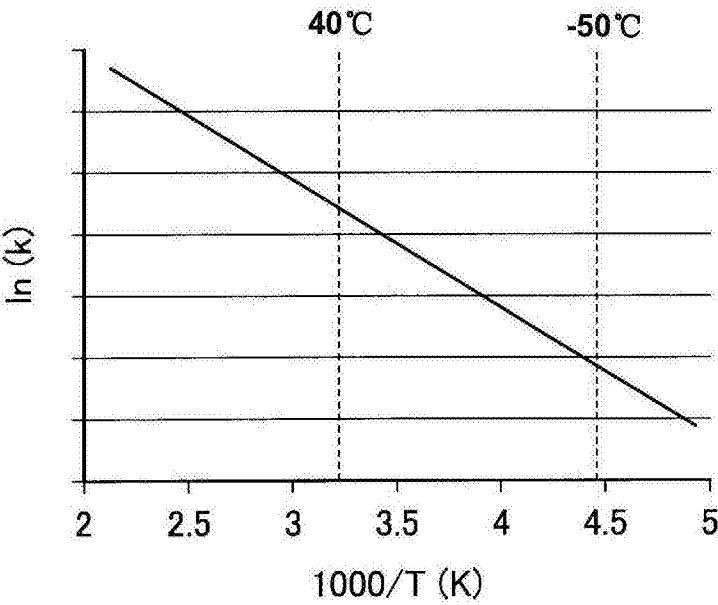


图10

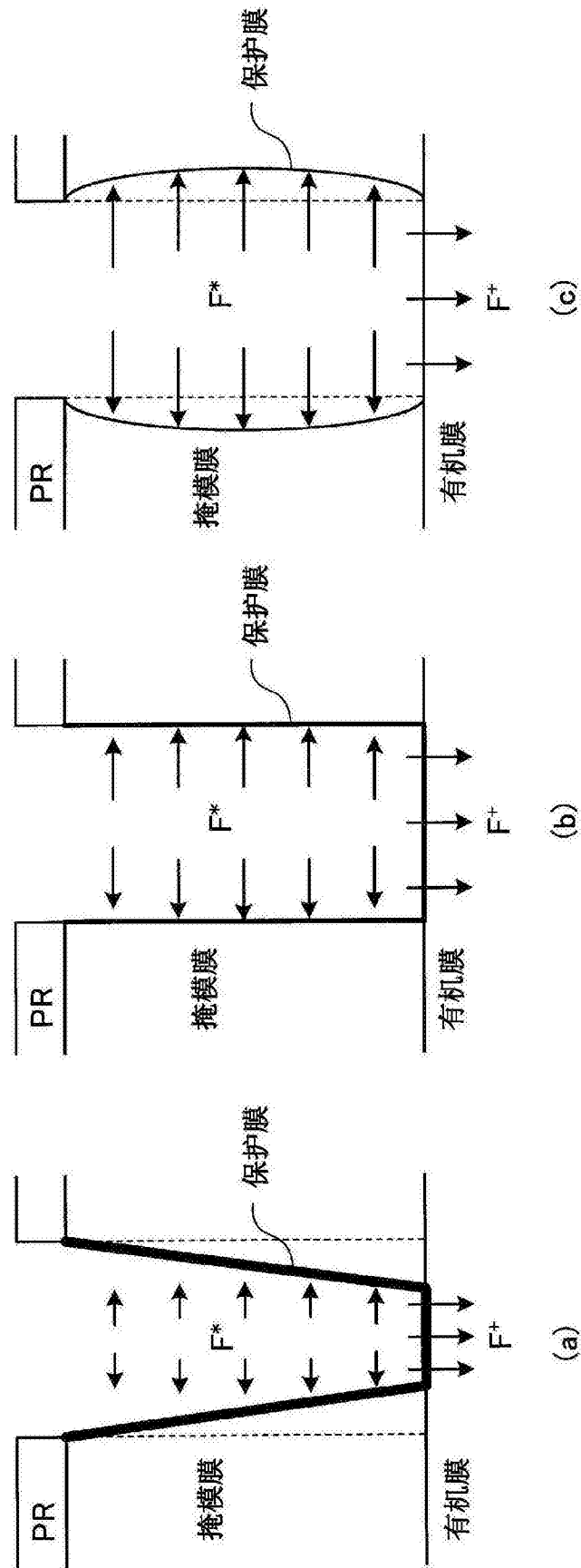


图11

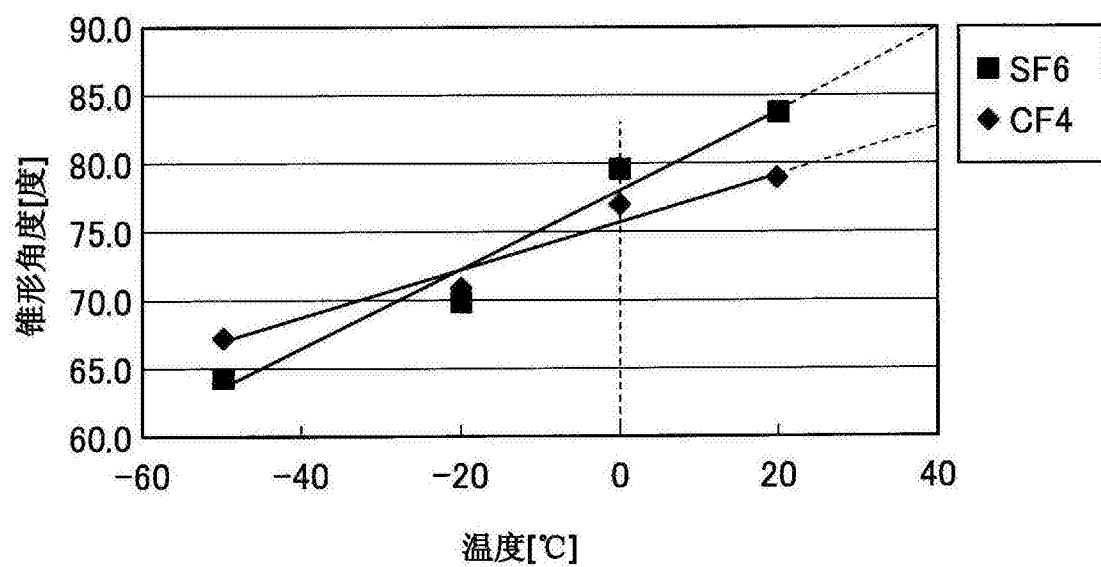


图12

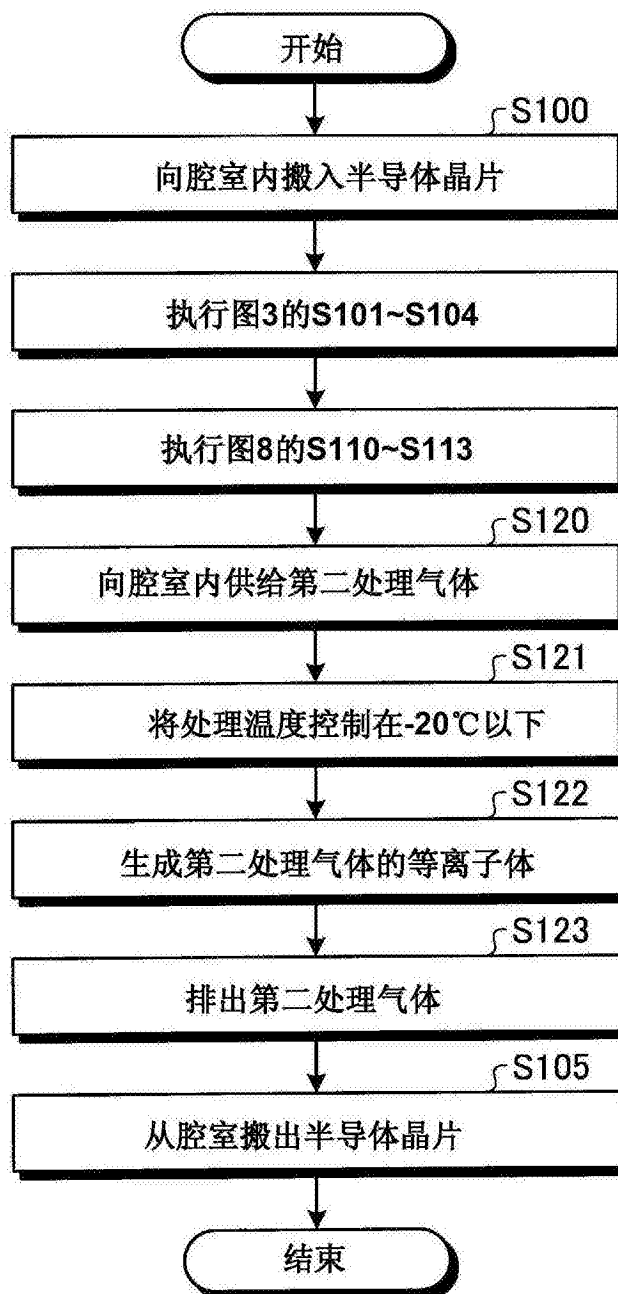


图13

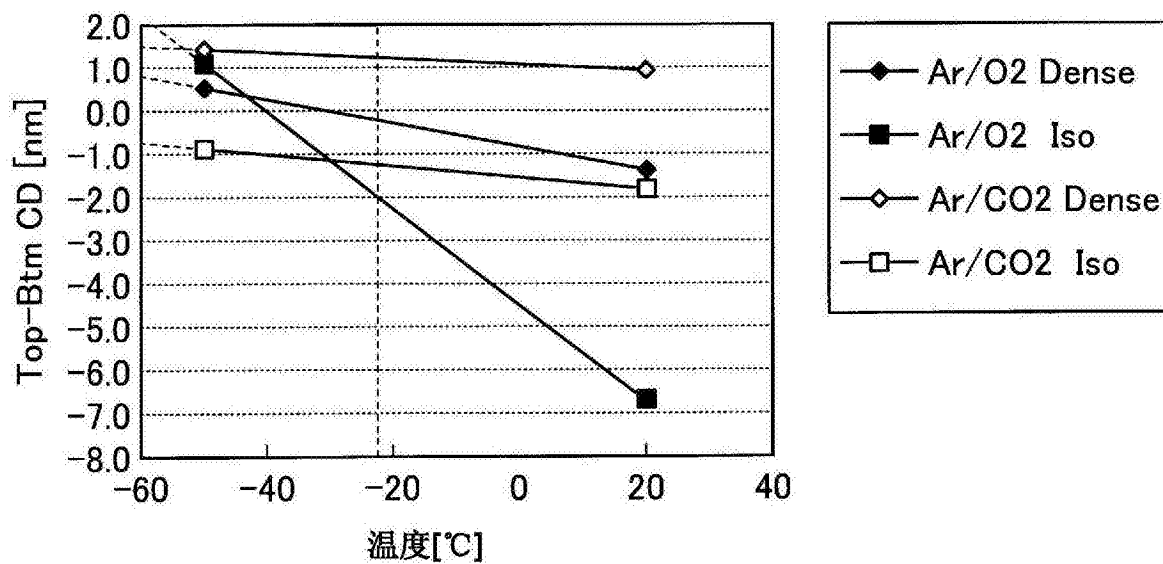


图14

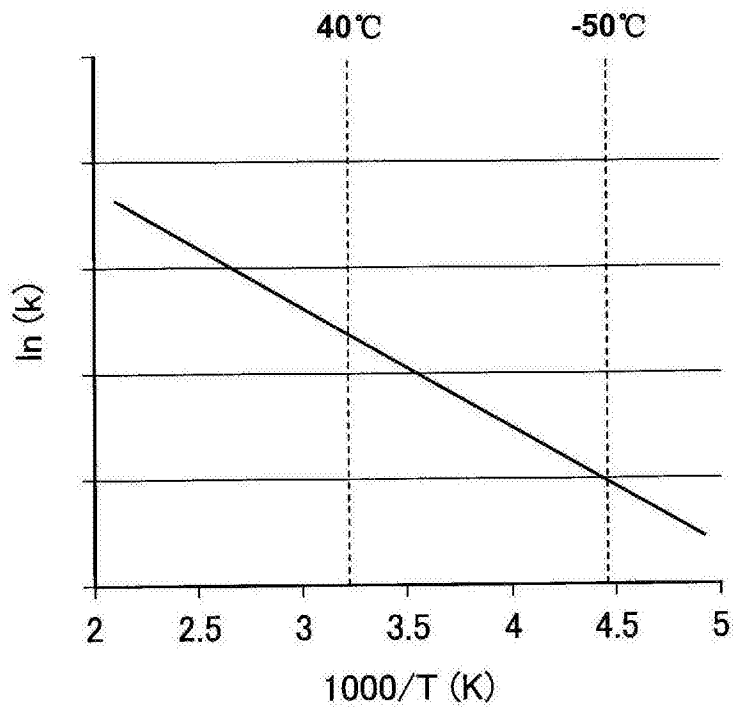


图15

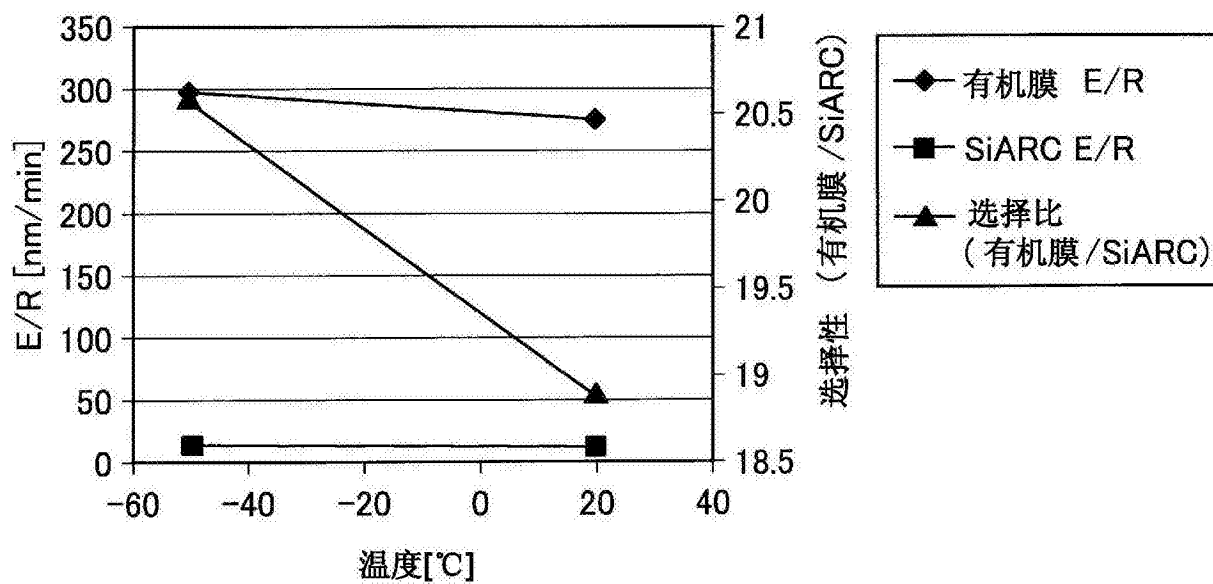


图16

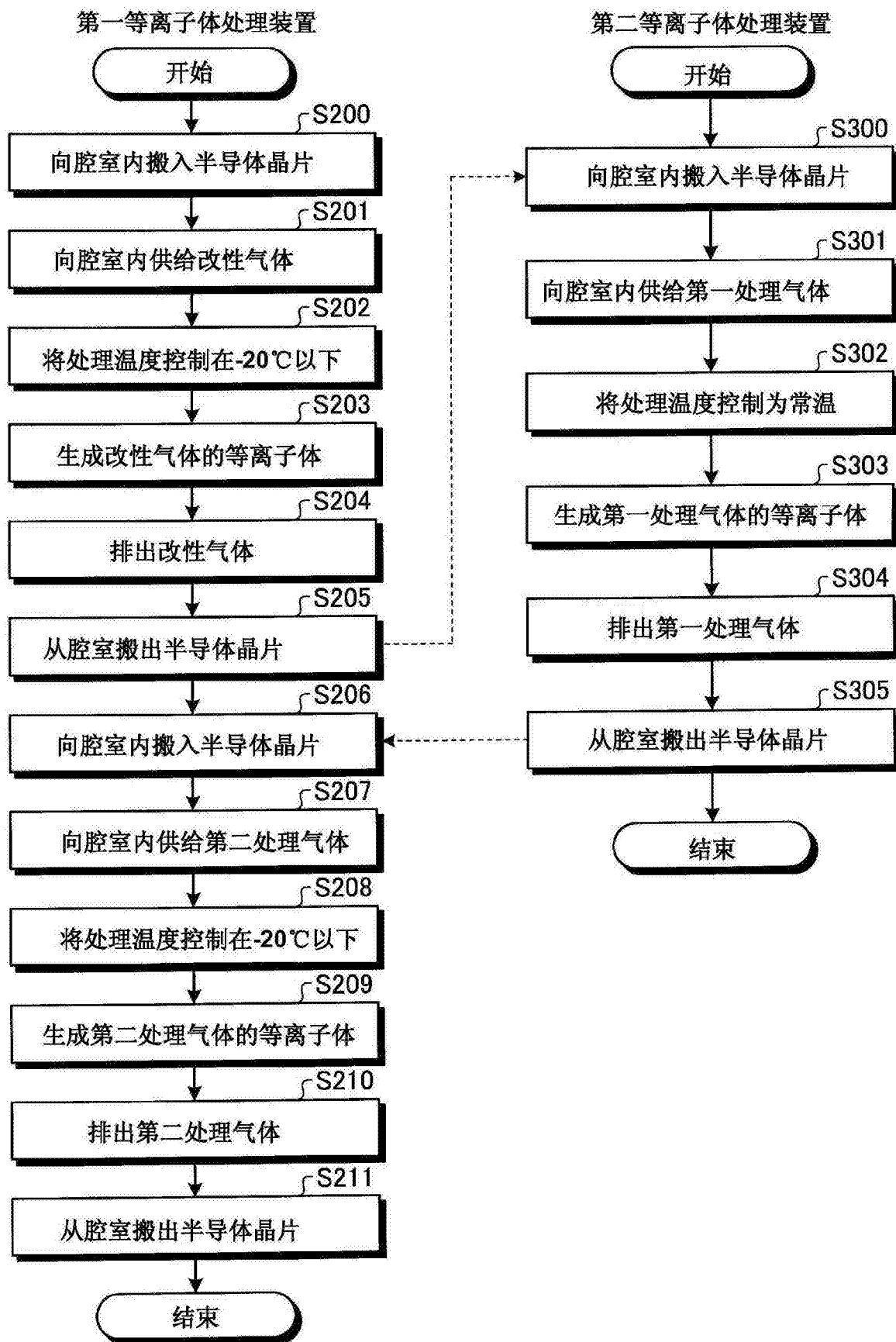


图17