



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년10월26일
(11) 등록번호 10-1669603
(24) 등록일자 2016년10월20일

(51) 국제특허분류(Int. Cl.)
H01L 21/322 (2006.01) C23C 14/48 (2006.01)
C30B 23/02 (2006.01) H01L 21/02 (2006.01)
H01L 21/265 (2006.01) H01L 27/146 (2006.01)
(52) CPC특허분류
H01L 21/322 (2013.01)
C23C 14/48 (2013.01)
(21) 출원번호 10-2015-7013183
(22) 출원일자(국제) 2013년11월11일
심사청구일자 2015년05월19일
(85) 번역문제출일자 2015년05월19일
(65) 공개번호 10-2015-0066597
(43) 공개일자 2015년06월16일
(86) 국제출원번호 PCT/JP2013/006610
(87) 국제공개번호 WO 2014/076921
국제공개일자 2014년05월22일
(30) 우선권주장
JP-P-2012-249731 2012년11월13일 일본(JP)
(56) 선행기술조사문헌
JP2010040864 A*
JP2009540531 A*
JP2006193800 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 사무코
일본국 도쿄도 미나토쿠 시바우라 1초메 2반 1고
(72) 발명자
카도노, 타케시
일본 1058634 도쿄도 미나토쿠 시바우라 1초메 2반 1고 가부시키가이샤 사무코 (내)
쿠리타, 카즈나리
일본 1058634 도쿄도 미나토쿠 시바우라 1초메 2반 1고 가부시키가이샤 사무코 (내)
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 14 항

심사관 : 김진우

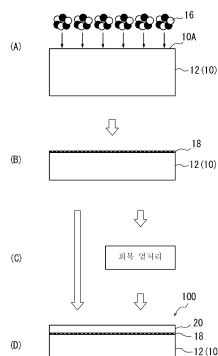
(54) 발명의 명칭 반도체 에피텍셀 웨이퍼의 제조 방법, 반도체 에피텍셀 웨이퍼, 및 고체 촬상 소자의 제조 방법

(57) 요약

본 발명은, 보다 높은 게터링 능력을 발휘함으로써, 금속 오염을 억제할 수 있는 반도체 에피텍셀 웨이퍼를 제조하는 방법을 제공한다. 본 발명의 반도체 에피텍셀 웨이퍼의 제조 방법은, 반도체 웨이퍼(10)의 표면(10A)에 클러스터 이온(Cluster Ions; 16)을 조사하여, 반도체 웨이퍼의 표면(10A)에, 클러스터 이온(16)의 구성 원소인 탄

(뒷면에 계속)

대표도 - 도1



소 및 도펀트 원소가 고용(固溶)된 개질층(18)을 형성하는 제 1 공정과, 반도체 웨이퍼의 개질층(18) 상에, 상기 개질층(18)에 있어서의 도펀트 원소의 피크 농도보다 도펀트 원소의 농도가 낮은 에피텍셜층(20)을 형성하는 제 2 공정을 가지는 것을 특징으로 한다.

(52) CPC특허분류

C30B 23/02 (2013.01)

H01L 21/02381 (2013.01)

H01L 21/02439 (2013.01)

H01L 21/02532 (2013.01)

H01L 21/02576 (2013.01)

H01L 21/02579 (2013.01)

H01L 21/02658 (2013.01)

H01L 21/265 (2013.01)

H01L 27/14689 (2013.01)

명세서

청구범위

청구항 1

반도체 웨이퍼의 표면에 클러스터 이온을 조사하여, 상기 반도체 웨이퍼 표면에, 상기 클러스터 이온의 구성 원소인 탄소 및 도펀트 원소가 고용된 개질층을 형성하는 제 1 공정과,

상기 반도체 웨이퍼의 개질층 상에, 상기 개질층에 있어서의 상기 도펀트 원소의 피크 농도보다 도펀트 원소의 농도가 낮은 에피텍셜층을 형성하는 제 2 공정을 가지며,

상기 제 2 공정 후의 개질층에 있어서의 상기 탄소의 농도 프로파일의 반치폭(半値幅) 및 상기 도펀트 원소의 농도 프로파일의 반치폭이 모두 100nm 이하인 반도체 에피텍셜 웨이퍼를 얻는 것을 특징으로 하는 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 2

제 1항에 있어서,

상기 클러스터 이온이, 상기 탄소 및 상기 도펀트 원소를 모두 포함하는 화합물을 이온화하여 이루어지는 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 도펀트 원소가, 붕소, 인, 비소 및 안티몬으로 이루어진 군(群)으로부터 선택된 1 또는 2 이상의 원소인 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 반도체 웨이퍼가, 실리콘 웨이퍼인 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 반도체 웨이퍼가, 실리콘 웨이퍼의 표면에 실리콘 에피텍셜층이 형성된 에피텍셜 실리콘 웨이퍼이며, 상기 제 1 공정에 있어서 상기 개질층은 상기 실리콘 에피텍셜층의 표면에 형성되는 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 6

제 1항 또는 제 2항에 있어서,

상기 제 1 공정의 다음, 상기 제 2 공정의 전에 상기 반도체 웨이퍼에 대해 결정성 회복을 위한 열처리를 행하는 공정을 더 가지는 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 7

반도체 웨이퍼와, 상기 반도체 웨이퍼의 표면에 형성된, 상기 반도체 웨이퍼 중에 탄소 및 도펀트 원소가 고용되어 이루어지는 개질층과, 상기 개질층 상의 에피텍셜층을 가지며,

상기 개질층에 있어서의, 상기 탄소의 농도 프로파일의 반치폭(半値幅) 및 상기 도펀트 원소의 농도 프로파일의 반치폭이 모두 100nm 이하이며,

상기 에피텍셜층에 있어서의 도펀트 원소의 농도가, 상기 개질층에 있어서의 상기 도펀트 원소의 피크 농도보다

낮은 것을 특징으로 하는 반도체 에피텍셀 웨이퍼.

청구항 8

제 7항에 있어서,

상기 도펀트 원소가, 붕소, 인, 비소 및 안티몬으로 이루어진 군으로부터 선택된 1 또는 2 이상의 원소인 반도체 에피텍셀 웨이퍼.

청구항 9

제 7항 또는 제 8항에 있어서,

상기 반도체 웨이퍼가, 실리콘 웨이퍼인 반도체 에피텍셀 웨이퍼.

청구항 10

제 7항 또는 제 8항에 있어서,

상기 반도체 웨이퍼가, 실리콘 웨이퍼의 표면에 실리콘 에피텍셀층이 형성된 에피텍셀 실리콘 웨이퍼이며, 상기 개질층은 상기 실리콘 에피텍셀층의 표면에 위치하는 반도체 에피텍셀 웨이퍼.

청구항 11

제 7항 또는 제 8항에 있어서,

상기 반도체 웨이퍼의 표면으로부터의 깊이가 150nm 이하인 범위 내에, 상기 개질층에 있어서의 상기 탄소 및 상기 도펀트 원소의 농도 프로파일의 피크가 위치하는 반도체 에피텍셀 웨이퍼.

청구항 12

제 7항 또는 제 8항에 있어서,

상기 개질층에 있어서의 상기 탄소의 농도 프로파일의 피크 농도가, $1 \times 10^{15} \text{ atoms/cm}^3$ 이상인 반도체 에피텍셀 웨이퍼.

청구항 13

제 7항 또는 제 8항에 있어서,

상기 개질층에 있어서의 상기 도펀트 원소의 농도 프로파일의 피크 농도가, $1 \times 10^{15} \text{ atoms/cm}^3$ 이상인 반도체 에피텍셀 웨이퍼.

청구항 14

제 7항 또는 제 8항에 기재된 에피텍셀 웨이퍼의, 표면에 위치하는 에피텍셀층에 배치하여 형성된 것을 특징으로 하는 고체 촬상 소자.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 에피텍셀 웨이퍼의 제조 방법, 반도체 에피텍셀 웨이퍼, 및 고체 촬상 소자의 제조 방법에 관한 것이다. 본 발명은 특히, 보다 높은 게터링 능력을 발휘함으로써 금속 오염을 억제할 수 있는 반도체 에피텍셀 웨이퍼를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 반도체 디바이스의 특성을 열화(劣化)시키는 요인으로서, 금속 오염을 들 수 있다. 예컨대, 이면조사형(裏面照射型) 고체 촬상 소자에서는, 상기 소자의 기판이 되는 반도체 에피텍셀 웨이퍼에 혼입(混入)된 금속은, 고체 촬상 소자의 암전류(暗電流)를 증가시키는 요인이 되어, 화이트 스팟(white spot)이라 불리는 결함을 발생시킨

다. 이면조사형 고체 촬상 소자는, 배선층 등을 센서부보다 하층에 배치함으로써, 외부로부터의 광을 센서에 직접 받아들여, 암소(暗所) 등에서도 보다 선명한 화상이나 동영상을 촬영할 수 있기 때문에, 최근, 디지털 비디오 카메라나 스마트폰 등의 휴대전화에 널리 이용되고 있다. 이 때문에, 화이트 스팟 결함을 최대한 줄일 것이 요망되고 있다.

[0003] 웨이퍼에 대한 금속의 혼입은, 주로 반도체 에피택셜 웨이퍼의 제조 공정 및 고체 촬상 소자의 제조 공정(디바이스 제조 공정)에서 발생한다. 전자(前者)의 반도체 에피택셜 웨이퍼의 제조 공정에 있어서의 금속 오염은, 에피택셜 성장로(爐)의 구성재(構成材)로부터의 중금속 파티클에 의한 것, 혹은, 에피택셜 성장시의 노내(爐内) 가스로서 염소계 가스를 이용하기 때문에, 그 배관 재료가 금속 부식하여 발생하는 중금속 파티클에 의한 것 등을 고려할 수 있다. 최근, 이러한 금속 오염은, 에피택셜 성장로의 구성재를 내부식성(耐腐食性)이 우수한 재료로 교환하는 등에 의해, 어느 정도는 개선되고 있지만, 충분하지는 않다. 한편, 후자(後者)의 고체 촬상 소자의 제조 공정에 있어서는, 이온 주입, 확산 및 산화 열처리 등의 각 처리 중에 있어서, 반도체 기판의 중금속 오염이 염려된다.

[0004] 이 때문에, 종래에는, 반도체 에피택셜 웨이퍼에 금속을 포획하기 위한 게터링 싱크를 형성하거나, 혹은 고농도 붕소 기판 등의 금속 포획 능력(게터링 능력)이 높은 기판을 이용하여, 반도체 웨이퍼에 대한 금속 오염을 회피하였다.

[0005] 반도체 웨이퍼에 게터링 싱크를 형성하는 방법으로서, 반도체 웨이퍼의 내부에 결정 결함인 산소 석출물(실리콘 산화물 석출물의 통칭이며, BMD: Bulk Micro Defect라고도 함)이나 전위(轉位)를 형성하는 인트린식 게터링(IG; Intrinsic Gettering)법과, 반도체 웨이퍼의 이면에 게터링 싱크를 형성하는 엑스트린식 게터링(EG; Extrinsic Gettering)법이 일반적이다.

[0006] 여기서, 중금속의 게터링법의 하나의 방법으로서, 반도체 웨이퍼 중에 모노머 이온(싱글 이온) 주입에 의해 게터링 사이트를 형성하는 기술이 있다. 특허 문헌 1에는, 실리콘 웨이퍼의 일면(一面)으로부터 탄소 이온을 주입하여, 탄소 이온 주입 영역을 형성한 후, 그 표면에 실리콘 에피택셜층을 형성하여, 실리콘 에피택셜 웨이퍼로 하는 제조 방법이 기재되어 있다. 이 기술에서는, 탄소 이온 주입 영역이 게터링 사이트로서 기능한다.

[0007] 또한, 특허 문헌 2에는, 반도체 기판 내에 비(非)캐리어성 도펀트층(탄소 등)과 상기 비캐리어성 도펀트층을 내부에 포함하는 캐리어성 도펀트층(13족 원소로서 붕소(B), 15족 원소로서 비소(As) 등)을 형성하는 단계와, 상기 기판 상면(上面)에 에피택셜층을 형성하는 단계를 포함하는 것을 특징으로 하는 에피택셜 반도체 기판의 제조 방법이 기재되어 있다.

[0008] 또한, 특허 문헌 3에는, 실리콘 단결정 기판에 대해 붕소, 탄소, 알루미늄, 비소, 안티몬 중 적어도 1종류를 도스량 $5 \times 10^{14} \sim 1 \times 10^{16} \text{ atom/cm}^2$ 의 범위에서 이온 주입하고, 이후, 상기 이온 주입을 행한 상기 실리콘 단결정 기판에 대해 회복 열처리를 하지 않고 세정을 행한 후, 개별 처리 방식의 에피택셜 장치를 이용하여 1100℃ 이상의 온도에서 에피택셜층을 형성하는 것을 특징으로 하는 에피택셜 웨이퍼의 제조 방법이 기재되어 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본 특허공개공보 H06-338507호
(특허문헌 0002) 일본 특허공개공보 제2007-36250호
(특허문헌 0003) 일본 특허공개공보 제2010-177233호

발명의 내용

해결하려는 과제

- [0010] 특허 문헌 1, 특허 문헌 2, 및 특허 문헌 3에 기재된 기술은, 모두 에피택셜층 형성 전에 1개 또는 복수의 모노머 이온(싱글 이온)을 반도체 웨이퍼에 주입하는 것이다. 그러나, 본 발명자들의 검토에 의하면, 모노머 이온을 주입한 반도체 에피택셜 웨이퍼에서는, 게터링 능력이 불충분하여, 보다 강력한 게터링 능력이 요구됨을 알

수 있었다.

[0011] 따라서, 본 발명은, 상기의 과제를 감안하여, 보다 높은 게터링 능력을 가짐으로써 금속 오염의 억제가 가능한 반도체 에피텍셀 웨이퍼 및 그 제조 방법, 및, 상기 반도체 에피텍셀 웨이퍼로부터 고체 활상 소자를 형성하는 고체 활상 소자의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0012] 본 발명자들의 검토에 의하면, 반도체 웨이퍼에 클러스터 이온을 조사함으로써, 모노머 이온을 주입하는 경우에 비해, 이하의 유리한 점이 있음을 알아내었다. 즉, 클러스터 이온을 조사한 경우, 모노머 이온과 동등한 가속 전압으로 조사하더라도, 클러스터 이온을 구성하는 탄소 및/또는 도펀트 원소의 1 원자 당의 에너지는, 모노머 이온으로서 탄소 및 도펀트 원소를 각각 주입하는 경우보다 작게 하여 반도체 웨이퍼에 충돌한다. 이 때문에, 조사한 탄소 및 도펀트 원소의 깊이방향의 농도 프로파일의 피크 농도를 반도체 웨이퍼 표면에 보다 가까운 위치에 급준(急峻)하게 위치시킬 수 있고, 한 번에 복수의 원자를 조사할 수 있으므로, 고농도로 할 수 있다. 그 결과, 게터링 능력이 향상됨을 알아내었다.

[0013] 본 발명자들은 상기의 사실에 근거하여, 본 발명을 완성시키기에 이르렀다.

[0014] 즉, 본 발명의 반도체 에피텍셀 웨이퍼의 제조 방법은, 반도체 웨이퍼의 표면에 클러스터 이온을 조사하여, 상기 반도체 웨이퍼 표면에, 상기 클러스터 이온의 구성 원소인 탄소 및 도펀트 원소가 고용된 개질층을 형성하는 제 1 공정과, 상기 반도체 웨이퍼의 개질층 상에, 상기 개질층에 있어서의 상기 도펀트 원소의 피크 농도보다 도펀트 원소 농도가 낮은 에피텍셀층을 형성하는 제 2 공정을 가지는 것을 특징으로 한다.

[0015] 여기서, 상기 클러스터 이온은, 상기 탄소 및 상기 도펀트 원소를 모두 포함하는 화합물을 이온화하여 이루어지는 것이 바람직하다.

[0016] 또한, 상기 도펀트 원소는, 붕소, 인, 비소 및 안티몬으로 이루어진 군(群)으로부터 선택된 1 또는 2 이상의 원소일 수 있다.

[0017] 여기서, 상기 반도체 웨이퍼는 실리콘 웨이퍼일 수 있다.

[0018] 또한, 상기 반도체 웨이퍼는, 실리콘 웨이퍼의 표면에 실리콘 에피텍셀층이 형성된 에피텍셀 실리콘 웨이퍼로 해도 되며, 이 경우, 상기 제 1 공정에 있어서 상기 개질층은 상기 실리콘 에피텍셀층의 표면에 형성된다.

[0019] 다음으로, 본 발명의 반도체 에피텍셀 웨이퍼는, 반도체 웨이퍼와, 상기 반도체 웨이퍼의 표면에 형성된, 상기 반도체 웨이퍼 중에 탄소 및 도펀트 원소가 고용되어 이루어지는 개질층과, 상기 개질층 상의 에피텍셀층을 가지며, 상기 개질층에 있어서의, 상기 탄소의 농도 프로파일의 반치폭(半値幅) 및 상기 도펀트 원소의 농도 프로파일의 반치폭이 모두 100nm 이하이며, 상기 에피텍셀층에 있어서의 도펀트 원소의 농도가, 상기 개질층에 있어서의 상기 도펀트 원소의 피크 농도보다 낮은 것을 특징으로 한다.

[0020] 여기서, 상기 도펀트 원소는, 붕소, 인, 비소 및 안티몬으로 이루어진 군으로부터 선택된 1 또는 2 이상의 원소일 수 있다.

[0021] 여기서, 상기 반도체 웨이퍼는 실리콘 웨이퍼일 수 있다.

[0022] 또한, 상기 반도체 웨이퍼는, 실리콘 웨이퍼의 표면에 실리콘 에피텍셀층이 형성된 에피텍셀 실리콘 웨이퍼로 해도 되며, 이 경우, 상기 개질층은 상기 실리콘 에피텍셀층의 표면에 위치한다.

[0023] 또한, 상기 반도체 웨이퍼의 표면으로부터의 깊이가 150nm 이하인 범위 내에, 상기 개질층에 있어서의 상기 탄소 및 상기 도펀트 원소의 농도 프로파일의 피크가 위치하는 것이 바람직하고, 탄소의 피크 농도가 $1 \times 10^{15} \text{ atom/cm}^3$ 이상인 것이 바람직하며, 도펀트 원소의 피크 농도가 $1 \times 10^{15} \text{ atom/cm}^3$ 이상인 것도 바람직하다.

[0024] 그리고, 본 발명의 고체 활상 소자의 제조 방법은, 상기 어느 하나의 제조 방법으로 제조된 에피텍셀 웨이퍼 또는 상기 어느 하나의 에피텍셀 웨이퍼의, 표면에 위치하는 에피텍셀층에, 고체 활상 소자를 형성하는 것을 특징으로 한다.

발명의 효과

[0025] 본 발명에 의하면, 반도체 웨이퍼에 클러스터 이온을 조사하여, 상기 반도체 웨이퍼의 표면에 상기 클러스터 이온의 구성 원소인 탄소 및 도펀트 원소를 고용한 개질층을 형성하였으므로, 상기 개질층이 보다 높은 게터링 능

력을 발휘함으로써, 금속 오염의 억제가 가능한 반도체 에피텍셀 웨이퍼를 얻을 수 있으며, 또한, 상기 반도체 에피텍셀 웨이퍼로부터 고품질의 고체 활상 소자를 형성할 수 있다.

도면의 간단한 설명

- [0026] 도 1은, 본 발명의 하나의 실시형태에 따른 반도체 에피텍셀 웨이퍼(100)의 제조 방법을 설명하는 모식적인 단면도이다.
- 도 2는, 본 발명의 다른 실시형태에 따른 반도체 에피텍셀 웨이퍼(200)의 제조 방법을 설명하는 모식적인 단면도이다.
- 도 3의 (A)는 클러스터 이온을 조사하는 경우의 조사 메카니즘을 설명하는 모식도이고, (B)는 모노머 이온을 주입하는 경우의 주입 메카니즘을 설명하는 모식도이다.
- 도 4는, 클러스터 이온을 조사한 참고예 1 및 2에 있어서의 SIMS 측정으로 얻어진 구성 원소의 농도 프로파일이며, (A)는 참고예 1, (B)는 참고예 2를 나타낸 것이다.
- 도 5는, 모노머 이온을 조사한 참고예 3 및 4에 있어서의 SIMS 측정으로 얻어진 구성 원소의 농도 프로파일이며, (A)는 참고예 3, (B)는 참고예 4를 나타낸 것이다.
- 도 6은, 클러스터 이온을 조사한 실시예 1 및 2에 있어서의 SIMS 측정으로 얻어진 구성 원소의 농도 프로파일이며, (A)는 실시예 1, (B)는 실시예 2를 나타낸 것이다.
- 도 7은, 모노머 이온을 조사한 비교예 1~3에 있어서의 SIMS 측정으로 얻어진 구성 원소의 농도 프로파일이며, (A)는 비교예 1, (B)는 비교예 2, (C)는 비교예 3을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하에서는, 도면을 참조하면서 본 발명의 실시형태에 대해 상세히 설명한다. 참고로, 동일한 구성 요소에는 원칙적으로 동일한 참조 번호를 사용하며, 설명을 생략한다. 또한, 도 1 및 도 2에서는 설명의 편의상, 실제의 두께 비율과는 달리, 반도체 웨이퍼(10)에 대해 제 1 및 제 2 에피텍셀층(14, 20)의 두께를 과장하여 나타낸다.
- [0028] (반도체 에피텍셀 웨이퍼의 제조 방법)
- [0029] 본 발명의 제 1 실시형태에 따른 반도체 에피텍셀 웨이퍼(100)의 제조 방법을 도 1에 나타낸다. 우선, 반도체 웨이퍼(10)의 표면(10A)에 클러스터 이온(16)을 조사하여, 반도체 웨이퍼(10)의 표면(10A)에, 상기 클러스터 이온(16)의 구성 원소인 탄소 및 도펀트 원소가 고용된 개질층(18)을 형성하는 제 1 공정(도 1(A), (B))을 행한다. 그런 다음, 반도체 웨이퍼(10)를 SC-1 세정이나 HF 세정 등과 같은 주지의 세정 방법으로 세정한 후, 반도체 웨이퍼(10)의 개질층(18) 상에, 개질층(18)에 있어서의 도펀트 원소의 피크 농도보다 도펀트 원소 농도가 낮은 에피텍셀층(20)을 형성하는 제 2 공정(도 1(D))을 행한다. 도 1(D)는, 상기 제조 방법의 결과 얻어진 반도체 에피텍셀 웨이퍼(100)의 모식적인 단면도이다.
- [0030] 반도체 웨이퍼(10)로서는, 예컨대 실리콘, 화합물 반도체(GaAs, GaN, SiC)로 이루어지며, 표면에 에피텍셀층을 가지지 않는 벌크의 단결정 웨이퍼를 들 수 있다. 이면조사형 고체 활상 소자를 제조하는 경우, 일반적으로는 벌크의 단결정 실리콘 웨이퍼를 이용한다. 또한, 반도체 웨이퍼(10)는, 초크랄스키법(CZ법)이나 부유 대역 용융법(FZ법)에 의해 성장된 단결정 실리콘 잉곳을 실톱(wire saw) 등으로 슬라이스한 것을 사용할 수 있다. 또한, 보다 높은 게터링 능력을 얻기 위해, 탄소 및/또는 질소를 첨가해도 된다. 또한, 임의의 불순물을 첨가하여, n형 또는 p형으로 해도 된다. 도 1에 나타낸 제 1 실시형태는, 반도체 웨이퍼(10)로서, 표면에 에피텍셀층을 가지지 않는 벌크 반도체 웨이퍼(12)를 이용하는 예이다.
- [0031] 또한, 반도체 웨이퍼(10)로서는, 도 2(A)에 나타난 바와 같이, 벌크 반도체 웨이퍼(12) 표면에 반도체 에피텍셀층(제 1 에피텍셀층)(14)이 형성된 에피텍셀 반도체 웨이퍼를 들 수도 있다. 예컨대, 벌크의 단결정 실리콘 웨이퍼의 표면에 실리콘 에피텍셀층이 형성된 에피텍셀 실리콘 웨이퍼이다. 실리콘 에피텍셀층은, CVD(Chemical Vapor Deposition)법에 의해 일반적인 조건으로 형성할 수 있다. 제 1 에피텍셀층(14)은, 두께를 0.1~10 μ m의 범위 내로 하는 것이 바람직하며, 0.2~5 μ m의 범위 내로 하는 것이 더욱 바람직하다.
- [0032] 그 예로서, 본 발명의 제 2 실시형태에 의한 반도체 에피텍셀 웨이퍼(200)의 제조 방법은, 도 2에 나타낸 바와 같이, 우선 벌크 반도체 웨이퍼(12)의 표면(적어도 한쪽 면)에 제 1 에피텍셀층(14)이 형성된 반도체 웨이퍼(10)의 표면(10A)에 클러스터 이온(16)을 조사하여, 반도체 웨이퍼의 표면(10A)(본 실시형태에서는 제 1 에피텍

설층(14)의 표면)에, 클러스터 이온(16)의 구성 원소인 탄소 및 도펀트 원소가 고용된 개질층(18)을 형성하는 제 1 공정(도 2(A)~(C))을 행한다. 또한, 반도체 웨이퍼(10)를 임의의 방법으로 세정한 후, 반도체 웨이퍼(10)의 개질층(18) 상에, 개질층(18)에 있어서의 도펀트 원소의 피크 농도보다 도펀트 원소 농도가 낮은 에피텍설층(20)을 형성하는 제 2 공정(도 2(E))을 행한다. 도 2(E)는, 상기 제조 방법의 결과 얻어진 반도체 에피텍설 웨이퍼(200)의 모식적인 단면도이다.

[0033] 여기서, 본 발명의 특징적 공정은, 도 1(A) 및 도 2(B)에 나타난 바와 같이, 반도체 웨이퍼의 표면(10A)에 클러스터 이온(16)을 조사하여, 클러스터 이온(16)의 구성 원소인 탄소 및 도펀트 원소가 고용된 개질층(18)을 형성하는 공정이다.

[0034] 하나의 실시형태에 있어서, 제 1 공정에서는, 탄소를 포함하는 화합물을 이온화하여 형성한 클러스터 이온과, 도펀트 원소를 포함하는 화합물을 이온화하여 형성한 클러스터 이온을, 각각 따로 따로 조사하여, 탄소 및 도펀트 원소가 고용된 개질층(18)을 형성할 수 있다. 이 경우, 각각의 클러스터 이온의 조사 에너지 및/또는 도스량을 용이하게 제어할 수 있는 점에서 바람직하다. 후술하는 바와 같이, 각 원소의 농도 프로파일의 피크 위치의 제어도 비교적 용이해진다.

[0035] 또한, 다른 실시형태로서, 제 1 공정에서는, 탄소 및 도펀트 원소를 모두 포함하는 화합물을 이온화하여 이루어지는 클러스터 이온(16)을 조사하여, 탄소 및 도펀트 원소가 고용된 개질층(18)을 형성할 수도 있다. 이러한 화합물을 클러스터 이온으로서 조사하면, 1회의 조사로 탄소 및 도펀트 원소를 모두 동시에 실리콘 웨이퍼 표면 근방에 국소적으로 고용시킬 수 있으며, 제조 효율도 향상시킬 수 있다.

[0036] 상기 제 1 공정을 채용하는 것의 기술적 의의를, 작용 효과와 함께 설명한다. 클러스터 이온(16)을 조사한 결과 형성되는 개질층(18)은, 클러스터 이온(16)의 구성 원소(탄소 및 도펀트 원소)가 반도체 웨이퍼의 표면의 결정의 격자 간 위치 또는 치환 위치에 고용되어 국소적으로 존재하는 영역이며, 게터링 사이트로서 작용한다. 그 이유는, 이하와 같이 추측된다. 즉, 클러스터 이온의 형태로 조사된 탄소 및 도펀트 원소는, 실리콘 단결정의 치환 위치·격자 간 위치에 고밀도로 국소적으로 존재한다. 그리고, 실리콘 단결정의 평형 농도 이상으로까지 탄소 및 도펀트 원소를 고용시키면, 중금속의 고용도(전이 금속의 포화 용해도)가 매우 증가하는 것이 실험적으로 확인되었다. 즉, 평형 농도 이상으로까지 고용된 탄소 및 도펀트 원소에 의해 중금속의 고용도가 증가되고, 이에 따라 중금속에 대한 포획율이 현저히 증가한 것으로 생각된다. 또한, 탄소에 의한 게터링 작용과, 도펀트 원소에 의한 게터링 작용의 상승(相乘) 효과에 의한 것이라고도 생각된다.

[0037] 여기서, 본 발명에서는 클러스터 이온(16)을 조사하기 때문에, 모노머 이온을 주입하는 경우에 비해, 보다 높은 게터링 능력을 얻을 수 있으며, 또한 회복 열처리도 생략할 수 있다. 이 때문에, 보다 높은 게터링 능력을 가지는 반도체 에피텍설 웨이퍼(100, 200)를 제조하는 것이 가능해지며, 본 제법(製法)에 의해 얻어지는 반도체 에피텍설 웨이퍼(100, 200)로부터 제조한 이면조사형 고체 촬상 소자는, 종래에 비해 화이트 스팟 결함의 발생 억제율을 기대할 수 있다.

[0038] 참고로, 본 명세서에 있어서 「클러스터 이온」이란, 원자 또는 분자가 복수 집합하여 덩어리가 된 클러스터에 양전하 또는 음전하를 부여하여, 이온화한 것을 의미한다. 클러스터는, 복수(통상 2~2000개 정도)의 원자 또는 분자가 서로 결합된 덩어리 형태의 집단이다.

[0039] 본 발명자들은, 클러스터 이온을 조사함으로써, 높은 게터링 능력이 얻어지는 작용을 이하와 같이 생각하고 있다.

[0040] 실리콘 웨이퍼에, 예컨대 탄소의 모노머 이온을 주입하는 경우, 도 3(B)에 나타난 바와 같이, 모노머 이온은, 실리콘 웨이퍼를 구성하는 실리콘 원자를 스퍼터링하여, 실리콘 웨이퍼 중의 소정 깊이 위치에 주입된다. 여기서, 주입 깊이는, 주입 이온의 구성 원소의 종류 및 이온의 가속 전압에 의존한다. 이 경우, 실리콘 웨이퍼의 깊이방향에 있어서의 탄소의 농도 프로파일은, 비교적 넓어진다. 복수 종의 이온을 동일 에너지로 동일 조사한 경우에는, 가벼운 원소일수록 깊게 주입되기 때문에, 즉, 각각의 원소의 질량에 따른 상이한 위치에 주입되기 때문에, 주입 원소의 농도 프로파일은 보다 넓어진다. 또한, 탄소의 모노머 이온 주입 후에, 탄소의 농도 프로파일의 피크 위치에 중첩되도록 도펀트 원소의 모노머 이온을 주입하는 경우에 있어서도, 이온 주입을 위해서는 비교적 커다란 가속 전압이 필요하기 때문에, 탄소의 농도 프로파일과 마찬가지로, 주입된 도펀트 원소의 농도 프로파일은 비교적 넓어진다.

[0041] 또한, 모노머 이온은 일반적으로 150~2000keV 정도의 가속 전압으로 주입하는데, 각 이온이 그 에너지를 가지고 실리콘 원자와 충돌하기 때문에, 모노머 이온이 주입된 실리콘 웨이퍼 표면부의 결정성(結晶性)이 흐트러져,

이후에 웨이퍼 표면 상에 성장시키는 에피택셜층의 결정성을 저하시킨다. 또한, 가속 전압이 클수록, 결정성이 크게 흐트러진다. 이 때문에, 이온 주입 후에 흐트러진 결정성을 회복시키기 위한 열처리(회복 열처리)를 고온으로 장시간에 걸쳐 행할 필요가 있다.

[0042] 한편, 실리콘 웨이퍼에, 예컨대 탄소와, 도펀트 원소로서 예컨대 붕소로 이루어진 클러스터 이온을 조사하는 경우, 도 3(A)에 나타난 바와 같이, 클러스터 이온(16)은, 실리콘 웨이퍼에 조사되면 그 에너지로 순간적으로 1350~1400℃ 정도의 고온 상태가 되어, 실리콘이 용해된다. 이후, 실리콘은 급속히 냉각되어, 실리콘 웨이퍼 중의 표면 근방에 탄소 및 붕소가 고용된다. 즉, 본 명세서에 있어서의 「개질층」이란, 조사하는 이온의 구성 원소가 반도체 웨이퍼 표면의 결정의 격자 간 위치 또는 치환 위치에 고용된 층을 의미한다. 실리콘 웨이퍼의 깊이방향에 있어서의 탄소 및 붕소의 농도 프로파일은, 클러스터 이온의 가속 전압 및 클러스터 사이즈에 의존하는데, 모노머 이온의 경우에 비해 샤프해지며, 조사된 탄소 및 붕소가 국소적으로 존재하는 영역(즉, 개질층)의 두께는, 대략 500nm 이하의 영역(예컨대 50~400nm 정도)이 된다. 참고로, 클러스터 이온의 형태로 조사된 원소는, 에피택셜층(20)의 형성 과정에서 다소의 열확산은 일어난다. 이 때문에, 에피택셜층(20) 형성 후의 탄소 및 붕소의 농도 프로파일은, 이러한 원소가 국소적으로 존재하는 피크의 양측에, 넓은 확산 영역이 형성된다. 그러나, 개질층의 두께는 크게 변화되지 않는다(후술되는 도 6(A) 및 (B) 참조). 그 결과, 탄소 및 붕소의 석출 영역을 국소적이면서 고농도로 할 수 있다. 또한, 실리콘 웨이퍼의 표면 근방에 개질층(18)이 형성되기 때문에, 보다 근접 게터링이 가능해진다. 그 결과, 모노머 이온을 주입하는 경우보다 높은 게터링 능력을 얻을 수 있는 것으로 생각된다. 참고로, 클러스터 이온의 형태이면, 모노머 이온 주입의 경우와 달리, 복수 종의 이온을 동시에 조사할 수 있다.

[0043] 또한, 클러스터 이온(16)은 일반적으로 10~100keV/Cluster 정도의 가속 전압으로 조사하는데, 클러스터는 복수의 원자 또는 분자의 집합체이기 때문에, 1 원자 또는 1 분자 당의 에너지를 작게 하여 스퍼터링할 수 있다. 이 때문에, 실리콘 웨이퍼의 결정에 미치는 손상은 작다. 게다가, 상기와 같은 주입 메카니즘의 상이(相異)에도 기인하여, 클러스터 이온을 조사하는 쪽이 모노머 이온을 주입하는 것보다 실리콘 웨이퍼(10)의 결정성을 저하시키지 않는다. 이 때문에, 제 1 공정 후에, 실리콘 웨이퍼(10)에 대해 회복 열처리를 행하는 일 없이, 실리콘 웨이퍼(10)를 에피택셜 성장 장치로 반송하여 제 2 공정을 행하는 것이 가능하다(도 1(C), 도 2(D)).

[0044] 클러스터 이온(16)은 결합 양식에 따라 다종(多種)의 클러스터가 존재하며, 예컨대 이하의 문헌에 기재된 바와 같은 공지의 방법으로 생성할 수 있다. 가스 클러스터 빔의 생성법으로서, (1) 일본 특허공개공보 H09-41138호, (2) 일본 특허공개공보 H04-354865호, 이온 빔의 생성법으로서, (1) 하전 입자 빔 공학: 이시카와 준조: ISBN978-4-339-00734-3: CORONA PUBLISHING, (2) 전자·이온 빔 공학: 전기학회: ISBN4-88686-217-9: Ohmsha, (3) 클러스터 이온 빔 기초와 응용: ISBN4-526-05765-7: THE NIKKAN KOGYO SHIMBUN. 또한, 일반적으로, 양전하의 클러스터 이온의 발생에는 닐슨형 이온원(Nielsen ion source) 혹은 코프만형 이온원(Kaufman ion source)이 이용되고, 음전하의 클러스터 이온의 발생에는 체적 생성법을 이용한 대전류 음이온원이 이용된다.

[0045] 이하에서는, 클러스터 이온의 조사 조건에 대해 설명한다. 전술한 바와 같이, 조사하는 원소는 탄소 및 도펀트 원소이다. 탄소에 관해서는, 격자 위치의 탄소 원자는 공유 결합 환경이 실리콘 단결정에 비해 작기 때문에, 실리콘 결정 격자의 수축장(收縮場, compression site)이 형성되므로, 격자 간의 불순물을 끌어당기는 게터링 능력이 높다. 또한, 탄소는 니켈, 구리를 효율적으로 게터링할 수 있다.

[0046] 조사 원소로서의 도펀트 원소는, 붕소, 인, 비소 및 안티몬으로 이루어진 군으로부터 선택된 1 또는 2 이상의 원소인 것이 바람직하다. 탄소에 더하여 도펀트 원소도 고용시킴으로써, 게터링 능력이 보다 향상된다. 또한, 예컨대 도펀트 원소가 붕소인 경우, Fe, Cu, Cr 등을 게터링할 수 있는 등, 고용시키는 도펀트 원소의 종류에 따라 효율적으로 게터링 가능한 금속의 종류가 달라지기 때문에, 보다 폭넓은 금속 오염에 대응할 수 있다.

[0047] 이온화시키는 화합물은 특별히 한정되지 않는데, 이온화가 가능한 탄소원 화합물로서는, 에탄, 메탄, 이산화탄소(CO₂), 디벤질(C₁₄H₁₄), 시클로헥산(C₆H₁₂) 등을 이용할 수 있고, 이온화가 가능한 붕소원 화합물로서는, 디보란, 데카보란(B₁₀H₁₄) 등을 이용할 수 있다. 예컨대, 벤질 gas와 데카보란 gas를 혼합한 gas를 재료 gas로 한 경우, 탄소, 붕소 및 수소가 집합된 수소화합물 클러스터를 생성할 수 있다.

[0048] 또한, 탄소 및 도펀트 원소를 모두 포함하는 화합물을 이온화하여, 클러스터 이온으로서 이용하는 것이 가능한 화합물을 이하에 예시하겠으나, 이것에 한정되는 것은 아니다. 탄소 및 붕소를 모두 포함하는 화합물로서는, 트리메틸보란(C₃H₉B), 트리에틸보란((CH₃CH₂)₃B), 카르보란(C₂B₁₀H), 탄화붕소(CB_n)(1≤n≤4) 등을 이용할 수 있다. 탄소 및 인을 모두 포함하는 화합물로서는, 포스폴(C₄H₉P), 트리메틸포스핀(C₃H₉P), 트리페닐포스핀

($C_{18}H_{15}P$) 등을 이용할 수 있다.

- [0049] 또한, 클러스터 이온의 가속 전압 및 클러스터 사이즈를 제어함으로써, 개질층(18)에 있어서의 구성 원소의 깊이방향의 농도 프로파일의 피크의 위치를 제어할 수 있다. 본 명세서에 있어서 「클러스터 사이즈」란, 1개의 클러스터를 구성하는 원자 또는 분자의 개수를 의미한다.
- [0050] 본 실시형태의 제 1 공정에서는, 높은 게터링 능력을 얻는 관점에서, 반도체 웨이퍼(10)의 표면(10A)으로부터의 깊이가 150nm 이하인 범위 내에, 개질층(18)에 있어서의 구성 원소의 깊이방향의 농도 프로파일의 피크가 위치하도록, 클러스터 이온(16)을 조사한다. 참고로, 본 명세서에 있어서, 「구성 원소의 깊이방향의 농도 프로파일」은, 구성 원소의 합계가 아니라, 각각 단독의 원소에 대한 프로파일을 의미하는 것으로 한다.
- [0051] 피크 위치를 상기 깊이의 범위로 설정하기 위해 필요한 조건으로서, 탄소 1 원자 당의 가속 전압은, 0keV/atom 초과 50keV/atom 이하로 하고, 바람직하게는, 40keV/atom 이하로 한다. 또한, 도펀트 원소 1 원자 당의 가속 전압은, 0keV/atom 초과 50keV/atom 이하로 하고, 바람직하게는, 40keV/atom 이하로 한다. 또한, 클러스터 사이즈는 2~100개, 바람직하게는 60개 이하, 보다 바람직하게는 50개 이하로 한다.
- [0052] 참고로, 가속 전압의 조정에는, (1) 정전(靜電) 가속, (2) 고주파 가속의 2가지 방법이 일반적으로 이용된다. 전자의 방법으로서, 복수의 전극을 등간격으로 늘어놓고, 이들 사이에 동일한 전압을 인가(印加)하여, 축방향으로 등가속(等加速) 전계를 만드는 방법이 있다. 후자의 방법으로서, 이온을 직선 형상으로 주행시키면서 고주파를 이용하여 가속하는 선형 가속법(linear acceleration (linac) method)이 있다. 또한, 클러스터 사이즈의 조정은, 노즐로부터 분출되는 가스의 가스 압력 및 진공 용기의 압력, 이온화할 때의 필라멘트에 인가하는 전압 등을 조정함으로써 행할 수 있다. 참고로, 클러스터 사이즈는, 사중극(四重極) 고주파 전계에 의한 질량 분석 또는 타임 오브 플라이트(time-of-flight) 질량 분석에 의해 클러스터 개수 분포를 구하고, 클러스터 개수의 평균치를 취함으로써 구할 수 있다.
- [0053] 또한, 클러스터 이온의 도스량은, 이온 조사 시간을 제어함으로써 조정할 수 있다. 본 실시형태에서는, 게터링 능력을 얻기 위해, 탄소 및 도펀트 원소의 도스량은 각각, $1 \times 10^{13} \sim 1 \times 10^{16}$ atom/cm²인 것이 바람직하고, $1 \times 10^{14} \sim 5 \times 10^{15}$ atom/cm²인 것이 보다 바람직하다. 1×10^{13} atom/cm² 미만인 경우, 게터링 능력을 충분히 얻지 못할 가능성이 있고, 1×10^{16} atom/cm²를 초과하는 경우, 에피텍셀 표면에 커다란 손상을 줄 우려가 있기 때문이다.
- [0054] 본 발명에 의하면, 전술한 바와 같이, RTA(Rapid Thermal Annealing)나 RTO(Rapid Thermal Oxidation) 등의, 에피텍셀 장치와는 별개의 급속 승강 온열 처리 장치를 이용하여 회복 열처리를 행할 필요가 없다. 이것은, 이하에 기술하는 에피텍셀 실리콘층(20)을 형성하기 위한 에피텍셀 장치 내에서, 에피텍셀 성장에 앞서 행해지는 수소 베이킹 처리에 의해, 실리콘 웨이퍼(10)의 결정성을 충분히 회복시킬 수 있기 때문이다. 수소 베이킹 처리의 일반적인 조건은, 에피텍셀 성장 장치의 내부를 수소 분위기로 하고, 600℃ 이상 900℃ 이하의 노내 온도(爐內溫度, furnace temperature)에서 실리콘 웨이퍼(10)를 노내(爐內)에 투입하여, 1℃/초 이상 15℃/초 이하의 승온(昇溫) 레이트로 1100℃ 이상 1200℃ 이하의 온도 범위까지 승온시키고, 그 온도로 30초 이상 1분 이하 동안 유지시키는 것이다. 이러한 수소 베이킹 처리는, 본래는 에피텍셀층 성장 전의 세정 처리에 의해 웨이퍼 표면에 형성된 자연 산화막을 제거하기 위한 것이지만, 상기 조건의 수소 베이킹에 의해 실리콘 웨이퍼(10)의 결정성을 충분히 회복시킬 수 있다.
- [0055] 물론 제 1 공정의 다음이며 제 2 공정의 전에, 에피텍셀 장치와는 별개의 열처리 장치를 이용하여 회복 열처리를 행해도 된다(도 1(C), 도 2(D)). 상기 회복 열처리는, 900℃ 이상 1200℃ 이하에서 10초 이상 1시간 이하로 행하면 된다. 여기서, 열처리 온도를 900℃ 이상 1200℃ 이하로 하는 것은, 900℃ 미만에서는, 결정성의 회복 효과를 얻기가 어렵기 때문이며, 한편, 1200℃를 초과하면, 고온에서의 열처리에 기인하는 슬립(slip)이 발생하고, 또한, 장치에 대한 열부하가 커지기 때문이다. 또한, 열처리 시간을 10초 이상 1시간 이하로 하는 것은, 10초 미만에서는 회복 효과를 얻기가 어렵기 때문이며, 한편, 1시간을 초과하면, 생산성 저하를 초래하며, 장치에 대한 열부하가 커지기 때문이다.
- [0056] 이러한 회복 열처리는, 예컨대, RTA나 RTO 등의 급속 승강 온열 처리 장치나, 배치식(batch type) 열처리 장치(세로형 열처리 장치, 가로형 열처리 장치)를 이용하여 행할 수 있다. 전자는, 램프 조사 가열 방식이기 때문에, 장치구조적으로 장시간 처리에는 적합하지 않고, 15분 이내의 열처리에 적합하다. 한편, 후자는, 소정 온도까지 온도를 상승시키기 위해 시간이 걸리기는 하지만, 한 번에 다수 매의 웨이퍼를 동시에 처리할 수 있다. 또한, 저항 가열 방식이기 때문에, 장시간의 열처리가 가능하다. 사용하는 열처리 장치는, 클러스터 이온(16)

의 조사 조건을 고려하여 적절한 것을 선택하면 된다.

[0057] 본 실시형태의 제 2 공정에 있어서, 개질층(18) 상에 형성하는 제 2 에피택셜층(20)으로서는, 실리콘 에피택셜층을 들 수 있으며, 여기에 포함되는 도펀트 원소의 농도는, 개질층(18)에 고용된 도펀트 원소의 피크 농도보다 낮다. 제 2 에피택셜층은 예컨대 이하의 조건에 의해 형성할 수 있다. 수소를 캐리어 가스로 하여, 디클로로실란, 트리클로로실란 등의 소스 가스를 챔버 내에 도입하고, 사용하는 소스 가스에 의해서도 성장 온도는 달라지지만, 대략 1000~1200℃의 범위의 온도로 CVD법에 의해 반도체 웨이퍼(10) 상에 에피택셜 성장시킬 수 있다. 제 2 에피택셜층 중의 도펀트 농도는, 에피택셜 성장 중의 도펀트 가스의 도입량으로 조정할 수 있다. 도펀트 가스로서는, 예컨대 붕소 도프의 경우는 디보란 가스(B_2H_6)를, 인 도프의 경우는 포스핀(PH_3)을 이용할 수 있다. 제 2 에피택셜층(20)은, 1~15 μm 의 두께 범위 내로 하는 것이 바람직하다. 1 μm 미만인 경우, 반도체 웨이퍼(10)로부터의 도펀트의 외방(外方) 확산에 의해 제 2 에피택셜층(20)의 저항율이 변화되어 버릴 가능성이 있고, 또한, 15 μm 를 초과하는 경우, 고체 촬상 소자의 분광 감도 특성에 영향을 미칠 우려가 있기 때문이다. 제 2 에피택셜층(20)은 이면조사형 고체 촬상 소자를 제조하기 위한 디바이스층이 된다.

[0058] 반도체 웨이퍼(10)/개질층(18)/제 2 에피택셜층(20)의 도전형의 조합은 특별히 한정되지 않으며, p/n/p 구조, n/p/n 구조, p/p/p 구조, n/n/n 구조, n/n/p 구조, p/p/n 구조, p/n/n 구조, n/p/p 구조 중 어느 것이어도 좋다.

[0059] 참고로, 도 2에 나타난 제 2 실시형태에서는, 클러스터 이온 조사를 벌크 반도체 웨이퍼(12)가 아닌 제 1 에피택셜층(14)에 행하는 것도 특징의 하나이다. 벌크 반도체 웨이퍼는 에피택셜층에 비해 산소 농도가 2자리수 정도 높다. 이 때문에, 벌크 반도체 웨이퍼 중에 형성된 개질층은, 에피택셜층에 형성된 개질층보다 많은 산소가 확산되고, 많은 산소를 포획한다. 포획된 산소는 디바이스 공정 중에 포획 사이트로부터 재방출되며, 디바이스의 활성 영역으로 확산되어, 점(點)결함을 형성하기 때문에, 디바이스의 전기 특성에 악영향을 준다. 따라서, 고용 산소 농도가 낮은 에피택셜층에 클러스터 이온을 조사하여, 산소 확산의 영향을 거의 무시할 수 있는 에피택셜층에 게터링층을 형성하는 것이 디바이스 공정에 있어서 중요한 설계 조건이 된다.

[0060] 여기서, 고체 촬상 소자 제조 공정에 있어서, 에피택셜 웨이퍼 이면측의 벌크 반도체 웨이퍼 부분을 연마나 에칭 처리 등으로 제거하는 경우가 있는데, 클러스터 이온 조사에 의해 고용시킨 도펀트 고농도층은, 디바이스 공정에서 박막화(薄膜化)할 때의 연마 스톱층, 에칭 스톱층으로서도 기능한다. 도펀트 원소의 피크 위치(비정(飛程) 거리)는, 클러스터 이온의 조사 에너지(가속 전압) 조건을 바꿈으로써 제어할 수 있다. 복수의 원소를 포함하는 화합물을 이온화하여 이루어지는 클러스터 이온을 조사하면, 각 원소가 받는 조사 에너지는 거의 동일해지기 때문에, 각각의 원소 피크 위치를 의도적으로 변화시키고자 하는 경우는, 예컨대 사용하는 각 원소 사이드를 조정함으로써 각 원소의 피크 위치를 제어할 수 있다. 구체적으로는, 사용하는 원소 사이즈가 클수록 표면측에 농도 피크가 위치하며, 원소 사이즈가 작아질수록 표면측보다 깊은 위치에 농도 피크를 위치시킬 수 있다. 참고로, 원소 사이즈의 조정에 의한 피크 위치의 제어 폭은 비교적 좁기 때문에, 복수의 원소를 포함하는 화합물을 이온화하여 이루어지는 클러스터 이온을 조사하지 않고, 각 원소를 각각 다른 조사 에너지로 따로 따로 클러스터 이온 조사함으로써, 각 원소의 피크 위치의 제어 폭을 넓힐 수 있다.

[0061] (반도체 에피택셜 웨이퍼)

[0062] 다음으로, 상기 제조 방법에 의해 얻어지는 반도체 에피택셜 웨이퍼(100, 200)에 대해 설명한다. 제 1 실시형태에 따른 반도체 에피택셜 웨이퍼(100) 및 제 2 실시형태에 따른 반도체 에피택셜 웨이퍼(200)는, 도 1(D) 및 도 2(E)에 나타난 바와 같이, 반도체 웨이퍼(10)와, 상기 반도체 웨이퍼(10)의 표면에 형성되고, 반도체 웨이퍼(10) 중에 탄소 및 도펀트 원소가 고용되어 이루어지는 개질층(18)과, 상기 개질층(18) 상의 에피택셜층(20)을 가진다. 그리고, 어느 경우에 있어서도 개질층(18)에 있어서의, 탄소의 농도 프로파일의 반치폭(W1) 및 도펀트 원소의 농도 프로파일의 반치폭(W2)이 모두 100nm 이하이고, 또한 에피택셜층(20)에 있어서의 도펀트 원소의 농도가, 개질층(18)에 있어서의 도펀트 원소의 피크 농도보다 낮은 것을 특징으로 한다.

[0063] 즉, 본 발명의 제조 방법에 의하면, 모노머 이온 주입에 비해, 클러스터 이온을 구성하는 원소의 석출 영역을 국소적이고 고농도로 할 수 있기 때문에, 상기 반치폭(W1, W2)을 모두 100nm 이하로 하는 것이 가능해진다. 하한(下限)으로서는 10nm로 설정할 수 있다. 참고로, 본 명세서에 있어서, 「탄소의 농도 프로파일」 및 「도펀트 원소의 농도 프로파일」은, 모두 2차 이온 질량분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정된 깊이방향의 각 원소의 농도 분포를 의미한다. 또한, 「농도 프로파일의 반치폭」은, 측정 정밀도를 고려하여, 에피택셜층의 두께가 1 μm 를 초과하는 경우는, 에피택셜층을 1 μm 로 박막화한 상태에서, SIMS으로 소정 원소의 농

도 프로파일을 측정하였을 때의 반치폭으로 한다.

- [0064] 반도체 에피텍셀 웨이퍼(100, 200)는 모두, 개질층(18) 중의 도펀트 원소의 피크 농도가 제 2 에피텍셀층(20)의 도펀트 원소의 농도보다 높기 때문에, 개질층(18)에 있어서 제 2 에피텍셀층(20) 중의 불순물 원소를 게터링할 수 있다(농도가 높은 곳으로 게터링된다). 또한, 반도체 에피텍셀 웨이퍼(200)에는 저산소 농도이며 무결함인 제 1 에피텍셀층(14)이 존재하기 때문에, 제 2 에피텍셀층(20)으로의 산소 확산을 억제할 수 있다. 이 때문에, 제 2 에피텍셀층(20)에 있어서, COP 등의 결정에 기인하는 에피텍셀 결함의 발생을 억제할 수 있다.
- [0065] 고용하는 도펀트 원소로서는, 붕소, 인, 비소 및 안티몬으로 이루어진 군으로부터 선택된 1 또는 2 이상의 원소인 것이 바람직하다는 것은 전술한 대로이다.
- [0066] 보다 높은 게터링 능력을 얻는 관점에서 보면, 반도체 에피텍셀 웨이퍼(100, 200)는 모두, 반도체 웨이퍼(10)의 표면으로부터의 깊이가 150nm 이하인 범위 내에, 개질층(18)에 있어서의 탄소 및 도펀트 원소의 농도 프로파일의 피크가 위치하는 것이 바람직하다. 탄소의 농도 프로파일의 피크 농도가, $1 \times 10^{15} \text{ atom/cm}^3$ 이상인 것이 바람직하고, $1 \times 10^{17} \sim 1 \times 10^{22} \text{ atom/cm}^3$ 의 범위 내인 것이 보다 바람직하고, $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atom/cm}^3$ 의 범위 내인 것이 한층 더 바람직하다. 또한, 도펀트 원소로서 붕소 또는 인을 이용하는 경우, 농도 프로파일의 피크 농도가, $1 \times 10^{15} \text{ atom/cm}^3$ 이상인 것이 바람직하고, $1 \times 10^{17} \sim 1 \times 10^{22} \text{ atom/cm}^3$ 의 범위 내인 것이 보다 바람직하고, $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atom/cm}^3$ 의 범위 내인 것이 한층 더 바람직하다.
- [0067] 또한, 개질층(18)의 깊이방향 두께는, 대략 30~400nm의 범위 내로 할 수 있다.
- [0068] 에피텍셀층(20)에 있어서의 도펀트 원소의 농도는, $1.0 \times 10^{15} \sim 1.0 \times 10^{22} \text{ atom/cm}^3$ 가 바람직하고, $1.0 \times 10^{17} \sim 1.0 \times 10^{21} \text{ atom/cm}^3$ 가 보다 바람직하다.
- [0069] 본 실시형태의 반도체 에피텍셀 웨이퍼(100, 200)에 의하면, 종래에 비해 높은 게터링 능력을 발휘함으로써, 금속 오염을 보다 억제하는 것이 가능해진다.
- [0070] (고체 활상 소자의 제조 방법)
- [0071] 본 발명의 실시형태에 따른 고체 활상 소자의 제조 방법은, 상기의 제조 방법으로 제조된 에피텍셀 웨이퍼 또는 상기의 에피텍셀 웨이퍼, 즉 반도체 에피텍셀 웨이퍼(100, 200)의 표면에 위치하는 에피텍셀층(20)에, 고체 활상 소자를 형성하는 것을 특징으로 한다. 상기 제조 방법에 의해 얻어지는 고체 활상 소자는, 종래에 비해 제조 공정의 각 처리 중에서 발생하는 중금속 오염의 영향을 저감시킬 수 있어, 화이트 스팟 결함의 발생을 충분히 억제할 수 있다.
- [0072] 실시예
- [0073] (참고 실험예)
- [0074] 우선, 클러스터 이온 조사와 모노머 이온 주입의 상이(相異)를 명확히 하기 위해, 이하의 실험을 행하였다.
- [0075] (참고예 1)
- [0076] CZ 단결정 실리콘 잉곳으로부터 얻은 n형 실리콘 웨이퍼(직경: 300mm, 두께: 725 μm , 도펀트: 인, 도펀트 농도: $5 \times 10^{14} \text{ atom/cm}^3$)를 준비하였다. 그런 다음, 클러스터 이온 발생 장치(Nissin Ion Equipment Co., Ltd. 제조, 모델 번호: CLARIS)를 이용해서, 트리메틸포스핀($\text{C}_3\text{H}_9\text{P}$)을 이온화하여, 탄소의 도스량 $5.0 \times 10^{14} \text{ atom/cm}^2$, 인의 도스량 $1.7 \times 10^{14} \text{ atom/cm}^2$, 탄소 1 원자 당의 가속 전압 12.8keV/atom, 인의 1 원자 당의 가속 전압 32keV/atom의 조건으로, 실리콘 웨이퍼에 조사하였다.
- [0077] (참고예 2)
- [0078] 참고예 1과 동일한 실리콘 웨이퍼에 대해, 트리메틸포스핀 대신에, 트리메틸보란($\text{C}_3\text{H}_9\text{B}$)을 재료 가스로 하여, 클러스터 이온을 생성하고, 붕소의 도스량을 $1.7 \times 10^{14} \text{ atom/cm}^2$, 붕소 1 원자 당의 가속 전압을 14.5keV/atom로 한 것 이외에는, 참고예 1과 동일한 조건으로, 실리콘 웨이퍼에 조사하였다.
- [0079] (참고예 3)

- [0080] 참고예 1과 동일한 실리콘 웨이퍼에 대해, 클러스터 이온 조사 대신에, CO₂를 재료 가스로 하여, 탄소의 모노머 이온을 생성하고, 도스량 $5.0 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로, 실리콘 웨이퍼에 주입하였다. 이후, 포스핀(PH₃)을 재료 가스로 하여, 인의 모노머 이온을 생성하고, 도스량 $1.7 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로, 실리콘 웨이퍼에 주입하였다.
- [0081] (참고예 4)
- [0082] 참고예 1과 동일한 실리콘 웨이퍼에 대해, 클러스터 이온 조사 대신에, CO₂를 재료 가스로 하여, 탄소의 모노머 이온을 생성하고, 도스량 $5.0 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로, 실리콘 웨이퍼에 주입하였다. 이후, BF₂를 재료 가스로 하여, 붕소의 모노머 이온을 생성하고, 도스량 $1.7 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로, 실리콘 웨이퍼에 주입하였다.
- [0083] (SIMS 측정 결과)
- [0084] 상기 참고예 1~4에서 제작한 샘플에 대해, 2차 이온 질량 분석(SIMS)에 의해 측정을 행하여, 도 4(A), (B) 및 도 5(A), (B)에 나타난 탄소 및 도펀트 원소의 농도 프로파일을 얻었다. 참고로, 가로축(橫軸)의 깊이는 실리콘 웨이퍼의 표면을 제로로 하고 있다. 도 4(A), (B) 및 도 5(A), (B)로부터 분명한 바와 같이, 클러스터 이온을 조사한 참고예 1 및 2에서는, 탄소 농도 프로파일 및 도펀트 원소(인, 붕소) 농도 프로파일이 모두 샤프하지만, 모노머 이온을 주입한 참고예 3, 4에서는, 탄소 농도 프로파일 및 도펀트 원소 농도 프로파일이 넓다. 또한, 참고예 3, 4에 비해 참고예 1 및 2에서는, 탄소 및 도펀트 원소의 농도 프로파일의 피크 농도는 모두 높고, 피크 위치도 보다 반도체 웨이퍼 표면 근방에 위치하고 있다. 이것으로부터, 에피텍셀층 형성 후에도, 각 원소의 농도 프로파일의 경향은 동일해지는 것으로 추정된다.
- [0085] (실험예)
- [0086] (실시예 1)
- [0087] CZ 단결정 실리콘 잉곳으로부터 얻은 n형 실리콘 웨이퍼(두께 : 725 μm , 도펀트 종류 : 인, 도펀트 농도 : $1 \times 10^{15} \text{ atom/cm}^3$)를 준비하였다. 그런 다음, 클러스터 이온 발생 장치(Nissin Ion Equipment Co., Ltd. 제조, 모델 번호 : CLARIS)를 이용해서, 트리메틸포스핀(C₃H₉P)의 클러스터 이온을 생성하여, 탄소의 도스량 $5.0 \times 10^{14} \text{ atom/cm}^2$, 인의 도스량 $1.7 \times 10^{14} \text{ atom/cm}^2$, 탄소 1 원자 당 12.8keV/atom, 붕소 1 원자 당 12.8keV/atom의 조사 조건으로 실리콘 웨이퍼에 조사하였다. 이후, 실리콘 웨이퍼를 HF 세정 처리한 후, 개별 처리 방식의 에피텍셀 성장 장치(Applied Materials, Inc. 제조) 내로 반송하고, 장치 내에서 1120℃의 온도로 30초의 수소 베이킹 처리를 실시한 후, 수소를 캐리어 가스, 트리클로로실란을 소스 가스, 포스핀(PH₃)을 도펀트 가스로 하여 1000~1150℃에서 CVD법에 의해, 실리콘 웨이퍼 상에 실리콘의 에피텍셀층(두께 : 6 μm , 도펀트 종류 : 인, 도펀트 농도 : $5 \times 10^{15} \text{ atom/cm}^3$)을 에피텍셀 성장시켜, 본 발명에 따른 실리콘 에피텍셀 웨이퍼를 제작하였다.
- [0088] (실시예 2)
- [0089] 실시예 1과 동일한 실리콘 웨이퍼에 대해, 트리메틸포스핀 대신에, 트리메틸보란(C₃H₉B)을 재료 가스로 하여, 클러스터 이온을 생성하고, 붕소의 도스량을 $1.7 \times 10^{14} \text{ atom/cm}^2$, 붕소 1 원자 당의 가속 전압을 14.5keV/atom로 하고, 나아가 에피텍셀층(도펀트 종류 : 붕소, 도펀트 농도 : $5 \times 10^{15} \text{ atom/cm}^3$)으로 한 것 이외에는, 실시예 1과 동일한 조건으로, 본 발명에 따른 실리콘 에피텍셀 웨이퍼를 제작하였다.
- [0090] (비교예 1)
- [0091] 실시예 1과 동일한 실리콘 웨이퍼에 대해, 클러스터 이온 조사 대신에, CO₂를 재료 가스로 하여, 탄소의 모노머 이온을 생성하고, 도스량 $5.0 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로, 실리콘 웨이퍼에 주입하였다. 이후, 포스핀(PH₃)을 재료 가스로 하여, 인의 모노머 이온을 생성하고, 도스량 $1.7 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로 실리콘 웨이퍼에 주입한 것 이외에는, 실시예 1과 동일한 조건으로, 비교예에 따른シリ

콘 에피텍셀 웨이퍼를 제작하였다.

(비교예 2)

실시에 1과 동일한 실리콘 웨이퍼에 대해, 클러스터 이온 조사 대신에, CO₂를 재료 가스로 하여, 탄소의 모노머 이온을 생성하고, 도스량 $5.0 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로, 실리콘 웨이퍼에 주입하였다. 이후, BF₂를 재료 가스로 하여, 붕소의 모노머 이온을 생성하고, 도스량 $1.7 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로 실리콘 웨이퍼에 주입한 것 이외에는, 실시에 1과 동일한 조건으로, 비교예에 따른 실리콘 에피텍셀 웨이퍼를 제작하였다.

(비교예 3)

실시에 1과 동일한 실리콘 웨이퍼에 대해, 클러스터 이온 조사 대신에, CO₂를 재료 가스로 하여, 탄소의 모노머 이온을 생성하고, 도스량 $5.0 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 80keV/atom의 조건으로, 실리콘 웨이퍼에 주입한 것 이외에는, 실시에 1과 동일한 조건으로, 비교예에 따른 실리콘 에피텍셀 웨이퍼를 제작하였다.

(평가 방법 및 평가 결과)

(1) SIMS 측정

제작한 각 샘플에 대해 SIMS 측정을 행하여, 도 6(A), (B) 및 도 7(A), (B), (C)에 나타낸 탄소 및 도펀트 원소의 농도 프로파일을 얻었다. 단, 도 7(C)에 대해서는 도펀트 원소를 주입하지 않았으므로, 탄소의 농도 프로파일만 도시되어 있다. 참고로, 가로축의 깊이는 에피텍셀층의 표면을 제로로 하고 있다. 또한, 제작한 각 샘플에 대해, 에피텍셀층을 1 μm 까지 박막화한 후에 SIMS 측정을 행하였다. 이때 얻어진 탄소 및 도펀트 원소의 농도 프로파일의 반치폭, 피크 농도, 및 피크 위치(에피텍셀층을 제외한 실리콘 웨이퍼 표면으로부터의 피크 깊이)를, 각각 이하의 평가 기준으로 분류하여 표 1에 나타내었다.

반치폭

◎ : 100nm 이하

○ : 100nm 초과~125nm 이하

△ : 125nm 초과

피크 위치

◎ : 125nm 이하

○ : 125nm 초과~150nm 이하

△ : 150nm 초과

피크 농도

◎ : $5.0 \times 10^{19} \text{ atom/cm}^3$ 이상

○ : $2.0 \times 10^{19} \text{ atom/cm}^3$ 이상~ $5.0 \times 10^{19} \text{ atom/cm}^3$ 미만

△ : $2.0 \times 10^{19} \text{ atom/cm}^3$ 미만

(2) 게터링 능력 평가

제작한 각 샘플의 에피텍셀층 표면을, Ni 오염액($1.0 \times 10^{14} / \text{cm}^2$) 및 Cu 오염액($1.0 \times 10^{14} / \text{cm}^2$)으로 스핀 코트 오염법을 이용하여 고의로 오염시키고, 이어서 1000℃, 1시간의 확산 열처리를 실시하였다. 이후, SIMS 측정을 행함으로써 게터링 성능을 평가하였다. Ni 및 Cu의 포획량(SIMS 프로파일의 적분치)을 이하와 같이 각각 분류하여, 평가 기준으로 하였다. 평가 결과를 표 1에 나타내었다.

◎ : $7.5 \times 10^{13} \text{ atom/cm}^2$ 이상~ $1 \times 10^{14} \text{ atom/cm}^2$ 미만

[0114] ○ : $5.0 \times 10^{13} \text{ atom/cm}^2$ 이상 $\sim 7.5 \times 10^{13} \text{ atom/cm}^2$ 미만

[0115] △ : $5.0 \times 10^{13} \text{ atom/cm}^2$ 미만

[표 1]

	조사/주입 조건		실리콘 에피텍셀 웨이퍼				
	모노머/클러스터	이온종류	반도체	피크 위치	피크 농도	게터링 성능	
						Ni	Cu
실시예 1	클러스터 이온	C_3H_9P	C:⊙	C:⊙	C:⊙	⊙	⊙
			P:⊙	P:⊙	P:○		
비교예 1	모노머 이온	C/P	C:△	C:△	C:○	△	△
			P:○	P:○	P:△		
실시예 2	클러스터 이온	C_3H_9B	C:⊙	C:⊙	C:⊙	⊙	⊙
			B:⊙	B:⊙	B:○		
비교예 2	모노머 이온	C/B	C:△	C:△	C:○	△	△
			B:△	B:△	B:△		
비교예 3	모노머 이온	C	C:△	C:△	C:○	△	△

[0117]

[0118] (평가 결과의 고찰)

[0119] 도 6(A), (B)와 도 7(A), (B), (C)를 비교하면, 클러스터 이온 조사에 의해, 실시예 1, 2에서는 탄소 및 도펀트 원소가 국소적이며 고농도로 고용된 개질층이 형성됨을 알 수 있다. 그리고, 표 1에 나타낸 바와 같이, 실시예 1, 2는, 탄소 및 도펀트 원소의 농도 프로파일의 반치폭이 모두 100nm 이하이기 때문에, Ni 및 Cu 모두에 대해, 비교예 1~3보다 우수한 게터링 능력을 발휘하고 있음을 알 수 있다.

[0120] 도 6(A), (B), 도 7(A), (B)로부터 분명한 바와 같이, 모두 개질층 내에서는 에피텍셀층의 도펀트 농도(실시예 1 및 비교예 1은 인, 실시예 2 및 비교예 2는 붕소)보다 높은 피크 농도가 관찰되었다.

[0121] (산업상의 이용 가능성)

[0122] 본 발명에 의하면, 보다 높은 게터링 능력을 발휘함으로써, 금속 오염을 억제하는 것이 가능한 반도체 에피텍셀 웨이퍼를 얻을 수 있으며, 또한, 상기 반도체 에피텍셀 웨이퍼로부터 고품질의 고체 활상 소자를 형성할 수 있다.

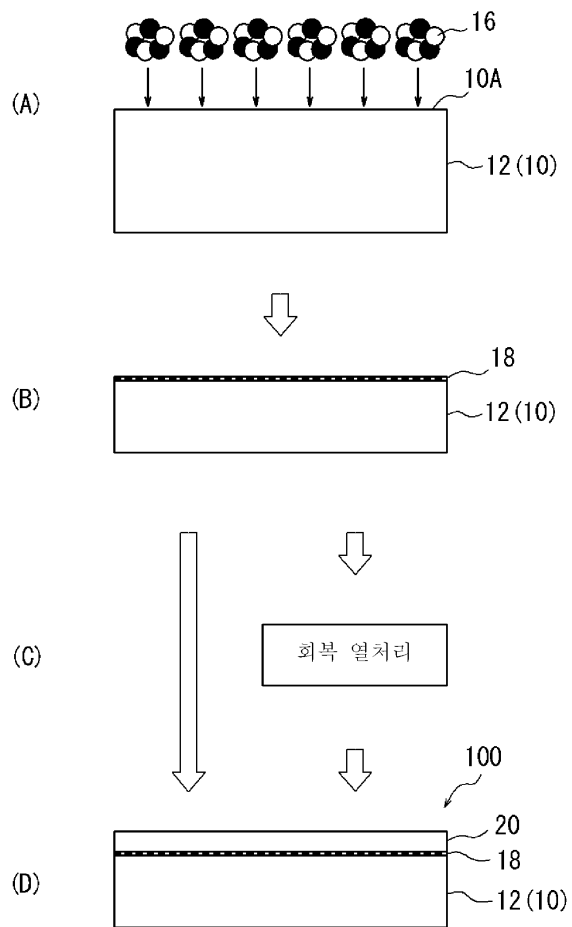
부호의 설명

[0123]

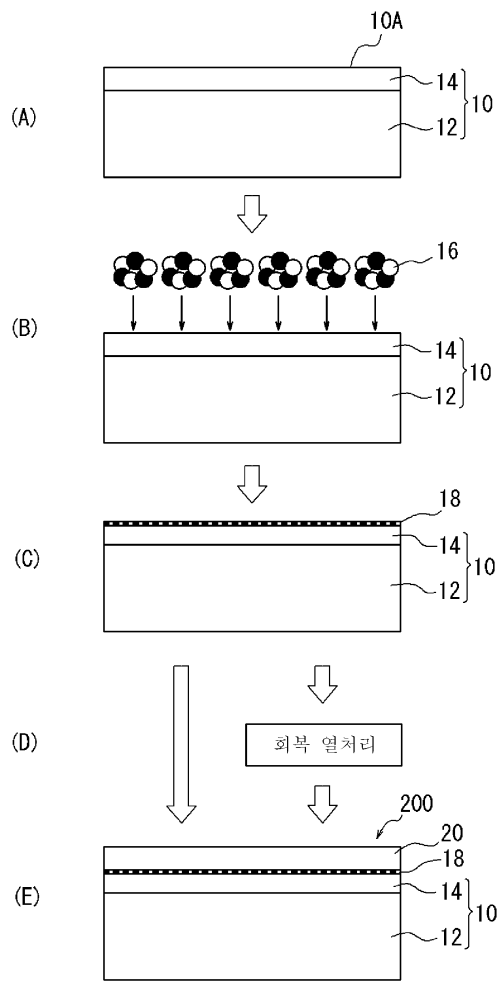
- 10 : 반도체 웨이퍼
- 10A : 반도체 웨이퍼의 표면
- 12 : 벌크 반도체 웨이퍼
- 14 : 제 1 에피텍셀층
- 16 : 클러스터 이온
- 18 : 개질층
- 20 : (제 2) 에피텍셀층
- 100 : 반도체 에피텍셀 웨이퍼
- 200 : 반도체 에피텍셀 웨이퍼

도면

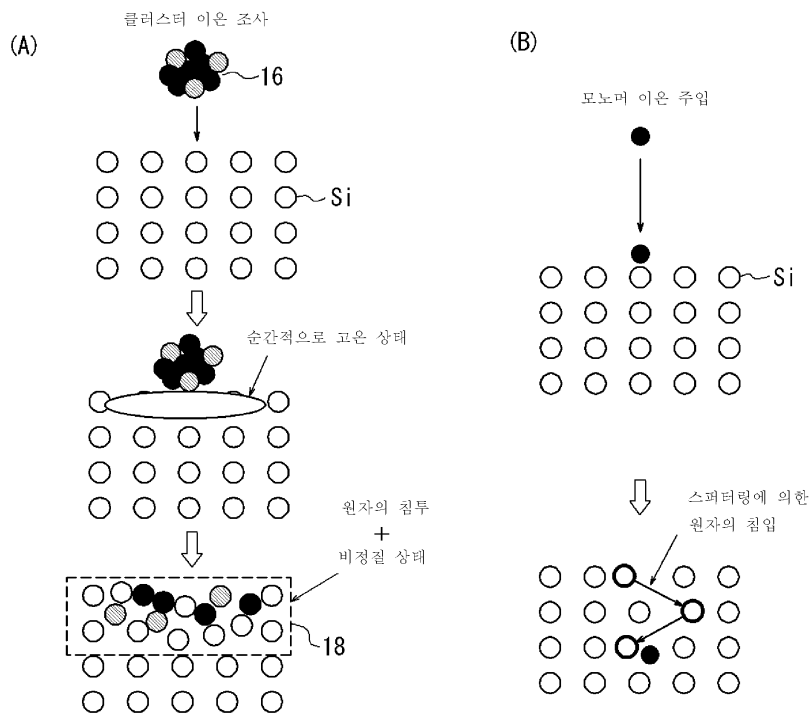
도면1



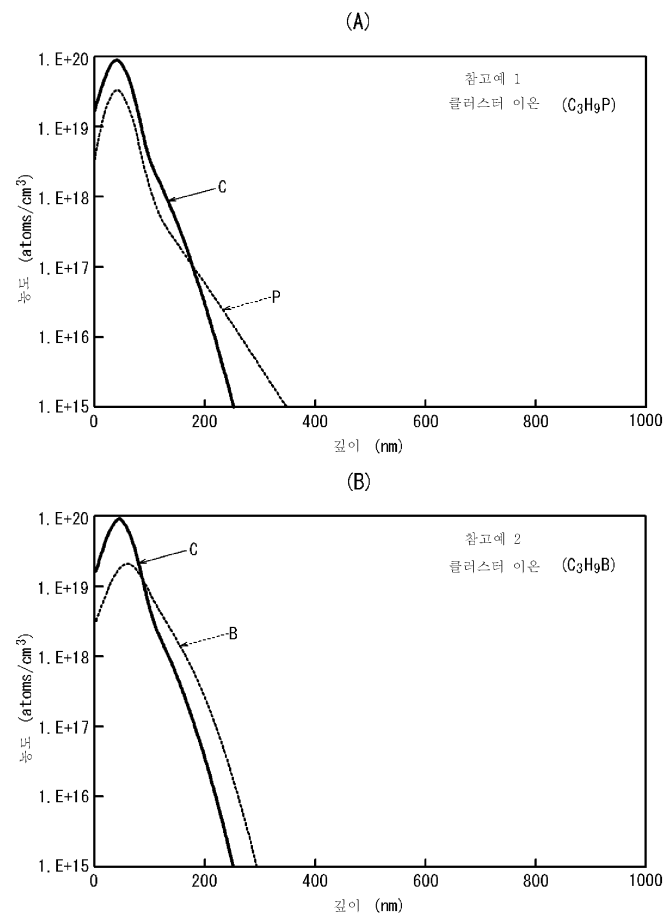
도면2



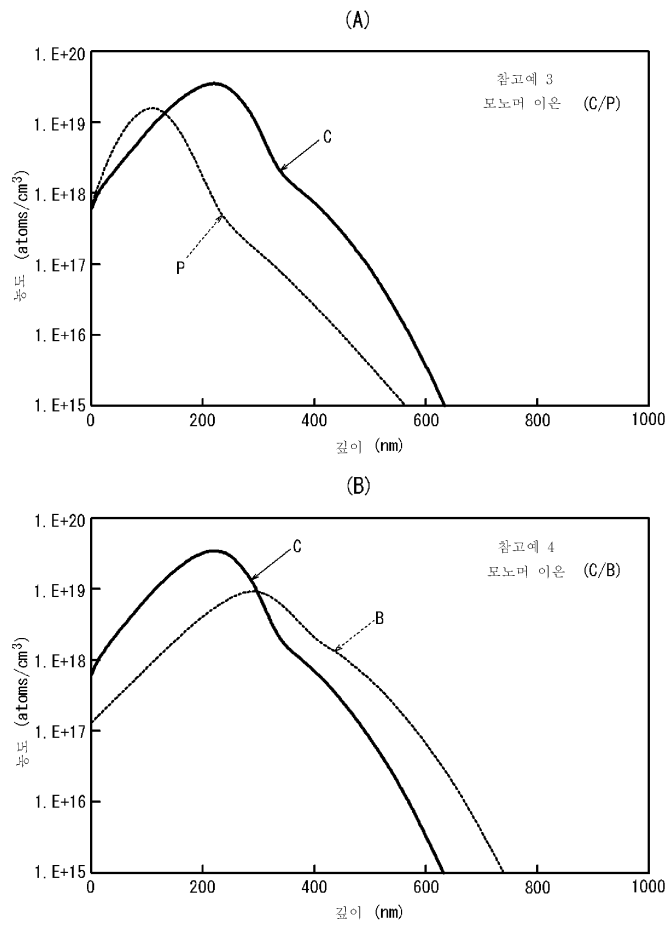
도면3



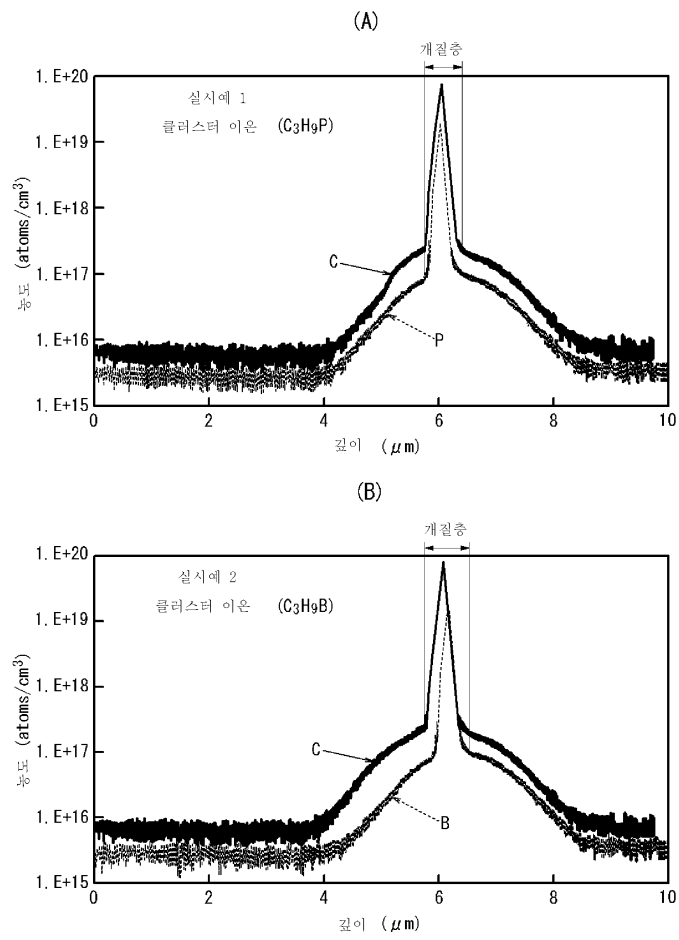
도면4



도면5



도면6



도면7

