



(12)发明专利

(10)授权公告号 CN 104425485 B

(45)授权公告日 2017.03.15

(21)申请号 201310375752.1

(22)申请日 2013.08.26

(65)同一申请的已公布的文献号

申请公布号 CN 104425485 A

(43)申请公布日 2015.03.18

(73)专利权人 武汉飞恩微电子有限公司

地址 430075 湖北省武汉市东湖开发区光
谷创业街7栋14楼

(72)发明人 曹钢 李凡亮 刘胜 付兴铭

(74)专利代理机构 上海市华诚律师事务所

31210

代理人 李平

(51)Int.Cl.

H01L 27/04(2006.01)

G01L 1/18(2006.01)

(56)对比文件

CN 203617298 U,2014.05.28,

CN 2069171 U,1991.01.09,

CN 201653604 U,2010.11.24,

CN 101271029 A,2008.09.24,

CN 102998037 A,2013.03.27,

审查员 王俊山

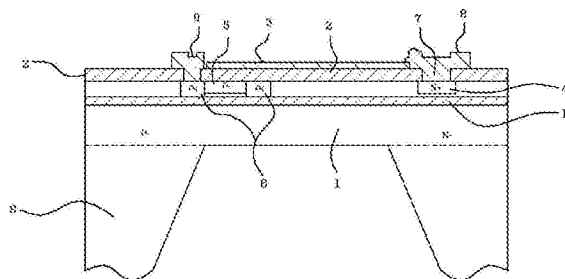
权利要求书1页 说明书3页 附图1页

(54)发明名称

一种硅压阻式压力传感器芯片

(57)摘要

一种硅压阻式压力传感器芯片,包括:硅压阻式压力传感器基本体、隔离层、增稳层、金属层、接触孔、硅衬底重掺杂区,其特征在于所述硅压阻式压力传感器由SOI硅片制作,在压敏电阻下方埋有二氧化硅层,隔离层覆盖在硅压阻式压力传感器基本体上,隔离层上刻蚀有接触孔,孔内充有金属,该金属与硅衬底重掺杂区进行欧姆接触并与芯片表面的金属层相连,增稳层设置在隔离层上,增稳层与接触孔内的金属经金属层实现电气连接,金属层上形成芯片的最高电位点,即传感器的供电焊盘。本发明的优点是在于未大幅改动传统硅压阻式压力传感器芯片的结构前提下,只需稍微改变一下硅压阻式压力传感器芯片的结构,增加少量工艺步骤就可以显著提升其输出稳定性。



1. 一种硅压阻式压力传感器芯片,包括:硅压阻式压力传感器基本体、隔离层、增稳层、金属层、接触孔、硅衬底重掺杂区,硅压阻式压力传感器基本体由压敏电阻、内部互连、压力感应膜片、焊盘、硅基体、二氧化硅埋层组成,其特征在于由SOI硅片制作的硅压阻式压力传感器芯片表面依次沉积隔离层和增稳层,在压敏电阻下方埋有二氧化硅层,由二氧化硅或氮化硅或二者组成复合层的隔离层覆盖在硅压阻式压力传感器基本体上,隔离层上刻蚀有接触孔,接触孔的位置处于硅衬底重掺杂区上方,接触孔内填充有金属,该金属与下方的硅衬底上重掺杂区进行欧姆接触,并与芯片表面的金属层相连,经化学气相沉积、蒸发、溅射方法制作的增稳层设置在隔离层上,由扩散掺杂或离子注入掺杂的方式在SOI硅片的表面衬底上制作的硅衬底重掺杂区为低阻区域,增稳层与接触孔内的金属经金属层实现电气连接,金属层上形成芯片的最高电位点,即传感器的供电焊盘。

2. 根据权利要求1所述的硅压阻式压力传感器芯片,其特征在于所述隔离层通过热氧生长制作或经化学气相沉积的方法制作。

3. 根据权利要求1所述的硅压阻式压力传感器芯片,其特征在于所述增稳层厚度在20纳米到500纳米之间,增稳层的覆盖区域包括硅压阻式压力传感器的压敏电阻区域及其内部电气互连区域。

4. 根据权利要求1所述的硅压阻式压力传感器芯片,其特征在于所述增稳层由与单晶硅热膨胀系数相近并具有一定导电性能的材料制作而成。

一种硅压阻式压力传感器芯片

技术领域

[0001] 本发明涉及一种测量压力的器件,特别涉及一种硅压阻式压力传感器芯片。

背景技术

[0002] 硅压阻式压力传感器是利用单晶硅材料的压阻效应和集成电路技术制成的传感器。单晶硅材料在受到力的作用后,电阻率发生变化,通过测量电路就可得到正比于力变化的电信号输出。硅压阻式压力传感器已广泛用于压力、拉力、压力差和可以转变为力的变化的其他物理量(如液位、加速度、重量、应变、流量、真空度)的测量和控制。

[0003] 目前被大批量生产和使用的硅压阻式压力传感器芯片都是在N型硅衬底上制作出P型压敏电阻。这是由于P型硅的压阻系数远远大于N型硅压阻系数,而且压敏电阻的方向性问题很容易解决。但这种设计也有不利之处。其一,当传感器工作时,P型压敏电阻上的电流会向N型硅衬底中漏电,而且漏电流的大小随着温度的升高而增大。这导致了传感器的输出漂移;其二,P型压敏电阻与N型硅衬底接触处形成空间电荷区。空间电荷区的宽度会影响压敏电阻的阻值。另一方面,传感器芯片表面和内部界面上静电荷和固定电荷会影响到该空间电荷区的宽度。因此,传感器芯片表面及内部界面上的静电荷和固定电荷会导致压阻式压力传感器的输出出现不稳定现象。

发明内容

[0004] 本发明的目的是针对目前硅压阻式压力传感器芯片因漏电和静电荷导致传感器输出不稳定的现象,本发明提供了一种用于提高硅压阻式压力传感器芯片稳定性结构的硅压阻式压力传感器芯片。本发明包括:硅压阻式压力传感器基本体、隔离层、增稳层、金属层、接触孔、硅衬底重掺杂区,硅压阻式压力传感器基本体由压敏电阻、内部互连、压力感应膜片、焊盘、硅基体、二氧化硅埋层组成。其特征在于由SOI(绝缘层上的硅)硅片制作的硅压阻式压力传感器芯片表面依次沉积隔离层和增稳层,在压敏电阻下方埋有二氧化硅层,由二氧化硅或氮化硅或二者组成复合层的隔离层覆盖在硅压阻式压力传感器基本体上,其作用是保护传感器芯片表面,并且将上方的增稳层和下面的芯片进行绝缘隔离。隔离层上刻蚀有接触孔,接触孔的位置处于硅衬底重掺杂区上方,接触孔内填充有金属,该金属与下方的硅衬底上重掺杂区进行欧姆接触,并与芯片表面的金属层相连,经化学气相沉积、蒸发、溅射方法制作的增稳层设置在隔离层上,由扩散掺杂或离子注入掺杂的方式在SOI(绝缘层上的硅)硅片的表面衬底上制作的硅衬底重掺杂区为低阻区域,增稳层与接触孔内的金属经金属层实现电气连接,金属层上形成芯片的最高电位点,即传感器的供电焊盘。

[0005] 所述隔离层通过热氧生长制作或经化学气相沉积的方法制作。

[0006] 所述增稳层厚度在20纳米到500纳米之间。增稳层的覆盖区域包括硅压阻式压力传感器的压敏电阻区域及其内部电气互连区域。

[0007] 所述增稳层的热膨胀系数(CTE)与单晶硅的CTE比较接近,以减小因该层引起的压力传感器迟滞和非线性。由与单晶硅热膨胀系数(CTE)相近为0~15ppm/°C、并具有一定导

电性能的材料制作而成。比较典型的材料有：掺杂多晶硅、铬的硅化物(硅铬合金)、镍铬合金、碳化硅、氮化钽、氮化钨、氮化钛/氮化钨、钛、铂、铬、钨、钼、锆、镍以及其它类型的可导电的氧化物、氮化物和合金。

[0008] 本发明的结构能够提高硅压阻式压力传感器芯片的稳定性，主要原因有三个。第一，使用SOI(绝缘层上的硅)硅片制作的压力传感器的压敏电阻下方埋有二氧化硅层，该层可以阻止电流从P型压敏电阻流向N型衬底，大大降低了漏电流；第二，该结构通过将SOI(绝缘层上的硅)硅片的表面衬底通过重掺杂的低阻区、金属化接触孔以及金属层连接到了最高电位点。当芯片工作时，N型衬底的电位比P型压敏电阻的电位要高，使得电流无法从P型压敏电阻流向N型衬底，再次降低了漏电流；第三，芯片表面的增稳层也通过金属层将电位固定在供电电压上，让芯片表面的静电荷以及芯片内部界面上的固定电荷产生的电场稳定下来，从而使得压敏电阻周围的空间电荷区的宽度固定下来，以达到稳定电阻的目的。

[0009] 本发明的优点是在于未大幅改动传统硅压阻式压力传感器芯片的结构前提下，只需稍微改变一下硅压阻式压力传感器芯片的结构，增加少量工艺步骤就可以显著提升其输出稳定性。

附图说明

[0010] 图1本发明的横截面结构示意图；

[0011] 图2本发明的俯视结构示意图。

[0012] 图中：1压力感应膜片、2隔离层、3增稳层、4硅衬底重掺杂区、5压敏电阻、6内部互连、7接触孔、8金属层、9硅基体、10供电焊盘、11二氧化硅埋层。

具体实施方式

[0013] 下面结合附图进一步说明本发明的实施例：

[0014] 参见图1、图2，本实施例包括：硅压阻式压力传感器基本体(包括压敏电阻5、内部互连6、压力感应膜片1、焊盘10、硅基体等9、二氧化硅埋层11)、隔离层2、增稳层3(在图2中表示为带珠子线条所围成的区域)、金属层8、接触孔7和硅衬底重掺杂区4。本实施例提出用于提高硅压阻式压力传感器芯片输出稳定性的结构使用SOI(绝缘层上的硅)硅片制作的压力传感器芯片，并将SOI(绝缘层上的硅)硅片的表面衬底通过接触孔7和金属层8连接到芯片的电位最高点(即供电焊盘10)，使得压敏电阻5和衬底之间形成的PN结反偏，阻止压敏电阻中的电流流向衬底。同时在芯片压敏电阻5和内部互连区域6位置上方制作增稳层3，并将其连接至芯片最高电位点(即供电焊盘10)，以固定增稳层3的电位，从而降低由于芯片表面的静电荷和内部界面上的固定电荷对传感器输出造成的影响。

[0015] 由于P型压敏电阻的压阻系数较大，而且方向性容易设计，所以目前被大量使用的硅压阻式压力传感器均是在N型硅衬底上制作P型压敏电阻。本实施例只针对N型衬底P型电阻这一类型压阻式压力传感器展开实施。围绕用于提高压阻式压力传感器稳定性的结构的制作流程加以说明，本实施例的工艺流程如下：

[0016] 1. 使用SOI(绝缘层上的硅)硅片制作压力传感器芯片的基本体。

[0017] 2. 使用扩散掺杂或者离子注入掺杂的方式在硅基体9上制作N型重掺杂区4，如图1中的N+区域。该重掺杂区的方块电阻很小，以便于与上方的金属形成欧姆接触；

[0018] 3. 使用热氧生长或化学气相沉积的方法在硅压阻式压力传感器芯片表面上制作一层二氧化硅或者氮化硅或者二者兼有的复合层,即图1中所示的隔离层2。隔离层的作用是将上方的增稳层3与芯片表面隔离开来;

[0019] 4. 在隔离层2表面使用蒸发、溅射、化学气相沉积等方法制作一层厚度为20~500纳米的增稳层3,如图1所示。增稳层3必须具有一定的导电性,并且热膨胀系数CTE需与硅热膨胀系数比较接近(0~15ppm/°C)。符合条件的材料中,常见的有:掺杂多晶硅、铬的硅化物(硅铬合金)、镍铬合金、碳化硅、氮化钽、氮化钨、氮化钛/氮化钨、钛、铂、铬、钨、钼、锆、镍以及其它类型的可导电的氧化物、氮化物和合金等。从图2中可以看到,增稳层3的覆盖范围包括压敏电阻5以及内部互连区域6;

[0020] 5. 在隔离层上使用湿法或干法刻蚀接触孔7。接触孔的位置在衬底重掺杂区4上方,如图1、图2所示;

[0021] 6. 在芯片表面制作金属层8。金属层将填满接触孔7,并将增稳层3、硅衬底重掺杂区4以及供电焊盘10连接在一起,形成一个等势体,如图1、图2所示。图2中接触孔7与供电焊盘10之间的金属层导线使用折断线,表示它们之间的电气连接可能十分复杂,甚至只是在电气意义上的等电势而非直接电气相连。

[0022] 以上步骤完成后,可以在整个结构上再制作一层氮化硅保护层,用于保护该结构。

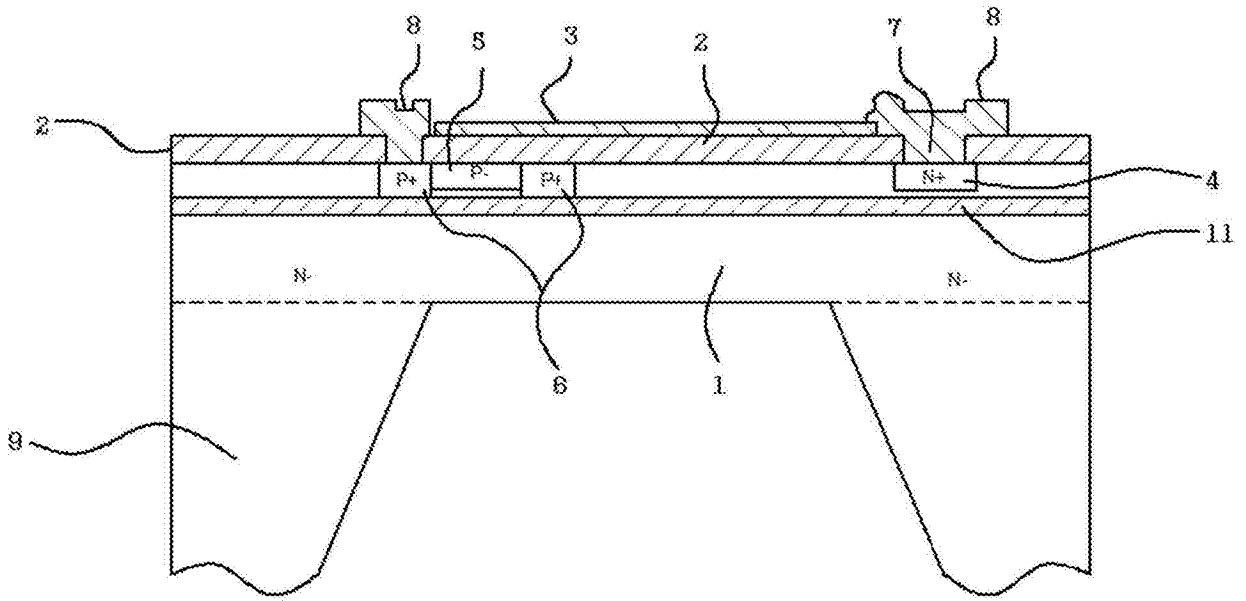


图1

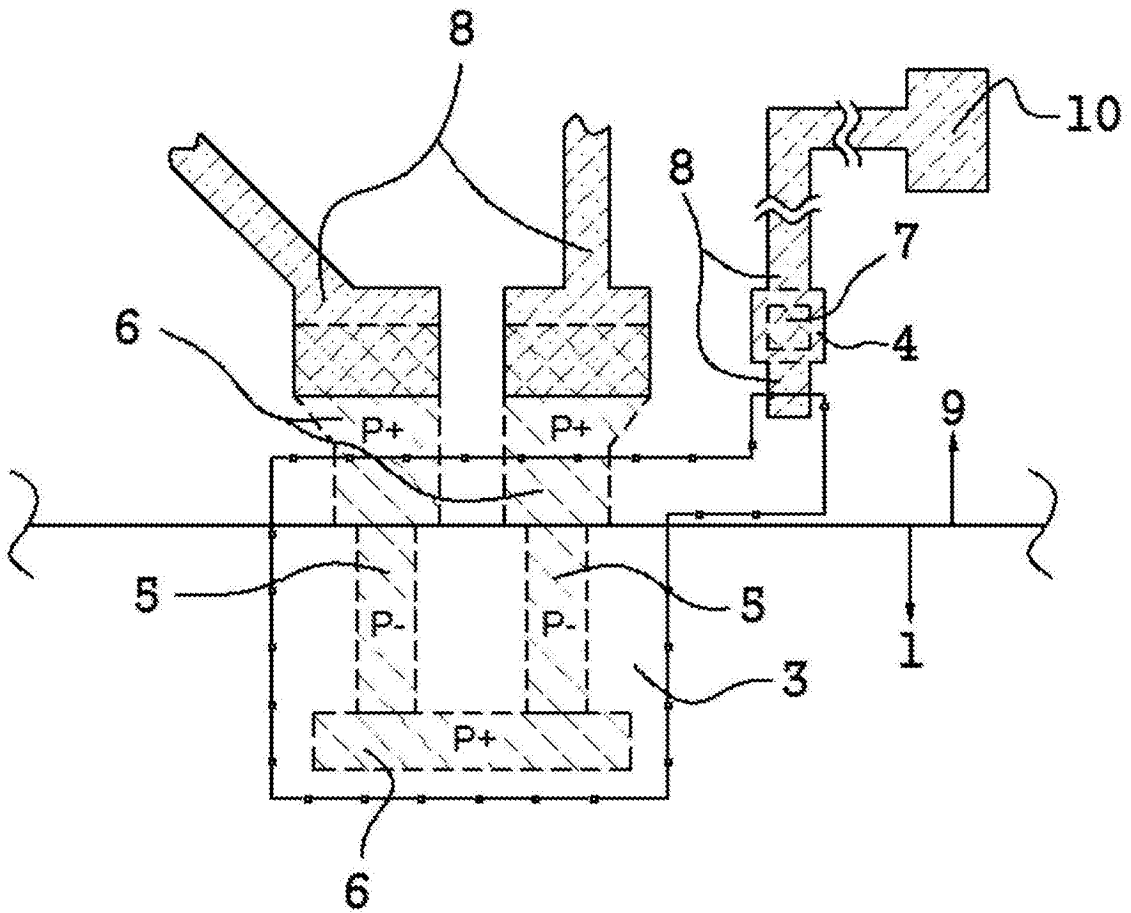


图2