

發明專利說明書

中文說明書替換本(100年2月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096126640

※ 申請日期：96.07.20.

※IPC 分類：G11C 16/04(2006.01)

G11C 16/34(2006.01)

一、發明名稱：(中文/英文)

程式化過程中用於耦合補償的方法和系統

METHOD AND SYSTEM THAT COMPENSATE FOR COUPLING

DURING PROGRAMMING

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

麗莎 K 托斯

TOTH, LIZAK.

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

顏 李

LI, YAN

國籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年07月20日；11/459,001

2. 美國；2006年07月20日；11/459,002

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於用於非揮發性記憶體之技術。

【先前技術】

半導體記憶體已變成愈來愈普遍運用在各種電子裝置中。舉例而言，行動電話、數位攝影機、個人數位助理、行動運算裝置、非行動運算裝置及其他裝置中皆使用非揮發性半導體記憶體。電可擦除可程式化唯讀記憶體 (Electrical Erasable Programmable Read Only Memory ; EEPROM) 及快閃記憶體係最普遍的非揮發性半導體記憶體。

EEPROM及快閃記憶體二者均利用半導體基板中定位在通道區上方且絕緣於通道區的浮動閘極。該浮動閘極係定位在源極區與汲極區之間。控制閘極係提供在浮動閘極上方且絕緣於浮動閘極。電晶體的臨限電壓受控於浮動閘極所保留的電荷量。即，在開通電晶體之前以允許在其源極與汲極之間的傳導而必須施加至控制閘極的最小電壓量係受控於浮動閘極上的電荷位準。

當程式化EEPROM或快閃記憶體裝置(諸如NAND型快閃記憶體裝置)時，典型地，施加一程式化電壓至控制閘極且使位元線接地。來自通道的電子被注入至浮動閘極。當電子累積於浮動閘極中時，浮動閘極變成荷載負電荷狀態，並且記憶體單元的臨限電壓上升，使得記憶體單元係處於已程式化狀態。如需關於程式化之詳細資訊，請參閱

美國專利案第 6,859,397 號題為題為 "Source Side Self Boosting Technique for Non-Volatile Memory" 及美國專利案第 6,917,545 號題為 "Detecting Over Programmed Memory"，該等案整份內容以引用方式併入本文中。

一些 EEPROM 及快閃記憶體裝置具有用於儲存兩種範圍電荷的浮動閘極，並且因此可在兩種狀態(經擦除狀態與經程式化狀態)之間程式化/擦除記憶體單元。此類快閃記憶體裝置有時候稱為二元式(binary)快閃記憶體裝置。

一種多狀態式快閃記憶體裝置係藉由識別以禁用範圍相隔離的多重相異允許/有效程式化臨限電壓範圍予以實施。每一相異臨限電壓範圍對應於一用於記憶體裝置中編碼之各組資料位元的預先決定值。

浮動閘極上儲存之表觀電荷(apparent charge)的偏移可引起因於基於相鄰浮動閘極中儲存之電荷的電場耦合而發生。美國專利第 5,867,429 號中描述此浮動閘極至浮動閘極耦合現象，該案整份內容以引用方式併入本文中。對一目標浮動閘極的一相鄰浮動閘極之一項實例包括經連接至相同字線且連接至一相鄰位元線的一浮動閘極。

因為在多狀態式裝置中的受允許之臨限電壓範圍與禁用範圍較窄於二元式裝置，所以對於多狀態式裝置較關切浮動閘極至浮動閘極耦合之效應。因此，浮動閘極至浮動閘極耦合現象可導致記憶體單元自一受允許臨限電壓範圍偏移至禁用範圍。

浮動閘極至浮動閘極耦合可發生於在不同時間已程式化

之若干組相鄰記憶體單元之間。舉例而言，一第一記憶體單元經程式化以將一電荷位準加至其浮動閘極，其對應於一組資料。其後，一或多個相鄰記憶體單元經程式化，以將一電荷位準加至其浮動閘極，其對應於一第二組資料。該等相鄰記憶體單元中之一或多個記憶體單元經程式化之後，因為該等相鄰記憶體單元上的電荷耦合至該第一記憶體單元之效應，所以讀取自該第一記憶體單元的電荷位準似乎不同於所程式化的電荷位準。來自相鄰記憶體單元的耦合可使讀取中之表觀電荷位準偏移，其偏移量足以導致錯誤讀取所儲存之資料。

浮動閘極至浮動閘極耦合亦可發生於在同一時間已程式化之若干組相鄰記憶體單元之間。舉例而言，兩個相鄰多狀態式記憶體單元可被程式化至不同目標位準，使得一第一記憶體單元被程式化至相對應於一較低臨限電壓之一狀態，並且一第二記憶體單元被程式化至相對應於一較高臨限電壓之一狀態。在該第二記憶體單元抵達相對應於該較高臨限電壓之該狀態之前，正被程式化至相對應於該較低臨限電壓之該狀態的記憶體單元很可能抵達該狀態並且被鎖定而無法進行進一步程式化。在該第二記憶體單元抵達相對應於該較高臨限電壓之該狀態之後，該第二記憶體單元將耦合至該第一記憶體單元，並且造成該第一記憶體具有高於經程式化的表觀臨限電壓。

隨著記憶體單元尺寸持續縮小，預期自然臨限電壓程式化與擦除分佈歸因於短通道效應、較大之氧化物厚度/耦

合比率變化及更大之通道摻雜物波動而增大，藉此減小介於相鄰狀態之間的可用分隔。與僅使用兩種狀態之記憶體(二元式記憶體)相比，多狀態式記憶體之此效應更加顯著。另外，介於字線之間的空間及介於位元線之間的空間之減小亦將亦增大介於相鄰浮動閘極之間的耦合。

因此，需要減小相鄰浮動閘極之間的耦合效應。

【發明內容】

本文描述用於減小相鄰浮動閘極之間耦合效應之技術。一項具體實施例包括：減小位於不同位元線上之相鄰浮動閘極之間的耦合效應。但是，在其他具體實施例中，本文描述之技術可用於介於其他組浮動閘極(或不利用浮動閘極的其他組記憶體單元)之間的耦合。

一項具體實施例包括：程式化非揮發性儲存元件至相關聯於一特定經程式化狀態的一粗略驗證位準；執行額外程式化該等非揮發性儲存元件中之一第一子組非揮發性儲存元件至相關聯於該特定經程式化狀態的一第一精細驗證位準；及執行額外程式化該等非揮發性儲存元件中之一第二子組非揮發性儲存元件至相關聯於該特定經程式化狀態的一第二精細驗證位準。

另一項具體實施例包括：運用一第一粗略程式化過程，使用一粗略驗證位準，程式化該等非揮發性儲存元件中之一第一子組非揮發性儲存元件，並且運用一精細程式化過程，使用兩個精細驗證位準，程式化該等非揮發性儲存元件中之該第一子組非揮發性儲存元件；及運用該第一粗略

程式化過程，對於每一額外經程式化狀態，使用一粗略驗證位準，程式化該等非揮發性儲存元件中之額外子組非揮發性儲存元件，並且運用該精細程式化過程，對於每一額外經程式化狀態，使用一精細驗證位準，程式化該等非揮發性儲存元件中之該等額外子組非揮發性儲存元件。

一項具體實施例包括：使用用於一特定經程式化狀態的一第一最終目標位準，程式化該等非揮發性儲存元件中之一第一組非揮發性儲存元件至該特定經程式化狀態；及使用用於該特定經程式化狀態的另一最終目標位準，程式化該等非揮發性儲存元件中之一第二組非揮發性儲存元件至該特定經程式化狀態。該第一組非揮發性儲存元件係位於已識別出用於程式化至一不同經程式化狀態之非揮發性儲存元件的旁邊。該第二組非揮發性儲存元件非位於已識別出用於程式化至該不同經程式化狀態之非揮發性儲存元件的旁邊。

另一項具體實施例包括：使用用於一特定經程式化狀態的一第一最終目標位準，程式化該等非揮發性儲存元件中之一第一組非揮發性儲存元件至該特定經程式化狀態；及使用用於該特定經程式化狀態的另一最終目標位準，程式化該等非揮發性儲存元件中之一第二組非揮發性儲存元件至該特定經程式化狀態；及使用一不同最終目標位準，程式化額外該等非揮發性儲存元件至一不同經程式化狀態。該第一組非揮發性儲存元件係位於已識別出用於程式化至該不同經程式化狀態之非揮發性儲存元件的旁邊。

可藉由各種裝置實行本文中說明的各種方法。一項適合設備之實例包括：非揮發性儲存元件；控制線，該等控制線連通於該等非揮發性儲存元件；及一管理電路，其連通於該等非揮發性儲存元件及該等控制線。該管理電路實行本文中說明的方法。在各項具體實施例中，該管理電路包括控制電路、一功率控制電路、一解碼器、一狀態機、一控制器及感測組塊中之任一項或一組合。亦可包括其他電路。

【實施方式】

適合實施本發明之一種記憶體系統之一項實例使用 NAND 型快閃記憶體結構，其包括介於兩個選擇閘極之間串聯排列的多個電晶體。串聯的該等電晶體與該等選擇閘極被稱為一 NAND 串。圖 1 繪示 NAND 串的俯視圖。圖 2 繪示其同等電路。圖 1 及 2 所示之該 NAND 串包括夾在一第一選擇閘極 120 與一第二選擇閘極 122 之間串聯的四個電晶體 100、102、104 和 106。選擇閘極 120 閘控接至位元線 126 的 NAND 串連接。選擇閘極 122 閘控接至源極線 128 的 NAND 串連接。藉由將適當電壓施加至控制閘極 120CG 來控制選擇閘極 120。藉由將適當電壓施加至控制閘極 122CG 來控制選擇閘極 122。電晶體 100、102、104 和 106 各具有一控制閘極及一浮動閘極。電晶體 100 具有控制閘極 100CG 及浮動閘極 100FG。電晶體 102 包括控制閘極 102CG 及浮動閘極 102FG。電晶體 104 包括控制閘極 104CG 及浮動閘極 104FG。電晶體 106 包括控制閘極 106CG 及浮動閘極

106FG。控制閘極100CG係連接至(或係)字線WL3，控制閘極102CG係連接至字線WL2，控制閘極104CG係連接至字線WL1，及控制閘極106CG係連接至字線WL0。在一項具體實施例中，電晶體100、102、104和106皆係記憶體單元。在其他具體實施例中，記憶體單元可包括多個電晶體，或可能係不同於圖1及圖2所繪示之記憶體單元。選擇閘極120連接至選擇線SGD。選擇閘極122連接至選擇線SGS。

圖3繪示上文所述之NAND串的剖面圖。如圖3所示，NAND串的電晶體係形成在p井區140中。每一電晶體包括一種堆疊式閘極結構，其係由一控制閘極(100CG、102CG、104CG和106CG)與一浮動閘極(100FG、102FG、104FG和106FG)所組成。控制閘極與浮動閘極典型係藉由沉積複晶矽層予以形成。浮動閘極係形成在氧化物或其他介電膜頂部上的p井表面上。控制閘極係在浮動閘極上方，有一複晶矽間介電層使控制閘極與浮動閘極相分隔。記憶體單元(100、102、104和106)的控制閘極形成字線。鄰近記憶體單元之間共用N+摻雜擴散區130、132、134、136和138，藉此使記憶體單元互相串聯連接而形成一NAND串。彼等N+摻雜區形成該等記憶體單元中之每一記憶體的源極及汲極。舉例而言，N+摻雜區130充當電晶體122的汲極及電晶體106的源極；N+摻雜區132充當電晶體106的汲極及電晶體104的源極；N+摻雜區134充當電晶體104的汲極及電晶體102的源極；N+摻雜區136充當電晶體

102的汲極及電晶體100的源極；以及N+摻雜區138充當電晶體100的汲極及電晶體120的源極。N+摻雜區126連接至該NAND串的位元線，而N+摻雜區128連接至一用於多個NAND串的共同源極線。

請注意，雖然圖1至圖3繪示出在該NAND串中有四個記憶體單元，但是使用四個記憶體單元僅係作為一項實例子以提供。連同本文描述之技術一起使用之一NAND串可具有少於四個記憶體單元或多於四個記憶體單元。舉例而言，一些NAND串將包括8個記憶體單元、16個記憶體單元、32個記憶體單元、64個記憶體單元等等。本文中之論述未限定一NAND串中的任何特定記憶體單元數量。

每一記憶體單元可儲存以類比或數位形式表示之資料。當儲存一位元之數位資料時，記憶體單元之可能的臨限電壓範圍被劃分成經指派為邏輯資料"1"及"0"的兩段範圍。在NAND型快閃記憶體之一項實例中，記憶體單元被擦除之後的臨限電壓為負且被定義為邏輯"1"。程式化操作之後的臨限電壓為正且被定義為邏輯"0"。當臨限電壓為負且嘗試施加0伏至控制閘極來進行讀取時，記憶體單元將開通以指示出正在儲存邏輯"1"。當臨限電壓為正且嘗試施加0伏至控制閘極來進行讀取操作時，記憶體單元未開通，其指示出儲存邏輯"0"。儲存一個位元之數位資料的記憶體單元稱為二元式記憶體單元。

記憶體單元亦可以儲存多位元數位資料。此記憶體單元稱為多狀態式記憶體單元。多狀態式記憶體單元的臨限電

壓窗被分成若干狀態。舉例而言，如果使用四種狀態，則將有四個臨限電壓範圍指派給資料值"11"、"10"、"01"及"00"。在NAND型記憶體之一項實例中，擦除操作之後的臨限電壓為負且被定義為"11"。正臨限電壓係用於狀態"10"、"01"及"00"。

以下美國專利案/專利申請案中提供NAND型快閃記憶體及其運作的相關實例，所有該等案整份內容均以引用方式併入本文中：美國專利案第5,570,315號；美國專利案第5,774,397號；美國專利案第6,046,935號；美國專利案第5,386,422號；美國專利案第6,456,528號及美國專利申請案序號第09/893,277號(公告第US 2003/0002348號)。除了NAND型快閃記憶體以外的其他類型非揮發性記憶體亦可配合本發明一起使用。

對快閃EEPROM系統很有用的另一類型記憶體單元利用一非傳導介電材料來取代一傳導浮動閘極，用以用非揮發性方式來儲存電荷。1987年3月IEEE Electron Device Letters第EDL-8卷第3號第93-95頁Chan等人的"A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device"文章中描述此種記憶體單元。一由氧化矽、氮化矽、氮氧化矽("ONO")所形成之三層式介電被夾在一傳導控制閘極與在記憶體單元通道上方之一半導體基板之一表面之間。可藉由將電子自記憶體單元通道注入至氮化物(此處電子被截獲且儲存在受限區域中)中，來程式化記憶體單元。接著，此儲存之電荷以可偵測方式變更記憶體單元之通道之

一部分的臨限電壓。藉由將熱電洞注入至氮化物中來擦除記憶體單元。亦請參閱1991年4月IEEE Journal of Solid-State Circuits第26卷第4號第497-501頁Nozaki等人的"A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application"，其描述一種分割閘極(split-gate)組態之類似記憶體單元，其中一經摻雜之複晶矽閘極延伸於記憶體單元通道之一部分上，以形成一分開的選擇電晶體。前文提及之兩篇文章整份內容均以引用方式併入本文中。1998年IEEE Press由William D. Brown與Joe E. Brewer主編之"Nonvolatile Semiconductor Memory Technology"第1.2節中提出程式化技術(其以引用方式併入本文中)，該章節中的描述亦適用於介電電荷截獲裝置。此段落中描述之記憶體單元亦可配合本發明一起使用。因此，本文描述之技術亦適用於不同記憶體單元之介電區域之間的耦合。

2000年11月IEEE Electron Device Letters第21卷第11號第543-545頁Eitan等人的"NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell"已描述另一種在每一記憶體單元中儲存兩個位元的做法。ONO介電層延伸跨越源極及汲極擴散之間的通道。一個資料位元的電荷會被局部化在相鄰於汲極的介電層中，而另一個資料位元的電荷被局部化在相鄰於源極的介電層中。藉由分開讀取介電質內空間上分開之電荷儲存區的二元狀態(binary state)而獲得多重狀態資料儲存。此段落中描述之記憶體單元亦可配合本發明一起使用。

圖4繪示NAND單元陣列之實例，諸如圖1至圖3中所示之NAND單元。沿每一行，一位元線206耦合至用於NAND串150的汲極選擇閘極之汲極終端126。沿每一列NAND串，一源極線204可連接至所有該等NAND串之源極選擇閘極之源極終端128。如需作為記憶體系統之部件的NAND架構陣列及其運作之實例，請參閱美國專利案第5,570,315號；第5,774,397號；及第6,046,935號。

記憶體單元陣列被劃分成大量記憶體單元區塊。如同快閃EEPROM系統，區塊係擦除單位。即，每一區塊包含可一起抹除的最少數數量之記憶體單元。每一區塊典型被劃分成若干頁。一頁係一程式化單位。在一項具體實施例中，個別頁可被劃分成若干節段(segment)，並且節段可包含作為一基本程式化操作而一次寫入的最少數數量之記憶體單元。一或多頁資料典型被儲存於一系列記憶體單元中。一頁可儲存一或多個區段(sector)。一區段包括使用者資料及附加項(overhead)資料。附加項資料典型包括一已從該區段之使用者資料所計算的錯誤修正碼(ECC)。控制器之一部分(在下文描述)在將資料程式化至陣列中時計算該ECC，並且當自陣列讀取資料時亦檢查該ECC。替代做法為，將ECC及/或其他附加項資料儲存在不同於使用者資料所屬的頁(或甚至不同區塊)中。一區段之使用者資料典型係512個位元組，其相對應於磁碟機中之一磁區(sector)的大小。附加項資料典型係額外的16-20個位元組。大量頁形成一區塊，舉例而言，其為從8頁至最多32、64、128或更多頁。

圖5繪示根據本發明一項具體實施例之記憶體裝置296，其具有用於平行讀取及程式化一頁記憶體單元之讀取/寫入電路。記憶體裝置296可包括一或多個記憶體晶粒298。記憶體晶粒298包括一個二維記憶體單元陣列300、控制電路310及讀取/寫入電路365。在一些具體實施例中，記憶體單元可能係三維。記憶體單元係藉由各種控制線予以控制及存取，諸如位元線、字線、源極線及用於控制記憶體陣列的其他線路。舉例而言，記憶體陣列300係可經由一列解碼器330藉由字線與經由一行解碼器360藉由位元線予以定址。讀取/寫入電路365包括多個感測組塊400，並且允許平行地讀取或程式化一頁記憶體單元。典型地，在相同於一或多個記憶體晶粒298的記憶體裝置296(例如，可卸除式儲存卡)中包括一控制器350。命令與資料係經由線路320以在主機與控制器350之間傳送並且經由線路318以在該控制器與一或多個記憶體晶粒298之間傳送。

控制電路310與讀取/寫入電路365協作以執行關於記憶體陣列300的記憶體操作。控制電路310包括一狀態機312、一晶片上位址解碼器314及一功率控制模組316。狀態機312提供記憶體操作之晶片層級控制。晶片上位址解碼器314提供一介於主機或一記憶體控制器使用之硬體位址與解碼器330和360使用之硬體位址之間的位址介面。功率控制模組316控制在記憶體操作期間供應至字線與位元線的功率與電壓。

在一些實施方案中，可組合圖5的一些組件。在各種設

計中，圖5之除記憶體單元陣列300外的一或多個組件(單獨式或組合式)可視為一管理電路。舉例而言，管理電路可包括如下中任一項或其組合：控制電路310、狀態機312、解碼器314/360、功率控制模組316、感測組塊400、讀取/寫入電路365、控制器350等等。

圖6繪示圖5所示之記憶體裝置296的另一配置。藉由各種周邊電路對記憶體陣列300之存取係在該陣列之相對立側處以對稱方式予以實施，使得每一側之存取線路與電路之密度減少一倍。因此，列解碼器被分割成列解碼器330A與330B，並且行解碼器被分割成行解碼器360A與360B。同樣地，讀取/寫入電路被分割成讀取/寫入電路365A(其從記憶體陣列300底端連接至位元線)與讀取/寫入電路365B(其從記憶體陣列頂端連接至位元線)以此方式，使讀取/寫入模組之密度實質上減小一倍。圖6之裝置亦可包括一控制器，如同如上文所述之圖5之裝置。

請參閱圖7，圖中繪示記憶體單元陣列300之示範性結構。作為一項實例，描述一種被分割成1,024個區塊的NAND快閃EEPROM。可以同時擦除每一區塊中儲存的資料。在一項具體實施例中，區塊係被同時擦除之記憶體單元的最小單位。在此實例中，每一區塊中有相對應於位元線BL0、BL1、...、BL8511的8,512行。在一項具體實施例中，於讀取操作及程式化操作期間，可同時選擇一區塊的所有位元線。沿一共同字線且連接至任何位元線的記憶體單元可被同時程式化。

在另一具體實施例中，位元線被劃分成奇數位元線及偶數位元線。在一種奇數/偶數位元線架構中，對沿一共同字線且連接至奇數位元線的記憶體單元進行一次程式化，並且對沿一共同字線且連接至偶數位元線的記憶體單元進行另一次程式化。

圖 7 繪示串聯連接以形成一 NAND 串的四個記憶體單元。雖然圖中繪示每一 NAND 串中包括四個記憶體單元，但是可以使用四個以上或以下記憶體單元(例如，16、32 或其他數量)。NAND 串的一終端係經由一汲極選擇閘極(其連接至選擇閘極汲極線 SGD)而連接至一相對應之位元線，並且另一終端係經由一源極選擇閘極(其連接至選擇閘極源極線 SGS)而連接至共同源極線。

圖 8 繪示個別感測組塊 400 之方塊圖，該感測組塊被分成一核心部分(稱為感測模組 380)與一共同部分 390。在一項具體實施例中，對於每一位元線有一個分開之感測模組 380，並且對於一組多個感測模組 380 有一個共同部分 390。在一項實例中，一感測組塊將包括一個共同部分 390 及八個感測模組 380。一群組中的每一感測模組將經由一資料匯流排 372 以與相關聯之共同部分通信。如需詳細資訊，請參閱 2004 年 12 月 29 日申請之美國專利申請案第 11/026,536 號題為 "Non-Volatile Memory & Method with Shared Processing for an Aggregate of Sense Amplifiers"，該案整份內容以引用方式併入本文中。

感測模組 380 包括感測電路 370，該感測電路判定一經連

接之位元線中的一傳導電流是否高於或低於一預先決定臨限值準。感測模組380亦包括一位元線鎖存器382，該位元線鎖存器係用於設定該經連接之位元線上的電壓條件。舉例而言，鎖存於位元線鎖存器382中的一預先決定狀態將導致該經連接之位元線被拉至一指定程式化禁止之狀態(例如， V_{dd})。

共同部分390包括一處理器392、一組資料鎖存器394及一耦合於該組資料鎖存器394與資料匯流排320之間的一I/O介面396。處理器392執行運算。舉例而言，處理器之功能之一係判定經感測之記憶體單元中所儲存的資料，並且將該經判定之資料儲存於該組資料鎖存器中。該組資料鎖存器394係用於儲存在讀取操作期間處理器392所判定的資料位元。該組資料鎖存器亦用於儲存在程式化操作期間自資料匯流排320匯入的資料位元。經匯入之資料位元表示意欲程式化於記憶體中的寫入資料。I/O介面396提供一介於資料鎖存器394與資料匯流排320之間的介面。

於讀取與感測期間，系統之運作係在狀態機312之控制下，狀態機控制不同控制閘極電壓至經定址記憶體單元之供應。隨著逐步通過相對應於記憶體所支援之各種記憶體狀態的各種預先定義之控制閘極電壓，感測模組380可感測到彼等電壓之一，並且將經由資料匯流排372自感測模組380提供一輸出至處理器392。此時，處理器392藉由考量感測模組之感測事件及關於經由輸入線路393來自狀態機之經施加控制閘極的資訊來判定所得記憶體狀態。接

著，處理器運算該記憶體狀態之二進位編碼，並且將所得資料位元儲存於資料鎖存器394中。在核心部分之另一具體實施例中，位元線鎖存器382有雙重用途，其作為用於鎖存感測模組380之輸出的鎖存器且亦作為如上文所述之位元線鎖存器。

期預一些實施方案將包括多個處理器392。在一項具體實施例中，每一處理器392將包括一輸出線(圖9中未繪示)，使得每一輸出線被wired-OR在一起。在一些具體實施例中，該等輸出線在被連接至該wired-OR線之前先被反轉。此項組態實現在程式化驗證過程期間迅速判定已完成程式化過程之時間，此乃因接收wired-OR的狀態機可判定所有正被程式化的位元已達到所要位準。舉例而言，當每一位元已達到其所要位準時，該位元的一邏輯"0"將被發送至該wired-OR線(或一資料"1"被反轉)。當所有位元輸出一資料"0"(或一資料"1"被反轉)時，狀態機知道終止程式化過程。因為每一處理器與八個感測模組通信，所以狀態機必須讀取wired-OR線八次，或將用以累加相關聯之位元線之結果的邏輯加入至處理器392，使得狀態機僅需要讀取wired-OR線一次。同樣地，藉由正確選擇邏輯位準，全域性狀態機可偵測何時第一位元變更其狀態且據此變更演算法。

在程式化或驗證期間，來自資料匯流排320的待程式化之資料被儲存在該組資料鎖存器394中。在狀態機之控制下，程式化操作包括施加至經定址記憶體單元之控制閘極

的一連串程式化電壓脈衝。在每一程式化脈衝之後進行一驗證操作，以判定記憶體單元是否已被程式化至所要之狀態。處理器392相對於所要之記憶體狀態來監視所驗證之記憶體狀態。當該兩種記憶體狀態一致時，處理器392設定位元線鎖存器394，致使位元線拉至一指定程式化禁止之狀態。此禁止進一步程式化經耦合至該位元線的記憶體單元，即使該記憶體單元之控制閘極上有程式化脈衝出現。在其他具體實施例中，在驗證過程期間，處理器在開始時載入位元線鎖存器382，並且感測電路將其設定為一禁止值。

資料鎖存器堆疊394包含相對應於感測模組的一堆疊資料鎖存器。在一項具體實施例中，每感測模組380有三個資料鎖存器。在一些實施方案中(但非必須)，資料鎖存器被實施為一移位暫存器，使得儲存於其中的並列資料被轉換成用於資料匯流排320的串列資料，反之亦然。在較佳具體實施例中，相對應於 m 個記憶體單元之讀取/寫入組塊的所有資料鎖存器可被鏈接在一起，以形成一區塊移位暫存器，使得可藉由串列傳送來輸入或輸出一區塊資料。具體而言，含 r 個讀取/寫入模組之庫組(bank)經調適，使得其該組資料鎖存器之每一者將資料循序移入或移出資料匯流排，猶如其係屬於一用於整個讀取/寫入組塊之移位暫存器的部件。

如需關於非揮發性儲存裝置之各項具體實施例的結構及/或操作的額外資訊，請參閱：(1)2004年3月25日公告之

美國專利申請公開案第2004/0057287號題為"Non-Volatile Memory And Method With Reduced Source Line Bias Errors"；(2)2004年6月10日公告之美國專利申請公開案第2004/0109357號題為"Non-Volatile Memory And Method with Improved Sensing"；(3)發明人Raul-Adrian Cernea於2004年12月16日申請之美國專利申請案第11/015,199號題為"Improved Memory Sensing Circuit And Method For Low Voltage Operation"；(4)發明人Jian Chen於2005年4月5日申請之美國專利申請案第11/099,133號題為"Compensating for Coupling During Read Operations of Non-Volatile Memory"；以及(5)發明人Siu Lung Chan與Raul-Adrian Cernea於2005年12月28日申請之美國專利申請案第11/321,953號題為"Reference Sense Amplifier For Non-Volatile Memory"。以上列出之五份專利文件整份內容均以引用方式併入本文中。

圖9繪示感測模組380之實例，但是，亦可使用其他實施方案。感測模組380包括位元線隔離電晶體512、位元線下拉電路(電晶體522與550)、位元線電壓鉗位電晶體612、讀出匯流排傳送閘530、感測放大器600及位元線鎖存器382。位元線隔離電晶體512之一側被連接至位元線BL及電容器510。位元線隔離電晶體512之另一側被連接至位元線電壓鉗位電晶體612及位元線下拉電晶體522。位元線隔離電晶體512之閘極接收標示為BLS之訊號。位元線電壓鉗位電晶體612之閘極接收標示為BLC之訊號。位元線電壓

鉗位電晶體612係在節點SEN2處連接至讀出匯流排傳送閘530。讀出匯流排傳送閘530被連接至讀出匯流排532。位元線隔離電晶體612係在節點SEN2處連接至感測放大器600。在圖9所示之具體實施例中，感測放大器600包括電晶體613、634、641、642、643、654、656與658以及電容器電容器電容器Csa。位元線鎖存器382包括電晶體661、662、663、664、666與668。

一般而言，通常，以平行方式操作沿一字線的記憶體單元。因此，相對應數量之感測模組係以平行方式操作。在一項具體實施例中，一控制器提供控制訊號與時序訊號至以平行方式操作之感測模組。在一些具體實施例中，沿一字線之資料被劃分成多個頁，並且以一次一頁方式或以一次多頁方式讀取或程式化該資料。

當藉由訊號BLS而啟用位元線隔離電晶體512時，感測模組380可連接至用於一記憶體單元的位元線(例如，位元線BL)。感測模組380藉由感測放大器600來感測記憶體單元之傳導電流，並且鎖存讀取結果作為感測節點SEN2處之數位電壓位準並且經由傳送閘530將讀取結果輸出至讀出匯流排532。

感測放大器600包括一第二電壓鉗位電路(電晶體612與634)、一預充電電路(電晶體641、642與643)及一鑑別器(discriminator)或比較電路(電晶體654、656與658；及電容器Csa)。在一項具體實施例中，施加一參考電壓至正被讀取之記憶體單元的控制閘極。如果該參考電壓大於該記憶

體單元的臨限電壓，則將使記憶體單元開通並且在其源極與汲極之間傳導電流。如果該參考電壓不大於該記憶體單元的臨限電壓，則將使記憶體單元未開通並且未在其源極與汲極之間傳導電流。在許多實施方案中，開/關可係持續性轉變，使得該記憶體單元將回應不同控制閘極電壓而傳導不同電流。如果該記憶體單元係處於開通狀態並且正在傳導電流，則經傳導電流將使節點SEN上的電壓減小，有效率地充電或增大橫跨電容器Csa之電壓，其另一端子係處於 V_{dd} 。如果在一預先決定感測週期期間該節點SEN上的電壓放電至一預先決定位準，則該感測放大器600回應控制閘極電壓而報告該記憶體單元經開通。

感測模組380之一項特徵係在感測期間將一恆定電壓供應併入至位元線。此較佳係藉由位元線電壓鉗位電晶體612予以實行，在電晶體612串聯於位元線BL情況下，其運作如同箝位二極體(diode clamp)。該電晶體之閘極被加偏壓至高於其臨限電壓 V_T 的一恆定電壓BLC，該恆定電壓BLC等於所要位元線電壓 V_{BL} 。在此方式中，在程式化-驗證或讀取期間，該電晶體使位元線隔離於節點SEN，並且設定位元線的一恆定電壓位準，諸如設定所要 $V_{BL}=0.5$ 伏至0.7伏。一般而言，位元線電壓位準被設定至充分低以避免長預充電時間的位準，然而充分高以避免接地雜訊與其他因素的位準。

感測放大器600感測通過感測節點SEN的傳導電流，並且判定該傳導電流是否高於或低於一預先決定值。該感測

放大器將數位形式之所感測結果作為訊號SEN2輸出至讀出匯流排532。

亦輸出數位控制訊號INV(其實質上可係SEN2處之訊號的經反轉狀態)以控制下拉電路。當所感測之傳導電流高於預先決定值時，INV將係HIGH且SEN2將係LOW。下拉電路加強此結果。下拉電路包括一n型電晶體522(其受控於控制訊號INV)及另一n型電晶體550(其受控於控制訊號GRS)。當GRS訊號為LOW時，其允許位元線BL成為浮動狀態，而不顧及INV訊號之狀態。在程式化期間，GRS訊號轉變為HIGH時，以允許位元線BL被拉至接地且受控於INV。當需要位元線BL成為浮動狀態時，GRS訊號轉變為LOW。請注意，亦可使用其他設計的感測模組、感測放大器及鎖存器。

讀取/寫入電路365同時操作一頁之記憶體單元。該等讀取/寫入電路365中的每一感測模組380係經由一位元線而耦合至一相對應之記憶體單元。傳導電流自感測模組流經位元線而進入記憶體單元之汲極中並且自源極流出，之後行進通過一源極線而至接地。在積體電路晶片中，記憶體陣列中的記憶體單元之源極皆被連接在一起，作為經連接至記憶體晶片之某外部接地襯墊(例如，Vss襯墊)之源極線之多個分支。甚至當使用金屬帶(metal strapping)來減小源極線之電阻時，介於記憶體單元之源電極與接地襯墊之間仍然有一有限電阻R。典型地，接地迴路電阻R為約50歐姆。

對於正被平行感測之整頁記憶體，流動通過源極線之總電流係所有傳導電流之總和。一般而言，每一記憶體單元的傳導電流取決於經程式化至其電荷儲存元件的電荷量。對於記憶體單元之既定控制閘極電壓，小電荷將產生稍微較高之傳導電流。當一有限電阻存在於記憶體單元之源電極與接地襯墊之間時，藉由 $V_{drop} = i_{TOT} R$ 給定橫跨該電阻之電壓降。

舉例而言，如果4,256個位元線同時放電，每一者之電流為1 μA ，則源極線電壓降將等於4,000個線 \times 1微安培/線 \times 50歐姆 \sim 0.2伏。當感測記憶體單元之臨限電壓時，此源極線偏壓促成0.2伏之感測誤差。

在一組具體實施例中，一種用於減小源極線偏壓之方法係藉由具有用於多進程感測(multi-pass sensing)之特徵與技術的讀取/寫入電路予以達成。每一進程有助於用高於一既定鑑別電流值的傳導電流來識別及關閉記憶體單元。典型地，隨著每一進程，該既定鑑別電流值以漸進方式趨於習知單進程感測的中斷點電流值。在此方式中，由於較高之當前記憶體單元已被關閉，所以後續進程中的感測將受到源極線偏壓的影響較小。

舉例而言，可用兩次進程($j=0$ 至1)來實行多進程感測。在第一進程之後，識別出具有高於中斷點之傳導電流的記憶體單元，並且藉由關閉其傳導電流來移除彼等記憶體單元。一種關閉記憶體單元之傳導電流的較佳方式為：將彼等記憶體單元之位元線上的其汲極電壓設定至接地。在一

第二進程中，減少來自源極線偏壓的誤差。也可考慮兩次以上進程。在源極線偏壓將不造成誤差的具體實施例中，可使用一次進程進行感測。

圖 10(A)至 10(K)繪示用於解說在讀取/驗證操作期間感測模組 380 之一項具體實施例的時序圖。

階段 (0)：設定

感測模組 380(請參閱圖 9)係經由一啟用訊號 BLS(圖 10(A))而連接至相對應之位元線。用 BLC(圖 10(B))來啟用電壓鉗位。用一控制訊號 FLT(圖 10(C))來啟用預充電電晶體 642 以作為一受限制之電流源。

階段 (1)：受控制之預充電

藉由重設訊號 RST(圖 10(D))來初始化感測放大器 600，其經由電晶體 658 將訊號 INV(圖 10(H))拉至接地。因此，在重設之後，INV 被設定至 LOW。同時，p 型電晶體 663 將互補訊號 LAT 拉至 V_{dd} 或 HIGH(圖 10(H))。即，LAT 係 INV 之互補。隔離電晶體 634 受控於訊號 LAT。因此，在重設之後，隔離電晶體 634 被啟用以連接感測節點 SEN2 至感測放大器的內部感測節點 SEN。

預充電電晶體 642 透過內部感測節點 SEN 與感測節點 SEN2 對位元線 BL 進行預充電達一預先決定時間週期。這將使位元線成為用於感測其傳導狀態的最佳電壓。預充電電晶體 642 受控於控制訊號 FLT("FLOAT")。位元線將被上拉朝向如位元線電壓鉗位電晶體 612 所設定的所要位元線電壓。上拉速率將取決於位元線中的傳導電流。傳導電流

愈小，上拉愈快。

前文已描述：如果具有高於一預先決定值之傳導電流的記憶體單元被關閉並且排除其所促成的源極線偏壓，則可最小化歸因於源極線偏壓所導致的感測誤差。因此，預充電電晶體 642 有兩項功能。一項功能係將位元線預充電至一最佳感測器電壓。另一項功能係識別具有高於一用於 D.C.(直流)感測之預先決定值之傳導電流的記憶體單元，使得排除彼等者所促成的源極線偏壓。

藉由提供預充電電路(其作用如同用於供應一預先決定電流至位元線的電流源)來達成 D.C.感測。用以控制 p 型電晶體 642 之訊號 FLT 係致使其"程式化"一預先決定電流流動。作為一項實例，可自具有設定至 500 奈安培之參考電流的電流鏡來產生 FLT 訊號。當 p 型電晶體 642 形成電流鏡之鏡支腳時，其亦具有注入於其中的相同 500 奈安培。

圖 10(I1)至 10(I4)四個示範性位元線上的電壓，該四個位元線分別連接至具有 700 奈安培、400 奈安培、220 奈安培與 40 奈安培之傳導電流的記憶體單元。舉例而言，當預充電電路(其包括電晶體 642)係具有 500 奈安培之限制的電流源時，具有超過 500 奈安培之記憶體單元在位元線上汲取的電荷快於其可累積的電荷。結果，對於具有傳導電流 700 奈安培的位元線，其在內部感測節點 SEN 處的電壓或訊號將維持在接近 0 伏(諸如 0.1 伏；請參閱圖 10(I1))。另一方面，如果記憶體單元的傳導電流低於 500 奈安培，則預充電電路(其包括電晶體 642)將開始對位元線進行充電，並

且其電壓開始上升朝向經鉗位位元線電壓(例如，由電壓鉗位電晶體612所設定的0.5伏)(圖10(I2)至10(I4))。相應地，內部感測節點SEN將維持接近於0伏或被上拉至 V_{dd} (圖10(G))。一般而言，傳導電流愈小，將愈快使位元線電壓充電至經鉗位位元線電壓。因此，藉由在受控制之預充電階段之後檢查位元線上的電壓，使得可能識別經連接之記憶體單元是否具有高於或低於一預先決定位準之傳導電流。

階段(2)：自後續選通進行D.C.鎖存&移除高電流之記憶體單元

在受控制之預充電階段之後，一起始D.C.高電流感測階段開始於由鑑別器電路來感測節點SEN。該感測識別具有高於該預先決定位準之傳導電流的記憶體單元。該鑑別器電路包括串聯的兩個p型電晶體654與656，其上拉用於暫存訊號INV之節點。藉由一轉變為LOW的讀取選通訊號STB來啟用該p型電晶體654，藉由在該內部感測節點SEN處一轉變為LOW的訊號來啟用該p型電晶體656。高電流之記憶體單元將具有接近0伏之訊號SEN，或至少無法使其位元線預充電至充分高以關閉該p型電晶體656。舉例而言，如果弱上拉被限制至500奈安培之電流，則無法上拉具有700奈安培之傳導電流的記憶體單元(圖10(G1))。當STB選通LOW以進行鎖存時，INV被上拉至 V_{dd} 。此將用INV HIGH與LAT LOW(圖10(H1))來設定鎖存器電路382。

當INV係HIGH且LAT LOW時，隔離閘634被停用並且阻

隔該感測節點 SEN2 與該內部感測節點 SEN。同時，藉由下拉電晶體 522 將位元線拉至接地(圖 9 & 10(I1))。此將有效率地關閉位元線中的任何傳導電流，消除其所造成的源極線偏壓。

因此，在感測模組 380 之一項較佳實施方案中，採用一受限制電流源預充電電路。此提供額外或替代方式(D.C. 感測)，以識別載送高電流的位元線並且關閉彼等經識別之位元線，以最小化在後續感測中的源極線偏壓誤差。

在另一具體實施例中，預充電電路未經明確組態以協助識別高電流之位元線，而是，預充電電路經最佳化，以在記憶體系統可用的最大電流之容許範圍內，儘速上拉且預充電位元線。

階段(3)：復原/預充電

在感測先前尚未下拉之位元線中的傳導電流之前，藉由轉變為 LOW 的訊號 FLT 來啟動預充電電路，以將感測節點 SEN2 預充電至 V_{dd} (圖 10(C)及圖 10(I2)-10(I4))，並且可能已部分耦合的位元線歸因於相鄰位元線上的電壓減小而下降。

階段(4)：第一 A.C. 感測

在一項具體實施例中，藉由判定浮動之內部感測節點 SEN 處的電壓降來實行 A.C.(交流或瞬變)感測。這係藉由鑑別器電路(其採用經耦合至內部感測節點 SEN 的電容器 C_{sa})予以達成，並且考量正在用於充電(減小節點 SEN 上的電壓)之傳導電流的速率。在積體電路環境中，典型地用

一電晶體來實作電容器 C_{sa} ；但是，其他實施方案係適合的。電容器 C_{sa} 具有一預先決定電容(例如，30 fF)，其可經選擇以用於最佳電流判定。可藉由適當調整充電週期來設定鑑別電流值，典型在100奈安培至1000奈安培範圍內。

該鑑別器電路感測該內部感測節點 SEN 中的訊號 SEN。在每次感測之前，藉由預充電電晶體 642 將在該內部感測節點 SEN 處的訊號上拉至 V_{dd} 。此將初始設定橫跨電容器 C_{sa} 的電壓為零。

當感測放大器 600 準備好進行感測時，藉由轉變為 HIGH 之 FLT 來停用預充電電路(圖 10(C))。藉由確證(assertion)選通訊號 STB 來結束第一感測週期 T1。於感測週期期間，傳導中之記憶體單元所誘導的傳導電流將對電容器進行充電。透過位元線中之傳導電流的汲取動作，在 SEN 處的電壓將隨著對電容器 C_{sa} 進行充電而自 V_{dd} 減小。圖 10(G)(請參閱曲線 G2 至 G4)繪示相對應於其餘三個示範性位元線之節點 SEN，該三個位元線分別連接至具有 400 奈安培、220 奈安培與 40 奈安培之傳導電流的記憶體單元，記憶體單元的傳導電流愈高，減少速率愈快。

階段(5)：自後續感測進行 A.C. 鎖存及移除較高電流之記憶體單元

在第一預先決定感測週期結束時，節點 SEN 將已減小至某電壓，其取決於位元線中的傳導電流(請參閱圖 10G 之曲線 G2 至 G4)。作為一項實例，在此第一階段中的鑑別電流

被設定為300奈安培。電容器Csa、感測器週期T1及p型電晶體656之臨限電壓係致使相對應於高於鑑別電流(例如, 300奈安培)的SEN處之訊號將下降至充分低以開啟電晶體656。當鎖存訊號STB選通LOW時, 輸出訊號INV將被拉至HIGH, 並且將於鎖存器382予以鎖存(圖10(E)與圖10(H)(曲線H2))。另一方面, 相對應於低於鑑別電流的訊號SEN將產生一無法開啟電晶體656的訊號SEN。在此情況中, 鎖存器382將維持不變, 在該情況中, LAT維持HIGH(圖10(H3)與10(H4))。因此, 可瞭解到, 鑑別器電路有效率地判定位元線中之傳導電流相對於感測週期所設定之參考電流的量值。

感測放大器600亦包括第二電壓鉗位電晶體, 其用途旨在使該電晶體612之汲極的電壓維持充分高, 以使位元線電壓鉗位電晶體正常運作。如上文所述, 位元線電壓鉗位電晶體將位元線電壓鉗位至一預先決定值 V_{BL} (例如, 0.5伏)。這將需要將電晶體612的閘極電壓BLC設定為 $V_{BL}+V_T$ (其中 V_T 係電晶體612的臨限電壓), 並且經連接至感測節點SEN2的汲極高於源極, 即, 訊號 $SEN2 > V_{BL}$ 。具體而言, 已知電壓鉗位之組態, SEN2應不高於 $XX0-V_T$ 或 $BLX-V_T$ 中之較小者, 並且SEN應不較低。在感測期間, 隔離閘634係處於傳遞(pass-through)模式。但是, 在感測期間, 在該內部感測節點SEN處的訊號具有自 V_{dd} 減小的電壓。第二電壓鉗位防止SEN降至低於 $XX0-V_T$ 或 $BLX-V_T$ 中之較小者。這係藉由受控於訊號BLX($BLX \geq V_{BL}+V_T$)的n型

電晶體 612 予以達成。因此，透過電壓鉗位之動作，使位元線電壓 V_{BL} 在感測期間保持恆定(例如， ~ 0.5 伏)。

藉由鎖存器電路 382 來鎖存電流判定之輸出。藉由電晶體 661、662、663 與 664 連同電晶體 666 與 668 一起將鎖存器電路形成為一設定/重設鎖存器。p 型電晶體 666 受控於訊號 RST(RESET)，並且 n 型電晶體 668 受控於訊號 STB。如需上文所述之經調適用於低電壓操作之感測放大器的變化方案，請參閱發明人 Raul-Adrian Cernea 於 2004 年 12 月 16 日申請之美國專利申請案第 11/015,199 號題為 "Improved Memory Sensing Circuit And Method For Low Voltage Operation"，該案整份內容以引用方式併入本文中。

一般而言，將有一頁之記憶體單元係藉由相對應數量之多進程式感測模組 380 予以操作。對於具有高於第一鑑別電流位準之傳導電流的記憶體單元，其 LAT 訊號將被鎖存為 LOW(INV 被鎖存為 HIGH)。這接著啟動位元線下拉電路 522，以將相對應之位元線拉至接地，藉此關閉其電流。

階段(6)：復原/預充電

在下一次感測先前尚未下拉之位元線中的傳導電流之前，藉由訊號 FLT 來啟動預充電電路，以將內部感測節點 SEN 預充電至 V_{dd} (圖 10(C)及圖 10(I3)-10(I4))。

階段(7)：第二感測

當感測放大器 600 準備好進行感測時，藉由轉變為 HIGH 之 FLT 來停用預充電電路(圖 10(C))。藉由確證選通訊號 STB 來設定第二感測週期 T2。於感測週期期間，傳導電流

(若有的話)將對電容器進行充電。透過位元線BL中之傳導電流的汲取動作，在節點SEN處的訊號將隨著對電容器Csa進行充電而自 V_{dd} 減小。

根據前文之實例，已識別出具有高於300奈安培之傳導電流的記憶體單元，並且在早先階段中關閉彼等記憶體單元。圖14(G)(曲線G3與G4)分別繪示相對應於兩個示範性位元線之SEN訊號，該兩個位元線分別連接至具有220奈安培與40奈安培之傳導電流的記憶體單元。

階段(8)：用於讀取之第二鎖存

在第二預先決定感測週期T2結束時，SEN將已減小至某電壓，其取決於位元線中的傳導電流(圖10G之曲線G3與G4)。作為一項實例，在此第二階段中的鑑別電流被設定為100奈安培。在此情況中，具有220奈安培之傳導電流的記憶體單元之INV經鎖存為HIGH(圖10(H))，並且隨後其位元線拉至接地(圖10(I3))。另一方面，具有40奈安培之傳導電流的記憶體單元不影響鎖存器之狀態，其係用LAT HIGH予以預設。

階段(9)：讀出至匯流排

最後，在讀出階段中，在傳送閘530處的控制訊號NCO允許經鎖存之訊號SEN2被讀出至讀出匯流排532(圖10(J)與10(K))。

如圖10(I1)至10(I4)所示，在每一感測週期期間位元線維持恆定。因此，從前文之論述，排除電容性位元線至位元線耦合。

上文所述之感測模組380係用三次進程來實行感測之具體實施例，實行最前面的兩次進程以識別及關閉較高電流之記憶體單元。由於排除較高電流所促成的源極線偏壓，所以最後進程能夠更精確地感測具有較低範圍傳導電流的記憶體單元。

在其他具體實施例中，用不同組合之D.C.進程與A.C.進程來實行感測操作，一些感測操作僅使用兩次或兩次以上A.C.進程，或僅使用一次進程。對於不同進程，每次進程所使用的鑑別電流值可能相同或以漸進方式趨於最後進程使用的鑑別電流。另外，上文所述之感測具體實施例僅僅係適合感測模組的一項實例。亦可使用其他設計與技術來實行本文所述之技術。對於本文所述之本發明，不需要或提議任何特殊之感測模組。

圖11繪示用以解說程式化非揮發性記憶體方法之一具體實施例的流程圖。在一實施方案中，在程式化之前先擦除記憶體單元(以區塊為單位或其他單位)。在一具體實施例中，擦除記憶體單元之方式為：使p井上升至一擦除電壓(例如，20伏)達一段充分時間週期，並且使所選區塊的字線接地，同時源極線及位元線係處於浮動狀態。由於電容耦合，導致非所選字線、位元線、選擇線及共同源極線也上升至該擦除電壓之顯著分率。因此，施加強電場至所選區塊的記憶體單元之隧穿氧化物層，並且由於浮動閘極的電子被發射至基板，導致所選記憶體單元的資料被擦除，典型係藉由Fowler-Nordheim隧穿。隨著電子從浮動閘極

轉移至 p 井區，所選記憶體單元的臨限電壓被降低。可對整個記憶體陣列、分開的區塊或其他記憶體單元單位來執行擦除。

在圖 11 之步驟 700，一"資料載入"命令係由控制器予以發出且由控制電路 310 予以接收。在步驟 702，從控制器或主機將指定頁位址的位址資料輸入至解碼器 314。在步驟 704，所定址之頁的一頁程式化資料被輸入至資料緩衝器以進行程式化。該資料被鎖存在適當組之鎖存器中。在步驟 706，一"程式化"命令係由控制器予以發出至狀態機 312。

藉由"程式化"命令之觸發，使用圖 12 所示之施加至適當字線的步進式脈衝，由狀態機 312 控制以將在步驟 704 中鎖存的資料程式化至的所選記憶體單元中。在步驟 708，程式化電壓 V_{pgm} 被初始化為開始脈衝(例如，12 伏或其他值)，並且狀態機 312 所維護的一程式化計數器 PC 被初始化為 0。在步驟 710，施加第一 V_{pgm} 脈衝至所選字線。如果儲存在一特定資料鎖存器中邏輯"0"指示出應程式化相對應之記憶體單元，則相對應之位元線被接地。另一方面，如果儲存在一特定鎖存器中的邏輯"1"指示出相對應之記憶體單元應維持其現有資料狀態，則相對應之位元線被連接至 V_{dd} 以禁止程式化。

在步驟 712，驗證所選記憶體單元之狀態，以判定其是否已到達其目標臨限電壓。如果偵測到一所選記憶體單元的臨限電壓已到達目標位準，則相對應之資料鎖存器中儲

存的資料被變更為邏輯"1"。如果偵測到目標臨限電壓未到達適當位準，則不變更相對應之資料鎖存器中儲存的資料。在此方式中，在本身相對應之資料鎖存器中已儲存邏輯"1"的位元線不需要予以程式化。當所有資料鎖存器皆正在儲存邏輯"1"時，狀態機(經由上文所述之wired-OR型機制)知道已程式化所有所選記憶體單元。在步驟714，檢查是否所有資料鎖存器正儲存邏輯"1"。若是，因為所有所選記憶體單元皆已予以程式化且驗證，所以程式化過程完成且成功。在步驟716，報告"通過"(PASS)狀態。

在步驟714，如果判定非所有資料鎖存器正儲存邏輯"1"，則程式化過程繼續進行。在步驟718，比對一程式化限制值PCMAX來檢查該程式化計數器PC。一項實例之程式化限制值為20；但是，亦可使用其他數值。如果程式化計數器PC不小於20，則程式化過程已失敗且在步驟720報告"失敗"狀態。在一些具體實施例中，到達最大迴圈次數之後，系統檢查少於預先決定數量之記憶體單元是否尚未完成程式化。如果少於該預先決定數量尚未完成程式化，則程式化過程仍然視為通過。如果該程式化計數器PC小於20，則按步進大小來遞增Vp_{gm}位準，並且在步驟722累加該程式化計數器PC。在步驟722，過程迴圈回到步驟710，以施加下一Vp_{gm}脈衝。

圖12繪示一連串程式化脈衝，其被施加至經選擇用以程式化的字線。介於程式化脈衝之間係一組驗證脈衝(圖中未繪示)。在一些具體實施例中，對於正在將資料程式化

於其中之每一狀態可能有一驗證脈衝。在其他具體實施例中，可能有更多或更少之驗證脈衝。

在一項具體實施例中，資料係沿一共同字線程式化至記憶體單元。因此，在施加圖12之程式化脈衝之前，先選擇用於程式化的字線之一。此字線將稱為所選字線。一區塊中的其餘字線稱為非所選字線。

若適用，在成功程式化(與驗證)過程結束時，記憶體單元的臨限電壓應在經程式化之記憶體單元的一或多項臨限電壓分佈內或在經擦除之記憶體單元的一臨限電壓分佈內。圖13繪示當每一記憶體單元儲存兩個位元之資料時記憶體單元陣列的示範性臨限電壓分佈。圖13繪示經擦除之記憶體單元的第一臨限電壓分佈E。亦描繪出經程式化之記憶體單元的三種臨限電壓分佈A、B和C。在一項具體實施例中，E分佈中的臨限電壓係負值，A、B和C分佈中的臨限電壓係正值。

圖13之每一相異臨限電壓範圍對應於一用於各組資料位元的預先決定值。介於程式化於記憶體單元中之資料與記憶體單元之臨限電壓位準之間的特定關係取決於記憶體單元所採用的資料編碼方案。舉例而言，美國專利案第6,222,762號及2003年6月13日申請之美國專利申請公告案第2004/0255090號"Tracking Cells For A Memory System"(該等案整份內容以引用方式併入本文中)描述用於多狀態式快閃記憶體單元的各種資料編碼方案。在一項具體實施例中，使用一種格雷碼(Gray code)指派，將資料值指派給

該等臨限電壓範圍，使得如果一浮動閘極的臨限電壓錯誤地偏移至其鄰近物理狀態，則僅一個位元將受到影響。一項實例指派"11"給臨限電壓範圍E(狀態E)；指派"10"給臨限電壓範圍A(狀態A)；指派"00"給臨限電壓範圍B(狀態B)；及指派"01"給臨限電壓範圍C(狀態C)。但是，在其他具體實施例中，不使用格雷碼。雖然圖13繪示四種狀態，但是亦可配合其他多狀態結構(包括具有四種以上或以上狀態之多狀態結構)運用本發明。舉例而言，一些非揮發性儲存元件可利用八種(七種經程式化狀態與一種經擦除狀態)或八種以上狀態。

圖13亦繪示用於從記憶單元讀取資料的三個讀取參考電壓 V_{ra} 、 V_{rb} 和 V_{rc} 。藉由測試一既定記憶體單元的臨限電壓是否高於或低於 V_{ra} 、 V_{rb} 和 V_{rc} ，系統可判定該記憶體單元所處之狀態。

圖13亦繪示三個驗證參考電壓 V_{va} 、 V_{vb} 和 V_{vc} 。當將記憶體單元程式化至狀態A時，系統將測試記憶體單元是否具有大於或等於 V_{va} 之臨限電壓。當將記憶體單元程式化至狀態B時，系統將測試記憶體單元是否具有大於或等於 V_{vb} 之臨限電壓。當將記憶體單元程式化至狀態C時，系統將判定記憶體單元是否具有大於或等於 V_{vc} 之臨限電壓。

在一項具體實施例中，名為全序列程式化，可將記憶體單元從經擦除狀態E直接程式化至該等經程式化狀態A、B或C中之任一狀態。舉例而言，待程式化的一群體記憶體

單元可先予以擦除，使得該群體中的所有記憶體單元皆處於經擦除狀態E。當一些記憶體單元正被從狀態E程式化至狀態A時，其他記憶體單元正被從狀態E程式化至狀態B及/或從狀態E程式化至狀態C。

圖14繪示一種程式化多狀態式記憶體單元之兩次進程(two-pass)技術之實例，其儲存兩個不同頁(一下部頁與一上部頁)的資料。圖中顯示四種狀態：狀態E(11)、狀態A(10)、狀態B(00)及狀態C(01)。對於狀態E，彼兩頁儲存"1"。對於狀態A，下部頁儲存"0"且上部頁儲存"1"。對於狀態B，彼兩頁儲存"0"。對於狀態C，下部頁儲存"1"且上部頁儲存"0"。請注意，雖然特定位元型樣(bit pattern)已被指派給每一狀態，但是可指派不同的位元型樣。

在第一次程式化進程中，按照待程式化至下部邏輯頁中的位元來設定記憶體單元的臨限電壓位準。如果該位元係一邏輯"1"，則由於已在早先予以擦除而處於適當狀態，所以未使臨限電壓變更。但是，如果待程式化之位元係一邏輯"0"，則記憶體單元之臨限電壓位準增加至狀態A，如圖箭頭730所示。

在第二次程式化進程中，按照正被程式化至上部邏輯頁中的位元來設定記憶體單元的臨限電壓位準。如果該上部邏輯頁位元係儲存一邏輯"1"，則由於該記憶體單元係處於狀態E或A(取決於該下部頁位元之程式化)，彼兩種狀態皆載有上部頁位元"1"，所以未發生程式化。如果該上部頁位元係邏輯"0"，則使臨限電壓偏移。如果第一進程導

致該記憶體單元維持在經擦除狀態E，則在第二階段中，該記憶體單元被程式化，使得臨限電壓增加至狀態C範圍內，如圖箭頭734所示。如果第一程式化進程導致該記憶體單元已被程式化為狀態A，則在第二進程中進一步程式化該記憶體單元，使得臨限電壓增加至狀態B範圍內，如圖箭頭732所示。第二進程的結果係將記憶體單元程式化為經指定用以使上部頁儲存邏輯"0"之狀態，而且未變更下部頁之資料。

在一項具體實施例中，可設定一系統用以如果寫入資料足以填滿一字線，則實行全序列寫入。如果寫入不足之資料，則程式化過程可用所接收之資料來程式化下部頁。當接收後續資料時，系統將接著程式化上部頁。在另一項具體實施例中，系統可在程式化下部頁之模式中開始進行寫入，並且如果後續接收到足夠的資料，則轉換至全序列程式化模式，以填滿一整個(或大多數)字線的記憶體單元。如需此具體實施例之詳細資訊，請參閱發明人Sergy Anatolievich Gorobets及Yan Li於2004年12月14日申請之美國專利申請案第11/013,125號標題為"Pipelined Programming of Non-Volatile Memories Using Early Data"，該案整份內容以引用方式併入本文中。

圖15繪示用以描述自非揮發性記憶體單元讀取資料之具體實施例的流程圖。在前文關於感測模組之論述中，論述如何自特定位元線讀取資料。圖15提供系統層級讀取過程。在步驟800，接收來自主機、控制器或另一實體的一

讀取資料之要求。如上文所述，一非揮發性記憶體單元之一浮動閘極(或其他電荷儲存元件)上儲存之表觀電荷的偏移可起因於基於相鄰浮動閘極(或其他相鄰電荷儲存元件)中儲存之電荷的電場耦合而發生。為了補償此耦合，對於一既定記憶體單元的讀取過程將考量一相鄰記憶體單元之經程式化狀態。步驟802包括判定是否提供介於鄰近浮動閘極之間耦合補償。在一些具體實施例中，步驟802亦包括判定要使用多少補償。在步驟804，回應該讀取資料之請求，對於一特定頁或其他資料單位執行一讀取過程。步驟804之讀取過程可包括依據步驟802適當補償介於鄰近浮動閘極之間的耦合。在一項具體實施例中，在步驟804中讀取的記憶體單元被連接至一共同字線，但是連接至不同位元線。

在一項具體實施例中，當程式化用於一頁之資料時，系統亦將建立錯誤修正碼(ECC)，並且連同該頁資料一起寫入彼等ECC。ECC技術是此項技術所熟知的技術。使用的ECC過程可包括此項技術已知的任何適合ECC過程。當自一頁(或其他資料單位)讀取資料時，將使用ECC來判定該資料中是否有任何錯誤(步驟806)。可由控制器、狀態機或系統中的其他裝置處執行ECC過程。如果該資料中無錯誤，則在步驟808將該資料報告給使用者。如果在步驟806發現到一錯誤，則判定該錯誤是否係可修正(步驟810)。各種ECC方法具有修正一組資料中預先決定數量錯誤之能力。如果ECC過程可修正該資料，則在步驟812使用ECC過

程來修正該資料，並且在步驟814將按修正之該資料報告給使用者。如果該資料係不可藉由ECC過程來修正(步驟810)，則在步驟820將一錯誤報告給使用者。在一些具體實施例中，步驟820亦可包括報告所有資料或一子組之資料。如果已知一子組之資料不具有錯誤，則可報告該子組。

圖16繪示用以描述自非揮發性記憶體單元讀取資料之具體實施例的流程圖，此項具體實施例很有可能使用介於鄰近浮動閘極之間耦合補償。介於圖15之過程與圖16之過程之間的差異在於，圖16之過程僅限於在讀取過程期間有一錯誤情況下使用補償。

在圖16之步驟840，接收來自主機、控制器或另一實體的一讀取資料之要求。在步驟842，回應該讀取資料之請求，對於一特定頁或其他資料單位執行一讀取過程。步驟842之讀取過程不包括本文所描述之耦合補償。步驟844包括判定該資料中是否有任何錯誤。如果該資料中無錯誤，則在步驟846將該資料報告給使用者。如果在步驟844發現到一錯誤，則在步驟850判定該錯誤是否係可修正。各種ECC方法具有修正一組資料中預先決定數量錯誤之能力。如果ECC過程可修正該資料，則在步驟852使用ECC過程來修正該資料，並且在步驟854將按修正之該資料報告給使用者。如果該資料係不可藉由ECC過程來修正(步驟850)，則系統將藉由配合補償介於鄰近浮動閘極之間的耦合來實行讀取過程以嘗試復原該資料。因此，在步驟860，系統

判定是否使用補償及/或使用多少補償來解決介於鄰近浮動閘極之間的耦合。在步驟862，回應該讀取資料之請求，對於一特定頁或其他資料單位執行一讀取過程。步驟862之讀取過程藉由依據步驟860適當補償介於鄰近浮動閘極之間的耦合以嘗試復原資料。

目標浮動閘極的鄰近浮動閘極可包括：位於相同位元線但不同字線上的鄰近浮動閘極；位於相同字線但不同位元線上的鄰近浮動閘極；或位於目標浮動閘極對角處的浮動閘極，原因係彼等浮動閘極係位於鄰近位元線與鄰近字線兩者上。在一項具體實施例中，本文所描述之耦合補償可應用於上文提出之彼等組鄰近浮動閘極中之任一者。在一些具體實施例中，本文所描述之耦合補償可應用於位於相同字線但不同位元線上的鄰近浮動閘極。舉例而言，記憶體單元362之表觀臨限電壓可歸因於來自記憶體單元364與366的耦合而改變(請參閱圖7)。如需關於補償歸因於位於相同位元線但不同字線上的鄰近浮動閘極之耦合的詳細資訊，請參閱發明人Yan Li與Jian Chen於2005年4月5日申請之美國專利申請案第11/099,049號題為"Read Operation For Non-Volatile Storage That Includes Compensation for Coupling"，該案整份內容以引用方式併入本文中。一些具體實施例提供介於位於相同字線但不同位元線上的鄰近浮動閘極之間以及於位於相同位元線但不同字線上的鄰近浮動閘極之間的耦合補償。

介於鄰近浮動閘極之間的耦合量取決於當程式化彼等鄰

近浮動閘極時的時間。同時被程式化的兩個鄰近浮動閘極很可能具有少量或無任何耦合。最大耦合量很可能發生於如下兩個鄰近浮動閘極之間：其中一個浮動閘極未被程式化(例如，維持在經擦除狀態E)；並且另一浮動閘極隨後被程式化之最高(例如，最大程度)經程式化狀態(例如，被程式化至狀態C；請參閱圖13)。因為介於狀態E與狀態A之間有大邊限，所以甚至有耦合情況下，讀取處於狀態E之資料不可能有錯誤。第二最大耦合量係介於如下兩個鄰近浮動閘極之間：第一個浮動閘極被程式化至狀態A；及接下來的一個浮動閘極被程式化至狀態C。因此，在一項具體實施例中，將使用耦合補償的唯一時機係：當一記憶體單元係處於一組狀態中之第一經程式化狀態(例如，狀態A)，並且其鄰近者係處於一組狀態中之最高經程式化狀態(例如，狀態C)時(該組狀態有4種狀態、8種狀態或不同數量之狀態)。在其他具體實施例中，當一鄰近記憶體單元係處於不同狀態(諸如狀態B或另一狀態)時，可使用耦合補償。在使用多於或少於四種狀態之一些具體實施例中，當一鄰近記憶體單元係處於經發現造成耦合之狀態時，可使用耦合補償。同樣地，若適用於特定實施方案，當一目標記憶體單元係處於除狀態A以外之狀態時，可使用耦合補償。

如果可使用某技術來偵測或獲取鄰近記憶體單元之狀態，則可在下一讀取操作中判定及調整所考量之記憶體單元所需的修正量。一種得知特定記憶體單元之狀態的方式

係透過讀取操作。但是，在一項具體實施例中，介於用於鄰近位元線之感測放大器之間無任何通信。甚至在讀取操作之後，所考量之記憶體單元將不知道其鄰近記憶體單元之狀態。

圖 17 繪示用以描述依據一記憶體單元是否處於狀態 A 以及其鄰近者中之一或多者是否處於狀態 C 來判定是否應使用補償及使用多少補償之具體實施例的流程圖。有至少兩種案例。在第一案例中，正被讀取之特定記憶體單元係處於狀態 A 並且其鄰近者中之一者係處於狀態 C。在第二案例中，正被讀取之特定記憶體單元係處於狀態 A 並且其鄰近者中之兩者(不同位元線)係處於狀態 C。圖 17 之過程判定一特定記憶體單元(或特定位元線)之任何鄰近者是否處於狀態 C(或處於一組 7 種或 7 種以上狀態中之最高經程式化狀態)。可使用此過程來實行圖 15 之步驟 802 及圖 16 之步驟 860。

在圖 17 之步驟 900，讀取經連接至所選字線的所有記憶體單元(或一子組之記憶體單元)，以判定該等記憶體單元是否處於狀態 C。這係藉由使用讀取比較點 V_{rc} 予以達成。具有高於 V_{rc} 之臨限電壓的記憶體單元被認定為處於狀態 C。具有低於 V_{rc} 之臨限電壓的記憶體單元係非處於狀態 C。使用 V_{rc} 進行讀取操作結束時，每一感測放大器將鎖存相對應之記憶體單元是否處於狀態 C。一項必須克服的障礙係，在一些實施方案中，感測放大器無法與鄰近感測放大器交談。因此，請參閱圖 7，用於位元線 BL2 的感測放大

器無法與感測放大器位元線BL1或位元線BL3通信。因此，用於BL2的感測放大器無法得知位於BL1及BL3上的鄰近記憶體單元是否處於狀態C。執行步驟902至910以指示出鄰近記憶體單元是否處於狀態C。在步驟902，經連接至在步驟900中經感測係處於狀態C之記憶體單元的所有位元線被充電至一預先決定電壓。在一項實例中，具有處於狀態C之記憶體單元的位元線被充電至0.5伏。請重新參閱9，可達成此項充電之方式為，施加0.5伏+Vth(電晶體612的臨限電壓)至電晶體612的閘極並且切換RST訊號為低位準以促使INV=0。用INV=1來設定其他感測放大器，並且因此其位元線將未被充電。運用GRS=0，在位元線上無任何有效之下拉。當具有C資料之位元線充電時，歸因於位元線至位元線耦合，導致鄰近位元線將被耦合至彼等位元線。在一實施方案中，此類耦合可能係總位元線電容之40%。對於兩個鄰近者具有C資料之位元線，電容耦合可高達總位元線電容之80%。舉例而言，如果位元線的一鄰近者具有C資料，則可藉由約0.15伏而耦合。如果位元線的兩個鄰近者具有C資料，則可藉由約0.3伏而耦合。

在步驟904，識別出兩個鄰近者具有C資料的位元線。在一項具體實施例中，藉由將BLC降低至 $0.2+V_{th}$ (電晶體612的臨限電壓)來達成步驟904。這將造成具有兩個C鄰近者的位元線將其電晶體612關閉，原因係電晶體612的汲極側係 V_{dd} 且源極側係0.3伏。接著，節點SEN將未被放電，感測放大器將鎖存LAT=1。具有一個C鄰近者或不具有C鄰近

者的其他位元線將使電晶體612傳導。由於位元線的電容比電容器Csa更高，所以節點SEN將放電，並且感測放大器將鎖存LAT=0。節點SEN是否經充電或經放電的結果將被儲存在適當資料鎖存器394中(步驟906)。在步驟906之後，感測放大器與位元線被重設，並且接著在步驟908，再次對經連接至處於狀態C之記憶體單元的位元線進行充電，類似於步驟902。在步驟910，藉由施加 $BLC=0.15\text{伏}+V_{th}$ (電晶體612的臨限電壓)來感測經耦合至一或多個C鄰近者的位元線。系統感測其一或多個鄰近者具有處於狀態C之記憶體單元的位元線。在步驟912，將結果儲存在資料鎖存器394中之一者中。對於在步驟904中儲存有指示兩個鄰近者係處於狀態C及在步驟908中儲存有指示一或多個鄰近者係處於狀態C的位元線，認定該位元線具有處於狀態C的兩個或兩個以上鄰近者。對於在步驟906中未儲存有指示兩個或兩個以上鄰近者係處於狀態C但是在步驟910中儲存有指示一或多個鄰近者係處於狀態C的位元線，認定該位元線具有處於狀態C的一個鄰近者。

圖18繪示用圖表描繪在圖17之過程中所執行之一些操作的時序圖。時序點被分成相對應於步驟902、904與906的三段時間週期。在步驟902期間，可看出訊號BLC上升至0.5伏加電晶體612的臨限電壓。這是對於耦合至經連接至所選字線且處於狀態C的記憶體單元的所有位元線予以進行。圖中所示之彼等位元線上升至0.5伏。接著，具有兩個C鄰近者的位元線被耦合至兩個相對應之鄰近位元線，

致使該等位元線上升至0.3伏。不具有C鄰近者的位元線將維持在0伏。在此時間範圍期間，訊號GRS係處於低位準。接著，BLC下降至0伏且隨後上升至0.2伏加電晶體612的臨限電壓，在此時刻感測位元線(步驟904)。在兩個狀態C鄰近者旁邊的位元線將不對節點SEN進行放電(請參閱線914)。不具有兩個狀態C鄰近者的位元線將對節點SEN進行放電(請參閱線916)。將資料鎖存在適當位元線鎖存器382中之後，資料將被傳送至資料鎖存器394。

圖19繪示讀取過程之一項具體實施例，其可包括提供對於具有一或多個C鄰近者之記憶體單元的補償。圖19之過程係作為圖15之步驟804或圖16之步驟862之一項具體實施例的細節。另外，可使用步驟940至950及964至972來實行圖16之步驟842。可對於一頁之資料執行圖19之過程，其中一頁涵蓋一位元線及所有位元線，或一子組之位元線。在圖19之步驟940，施加讀取參考電壓 V_{ra} 至相關聯於頁的適當字線。此造成將讀取參考電壓 V_{ra} 施加至用於經連接至該字線的記憶體單元之控制閘極。在步驟842，感測相關聯於頁的位元線，以依據施加 V_{ra} 至其控制閘極，判定經定址之記憶體單元是否傳導或不傳導。傳導之位元線指示出記憶體單元被開通；因此，彼等記憶體單元之臨限電壓低於 V_{ra} (例如，處於狀態E中)。在步驟944，對於彼等位元線，將位元線的感測結果儲存在適當鎖存器中。

在步驟946，施加讀取參考電壓 V_{rb} 至相關聯於正被讀取之頁的字線。在步驟948，感測位元線，如上文所述。在

步驟950，對於經連接至該頁中不具有處於狀態C之鄰近記憶體單元的記憶體單元之位元線，將結果儲存在適當鎖存器中。

此項具體實施例嘗試修正在處於狀態C之記憶體單元旁邊的處於狀態A之資料。可造成的錯誤係：記憶體單元將具有增大的表觀臨限電壓，使得當其實質上係處於狀態A時，其似乎係處於狀態B。在步驟952，將Vrb加一第一偏移量施加至相關聯於正被讀取之頁的字線。在步驟954，感測位元線，如上文所述。在步驟956，對於經連接至該頁中具有一個處於狀態C之鄰近記憶體單元的記憶體單元之位元線，將結果儲存在適當鎖存器中。在步驟958，將Vrb加一第二偏移量施加至相關聯於正被讀取之頁的字線。在步驟960，感測位元線，如上文所述。在步驟962，對於經連接至該頁中具有兩個處於狀態C之鄰近記憶體單元的記憶體單元之位元線，將結果儲存在適當鎖存器中。

在步驟964，施加讀取參考電壓Vrc至相關聯於正被讀取之頁的字線。在步驟966，感測位元線，如上文所述。在步驟968，對於所有位元線，將結果儲存在適當鎖存器中。在步驟970，判定該頁(或其他資料單位)中的每一記憶體單元之資料值。舉例而言，如果記憶體單元以Vra傳導，則該記憶體單元係處於狀態E。如果記憶體單元以Vrb(或Vrb加第一偏移量，或Vrb加第二偏移量)及Vrc傳導，但不是以Vra傳導，則該記憶體單元係處於狀態A。如果記憶體單元以Vrc傳導，而非以Vra或Vrb(或Vrb加任一

偏移量)傳導，則該記憶體單元係處於狀態B。如果記憶體單元在 V_{ra} 、 V_{rb} (或 V_{rb} 加任一偏移量)或 V_{rc} 下皆不傳導，則該記憶體單元係處於狀態C。在一項具體實施例中，由處理器392來判定資料值。在步驟972，對於每一位元線，處理器392將經判定之資料值儲存在適當鎖存器中。在其他具體實施例中，感測各種位準(V_{ra} 、 V_{rb} 和 V_{rc})可依不同順序發生。

第一偏移量及第二偏移量之量係取決於特定實施方案實施方案。本文所述之本發明不依賴第一偏移量或第二偏移量之任何特定值。在一項具體實施例中，第一偏移量係0.1伏特，並且第二偏移量係0.2伏；但是，亦可在適當情況下使用其他值。

取代在讀取過程期間修正介於不同位元線上鄰近記憶體單元之間的電容耦合，亦可在程式化時執行補償。由於系統將在程式化時得知資料，所以如果記憶體單元的一或多個鄰近者被指派為程式化至狀態C，則系統可刻意用稍微較低的臨限電壓將記憶體單元程式化至狀態A。以此方式，在被指派為程式化至狀態C的鄰近者已完成程式化之後，將正確讀取狀態A之記憶體單元。

一項無不合理減緩程式化過程情況下達成緊密臨限電壓分佈的解決方案係使用一種兩階段式程式化過程。第一階段(粗略程式化階段)包括嘗試使臨限電壓以較快方式上升，並且相對較不注意到達成緊密臨限電壓分佈。第二階段(精細程式化階段)嘗試使臨限電壓以較慢方式上升，以

到達目標臨限電壓且同時達成較緊密臨限電壓分佈。有關粗略/精細程式化方法論之實例，請參閱美國專利案第6,888,758號，該案整份內容以引用方式併入本文中。

在一項粗略/精細程式化方法之實例中，過程中使用兩個驗證位準：一目標驗證位準(亦稱為精細驗證位準)及一粗略驗證位準。過程將開始於執行程式化過程的粗略階段。當記憶體單元的臨限電壓到達粗略驗證位準(其低於目標驗證位準)時，藉由使位元線電壓上升至大於0伏且小於禁止電壓之值，記憶體單元將進入精細程式化階段。在粗略階段期間，位元線電壓上升將係約0伏。為了禁止記憶體單元進行程式化，位元線電壓上升至禁止電壓(例如， V_{dd})。與粗略程式化階段相比較，在精細程式化階段期間的程式化緩慢，其歸因於位元線電壓自0伏上升至中間值的影響。因此，在粗略程式化階段期間，每程式化步驟的臨限電壓變更很可能較小。記憶體單元將繼續處於精細程式化階段，直到記憶體單元的臨限電壓已到達目標臨限電壓。當記憶體單元的臨限電壓已到達目標臨限電壓時，位元線電壓上升至 V_{dd} (或其他禁止電壓)，以禁止對該記憶體單元進行進一步程式化。

所提議之程式化方法(其包括修正介於不同位元線上鄰近記憶體單元之間的耦合)將使用上文所述之粗略/精細程式化過程；但是，將使用三個電壓位準，而非使用兩個電壓位準。舉例而言，圖20繪示狀態A之臨限電壓分佈980。用於驗證之目標電壓係 V_{va} 。用於上文所述之粗略/精細程

式化的先前技術方法具有標示為 V_{ca} 之粗略驗證位準。所提議之方案包括增加一第三驗證位準 V_{ia} ，其用途如下文所述。總而言之，在粗略程式化階段期間，記憶體單元將被程式化直到臨限電壓到達 V_{ca} 。在精略階段中將程式化需要補償的記憶體單元(因為彼等記憶體單元正被程式化至狀態 A 並且在正被程式化至狀態 C 之記憶體單元的旁邊)，直到臨限電壓到達 V_{ia} 。在精略階段中將程式化其他記憶體單元，直到彼等記憶體單元之臨限電壓到達 V_{va} 。因此，具有狀態 C 之鄰近者的狀態 A 之記憶體單元很可能具有較低的臨限電壓，可能甚至低於目標臨限電壓分佈 980。因此，耦合將造成彼等記憶體單元的臨限電壓上升至臨限電壓分佈 980 中。

圖 21 提供臨限電壓相對於時間之圖表以及位元線電壓相對於時間之圖表，用以指示出對於因其鄰近者皆非處於狀態 C 而不需要補償之記憶體單元的粗略/精細程式化之一項實例。該等圖表假設：在時間 t_1 、 t_2 、 t_3 、 t_4 與 t_5 ，一程式化脈衝被施加至記憶體單元之控制閘極。在相關聯於 t_1 、 t_2 與 t_3 的脈衝處，記憶體單元的臨限電壓被增大。在時間 t_3 ，記憶體單元之臨限電壓變成高於 V_{ca} 。因此，粗略程式化階段結束，並且精細程式化階段開始。據此，位元線電壓自 0 伏上升至中間電壓 V_1 (例如，1 伏)。施加中間電壓 V_1 (相對於 0 伏)使位元線之程式化過程減慢。在時間 t_5 ，當記憶體單元之臨限電壓高於 V_{va} 時，位元線電壓將上升至禁止電壓(例如， V_{dd})。

圖 22 繪示對於不需要補償的記憶體單元(因為該記憶體單元的一或多個鄰近者係處於狀態 C，並且該記憶體單元正被程式化至狀態 A)的圖表。在時間 t_3 ，記憶體單元之臨限電壓已增大至到達 V_{ca} ；因此，位元線電壓將上升至中間電壓 V_1 。在時間 t_4 ，記憶體單元之臨限電壓到達 V_{ia} (其大於 V_{ca} 且小於 V_{va})；因此，藉由使位元線電壓上升至 V_{dd} 來鎖定該記憶體單元以禁止進一步程式化。

請注意，在其他具體實施例中，除了 V_1 以外，還可使用多個中間電壓。舉例而言，接收補償的記憶體單元可使用一中間位元線電壓，並且不接收補償的記憶體單元可使用另一中間位元線電壓。在其他具體實施例中，不同的位元線可使用不同的中間電壓。

圖 23 繪示用以描述依據圖 21 及圖 22 之圖表進行程式化之過程之具體實施例的流程圖。在步驟 700，一"資料載入"係由控制器予以發出且由控制電路予以接收。在步驟 1002，從控制器或主機將指定頁位址的位址資料輸入至解碼器 314。在步驟 1004，所定址之頁的一頁程式化資料(或其他資料單位)被輸入至資料緩衝器以進行程式化。該資料被鎖存在適當組之鎖存器中。在步驟 1006，一"程式化"命令係由控制器予以發出至狀態機 312。於步驟 1008，判定是否進行耦合補償。舉例而言，控制器 350、控制電路 310、感測組塊 400 或另一組件將判定一特定記憶體單元是否將需要在程式化過程期間接收補償，因為該特定記憶體單元正被程式化至狀態 C 並且其一或多個(或兩個或兩個以

上)鄰近者係處於狀態C。在一項具體實施例中，由於控制器350與控制電路310知道所有程式化資料，所以系統將自動得知是否需要補償。在其他具體實施例中，用於各個位元線的資料鎖存器之每一者將知道待程式化之資料。因此，感測組塊400可執行圖17之步驟908、910及912，以判定是否有任何位元線的鄰近者具有待程式化至狀態C的資料。若是，則對於補償標記具有此類鄰近者的位元線。在圖23之一項具體實施例中，僅有一個補償值被提供至具有處於狀態C之鄰近者的記憶體單元。在其他具體實施例中，可取決於是否有一個處於狀態C之鄰近者或有兩個處於狀態C之鄰近者來提供補償值。

在圖23之步驟1010，起始脈衝被設定為其起始值，程式化計數器PC被設定為其起始值，並且位元線電壓被設定為其起始值。對於待被程式化之記憶體單元，位元線電壓將被設定為0伏。對於將未被程式化之記憶體單元，位元線電壓將被設定為 V_{dd} 。亦可將起始電壓之指示儲存鎖存器。在一些具體實施例中，在程式化脈衝步驟1012期間可施加起始位元線值(於下文論述)。

在步驟1012，一程式化脈衝被施加至適當的字線。在步驟1014，執行一驗證過程。如果記憶體單元係處於粗略程式化階段中，則將使用步驟1014之驗證過程來判定記憶體單元的臨限電壓是否已到達粗略驗證位準。如果記憶體單元係處於精細程式化階段中，則將對於需要補償的記憶體單元，比較記憶體單元的臨限電壓與目標臨限電壓(例

如， V_{va})或中間驗證位準(例如， V_{ia})。下文將提供步驟1014之詳細細節。在步驟1016，判定所有待被程式化之記憶體單元的狀態是否係致使已驗證所有彼等記憶體單元。如果已驗證所有彼等記憶體單元，則在步驟1018中區域成功的程式化過程。如果尚未驗證所有彼等記憶體單元，則在步驟1020，比對一程式化限制值PCMAX來檢查該程式化計數器PC。如果程式化計數器PC不小於PCMAX，則程式化過程已失敗且在步驟1022報告失敗狀態。如果該程式化計數器PC小於PCMAX，則在步驟1024，按步進大小來遞增程式化電壓(V_{pgm})量值，並且累加該程式化計數器PC。在步驟1024，過程迴圈回到步驟1012，以施加下一 V_{pgm} 脈衝。

圖24繪示用於描述圖23之驗證步驟1014之一具體實施例的流程圖。在步驟1060，系統判定記憶體單元是否處於粗略程式化階段或精細程式化階段。請注意，圖23之過程描述對於一群組之記憶體單元(例如，經連接至一共同字線的一頁之記憶體單元)所執行的高階過程。對於每一正被程式化之特定記憶體單元個別執行圖24之過程。在一項具體實施例中，感測組塊將配備一鎖存器，用於儲存特定記憶體單元是否處於粗略或精細程式化階段的指示。如果記憶體單元係處於粗略程式化階段中，則在步驟1062中用粗略驗證位準(例如， V_{ca})來執行驗證過程。即，將使用感測放大器來判定記憶體單元之臨限電壓是否已到達適合之粗略驗證位準。舉例而言，如果記憶體單元被程式化至狀

態A時，則感測放大器將測試記憶體單元之臨限電壓是否已到達 V_{ca} ，如上文所述。如果臨限電壓已到達粗略驗證位準(步驟1064)，則記憶體單元已完成粗略程式化階段。因此，在步驟1066，位元線電壓上升至中間電壓 V_1 ，致使記憶體單元將於下一程式化脈衝進入精細程式化階段。在步驟1066之後，過程將在繼續進行步驟1080(於下文論述)，以判定臨限電壓是否亦超過精細驗證位準(或中間驗證位準係適合的)。如果記憶體單元的臨限電壓尚未到達粗略驗證位準，則在步驟1068中，位元線電壓將維持在當前位準，致使記憶體單元將繼續粗略程式化階段。

在步驟1060，如果判定記憶體單元係處於精細程式化階段，則在步驟1080，判定記憶體單元是否正被程式化至狀態A並且需要補償耦合。若否，則在步驟1082使用精細驗證位準(目標驗證電壓 V_{va} 、 V_{vb} 或 V_{vc})來執行驗證過程。如果需要補償，則在步驟1090，使用中間驗證位準 V_{ia} 來執行驗證過程。如果記憶體單元之臨限電壓高於適合之驗證位準(步驟1084)，則在步驟1088藉由使位元線電壓上升至 V_{dd} 來鎖定該記憶體單元以禁止進一步程式化。如果記憶體單元的臨限電壓不高於驗證位準(步驟1084)，則在步驟1086中使位元線電壓將維持在當前位準，並且精細程式化階段將繼續。

如上文所述，於程式化序列期間可修正記憶體單元之浮動閘極至浮動閘極耦合效應。亦可在讀取操作期間修正記憶體單元之浮動閘極至浮動閘極耦合效應。下文論述之內

容描述一項讀取序列，其併入位元線至位元線耦合效應作為對感測過程的修改因素，致使可依據鄰近記憶體單元狀態來修改讀取。圖 25 及圖 26 解說用於讀取資料之過程的一項具體實施例，其允許對已歷經來自鄰近記憶體單元之耦合的某些記憶體單元進行補償。在步驟 1100，讀取所有位元線以判定經連接至彼等位元線且經連接至所選字線的記憶體單元是否處於狀態 C。這係藉由使用 V_{rc} 作為讀取比較點來執行讀取操作予以執行。具有處於狀態 C 之記憶體單元的位元線將鎖存記憶體單元係處於狀態 C 的指示。圖 18 繪示讀取操作。在步驟 1102，具有處於除狀態 C 外之狀態之記憶體單元的位元線將被充電。在一項具體實施例中，彼等位元線被充電至 0.5 伏。在步驟 1102 對位元線進行充電之後，在步驟 1104，經連接至處於狀態 C 之記憶體單元的位元線被充電至介於 0.25 伏與 0.4 伏之間。在步驟 1104 中對經連接至處於狀態 C 之記憶體單元的位元線進行充電，將使在步驟 1102 中充電的彼等位元線耦合至高於 0.5 伏之電壓。舉例而言，圖 26 繪示位元線 BL_n ，其表示不具有處於狀態 C 之記憶體單元的位元線。圖表繪示出在步驟 1102 期間位元線正被充電至約 0.5 伏。位元線 BL_{n+1} 被連接至處於狀態 C 之記憶體單元，並且位元線 BL_{n+1} 係位元線 BL_n 的鄰近者。在步驟 1104 期間，位元線 BL_{n+1} 被充電至約 0.4 伏。接著，位元線 BL_n 將被耦合至高於 0.5 伏的電壓，如虛線 1120 所示。非在於步驟 1104 中被充電之鄰近者旁邊的位元線將維持在 0.5 伏，如虛線 1122 所示。在圖 25 之步驟

1106，將感測所有位元線(或一子組之位元線)。將感測具有一C鄰近者的位元線以具有較高之位元線電壓。因為較高之位元線電壓，所以位元線將傳導更多電流，這使表觀之臨限電壓較低。這將補償介於鄰近記憶體單元之間的耦合。具有C鄰近者的記憶體單元在其鄰近者被程式化之後被耦合至高於其原始程式化位準的浮動電壓。此運用浮動閘極至浮動閘極耦合補償之讀取將正確讀回記憶體單元的原始程式化位準。此項讀取修正係在無因多次讀取操作所造成的耗時情況下進行。一項讀取操作獲得關於需要修正之記憶體單元及不需要修正之記憶體單元的結果。

在上文所述之一項具體實施例中，隨著正在移除記憶體單元源極雜訊，可有數次感測選通。在所有感測選通期間，或稍後感測選通期間，可應用上文關於圖25與26所述之過程。舉例而言，在運用兩次選通之具體實施例中，第一選通可不使用圖25與26之過程，而第二選通可使用圖25與26之過程。

上文說明內容描述用於在程式化期間及讀取期間補償浮動閘極耦合之過程。在一些具體實施例中，在程式化及讀取兩者期間可執行補償。但是，在大多數具體實施例中，將在程式化期間或在讀取期間執行補償，但非在程式化及讀取兩者期間執行補償。可依據使用的記憶體系統，判定是否在讀取期間或在程式化期間執行補償。舉例而言，如果記憶體系統即將在被程式化非常少次數但被多次讀取的主機中使用，則最佳係在程式化期間進行補償。替代做法

為，如果主機將進行許多次程式化但進行讀取次數非常少，則最佳係在讀取過程期間進行補償。

在一項具體實施例中，可製造記憶體系統以包括用於在讀取過程期間及在程式化過程期間執行補償之技術。在製造記憶體系統期間或之後的某時間點，可組態記憶體系統，使得記憶體系統將僅在讀取過程期間執行補償或僅在程式化過程期間執行補償。

圖 27 繪示用以描述用於組態記憶體系統以使得記憶體系統將在讀取過程期間執行補償或在程式化過程期間執行補償的流程圖。在步驟 1200，製造記憶體系統以使其具備在讀取期間執行補償及在程式化期間執行補償之能力。此可包括製造半導體晶圓。視需要，步驟 1200 亦可包括使用此項技術所熟知之製程來封裝晶圓。封包可具有或不具有用以執行上文所述之組態的切換器。用於在積體電路上增加連接至儲存元件之切換器的技術已為此項技術所熟知。在步驟 1202，依據想要的用途來設定一旗標(補償旗標，其屬於在步驟 1200 中製造之記憶體系統的部分)，以指示是否應在讀取期間執行補償或是否應在程式化期間執行補償。可在製造製程期間、在製造製程之後、在測試過程期間或正在使用記憶體系統時設定旗標。在步驟 1204，當正在使用記憶體系統時，該記憶體系統將檢查補償旗標。如果補償旗標被設定為在讀取期間執行補償，則在步驟 1206，記憶體系統將於讀取過程期間提供耦合補償。如果補償旗標被設定為用於程式化，則於程式化過程期間提供

耦合補償(步驟1208)。

可用許多不同方式，在步驟1202中設定旗標。在製造或測試過程期間，可設定一ROM熔絲，以指示應在讀取期間執行補償或在程式化期間執行補償。在其他具體實施例中，可在製造製程期間或以後，實作及/或設定用於儲存一fa之指示的其他構件(例如，非揮發性記憶體陣列中的一記憶體單元、一正反器或其他儲存裝置)。亦可在測試過程期間或使用期間設定旗標。另外，用於積體電路的封裝可包括一切換器，使用者可在將一記憶卡插入於一主機之前設定切換器。

在一些具體實施例中，在將記憶體系統插入於主機中之後，在步驟1202中設定補償旗標。圖28至圖31提供此類組態的實例。在圖28之步驟1300，在主機中安裝記憶體系統。主機之實例可包括一數位相機、音樂播放器、行動電話、手持型運算裝置或其他運算裝置。為了實例之目的，請考量音樂播放器，與進行程式化相比，其更加頻繁地進行讀取。因此，音樂播放器可在程式化期間提供補償。另一方面，數位相機可更加頻繁地進行程式化，因此，其更適合在讀取過程期間提供補償過程。在圖28之步驟1302，主機將向控制器通知該偏好設定。即，將預先程式化主機，以知道當主機想要執行補償時其可使用已知協定來告知控制器。在步驟1304，控制器將接收來自主機的偏好設定，並且依據自主機接收的偏好設定來設定補償旗標(儲存於一記憶體單元或其他儲存裝置中)。

圖 29 繪示用以組態記憶體系統之另一具體實施例的流程圖。在步驟 1320，在主機中安裝記憶體系統。在步驟 1322，使用者可選擇偏好設定。在一項具體實施例中，使用者將藉由移動一機械切換器來選擇一偏好設定，或在主機的一使用者介面中選擇一偏好設定。舉例而言，數位相機的使用者可選擇在讀取期間執行補償，並且音樂播放裝置的使用者可選擇在程式化期間執行補償。在步驟 1324，主機向控制器通知該偏好設定。在步驟 1326，控制器依據自主機接收的偏好設定來設定補償旗標。

圖 30 繪示用以描述用於組態記憶體系統之過程之另一具體實施例的流程圖。在步驟 1330 中，在主機中安裝記憶體系統。在步驟 1332，控制器要求主機識別自己。舉例而言，主機可指示其係一數位相機、音樂播放器、PDA、行動電話等等。在步驟 1334，控制器將接收資訊並且存取一主機資訊表格。表格將識別裝置如何設定補償欄位的每一機型或類型。依據表格及自主機接收的資訊，控制器將選取一組態(例如，選取是否在讀取或程式化期間執行補償)。在步驟 1336，控制器將依據在步驟 1334 中判定的組態來相應地設定旗標。

圖 31 繪示用以描述用於組態記憶體系統之過程之另一具體實施例的流程圖。在步驟 1360 中，將在主機中安裝記憶體系統。在步驟 1362，主機將促使將多個檔案儲存在記憶體系統中。在一段預先決定時間量之後、在已將預先決定量之檔案儲存於記憶體系統之後或在來自主機或使用者的

命令之後，在步驟1364，控制器將判定儲存在記憶體系統上最具代表性檔案類型。舉例而言，如果儲存十個檔案並且其中的八個檔案係音樂檔案，則控制器將判定最具代表性檔案係音樂檔案。在步驟1366，控制器將依據代表性檔案類型來判定組態。舉例而言，可在記憶體系統中儲存一列出檔案類型之表格，並且對於每一檔案類型，將儲存用於補償旗標的一值。旗標之值可指示出是否於程式化或讀取期間執行補償。在步驟1368，控制器將依據在步驟1366中判定的組態來設定補償旗標。

基於圖解及說明的目，前文已提出本發明的實施方式。其非意欲詳盡說明本發明或使本發明限定於揭示的確切形式。可按照前面的講授進行許多修改及變化。選取的具體實施例係為了最佳地解說本發明的原理及其實務應用，使熟悉此項技術者以各種具體實施例最佳地運用本發明，並且各種修改皆適用於所考量的特定用途。本發明範疇擬藉由隨附的申請專利範圍予以定義。

【圖式簡單說明】

圖1繪示NAND串的俯視圖。

圖2繪示NAND串之同等電路圖。

圖3繪示NAND串的剖面圖。

圖4繪示NAND快閃記憶體單元陣列之一部分的方塊圖

圖5繪示非揮發性記憶體系統的方塊圖。

圖6繪示非揮發性記憶體系統的方塊圖。

圖7繪示記憶體陣列的方塊圖。

圖 8 繪示感測組塊具體實施例的方塊圖。

圖 9 繪示感測模組具體實施例的概要圖。

圖 10 繪示感測模組具體實施例的時序圖。

圖 11 繪示用以描述程式化非揮發性記憶體過程之具體實施例的流程圖。

圖 12 繪示施加至非揮發性記憶體單元之控制閘極的示範性波形。

圖 13 繪示一組示範性臨限電壓分佈。

圖 14 繪示一組示範性臨限電壓分佈。

圖 15 繪示用以描述在讀取資料時實行之過程之具體實施例的流程圖。

圖 16 繪示用以描述在讀取資料時實行之過程之具體實施例的流程圖。

圖 17 繪示用以描述感測相鄰位元線之資料之過程之具體實施例的流程圖。

圖 18 繪示用以描述感測相鄰位元線之資料之過程之具體實施例的時序圖。

圖 19 繪示用以描述讀取過程之具體實施例的流程圖。

圖 20 繪示經程式化狀態之臨限電壓分佈。

圖 21 繪示程式化過程之具體實施例的圖表。

圖 22 繪示程式化過程之具體實施例的圖表。

圖 23 繪示用以描述程式化過程之具體實施例的流程圖。

圖 24 繪示用以描述驗證過程之具體實施例的流程圖。

圖 25 繪示用以描述讀取資料過程之具體實施例的流程

圖。

圖 26 繪示用以描述讀取資料過程之具體實施例的時序圖。

圖 27 繪示用以描述組態及使用記憶體系統過程之具體實施例的流程圖。

圖 28 繪示用以描述組態記憶體系統過程之具體實施例的流程圖。

圖 29 繪示用以描述組態記憶體系統過程之具體實施例的流程圖。

圖 30 繪示用以描述組態記憶體系統過程之具體實施例的流程圖。

圖 31 繪示用以描述組態記憶體系統過程之具體實施例的流程圖。

【主要元件符號說明】

100, 102, 104, 106	電晶體(記憶體單元)
100CG, 102CG, 104CG, 106CG	控制閘極
100FG, 102FG, 104FG, 106FG	浮動閘極
120	第一選擇閘極
120CG	控制閘極
122	第二選擇閘極
122CG	控制閘極
126	位元線(圖 2)

128	源極線(圖 2)
126	汲極終端(圖 4)
128	源極終端(圖 4)
126, 128, 130, 132, 134, 136, 138	N+摻雜(擴散)區(圖 3)
140	p井區
150	NAND串
204	源極線
206	位元線
296	記憶體裝置
298	記憶體晶粒
300	記憶體單元陣列
310	控制電路
312	狀態機
314	晶片上位址解碼器
316	功率控制模組
318	線路
320	資料匯流排(線路)
330, 330A, 330B	列解碼器
350	控制器
360, 360A, 360B	行解碼器
362, 364, 366	記憶體單元
365, 365A, 365B	讀取/寫入電路
370	感測電路

372	資料匯流排
380	感測模組
382	位元線鎖存器
390	共同部分
392	處理器
393	輸入線路
394	資料鎖存器
396	I/O介面
400	感測組塊
510	電容器
512	位元線隔離電晶體
522	位元線下拉電路
522, 550	位元線下拉電晶體
530	讀出匯流排傳送閘
532	讀出匯流排
600	感測放大器
612	位元線電壓鉗位電晶體
613, 634, 641, 642, 643, 654, 656, 658, 661, 662, 663, 664, 666, 668	電晶體
634	隔離閘
730	臨限電壓位準增加至狀態A
732	臨限電壓增加至狀態B範圍
734	臨限電壓增加至狀態C範圍內

980	狀態 A 之臨限電壓分佈
A, B, C	臨限電壓分佈 (經程式化狀態)
BL, BL0, BL1, ... BL8511,	位元線
BLn, BLn+1	
BLC	訊號 (恆定電壓 ; 閘極電壓)
BLS	啟用訊號
Csa	電容器
E	臨限電壓分佈 (經擦除狀態)
FLT	控制訊號
GRS	控制訊號
INV	控制訊號
LAT	互補訊號
NCO	控制訊號
PC	程式化計數器
PCMAX	程式化限制值
RST	重設訊號
SGD	選擇線 (選擇閘極汲極線)
SGS	選擇線 (選擇閘極源極線)
SEN	內部感測節點 (訊號)
SEN2	感測節點 (訊號)
STB	讀取選通訊號
T1	第一感測週期
T2	第二感測週期
V1	中間電壓

VBL	位元線電壓
VT	臨限電壓
Vca	粗略驗證位準
Via	第三驗證位準
Vpgm	程式化電壓
Vra, Vrb, Vrc	讀取參考電壓
Vva, Vvb, Vvc	目標驗證電壓

五、中文發明摘要：

一非揮發性記憶體單元之一浮動閘極(或其他電荷儲存元件)上儲存之表觀電荷的偏移可起因於基於相鄰浮動閘極(或其他相鄰電荷儲存元件)中儲存之電荷的電場耦合而發生。為了補償此耦合，對於一既定記憶體單元的讀取或程式化過程可考量一相鄰記憶體單元之經程式化狀態。為了判定是否需要補償，可執行一種過程，其包括感測關於一相鄰記憶體單元(例如，在相鄰位元線上或其他位置)之經程式化狀態的資訊。

六、英文發明摘要：

Shifts in the apparent charge stored on a floating gate(or other charge storing element) of a non-volatile memory cell can occur because of the coupling of an electric field based on the charge stored in adjacent floating gates(or other adjacent charge storing elements). To compensate for this coupling, the read or programming process for a given memory cell can take into account the programmed state of an adjacent memory cell. To determine whether compensation is needed, a process can be performed that includes sensing information about the programmed state of an adjacent memory cell(e.g., on an adjacent bit line or other location).

十、申請專利範圍：

1. 一種程式化非揮發性儲存裝置之方法，包括：

程式化複數個非揮發性儲存元件至相關聯於一特定經程式化狀態的一粗略驗證位準；

執行額外程式化該等非揮發性儲存元件中之一第一子組非揮發性儲存元件至相關聯於該特定經程式化狀態的一第一精細最終目標位準；及

執行額外程式化該等非揮發性儲存元件中之一第二子組非揮發性儲存元件至相關聯於該特定經程式化狀態的一第二精細最終目標位準，

其中該第一精細最終目標位準係不同於該第二精細最終目標位準。

2. 如請求項1之方法，其中：

該特定經程式化狀態係多種經程式化狀態中之一者；

該等非揮發性儲存元件屬於一非揮發性儲存元件陣列之部分；及

該等非揮發性儲存元件的目標旨在程式化至該特定經程式化狀態。

3. 如請求項1之方法，其中：

對於該等非揮發性儲存元件中之該第一子組非揮發性儲存元件子集，補償浮動閘極至浮動閘極耦合；及

對於該等非揮發性儲存元件中之該第二子組非揮發性儲存元件子集，不補償浮動閘極至浮動閘極耦合。

4. 如請求項1之方法，其中：

該等非揮發性儲存元件中之該第一子組非揮發性儲存元件相鄰於處於一第一條件之一或多個鄰近非揮發性儲存元件；及

該等非揮發性儲存元件中之該第二子組非揮發性儲存元件非相鄰於處於該第一條件之一或多個鄰近非揮發性儲存元件。

5. 如請求項4之方法，其中：

第一精細最終目標位準低於該第二精細最終目標位準。

6. 如請求項1之方法，其中：

該執行額外程式化該等非揮發性儲存元件中之該第一子組非揮發性儲存元件及該執行額外程式化該等非揮發性儲存元件中之該第二子組非揮發性儲存元件包括：施加一組共同程式化脈衝至用於該等非揮發性儲存元件中之該第一子組非揮發性儲存元件及該等非揮發性儲存元件中之該第二子組非揮發性儲存元件的控制閘極。

7. 如請求項1之方法，其中：

該程式化非揮發性儲存元件至該粗略驗證位準包括：對於該等非揮發性儲存元件施加一第一位元線電壓；及

該執行額外程式化該等非揮發性儲存元件中之該第一子組非揮發性儲存元件及該執行額外程式化該等非揮發性儲存元件中之該第二子組非揮發性儲存元件包括：對於該等非揮發性儲存元件，施加不同於該第一位元線電壓的一或多個位元線電壓。

8. 如請求項1之方法，其中：

該等非揮發性儲存元件係NAND快閃記憶體裝置。

9. 如請求項1之方法，其中：

該等非揮發性儲存元件係多狀態式快閃記憶體裝置。

10. 一種非揮發性儲存系統，包括：

複數個非揮發性儲存元件；及

一管理電路，其連通於該等非揮發性儲存元件，該管理電路程式化該等非揮發性儲存元件至相關聯於一特定經程式化狀態的一粗略驗證位準，該管理電路使用相關聯於該特定經程式化狀態的一第一精細最終目標位準，來執行額外程式化該等非揮發性儲存元件中之一第一子組非揮發性儲存元件；及使用相關聯於該特定經程式化狀態的一第二精細最終目標位準，執行額外程式化該等非揮發性儲存元件中之一第二子組非揮發性儲存元件，

其中該第一精細最終目標位準係不同於該第二精細最終目標位準。

11. 如請求項10之非揮發性儲存系統，其中：

該特定經程式化狀態係多種經程式化狀態中之一者；及

該管理電路包括控制電路、一功率控制電路、一解碼器、一狀態機、一控制器及感測組塊中之任一項或一組合。

12. 如請求項10之非揮發性儲存系統，其中：

對於該等非揮發性儲存元件中之該第一子組非揮發性

儲存元件子集，補償浮動閘極耦合；及

對於該等非揮發性儲存元件中之該第二子組非揮發性儲存元件子集，不補償浮動閘極耦合。

13. 如請求項10之非揮發性儲存系統，其中：

該等非揮發性儲存元件中之該第一子組非揮發性儲存元件相鄰於處於一第一條件之一或多個鄰近非揮發性儲存元件；及

該等非揮發性儲存元件中之該第二子組非揮發性儲存元件非相鄰於處於該第一條件之一或多個鄰近非揮發性儲存元件。

14. 如請求項13之非揮發性儲存系統，其中：

第一精細最終目標位準低於該第二精細最終目標位準。

15. 如請求項10之非揮發性儲存系統，進一步包括：

一字線，該字線相關聯於該第一子組非揮發性儲存元件及該第二子組非揮發性儲存元件，該額外程式化該等非揮發性儲存元件中之該第一子組非揮發性儲存元件及該額外程式化該等非揮發性儲存元件中之該第二子組非揮發性儲存元件包括，施加一組共同程式化脈衝至該字線。

16. 如請求項10之非揮發性儲存系統，其中：

該程式化該等非揮發性儲存元件至該粗略驗證位準包括：對於該等非揮發性儲存元件施加一第一位元線電壓；及

該額外程式化該等非揮發性儲存元件中之該第一子組非揮發性儲存元件及該額外程式化該等非揮發性儲存元件中之該第二子組非揮發性儲存元件包括：對於該等非揮發性儲存元件，施加不同於該第一位元線電壓的一或多個位元線電壓。

17. 如請求項10之非揮發性儲存系統，其中：

該等非揮發性儲存元件係NAND快閃記憶體裝置。

18. 如請求項10之非揮發性儲存系統，其中：

該等非揮發性儲存元件係多狀態式快閃記憶體裝置。

十一、圖式：

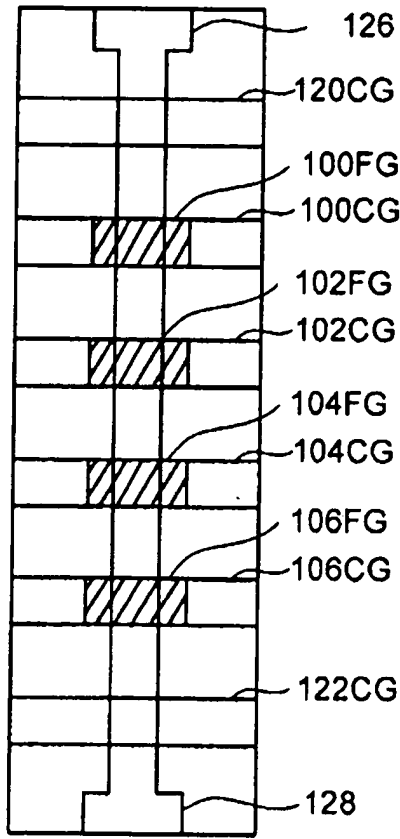


圖 1

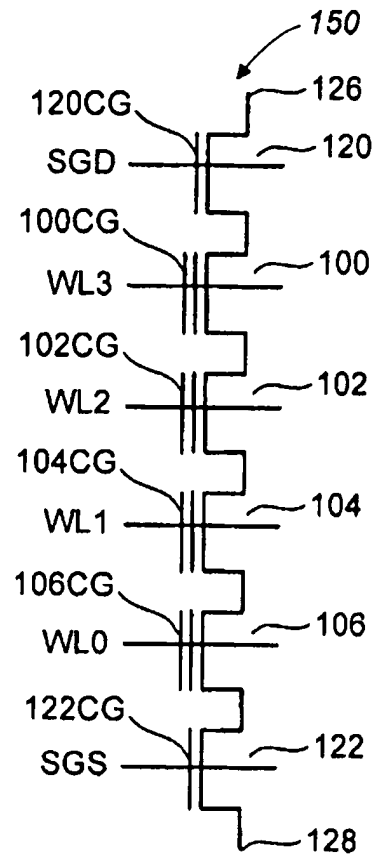


圖 2

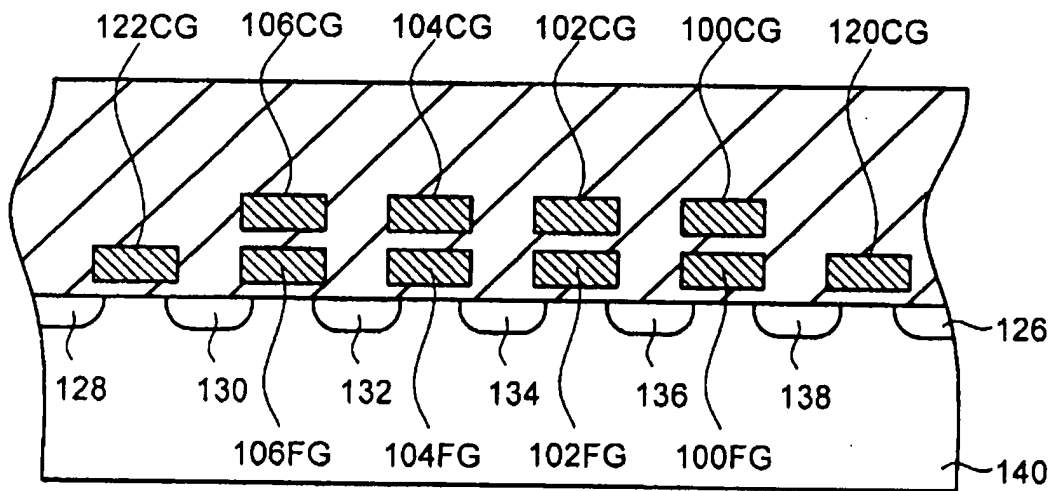


圖 3

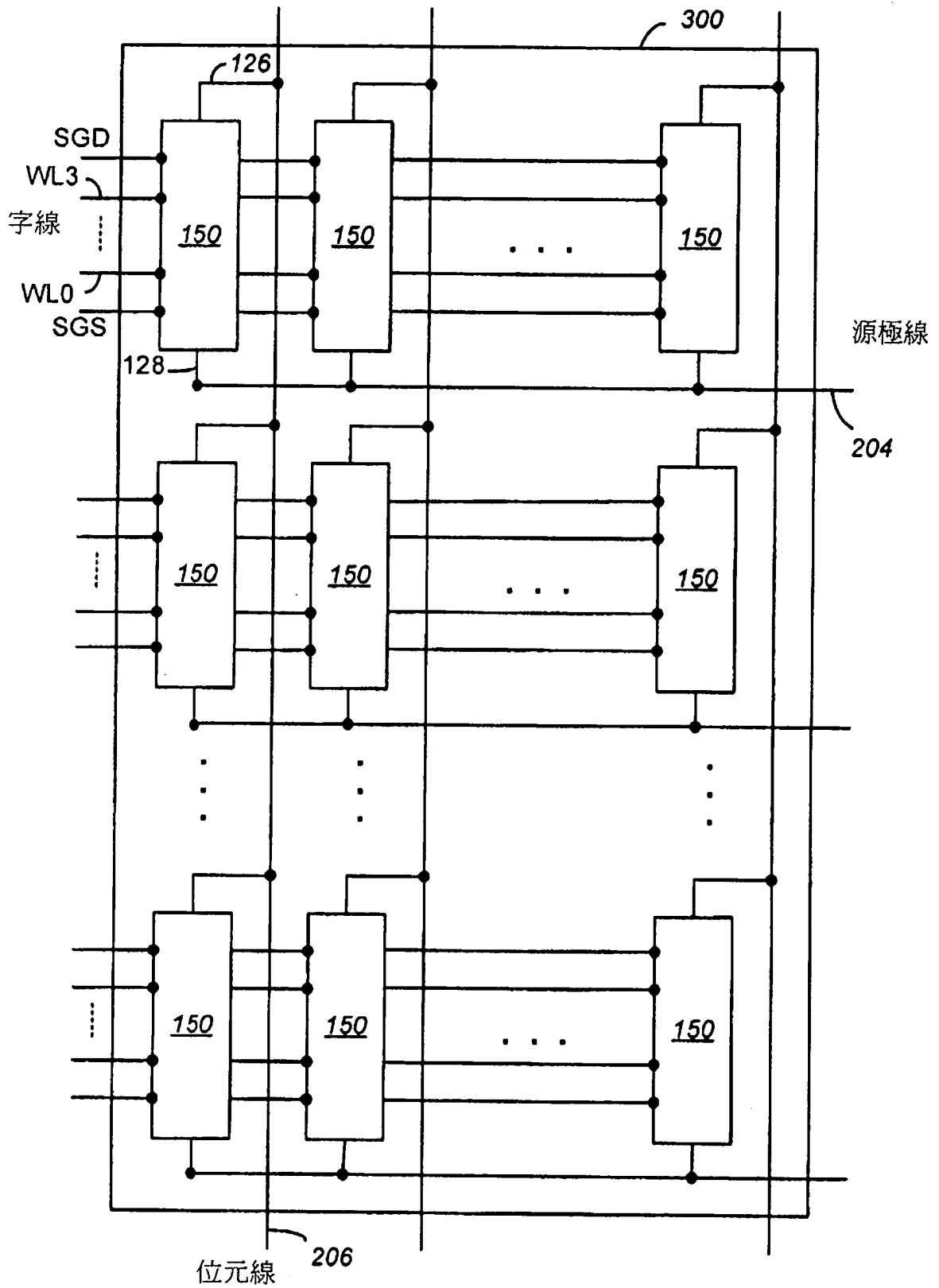


圖 4

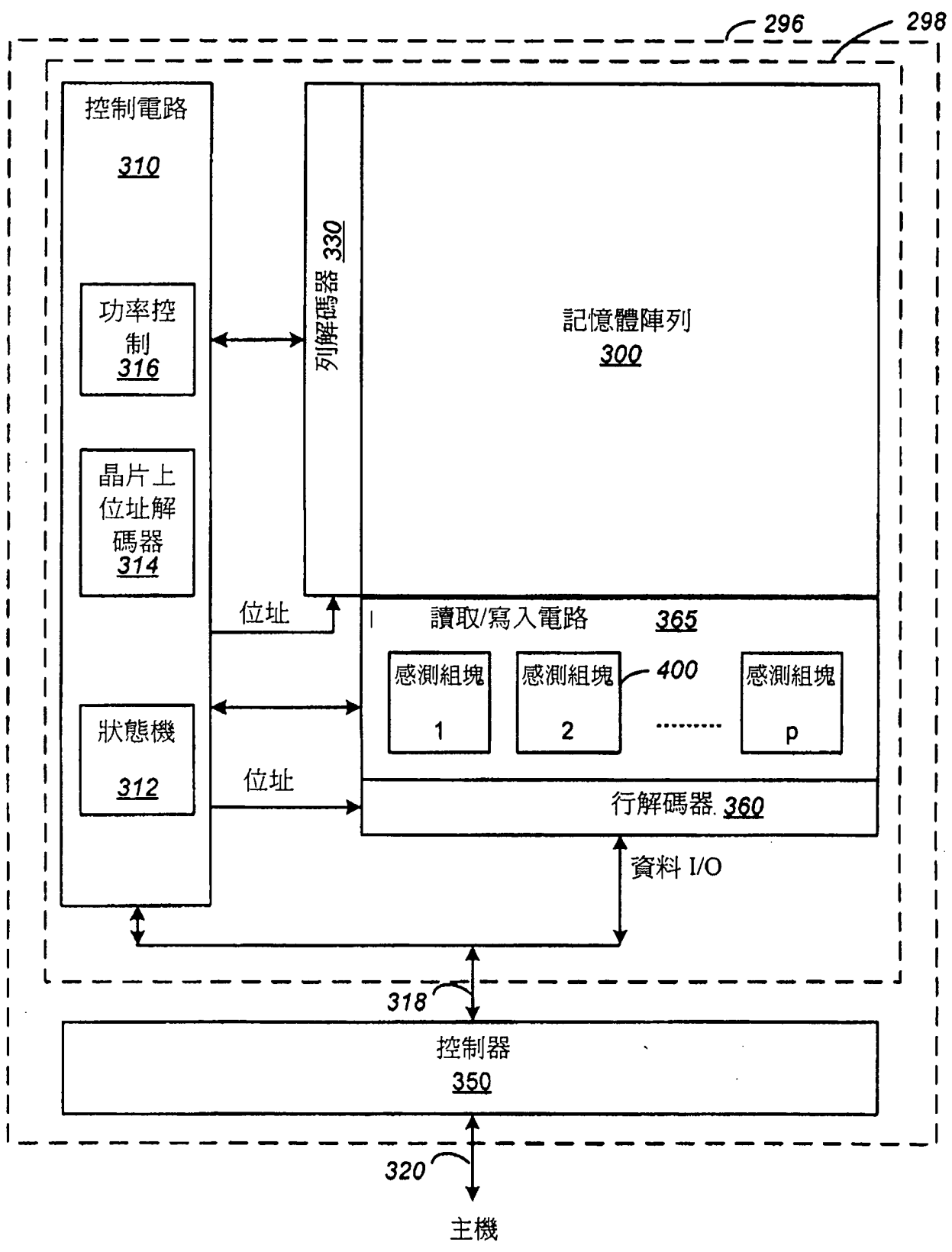


圖 5

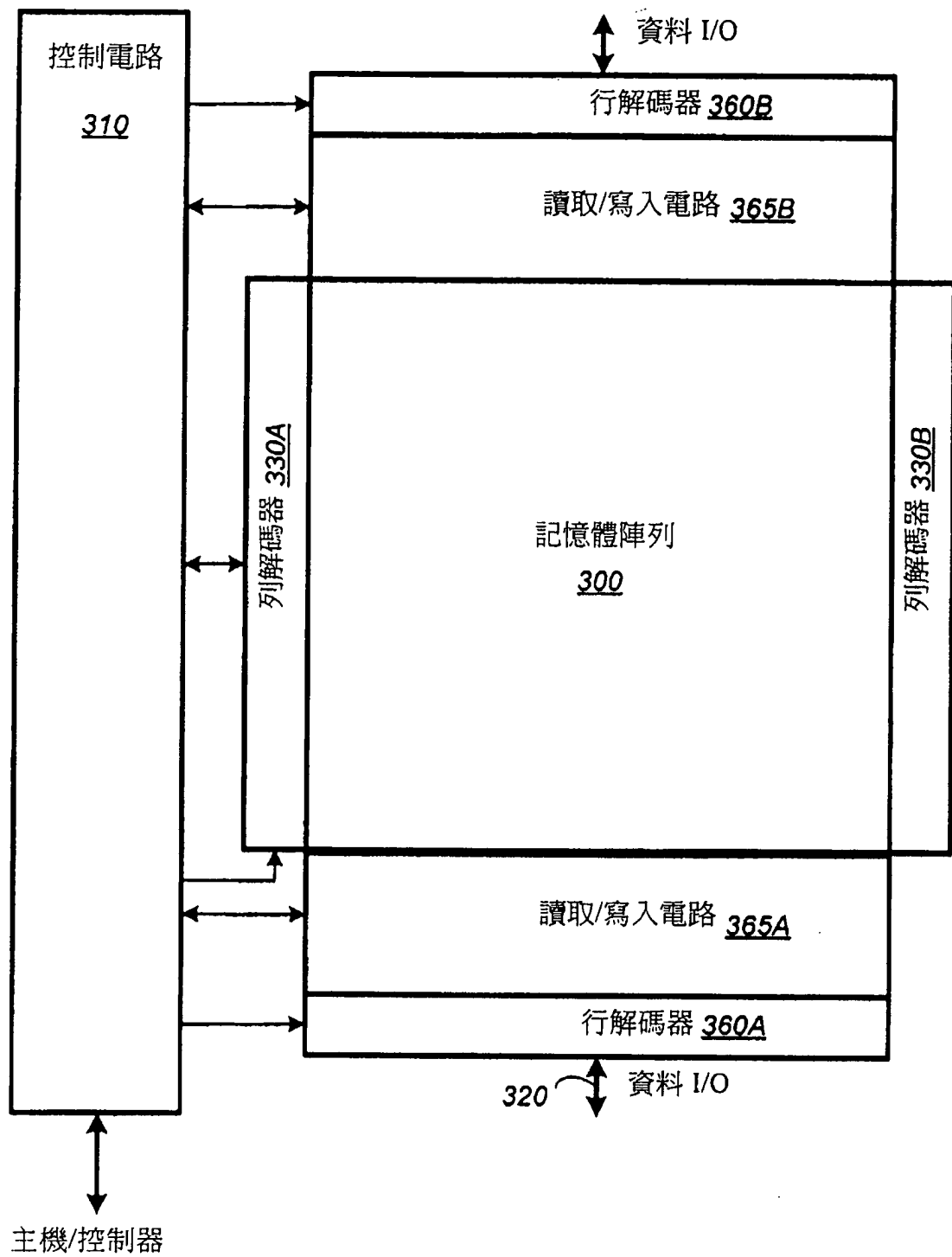


圖 6

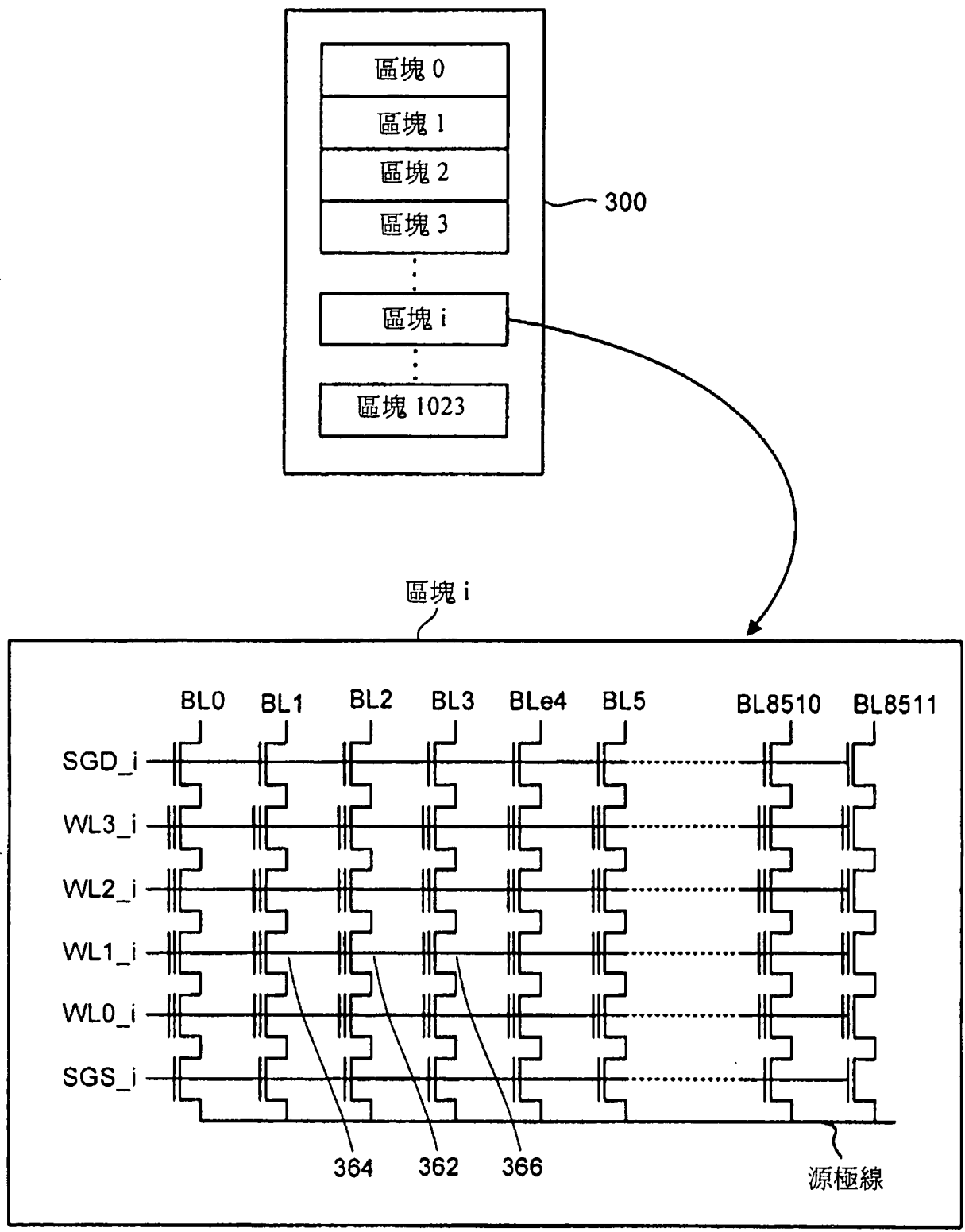


圖 7

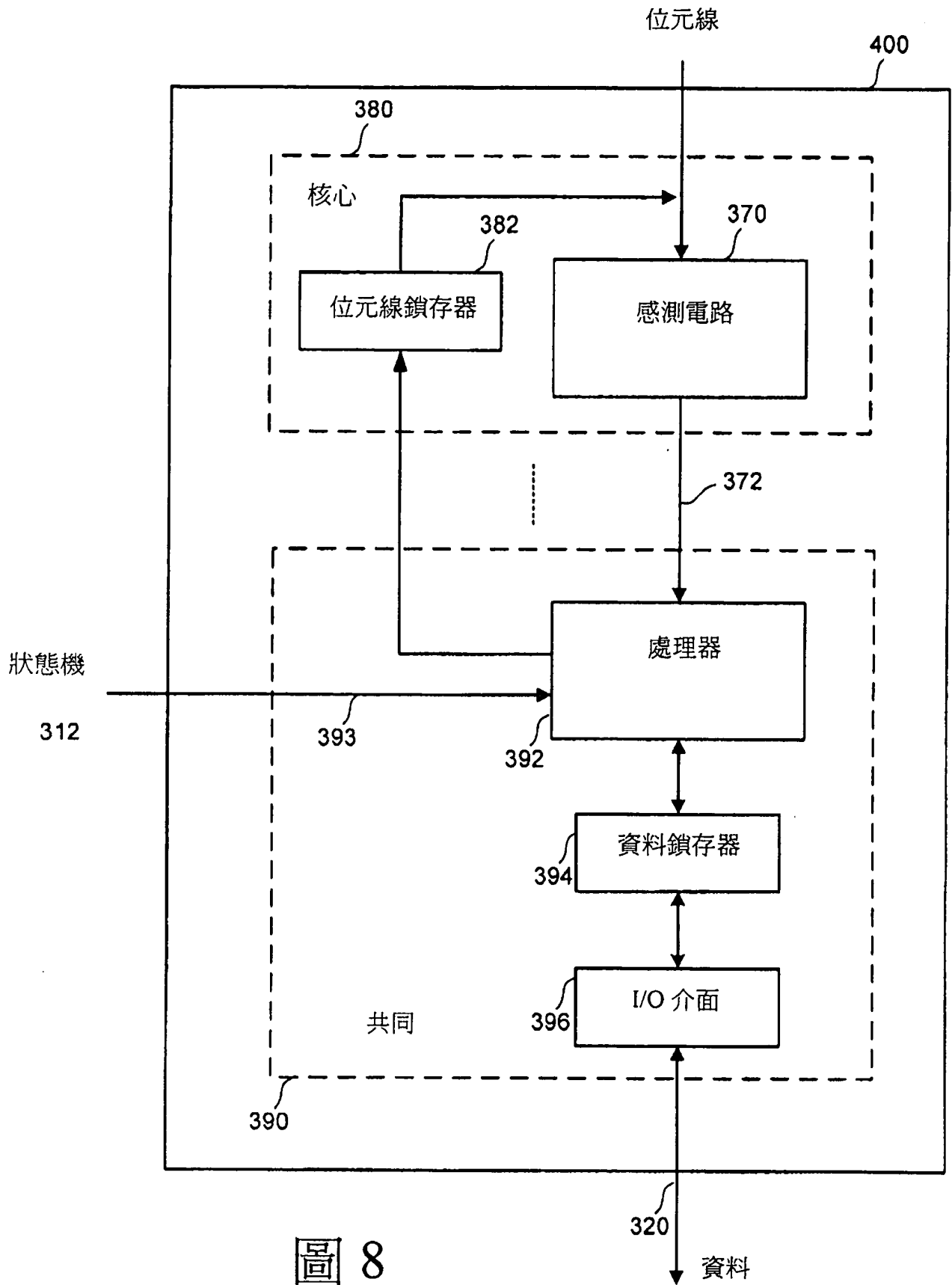
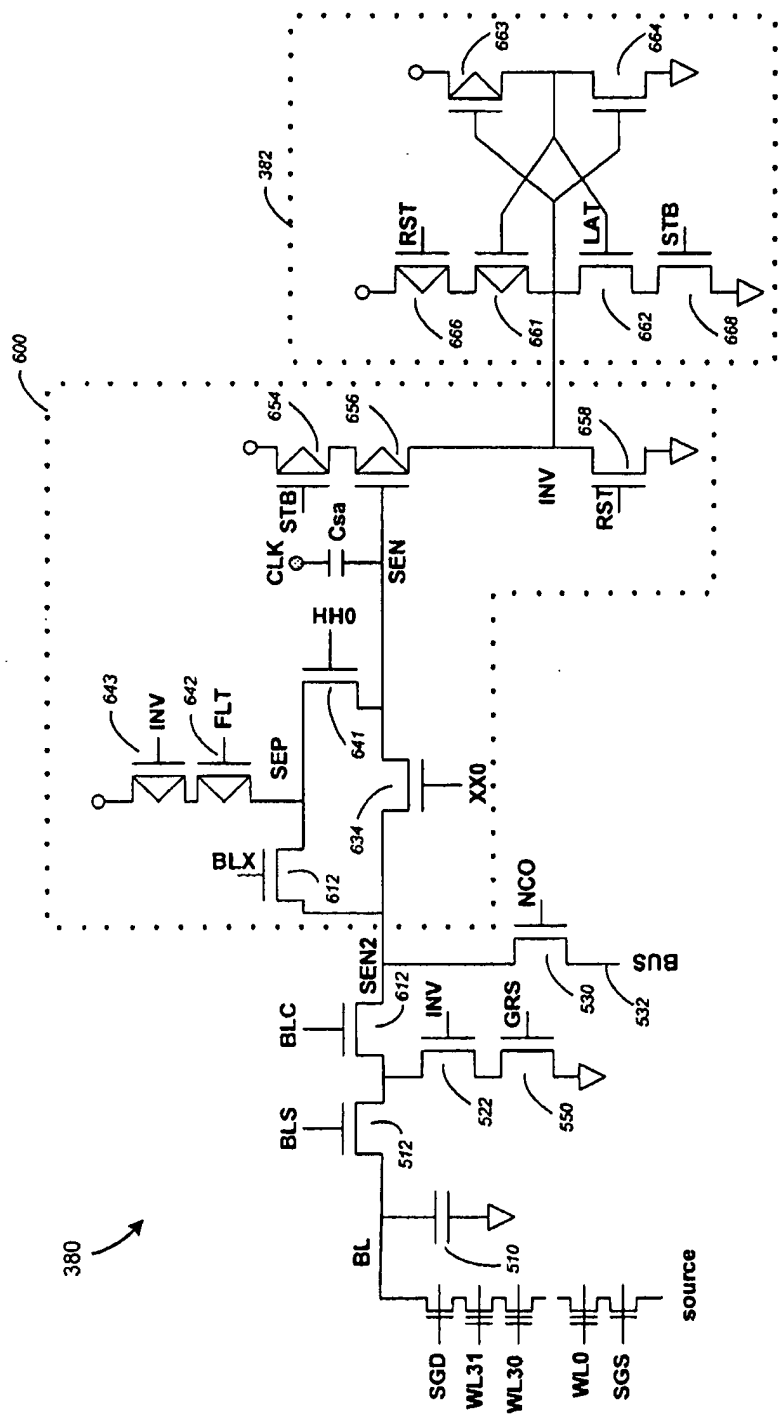


圖 8



9

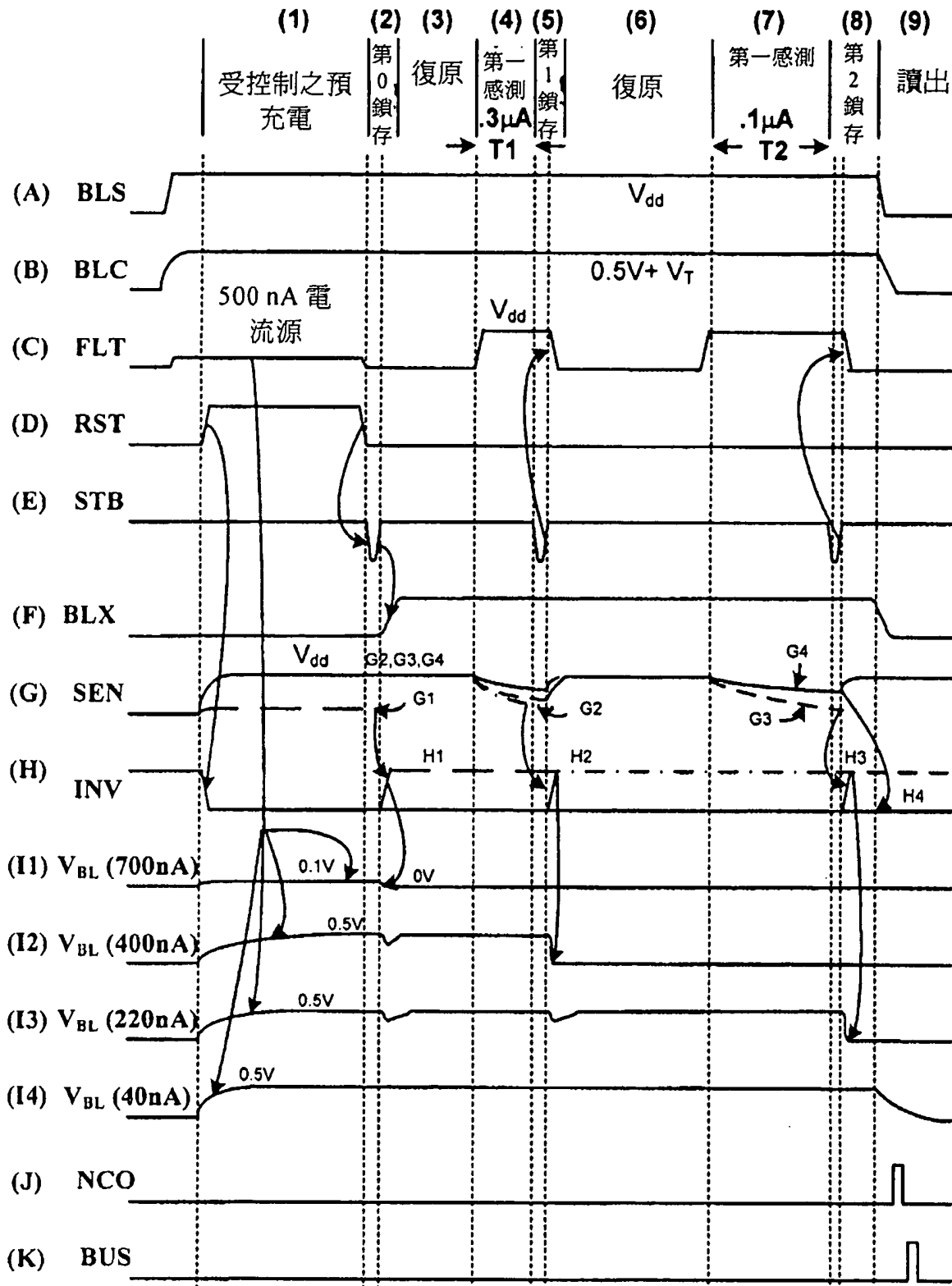


圖 10

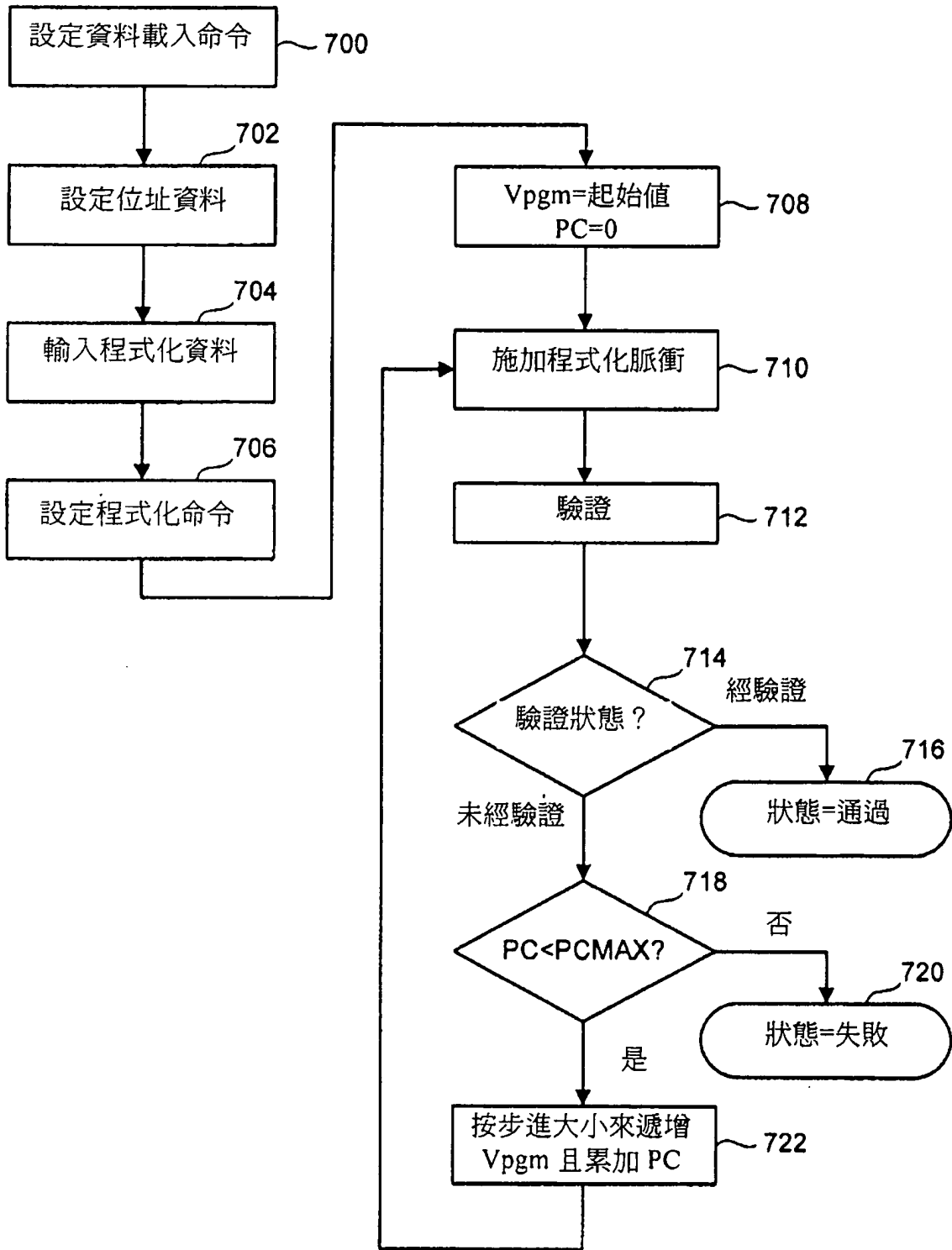
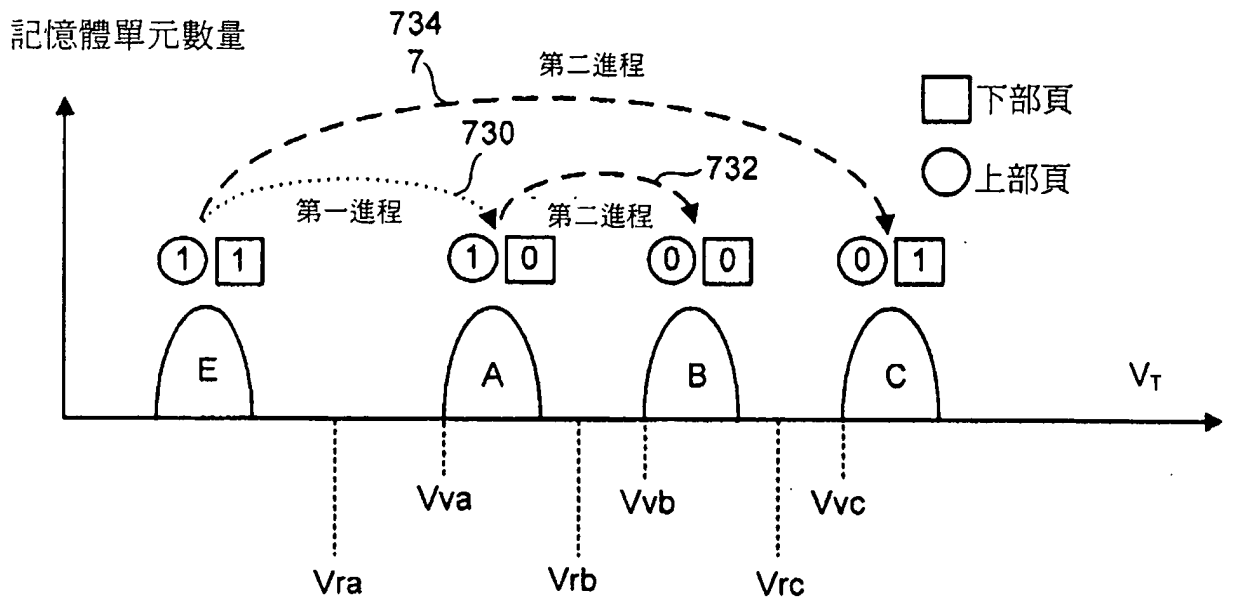
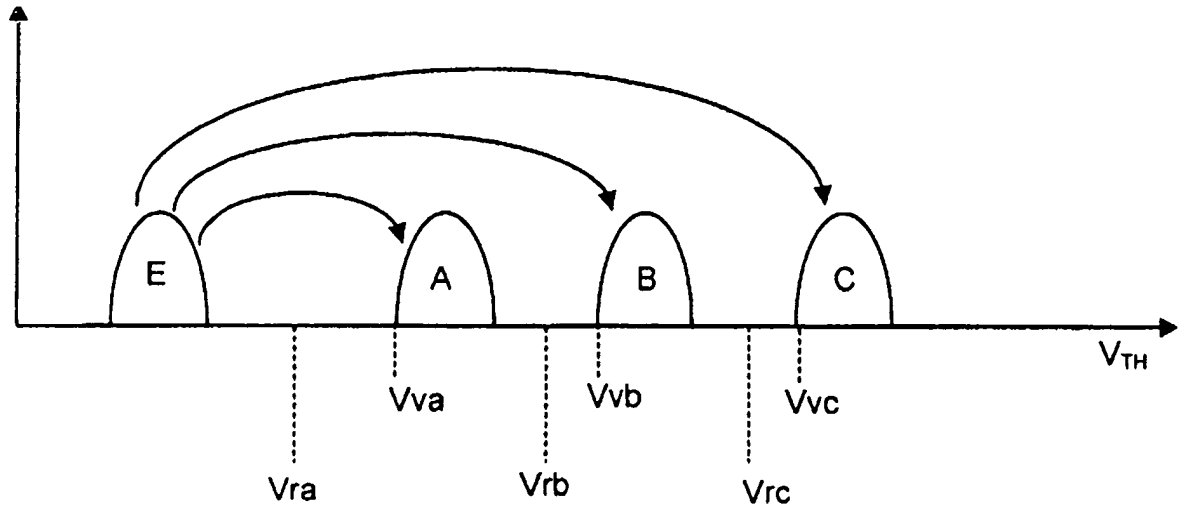
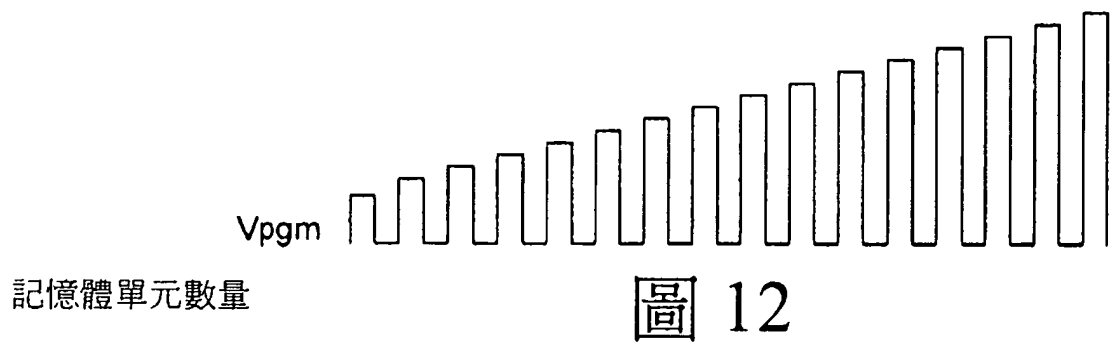


圖 11



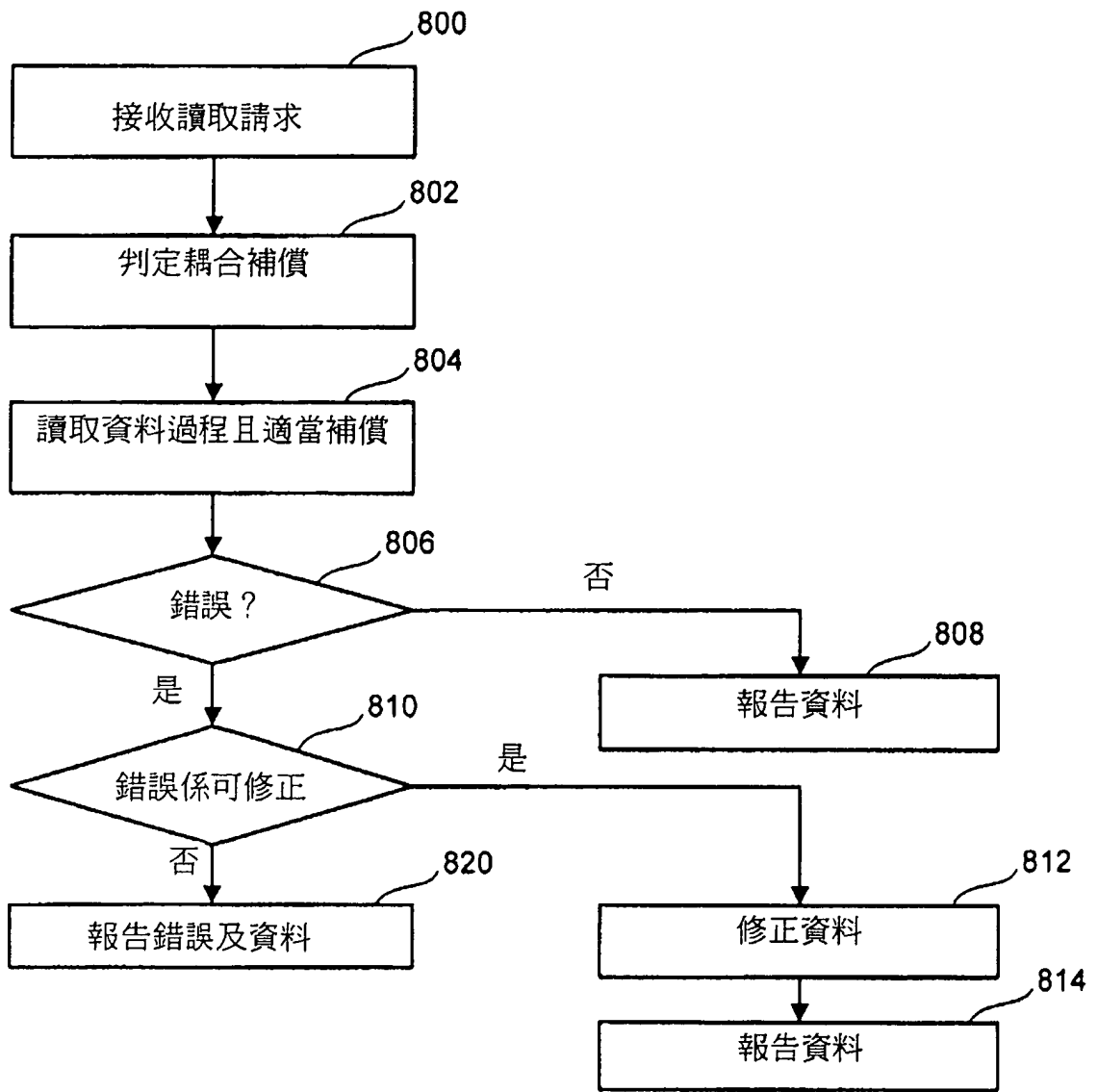


圖 15

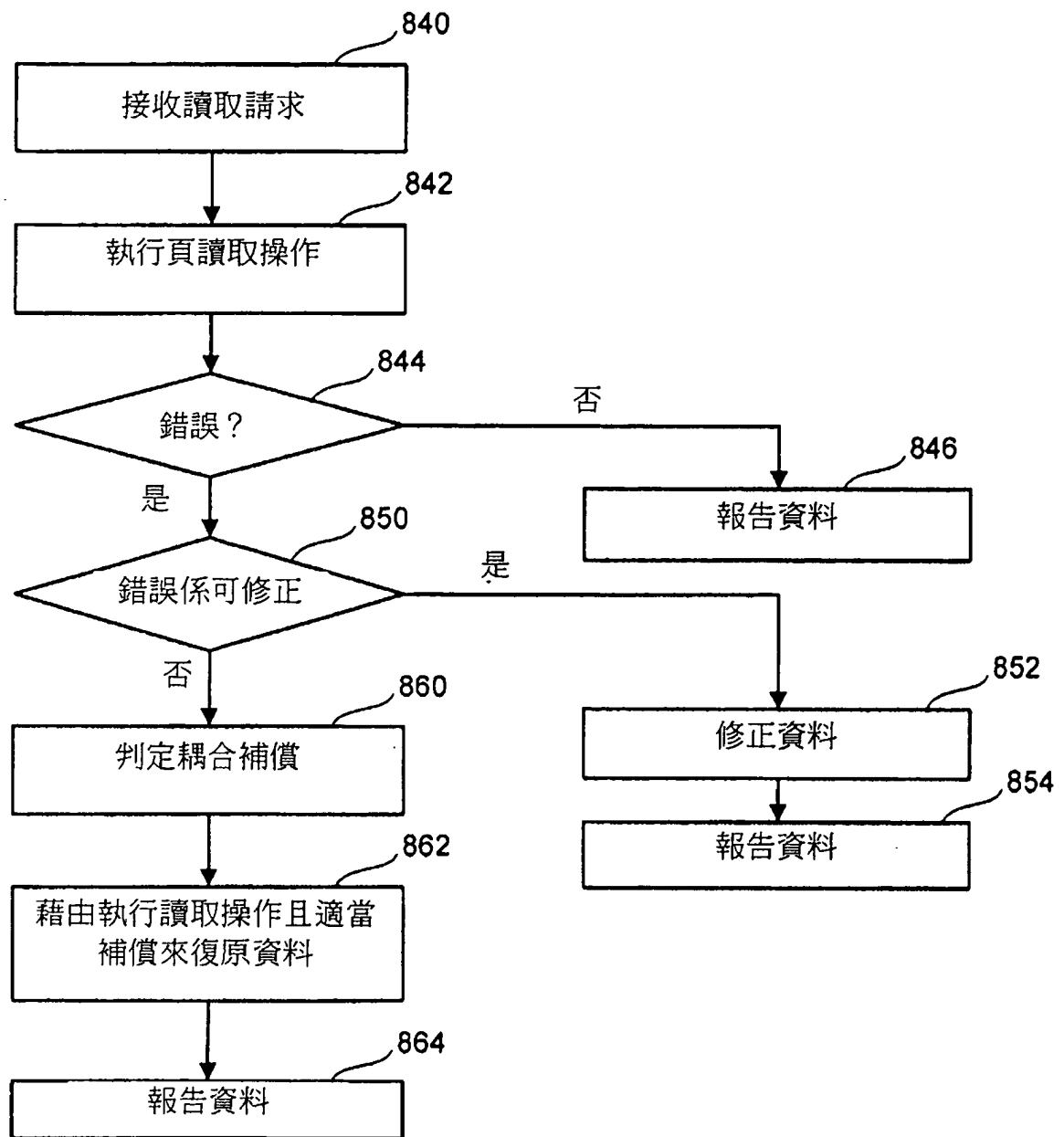


圖 16

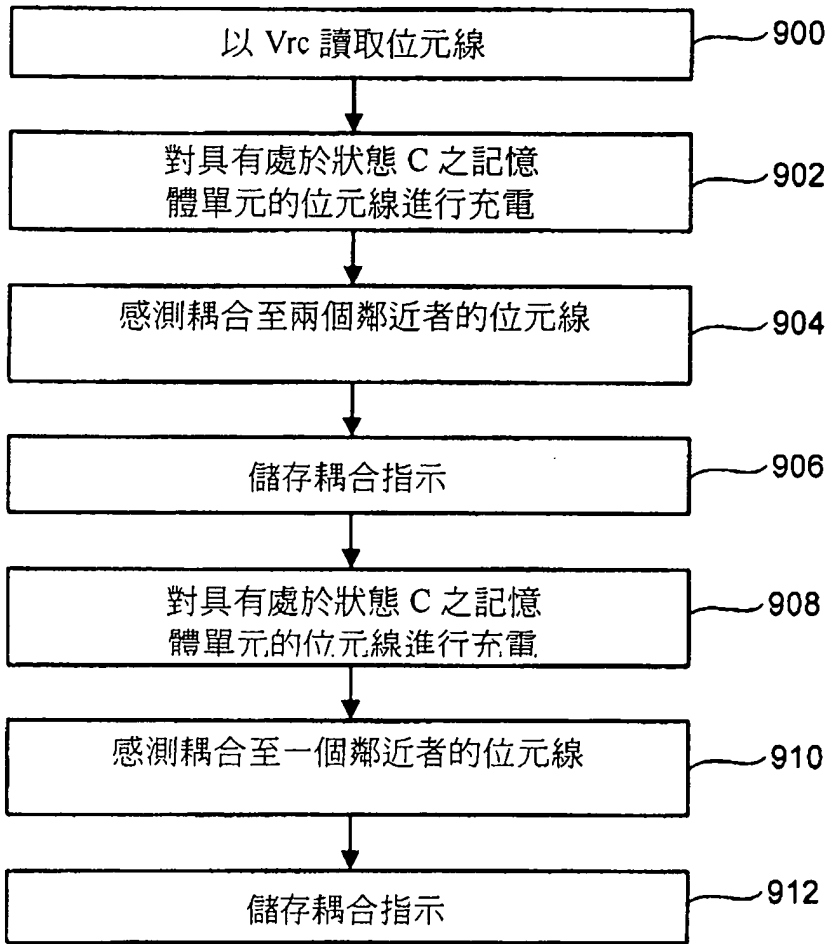


圖 17

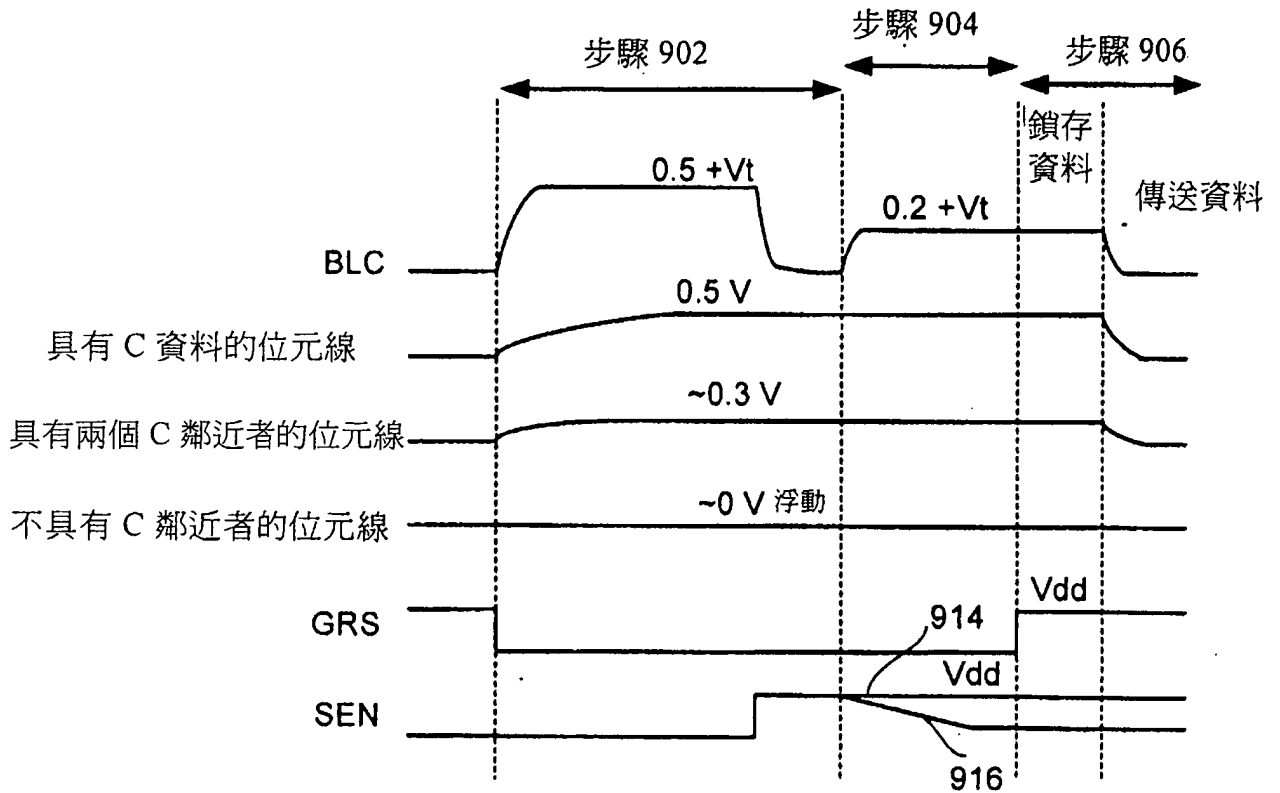


圖 18

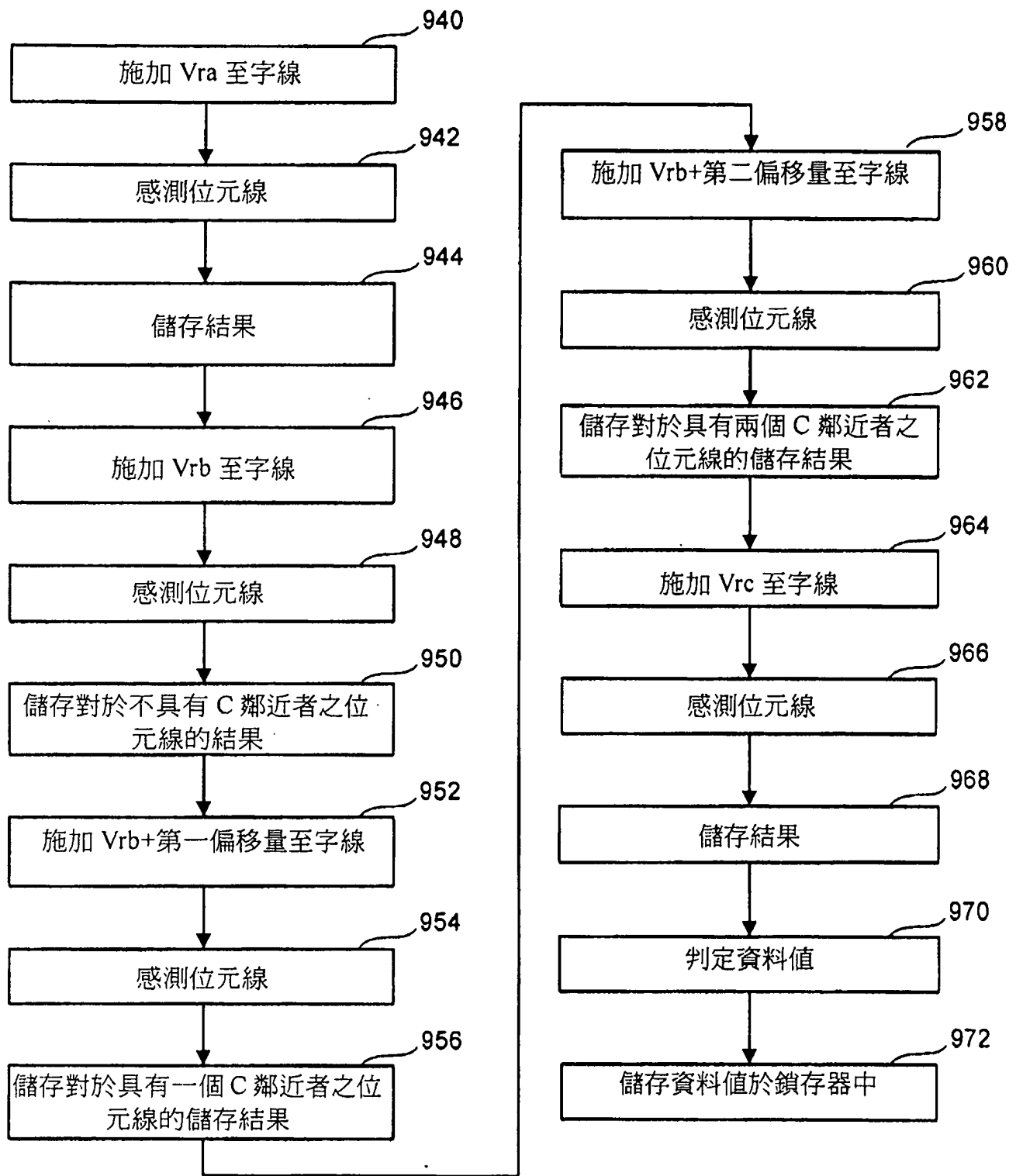


圖 19

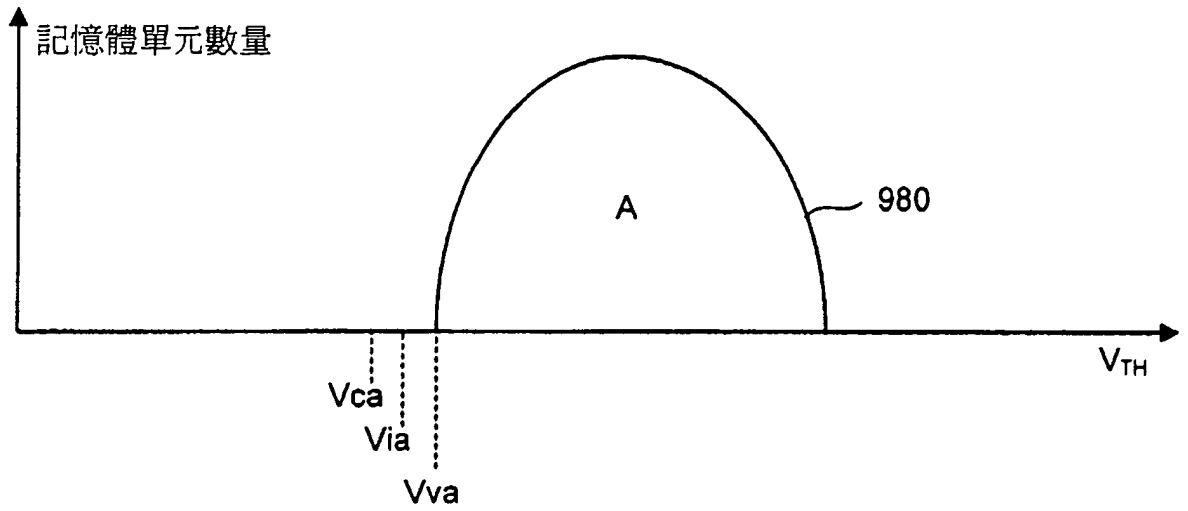


圖 20

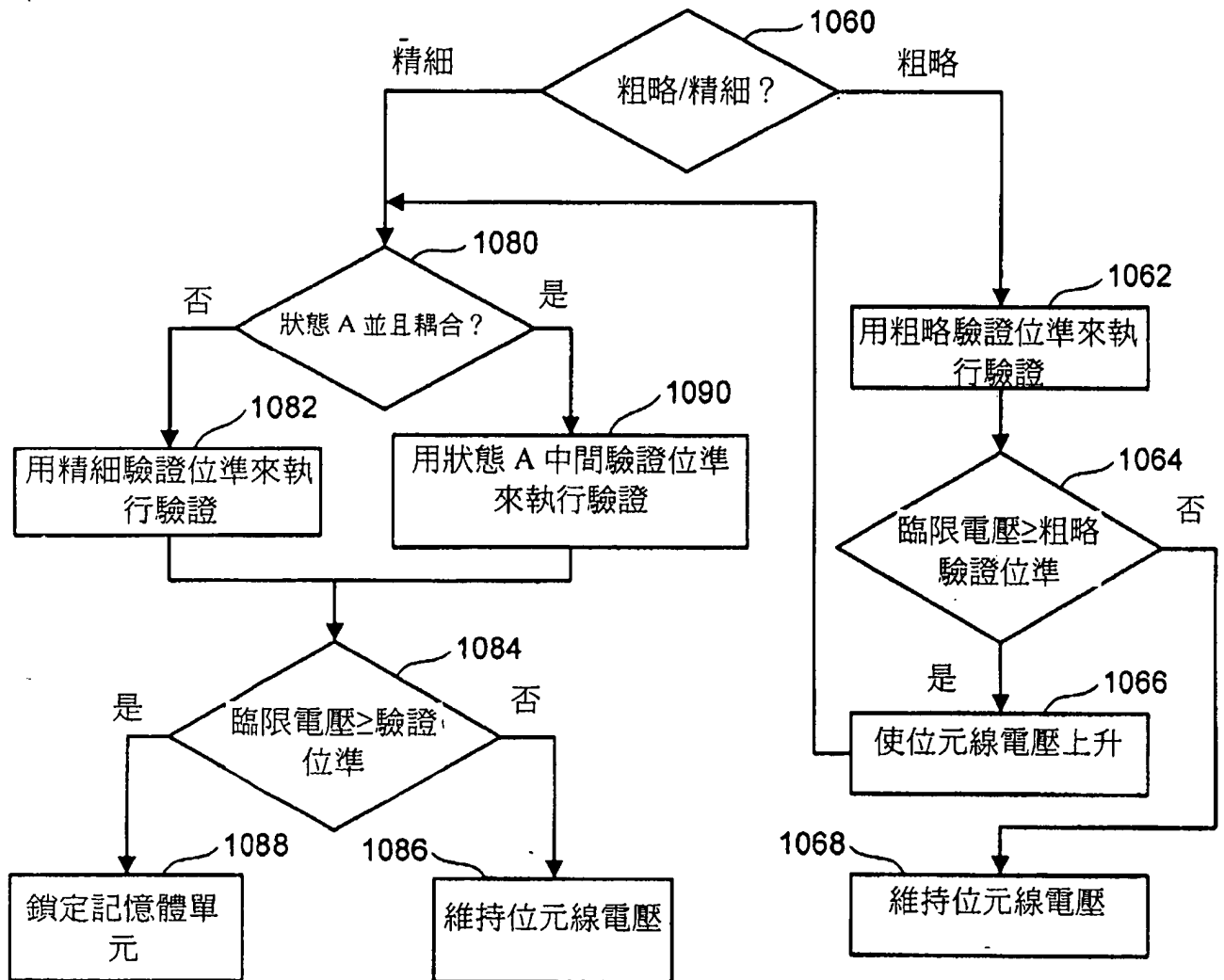


圖 24

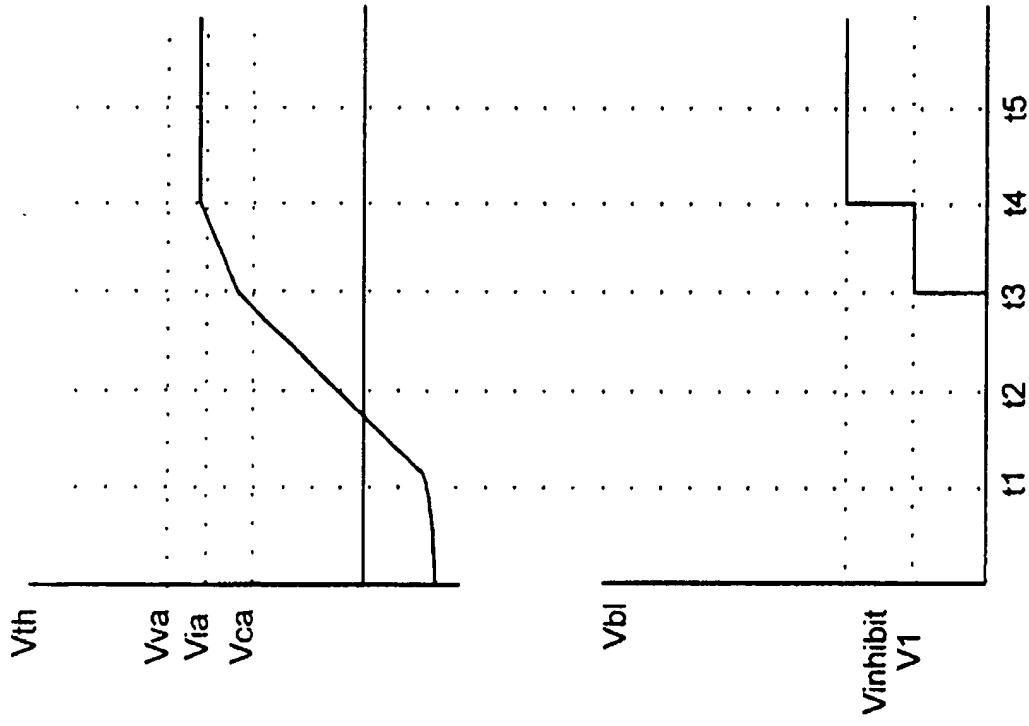


圖 22

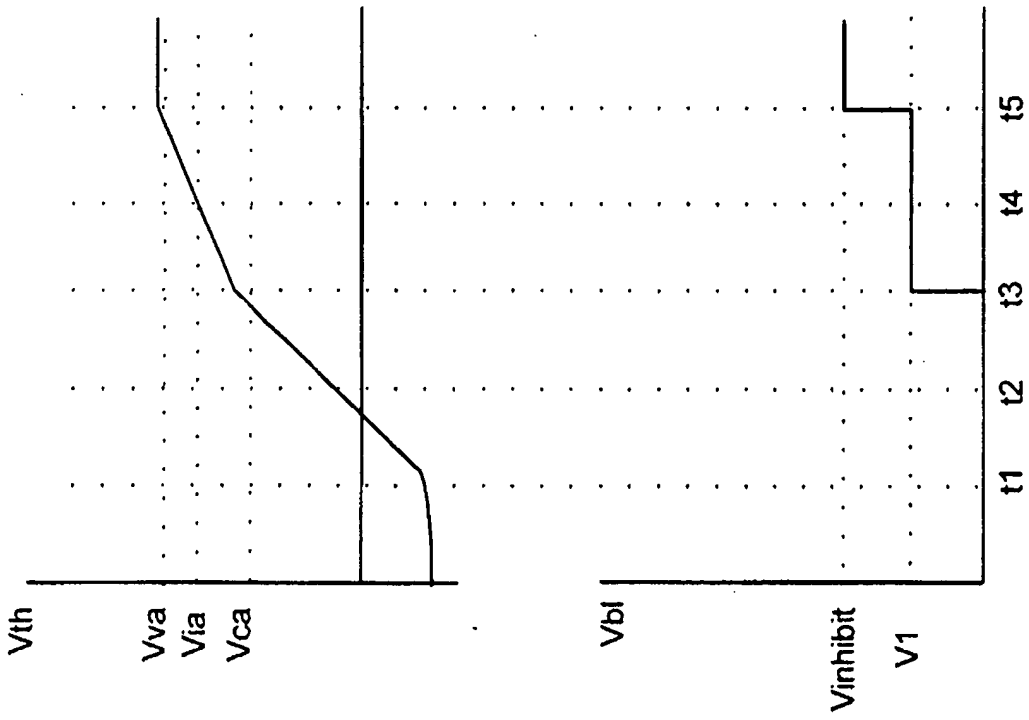


圖 21

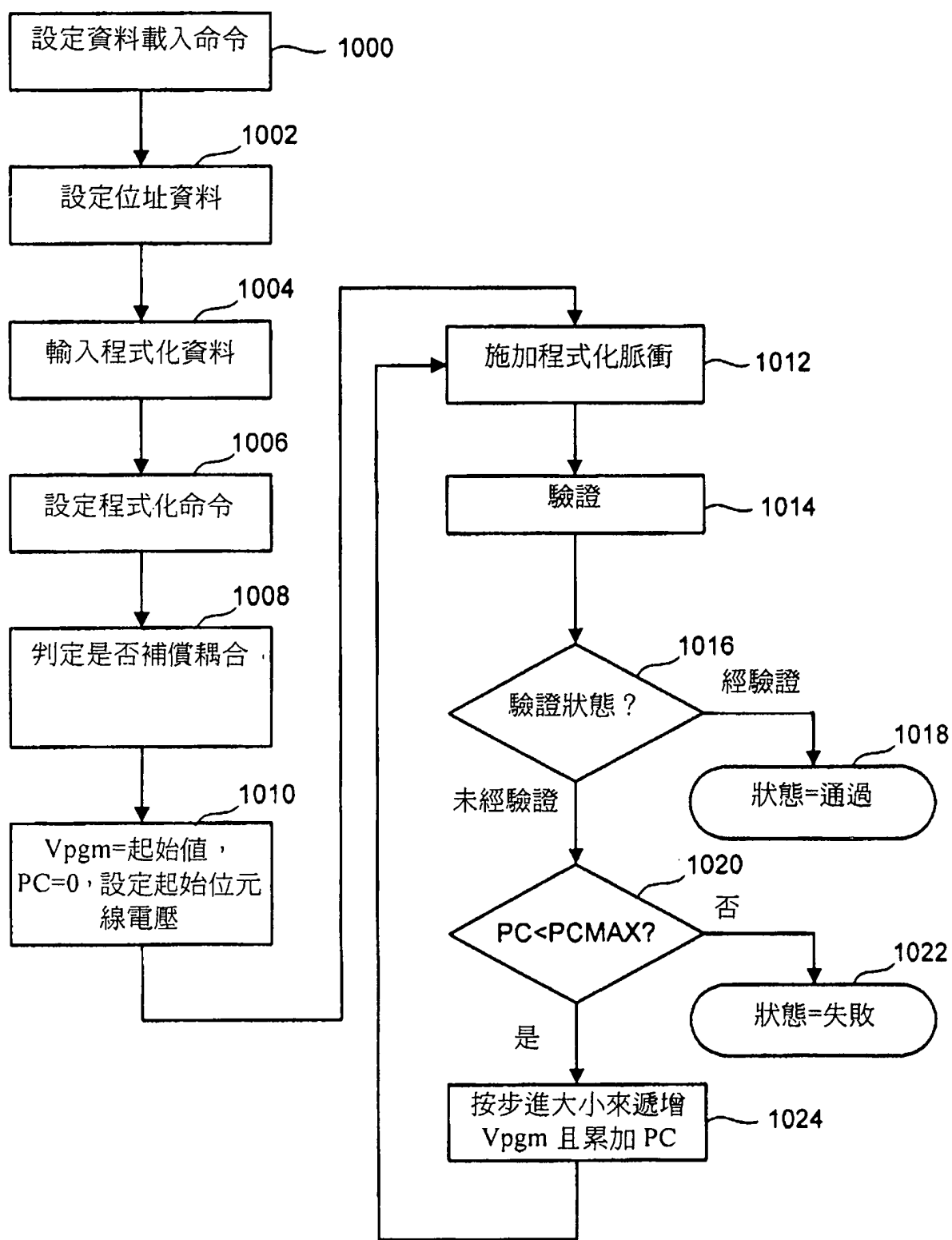


圖 23

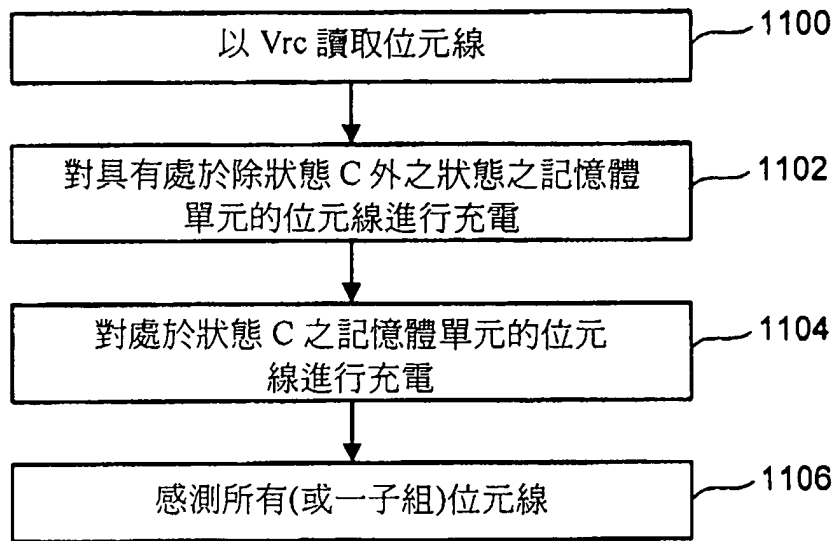


圖 25

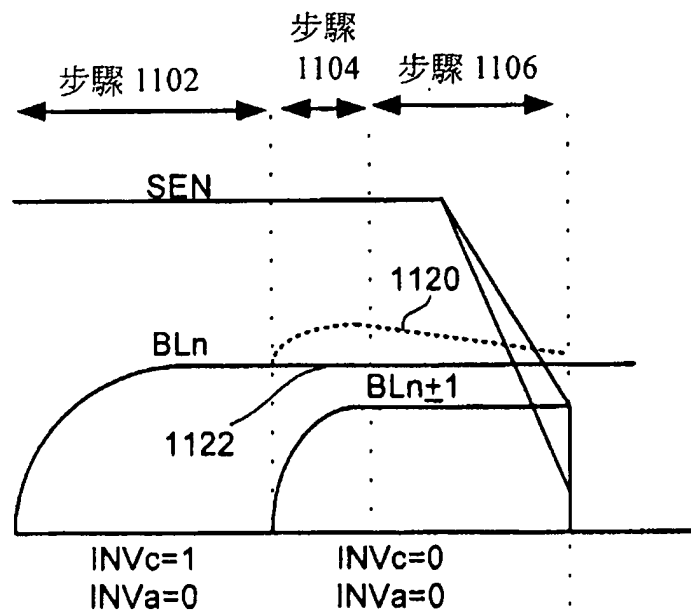


圖 26

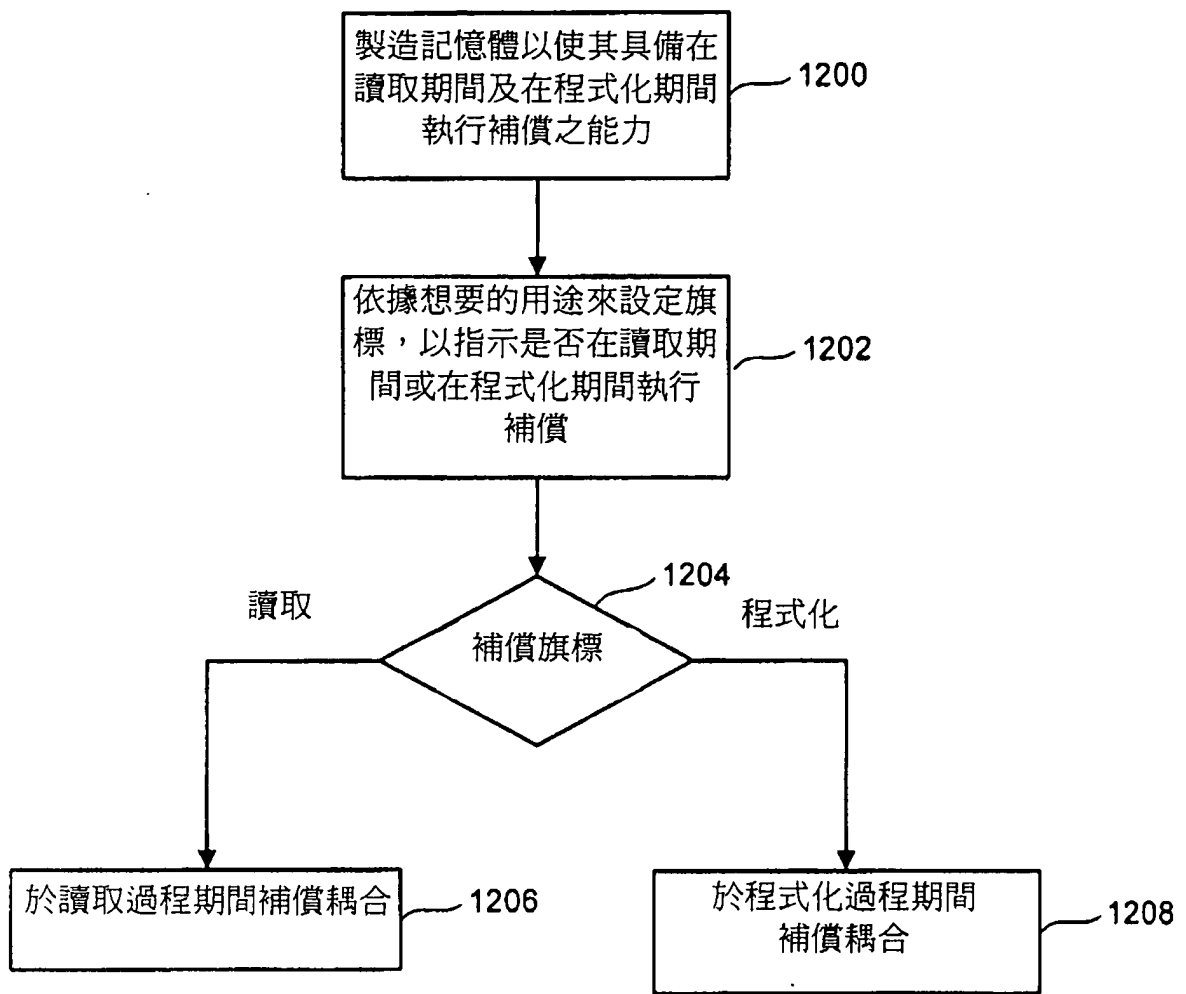


圖 27

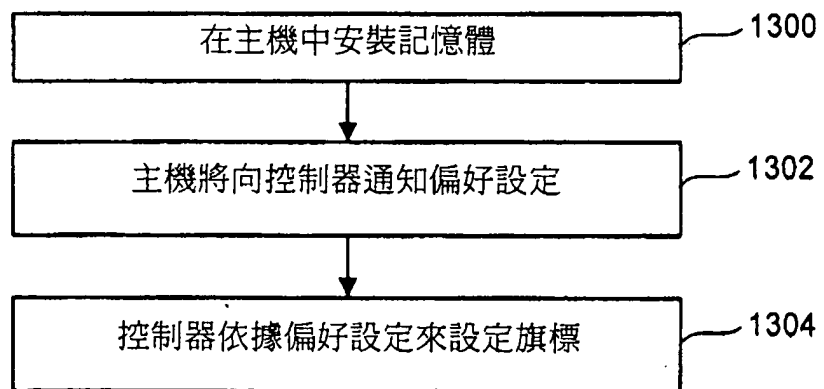


圖 28

圖 29

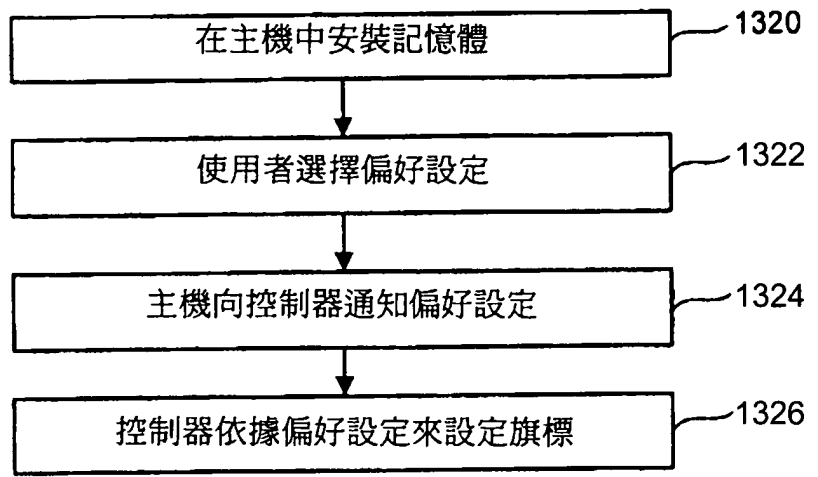


圖 30

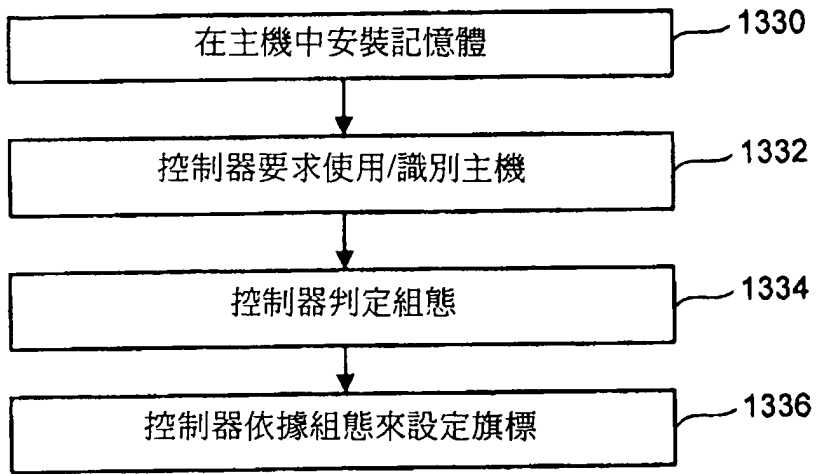
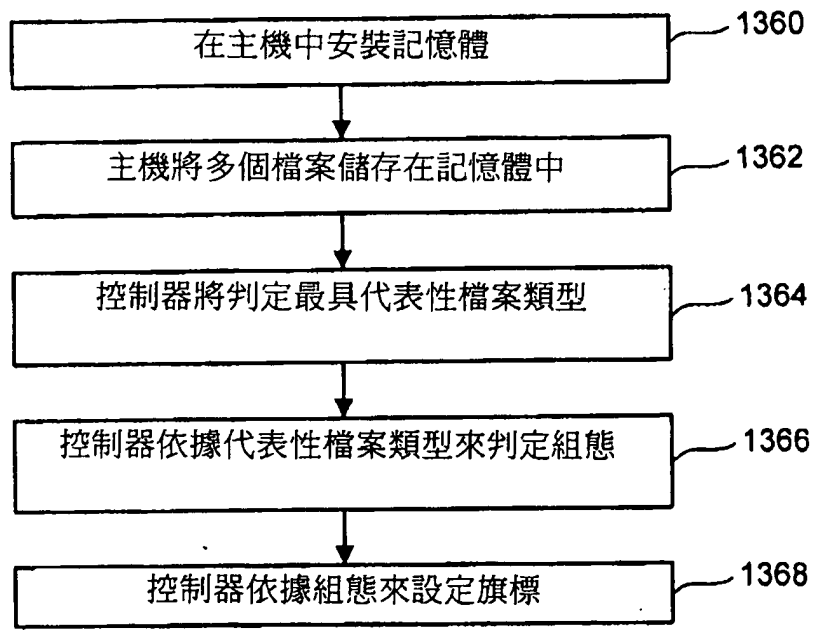


圖 31



七、指定代表圖：

(一)本案指定代表圖為：第 (24) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)