

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-55541
(P2013-55541A)

(43) 公開日 平成25年3月21日(2013.3.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/232 (2006.01)	HO4N 5/232 Z	5C122
HO4N 5/225 (2006.01)	HO4N 5/225 Z	

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号	特願2011-192981 (P2011-192981)	(71) 出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成23年9月5日(2011.9.5)	(74) 代理人	100073760 弁理士 鈴木 誠
		(74) 代理人	100097652 弁理士 大浦 一仁
		(72) 発明者	田中 智憲 東京都大田区中馬込一丁目3番6号 株式会社リコー内
		(72) 発明者	寺尾 典之 東京都大田区中馬込一丁目3番6号 株式会社リコー内

最終頁に続く

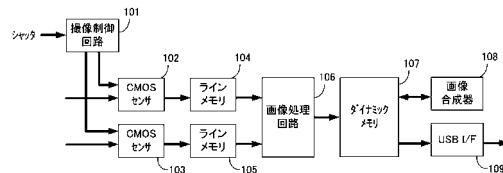
(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】 撮像素子数に伴うハードウェア量の増加によるコストアップを抑制し、撮影画像のデータハンドリングを容易にする。

【解決手段】 CMOSセンサー102、103から出力される1ライン分の画像データをラインメモリ102、103に蓄積し、1つの画像処理回路106が時分割でラインメモリ102、103から画像データを取り出して、画像処理を施す。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数の撮像素子を用いて撮影する撮像装置において、複数の撮像素子からライン単位で出力される画像データを保存する、前記各撮像素子に対応した複数のラインメモリと、前記複数のラインメモリに保存されたライン単位の画像データを時分割で取り出して画像処理を施す画像処理手段を備えたことを特徴とする撮像装置。

【請求項 2】

前記複数のラインメモリの読み出しクロックの周波数は、書き込みクロックの周波数の n 倍 ($n \geq 2$) 以上であることを特徴とする請求項 1 記載の撮像装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、複数の撮像素子を用いた撮像装置に関する。

【背景技術】

【0002】

複数の撮像素子を用いて全方位を撮影し、撮影で得られた複数の画像データを合成処理し、パノラマ画像を生成する撮像装置がある。

【0003】

例えば、特許文献 1 では、ハードウェアを共有するために、複数のイメージセンサ、複数の画像プロセッサ、1つの圧縮エンジン、及びネットワークハードウェアで、パノラマ画像を撮影する構成が提案されている。

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、この撮像装置は複数の撮像素子を使用するため、撮像素子数に伴う画像処理のハードウェア量が多くなりコストが上がり、また、複数の画像データを別々に扱うためにデータハンドリングが煩雑となる問題があった。

【0005】

本発明は上記した課題に鑑みてなされたもので、

本発明の目的は、複数の撮像素子を使用する撮像装置において、撮像素子数に伴うハードウェア量の増加によるコストアップを抑制し、また、撮影画像のデータハンドリングが容易となり制御が簡単な撮像装置を提供することにある。

30

【課題を解決するための手段】

【0006】

本発明は、複数の撮像素子を用いて撮影する撮像装置において、複数の撮像素子からライン単位で出力される画像データを保存する、前記各撮像素子に対応した複数のラインメモリと、前記複数のラインメモリに保存されたライン単位の画像データを時分割で取り出して画像処理を施す画像処理手段を備えたことを最も主要な特徴とする。

【発明の効果】

【0007】

本発明によれば、複数の画像処理ハードウェアを1つのハードウェアで構成して、複数のデータを1つのデータとして処理するので、撮像素子数に伴うハードウェア量の増加によるコストアップが抑制され、また、撮影画像のデータハンドリングが容易となり撮像装置を簡単に制御することができる。

40

【図面の簡単な説明】

【0008】

【図 1】本発明の撮像装置の全体構成を示す。

【図 2】本発明の撮像装置の構成を示す。

【図 3】従来 of 撮像装置の構成を示す。

【図 4】本発明の画像データ転送と処理を説明する図である。

50

【発明を実施するための形態】

【0009】

以下、発明の実施の形態について図面により詳細に説明する。撮像装置は、360度を一度に撮像、またはある所定の角度を個別に撮って、後でつなぎ合わせることで、360度の画像を取得する。撮像装置においては、複数の撮像素子を利用し、合成する必要があるため、ハードウェアを追加すると、小型化の妨げとコスト上昇となるので、本発明では、ライン毎に処理することで、合成処理のし易さと、小型化を実現し、コスト上昇を抑制する。そのために、本発明では、撮像装置における撮影時の画像処理に際して、複数の画像データを1つの画像処理回路で処理する。

【実施例1】

【0010】

図1は、本発明の実施形態の撮像装置の全体構成を示す。この実施形態の撮像装置1の撮像光学系は、各々半球画像を結像するための180度以上の画角を有する第1魚眼レンズ11、第2の魚眼レンズ12を有し、半球画像の結像先には、例えば、2つのCMOSセンサー21、22を備えている。

【0011】

2つのCMOSセンサー21、22が出力する2つの半球画像は、所定の画像処理が施された後、互いにオーバーラップ領域を有しており、撮像装置1内部のダイナミックメモリ41に蓄えられた後、画像合成器42によりオーバーラップ領域を基に全方位画像として合成されて再度ダイナミックメモリ41に蓄えられた後、必要に応じてUSBインターフェイス31を通して、パーソナルコンピュータ2に全方位画像が転送される。

【0012】

図2は、本発明の実施形態である撮像装置の構成を示し、図3は、従来 of 撮像装置の構成を示す。図3において、101は撮像制御回路、102、103はCMOSセンサー、110、111は画像処理回路、107はダイナミックメモリ、108は画像合成器、109はUSB I/Fである。従来 of 撮像装置では、2つのCMOSセンサー102、103で撮影された画像データは、2つの画像処理回路110、111により、それぞれ画像処理される。画像処理の内容としては、黒レベル補正、色補間、欠陥画素補正等がある。

【0013】

これに対して、本発明の実施形態の撮像装置では、ラインメモリ104、105を設け、2つのCMOSセンサー102、103で撮影された画像データを、1つの画像処理回路106により画像処理する。

【0014】

すなわち、本発明では、ラインメモリ104、105を用いて、CMOSセンサー102、103から出力される画像データを、いったん1ライン分をラインメモリ102、103に蓄積し、1つの画像処理回路106が時分割でラインメモリ102、103から1ライン分の画像データを取り出して、画像処理を施すことで、画像処理回路のハードウェア量を削減している。

【0015】

撮像制御回路101は、シャッターボタン(図示しない)が押下されたタイミングで、CMOSセンサー102、103に対して画像データの出力を指示するように構成されている。

【0016】

上記した実施形態では、撮像装置が2つのCMOSセンサーから構成されているが、CMOSセンサーが3以上で構成されている場合も同様である。

【0017】

図4は、本発明の実施形態の画像データ転送と処理を説明する図である。横軸は時間軸であり、Vsyncは垂直同期信号(2次元画像の1ページの先頭に1回だけ出力)、Hsyncは水平同期信号(ライン単位の先頭に出力)、DEはデータイネーブル信号(データ有効を示す)である。

10

20

30

40

50

【 0 0 1 8 】

図 2 に示す 2 つの CMOS センサー 1 0 2、1 0 3 からはそれぞれ、同期信号と画像データ A、B が出力される。出力された画像データは、いったんラインメモリ 1 0 4、1 0 5 に蓄積され (A (1)、B (1))、次のラインの信号が書き込まれる前に、画像処理回路 1 0 6 によって取り出される (A (1)、B (1))。もしくは、タイミング的に上書きされる可能性がある場合は、ラインメモリの構成をトグル構成とすればよい。

【 0 0 1 9 】

画像処理回路 1 0 6 は、まず CMOS センサー 1 0 2 の画像データ A を取り出して処理を施し、次に画像データ B を取り出して処理を施すように構成される。画像データの転送には画素単位に同期した画素クロック (図示せず) が存在し、CMOS センサー 1 0 2、1 0 3 から出力され、ラインメモリ 1 0 4、1 0 5 の書き込みクロックとして使用される。

10

【 0 0 2 0 】

本実施形態では、ラインメモリ 1 0 4、1 0 5 として、書き込みと読み出しのクロックを異なる周波数とすることが可能なラインメモリを使用し、書き込みクロックと比較し、2 倍以上の読み出しクロックで読み出すことで、ライン単位でのリアルタイム処理を実現している。

【 符号の説明 】**【 0 0 2 1 】**

- 1 0 1 撮像制御回路
- 1 0 2、1 0 3 CMOS センサー
- 1 0 4、1 0 5 ラインメモリ
- 1 0 6 画像処理回路
- 1 0 7 ダイナミックメモリ
- 1 0 8 画像合成器
- 1 0 9 USB I / F

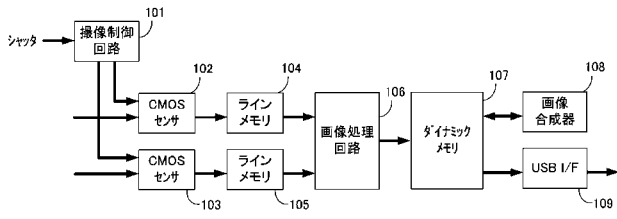
20

【 先行技術文献 】**【 特許文献 】****【 0 0 2 2 】**

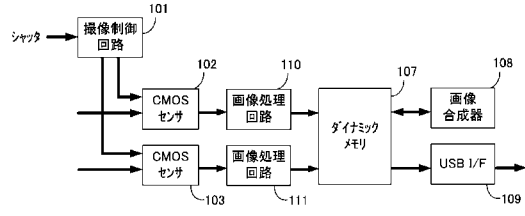
【 特許文献 1 】 特開 2 0 0 6 - 3 3 8 1 0 号公報

30

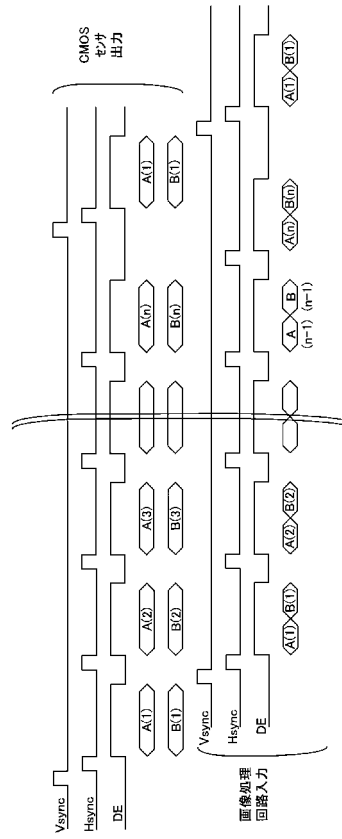
【 図 2 】



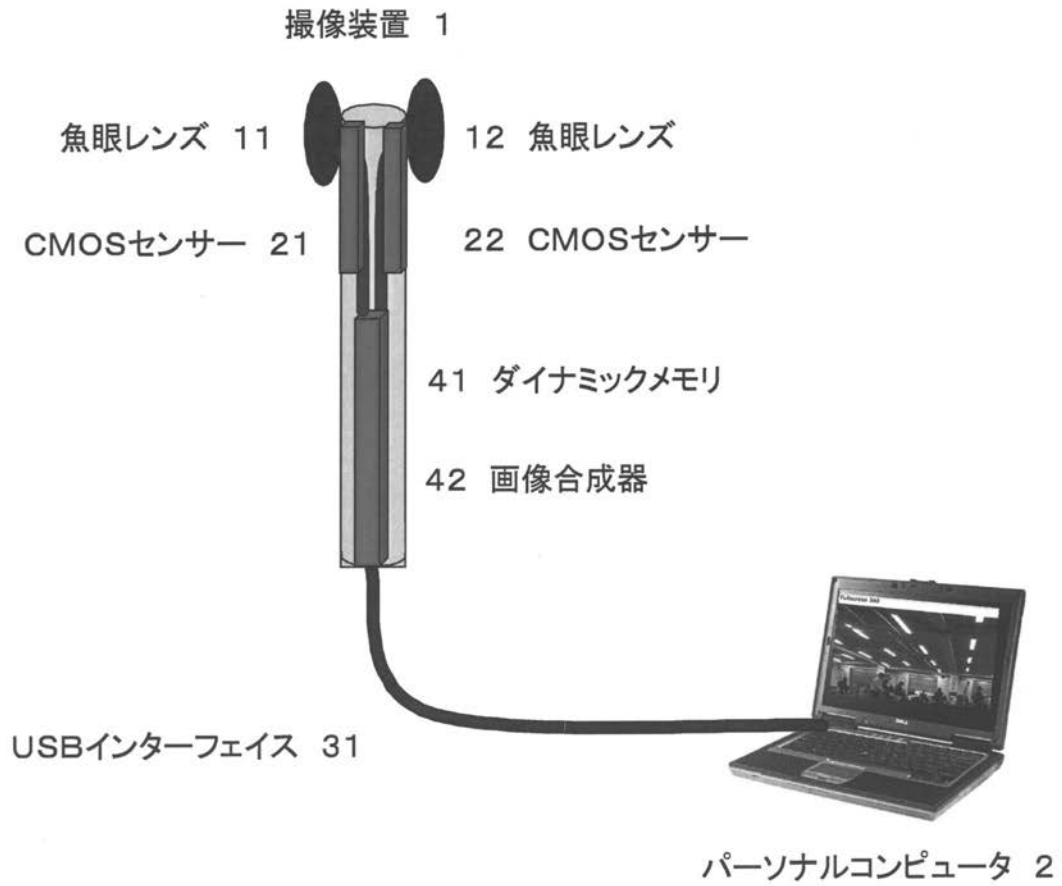
【 図 3 】



【 図 4 】



【 図 1 】



フロントページの続き

- (72)発明者 入野 祥明
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 原田 亨
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 山本 英明
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 竹中 博一
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 澤口 聡
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 今江 望
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 別所 大介
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 増田 憲介
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- (72)発明者 佐藤 裕之
東京都大田区中馬込一丁目3番6号 株式会社リコー内
- Fターム(参考) 5C122 DA03 DA04 EA56 FA03 FH02 FH18 HB02