

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3568987号
(P3568987)

(45) 発行日 平成16年9月22日(2004.9.22)

(24) 登録日 平成16年6月25日(2004.6.25)

(51) Int.Cl.⁷

F I

H03K 3/027

H03K 3/027

Z

H03K 5/151

H03K 5/15

C

請求項の数 5 (全 11 頁)

(21) 出願番号 特願平6-143571
 (22) 出願日 平成6年6月24日(1994.6.24)
 (65) 公開番号 特開平7-154211
 (43) 公開日 平成7年6月16日(1995.6.16)
 審査請求日 平成12年12月25日(2000.12.25)
 (31) 優先権主張番号 P4321315.4
 (32) 優先日 平成5年6月26日(1993.6.26)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 397013610
 ミクロナス ゲゼルシャフト ミット ベ
 シュレンクテル ハフツング
 Micronas GmbH
 ドイツ連邦共和国 フライブルク ハンス
 ーブンテ-シュトラ-セ 19
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (72) 発明者 ミヒャエル・アルベルト
 ドイツ連邦共和国、デー ー 79112
 、フライブルク・イム・ブライスガウ、マ
 ルタッケルテンシュトラ-セ 4

審査官 石井 研一

最終頁に続く

(54) 【発明の名称】 クロック制御された論理回路用のクロック発生回路

(57) 【特許請求の範囲】

【請求項1】

クロック信号(CI、CIQ、CO、COQ)を出力するクロック発生回路(tt)に、
 クロック信号ライン(tl)によって接続されている、クロック制御される減結合段(n
 1、n3; tr1、tr2、)を有する論理回路(L)のためのクロック発生回路であっ
 て、

該クロック発生回路(tt)は、インターロックする信号(v、res、sb)によって
 制御されるインターロックモード中に、該減結合段手段に接続されているクロック信号ラ
 イン(tl)を、強制的に減結合段手段の出力が第1または第2の論理レベル(1、0)
 に結合される状態にするためのインターロック回路(V)を含み、

該インターロック回路(V)は、各クロック信号ライン(tl)または各一对のクロック
 信号ラインのためのそれぞれのクロック信号(CI、CIQ、CO、COQ)と、インター
 ロックする信号(v、res、sb)とを結合するための少なくとも1つの論理回路(
 g3、g4)を含んでいる

ことを特徴とするクロック発生回路。

【請求項2】

インターロック信号(v)は、ターンオン開始フェイズ(a、b)中に制御装置(st)
 によって発生されリセット信号(res)にロックされることを特徴とする請求項1記
 載のクロック発生回路。

【請求項3】

10

20

インターロック信号 (v) は、待機モード (d、e) において制御装置 (s t) によって発生された待機信号 (s b) にロックされることを特徴とする請求項 1 記載のクロック発生回路。

【請求項 4】

インターロックする信号 (v、r e s、s b) は、クロック信号の 1 つ (C O) と同期された定められたターンオフエッジを有する内部リセット信号 (r e s i) を発生する同期段 (s y) に供給されることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載のクロック発生回路。

【請求項 5】

同期段 (s y) は、内部リセット信号 (r e s i) のターンオフエッジの同期により論理回路 (L) 上のインターロック信号 (v) の全ての不安定状態の影響を抑制するインターロック信号用の干渉抑制回路 (d t、g 6、n 6、n 7、n 8) を含んでいることを特徴とする請求項 4 記載のクロック発生回路。

10

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明はクロック発生回路にクロック信号ラインによって接続されている、クロック制御された減結合段を備えた論理回路用のクロック発生回路に関する。

【0002】

【従来の技術】

20

このようなクロック制御された論理回路はダイナミックまたは同期論理回路とも呼ばれている。このような回路において、処理速度は個々の論理段を通る信号伝播遅延ではなく、クロック信号の期間に依存する。単一のクロック装置内において、いくつかの論理段が 1 つの機能回路装置として共同してもよく、この回路装置内の処理は個々の論理段の技術依存性伝播遅延に応じて非同期的である。個々の論理段または回路装置中のデータのクロック同期された入力および出力は減結合段によって制御され、クロックシステムおよび減結合段の設計は別の段とのデータ衝突が入力または出力で発生しないことを確実にする。クロックシステムは、“オン”状態および“オフ”状態に減結合段を切替え、分離されるべき論理段または回路装置、特に直列に接続された論理段または回路装置に関連した減結合段が絶対に同時にオンではないことを確実にする。

30

【0003】

クロック制御された減結合段と関連した所望の同期を行う既知のクロックシステムは、重ならない 2 相クロックである。それは例えば論理動作を適用することによって高周波クロック信号から得られる。重ならないクロックはまた論理段の不可避の伝播遅延を評価することによって等しい周波数のクロック信号から形成されてもよい。基本的な文献 (Carver Mead および Lynn Conway 氏による “Introduction to VLSI Systems”, Addison-Wesley Publishing Company, 1980 年, 229 乃至 233 頁, 特に 229 頁の図 7.6 (a)) には、第 2 の方法によって重ならない 2 相クロックを発生する例示的な回路が示されている。重ならない部分はさらに拡大されることが可能であり、したがって各クロックラインにおいてインバータを付加することによって回路またはクロック許容誤差に対する感度を低くすることができる。このような 2 相クロック発生器は欧州特許出願 EP-A-O 418 419 (ITT case M.F.Ullrich 14) の図 1 に示されている。

40

【0004】

【発明が解決しようとする課題】

文献 (“Elektronikpraxis”, No 1, 1983 年 1 月, 91 頁) には、インターロック信号によって定められたレベル状態にクロック信号ラインを切替えるインターロック回路を備えたクロック発生回路が示されている。(その請求項 1 の前提部分と比較されたい。) インターロック回路は、ターンオフおよび再開始時に完全なパル

50

スだけがクロック信号として出力されることを確保するように機能するため、マーク/スペース比は正しく定められたまま保持される。

【0005】

特に適切なクロック制御された減結合段は、クロック信号用の付加的なスイッチ装置を備えた論理段である。最も簡単な例は、4個の直列接続されたp型およびn型チャンネルトランジスタからなるクロックされたインバータである。別の減結合段は、電子直列スイッチとして信号のラインに接続された並列接続されたn型およびp型チャンネルトランジスタ対から形成された伝送ゲートである。別のクロック制御された減結合段は当業者に良く知られており、2以上のクロック相を備えたクロックシステムである。

【0006】

クロック制御された減結合段は一般に、クロック信号が現れることができない場合、減結合段の出力はゆっくり変化して、漏洩電流の存在に応じて、正および負の供給電位の間の中間に位置している浮動電圧状態になる欠点を有する。その後、減結合段の出力に接続された論理段または回路装置は1または0レベルを持つ正常な動作状態で定められず、信号変化中にのみ短く横断される駆動電位に遭遇する。これは結果的に定められない動作状態を生じさせ、既に無クロック動作状態中、またはクロックが再度オンにされた後でのみ発生する妨害を生じさせる。減結合段の出力に接続された論理段または回路装置がこの浮動している駆動電位によって定常状態のシャント電流が正および負の電源の間を流れる状況に位置された場合、それは特に妨害される。このシャント電流は正規の動作シーケンスで発生しない。すなわちそれは駆動信号が1つの論理状態から別の論理状態に変化する切替えエッジ中に非常に短時間発生するだけである。定常状態のシャント電流は非常に大きくなるため、関連した可能な内部電圧源が過度に負荷される。

少なくとも集積回路の部分においてクロックをオフに切替えることによって、回路の主な部分が電流節約状態、すなわち無クロック状態に保持される待機モードで電流減少が行われる。クロックのオフへの切替えはまた供給電圧が十分に高くなるまでクロックが設定されないときに、供給電圧のオン切替え時に有効である。制御されないシャント電流がこの開始相中に流れた場合、この開始は遅延され、電圧源は最悪の場合に過負荷のために低い電圧値に止まる。さらに、オン切替え時にクロックの開始前に完成されなければならない内部構成(=パワーオンリセット)が一般に開始される。

【0007】

したがって、本発明の目的は、無クロック状態で論理回路中のシャント電流路を阻止するクロック制御された論理回路用の回路を提供することである。

【0008】

【課題を解決するための手段】

この目的は、クロック発生回路と共にインターロックモードでクロック信号ラインを強制的に減結合段の出力が第1または第2の論理電位に対応したインターロック電位に接続される状態にするインターロック回路を提供することによって達成される。このスルー接続は、定められた0または1電位で駆動されるべき減結合段の出力に接続された論理段または回路装置の入力を駆動させる。したがって、定められた動作状態だけを結果的に得ることができ、個々の回路中のシャント電流路は高い信頼性により遮断される。減結合段の強制された制御の別の利点は、全ての減結合段が導通状態であるため、回路全体の直接的な構成が可能なことである。論理状態がクロック遅延を生ぜずに導通している減結合段を通じて伝播することができるため、これは非常に迅速なリセット機能を可能にする。入力信号に応じて、個々の段の全ての論理状態が定められる。しかしながら、データ衝突が個々の回路ノードに存在してはならない。最終的に、強制されたクロックインターロックはダイナミックな論理回路が例えば静止中の電力消費を測定するための試験のために無クロック状態で静止論理回路と同様に処理されることを可能にする。本発明のその他の有効な特徴は請求項2以下に記載されている。

【0009】

【実施例】

以下、添付図面を参照にして本発明およびその好ましい実施例を詳細に説明する。

図 1 は、簡単なクロックされた論理回路、すなわち第 1 のクロックされたインバータ n_1 、第 1 のクロックされないインバータ n_2 、第 2 のクロックされたインバータ n_3 および第 2 のクロックされないインバータ n_4 の直列的な組合せの一例を示す。個々の段は通常の設計である。第 1 のクロックされたインバータ n_1 は、2 個の p 型チャンネルトランジスタおよび 2 個の n 型チャンネルトランジスタの直列的な組合せを含む。2 つの外側の相補トランジスタのゲート端子は一緒に接続され、入力信号 s_1 用の入力を形成する。内側の p 型および n 型チャンネルトランジスタのゲート端子は、逆相の第 1 のクロック信号対 CI , CIQ を供給される。関連した重ならない第 2 のクロック信号対は、第 2 のクロックされたインバータ n_3 の 2 つのクロック入力に供給される 2 つのクロック信号 CO , COQ によって形成される。インバータ n_3 は第 1 のクロックされたインバータ n_1 と同一構造である。第 1 のクロックされたインバータ n_1 の出力は 2 つの内側のトランジスタの接続点によって形成される。2 つのクロックされたトランジスタがオンのとき、すなわち導通しているとき、出力電圧 u_1 は入力信号 s_1 の論理状態に応じて高いまたは低い電位である。高い電位である論理 1 状態は一般に正の供給電圧 V_{DD} に対応し、低い電位である論理 0 状態は通常接地電位である、低い供給電位 V_{SS} に対応する。簡単化のために、クロック信号は以降 CI , CIQ , CO , および COQ クロックとも呼ぶ。各クロック信号対の代わりに、関連した非反転クロックだけがしばしば与えられる。

【0010】

第 1 のクロックされないインバータ n_2 によりここで形成されたクロックされない論理段の入力は、第 1 のクロックされたインバータ n_1 の出力に接続されている。最も簡単な場合では、このインバータは正および負の供給電圧 V_{DD} , V_{SS} との間の p 型チャンネルトランジスタおよび n 型チャンネルトランジスタの直列の組合わせによって形成される。インバータ n_2 の入力キャパシタンスは等価なキャパシタンス c_1 として示されている。

【0011】

第 2 のクロックされたインバータ n_3 の信号入力は、第 1 のクロックされないインバータ n_2 の出力に結合され、インバータ n_3 の出力電圧 u_2 が第 2 のクロックされないインバータ n_4 の入力に供給され、インバータ n_4 はその出力端子で信号 s_2 を供給する。第 2 のクロックされたインバータ n_3 の出力端子上的容量性負荷は、この出力に接続された等価なキャパシタンス c_2 によって示されている。第 1 のクロックされたインバータ n_1 が第 1 のクロック CI , CIQ によりクロックされ、第 2 のクロックされたインバータ n_3 が第 2 のクロック CO , COQ によりクロックされると、第 1 のクロックされたインバータ n_1 は第 2 のクロックされたインバータ n_3 がオフであるときにのみ導通することができる。第 2 のクロックされたインバータ n_3 は、第 1 のクロックされたインバータ n_1 がオフであるときにのみ導通することができる。2 相クロックシステムの短い非重複部分に対して、クロックされたインバータ n_1 , n_3 は両方オフである。

【0012】

図 1 において、2 つのクロックされたインバータ n_1 , n_3 は組合わせられた論理および減結合機能を実行し、減結合段として機能する。重ならない 2 相クロックと共に減結合段の相互作用の結果として、入力信号 n_1 は第 1 のクロックされないインバータ n_2 が第 2 のクロックされないインバータ n_4 から減結合されたときにのみ、このインバータ n_2 の論理状態に到達し、変化することができる。そうでなければ、第 2 のクロックされないインバータ n_4 の情報は入力信号 s_1 が第 1 のクロックされないインバータ n_2 および第 2 のクロックされたインバータ n_3 の論理状態にかかわらず、第 2 のクロックされないインバータ n_4 に直接供給されることができるとに損なわれる。

【0013】

クロックされたインバータ n_1 および n_3 の“オフ”状態時に、導通しているクロッ

10

20

30

40

50

ク相中に設定される出力電位 u_1 および u_2 が保持され、したがって等価キャパシタンス c_1 および c_2 によってそれぞれ蓄積される。しかしながら、各電位 u_1 および u_2 は不可避な漏洩電流のために変化するので、出力電圧 u_1 および u_2 が少しだけ変化した場合には、“オフ”状態はあまり長く持続してはならない。出力電圧 u_1 および u_2 が供給電圧の中間範囲に移動した場合、クロックされないインバータ n_2 および n_4 の p 型および n 型チャンネルトランジスタのしきい値電圧はそれぞれ越され、第1のシャント電流 i_1 および第2のシャント電流 i_2 はそれぞれ第1のクロックされないインバータ n_2 および第2のクロックされないインバータ n_4 中を流れる。本発明によると、これらのシャント電流 i_1 , i_2 は高い信頼性により阻止される。類似した問題はダイナミックメモリ回路において生じるが、この問題はメモリ段の入力で電位を保持するフィードバック回路によって回避される。

10

【0014】

図1のものに非常に良く似た回路は図4に示されている。それは図1の4つのインバータ n_1 乃至 n_4 の直列的な組合せに対応し、クロックされたインバータ n_1 , n_3 がそれぞれクロックされないインバータおよび伝送ゲート tr_1 および tr_2 の直列的な組合せによって置換されている。したがって、伝送ゲートはクロックされたインバータの減結合機能を実行する。

【0015】

本発明によると、クロックライン t_1 (図2参照)のレベルは、全ての減結合段 n_1 , n_3 または tr_1 , tr_2 が導通状態に切替えられるようにクロック発生回路によって設定される。図2の論理回路 L および図1、2および4に示された減結合段において、 CI および CO クロック入力は1を供給され、また CIQ および COQ クロック入力 は0を供給されなければならない。したがって、全ての減結合段は導通している。2より多いクロックを持つクロックシステムにおいて、インターロック電位はまた全ての減結合段を導通状態に切替えなければならない。減結合段が逆相のクロック信号を必要としない場合、それはもちろん導通状態を生じさせるクロック信号を供給することで十分である。

20

【0016】

図2は2相クロック発生器 tt の例示によって、クロック発生回路がクロック制御された論理回路 L 用の4つのクロックライン t_1 を簡単なインターロック回路 V によりどのように強制的にインターロック状態にするかを示す。クロック発生器 tg は、1:1のマーク・スペース比を有する方形波信号の形態でシステムクロック c_1 を発生する。このシステムクロックは2相クロック発生器 tt に供給され、4つのクロック信号、すなわち2対の逆相クロック信号 CI , CIQ および CO , COQ からなる重ならない2相クロックシステムを生成する。

30

【0017】

インバータによって、反転されたシステムクロック c_1' がシステムクロック c_1 から形成される。それは第1のアンドゲート g_1 の第1の入力に供給され、このアンドゲート g_1 の出力は3つのインバータの縦続接続に結合される。このインバータ縦続接続の出力は CO クロックを供給する。第2のアンドゲート g_2 は第1の入力に供給されるシステムクロック c_1 を有し、その出力は3つのインバータの縦続接続に結合され、インバータの縦続接続はその出力で CI クロックを供給する。インバータは CO クロックを COQ クロックに変化させ、この COQ クロックはまた第2のアンドゲート g_2 の第2の入力にフィードバックされる。同様に、インバータは CI クロックを CIQ クロックに変化させ、この CIQ クロックはまた第1のアンドゲート g_1 の第2の入力にフィードバックされる。4個のインバータにおける伝播遅延、並びにゲート g_1 および g_2 によるクロックの中断/非中断は、2つのクロック信号対 CO , COQ および CI , CIQ の重ならない部分が十分に大きいことを確実にする。図3も参照されたい。

40

【0018】

図2の実施例において、インターロック回路 V は2相クロック発生器 tt への簡単な補足素子から構成されている。インターロック状態のための制御機能は、2つのクロック CI

50

、C O用の信号路を2つのゲートを介して制御するインターロック信号 v によって行われる。第1のアンドゲート $g1$ の出力信号およびインターロック信号 v は、第1のノアゲート $g3$ によって結合され、このゲート $g3$ の出力はC Oクロック用のインバータ縦続接続を制御する。同様に、第2のアンドゲート $g2$ の出力信号およびインターロック信号 v は第2のノアゲート $g4$ によって結合され、このゲート $g4$ の出力はC Iクロック用のインバータ縦続接続を制御する。インターロック信号 v は、2つのノアゲート $g3$ および $g4$ と共同してインターロック信号 v が発生した時には必ず、第1および第2のクロックC I、C Oをここではレベル1のインターロック状態にする。これは、図1、図2および図4の減結合段用のゲート状態に対応する。図2中のインターロック回路Vのようなゲートの設計は、C M O S技術による構成に対して特に有効な実施態様である。10

もちろん、インターロック回路に別の回路を提供するか、或は使用される各クロック発生回路の別の点でインターロックを実行することは当業者により選択可能である。

【0019】

インターロック信号 v はこの実施例では制御装置 $s t$ である別のサブ回路から、或は外部ソースから供給されてもよい。図2の実施例において、制御装置 $s t$ は供給ネットワークのオン切替え時にリセット信号 $r e s$ を生成し、或は待機モードが開始された場合には待機信号 $s b$ を生成する。これらの各信号 $r e s$ 、 $s b$ は第3のノアゲート $g5$ および第5のインバータ $n5$ によってインターロック信号 v をトリガーする。

【0020】

リセット信号 $r e s$ および待機信号 $s b$ の前縁および後縁は一般に時間的に限定されず、20
それらの方向を幾度か変化させる。しかしながら、論理回路Lにおける内部信号処理のために定められたオフ切替え時間が多くの場合に必要とされ、これは使用されるクロックシステムに対して同位相的に基準にされなければならない。この同期は図2において同期段 $s y$ によって達成される。インターロック信号 v は、数クロックパルス期間だけ延長されたその入力信号の1レベルをその出力で供給する遅延段 $d t$ に供給される。短い0レベルはこの段によって抑制される。遅延段 $d t$ の入力および出力はそれぞれ第4のノアゲート $g6$ の1入力に接続され、このゲート $g6$ の出力は第6のインバータ $n6$ に供給され、これはその出力が第3のクロックされたインバータ $n7$ の入力に結合されている。したがって、その最初の発生時には既にインターロック信号 v は第3のクロックされたインバータ $n7$ の入力に与えられ、それはC Iクロックによって制御される。インバータ30
 $n7$ は、C Oクロックによって制御される別の第4のクロックされたインバータ $n8$ によって後続される。信号増幅および減結合を行うために、それらの出力で内部リセット信号 $r e s i$ を供給する2つの別のインバータ段が後続する。したがって、内部リセット信号 $r e s i$ のオフ切替えエッジは第2のクロックC Oにロックされ、2つの後続するインバータを通る伝播遅延が付加されなければならない。遅延段 $d t$ は、インターロック信号 v のトリガーしたオフ切替えエッジに関して内部リセット信号 $r e s i$ のオフ切替えエッジをC IおよびC Oパルスの数期間の間遅延させ、C Oクロックと同期させる。図3および5には適切な信号波形が概略的に示されている。

【0021】

図3は、図2の2相クロック発生器 $t t$ におけるクロック信号発生のための信号波形を示す。最初の2つのラインは、システムクロック $c l$ および反転されたシステムクロック $c l'$ を示す。次の2つのラインは、第2のクロック信号対C O、C O Qを示し、次の2つのラインは第1のクロック信号対C I、C I Qを示している。最後から2番目のラインは瞬間 $t v$ におけるインターロック信号 v の開始を示し、最後のラインは時間軸 t を示す。図面において、連続した矢印は開始事象からの信号変化の動作の方向を示す。破線の矢印はまた開始事象およびその動作を示すが、信号は概してインバータのような単一の論理段を通過のみ進行するため、伝播遅延は短い。40

【0022】

例えば第1のアンドゲート $g1$ の入力1において反転されたシステムクロック $c l'$ の後縁は、矢印1によって示されているようにC Oクロックの後縁をトリガーする。そのと50

き、入力2のC I Qクロックは1レベルである。第2のアンドゲートg 2 の第2の入力にフィードバックされるC O Qクロックの前縁は、矢印2によって示されているようにC Iクロックの後縁をトリガーする。その間、入力2のC O Qクロックは1レベルである。システムクロックc 1の後縁は、矢印3によって示されているように第2のANDゲートg 2 の第1の入力を介してC Iクロックの後縁をトリガーする。第1のANDゲートg 1 の第2の入力にフィードバックされるC I Qクロックは、矢印4によって示されているようにC Oクロックの前縁をトリガーする。矢印5の場合の状況は矢印1の状況と全く同じである。これは2相クロックサイクルを終了する。図3は、伝播遅延を利用し、適切なゲート回路を使用することによって重ならない2相クロックが方形波システムクロックc 1からどのように得られるかを示している。

10

【0023】

矢印6および7はインターロックの瞬間t vにおける0状態から1状態に変化するインターロック信号vの動作を示す。この瞬間t vにおいて、第1のクロック信号対C I, C I Qは誤電圧状態である。1入力インターロック信号vを供給される第2のノアゲートg 4 によって、電圧状態が矢印6によって示されたように変化される。第2のクロック信号対C O, C O Qはインターロックの瞬間t vにおいて正しい電位を有しているため、電圧状態は矢印7によって示されたように第1のノアゲートg 3 により変化されない。インターロック状態は、太くされたラインによって個々のクロック中で強調される。

【0024】

図4は、上記に説明されたような図1の回路と等価なものである。それと関連されないクロックされないインバータをそれぞれ有する2つの伝送ゲートt r 1, t r 2 は、図1の2つのクロックインバータn 1, n 3 に対応する。第1の伝送ゲートt r 1 がオフのとき、およびこの状態が延長された時間の間持続する場合、本発明にしたがってクロックインターロックが行われなければ、シャント電流がインバータn 2 を通って流れる可能性が高い。伝送ゲートt r 2 および2つの後続するインバータに対して同じことが適用される。

20

【0025】

図5は、図2の実施例の数個の信号波形をタイミング図で示す。それはインターロック回路Vおよび2相クロック発生システムと関連した同期段s yの動作を表し、その原理は他のクロックシステムに容易に適用されることが可能である。信号波形において、十字線で示された領域は、状態の変化が可能である限定されない信号状態を表す。セクションa乃至cはオン切替え開始位相(=パワー・オン・リセットモード)を示し、セクションd乃至fは待機モードを示す。

30

【0026】

時間間隔0乃至1において、供給電圧は依然として非常に小さいため、全ての信号はゼロレベルである。時間間隔1乃至4において、供給電圧は増加しており、したがっていくつかの信号が限定されない状態を示しているため、回路の一部素子は既に動作していてもよい。したがって、リセット信号r e sはできるだけ早く安定した状態1でなければならない。これは瞬間3で達成されるため、この瞬間からクロックC I, C I Q, C O, C O Qもまたインターロック状態である。これは、システムクロックc 1が存在しているか否かに関係なく発生する。間隔1乃至3において、不安定なリセット信号は単に偶発的にクロックを強制的にインターロック状態にする。安定したシステムクロックモードc 1は瞬間4で達成される。時間間隔1乃至3と比較すると、時間間隔3乃至4は比較的長い。瞬間3乃至5の間において、インターロック状態は安定しており、交互しているシステムクロックc 1を除く全ての論理状態または信号は“凍結”される。

40

【0027】

セクションbにおいて、開始位相はリセット信号が瞬間5および6の間でその0状態に戻ったときに終了する。これはそれ程限定されない方法で発生する可能性がある。内部リセット信号r e s iは、内部遅延の結果としてその安定状態1のままである。図2において、インターロック信号vは開始の場合にリセット信号r e sにロックされるため、クロッ

50

ク C I , C I , Q C O , C O Q もまた時間間隔 5 乃至 6 において限定されない。2 相クロック発生器 t t が適切な方法で重ならない 2 相クロックを供給するのは瞬間 6 だけからである。

【 0 0 2 8 】

内部リセット信号 r e s i の限定されたオフ切替えエッジは瞬間 7 で発生し、矢印 8 で示されているように C O クロックの前縁によって同期段 s y においてトリガーされる。これは全ての回路領域に対する開始状態を完成させる。

【 0 0 2 9 】

正常な動作は、待機信号 s b によって開始された待機モードにより瞬間 8 で中断される。存在している可能性があるこの信号の任意の不安定さは瞬間 9 で終了されるため、遅くともこの瞬間からクロック信号 C I , C I Q , C O , C O Q は安定したインターロック状態に変化する。システムクロック c l はこれとは無関係である；例えばそれは瞬間 4 から中断されずに連続してもよい。待機状態は、待機信号が 0 状態に戻るため瞬間 1 0 と 1 1 との間のセクション e において終了される。待機信号に依存している内部リセット信号 r e s i は、内部遅延のために安定した 1 状態のままである。重ならない 2 相クロックは瞬間 1 1 で再度規則的にランし始める。時間間隔 1 乃至 3 および 8 乃至 9 における内部リセット信号 r e s i の限定されない前縁は、短時間の 1 状態がインターロック回路 V を一時的に付勢するインターロック信号 v の限定されない状態に対応する。これはインターロック信号 v に対して同期段 s y を直接的に開く。

【 0 0 3 0 】

瞬間 1 2 において、待機状態は内部リセット信号 r e s i が限定された方法で 0 状態に進むので、回路全体に対して終了される。この過渡状態は、矢印 9 で示されているように C O クロックの前縁によって同期段 s y において開始される。瞬間 1 2 の後、全てのサブ回路は正常なクロックされた動作状態に戻っている。

【 0 0 3 1 】

図 6 は、クロックインターロック方式および内部リセット信号 r e s i が使用される回路の一例を示す。それは、2 相クロック C I , C O の周波数の半分のクロックを出力信号 s 8 として出力するクロックパルス分割器である。出力信号 s 8 は、波形が図 7 に示されている中間信号 s 7 を反転することによって得られる。トリガー信号 t r の負のパルスは、第 6 のノアゲート g 8 を通ってクロックされたインバータ n 1 に供給される正のパルス s 3 を第 5 のノアゲート g 7 を介してトリガーし、このインバータ n 1 は図 7 にも示されているように C I クロックによってオンに切替えられる。直列接続されたインバータ n 1 , n 2 , n 3 , n 4 の構造は図 1 の回路と同一であり、したがって説明は不要である。第 2 のクロックされたインバータ n 3 の出力 s 7 は、出力 s 9 が第 6 のノアゲート g 8 の別の入力にフィードバックされる第 7 のノアゲート g 9 に供給される。したがって、インバータ n 4 によって所望の出力クロック s 8 を発生するフィードバックループが設けられる。分割器の機能は、ノアゲート g 7 によって 0 レベルに信号 s 3 を引張る内部リセット信号 r e s i によって中断され、したがってトリガー信号 t r を無効にする。同時に、本発明によると減結合段 n 1 , n 3 に対するインターロック状態が設定される。

【 0 0 3 2 】

インターロック状態において、第 1 および第 2 のクロックされたインバータ n 1 , n 3 は導通しているため、意図された待機モードの代りに、高周波の出力信号 s 8 を持つ非常に活動的なリング発振器がフィードバックを介して形成される。この不所望のフィードバック路は、内部リセット信号 r e s i によって第 7 のノアゲート g 9 を介して遮断される。内部リセット信号 r e s i の 1 レベルはフィードバック信号 s 9 を強制的に 0 レベルにし、それによってフィードバックは阻止される。

【 0 0 3 3 】

図 6 の回路の動作は、図 7 においていくつかの信号波形によって示されている。図 5 と同様に、連続的な線および破線の矢印はそれぞれ開始事象およびそれが動作する信号を示す

10

20

30

40

50

。2相クロックシステムのうちC IおよびC Oクロックだけが示されている。インターロックの瞬間 t_v において、2相クロックC I、C Oはそのインターロック状態に変化する。簡明化のために、図5に示されたような限定されない中間部分である時間間隔1乃至3または8乃至9は示されていない。フィードバック路上の内部リセット信号 $resi$ の阻止効果は、インターロックの瞬間 t_v において0レベルを示した信号波形 s_9 によって示されている。

【図面の簡単な説明】

【図1】従来技術のクロックされたCMOS回路の一部分の概略図。

【図2】インターロック回路を備えた2相クロック発生器の形態の本発明の好ましい実施例の回路図。

10

【図3】図2の回路構造のいくつかの信号波形を示したタイミング図。

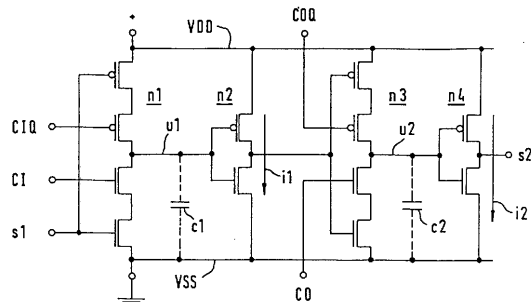
【図4】減結合段用の伝送ゲートを使用した図1のものと等価な回路の概略図。

【図5】本発明によるインターロック回路の動作下における重ならない2相クロックの波形を示したタイミング図。

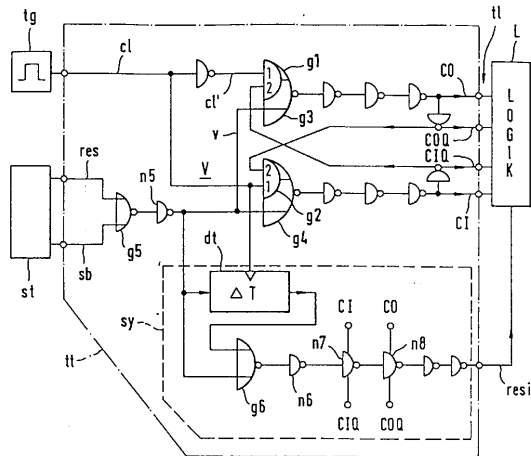
【図6】クロックパルス分割器回路に対する本発明の適用を示した概略図。

【図7】図6の回路のいくつかの信号波形を示したタイミング図。

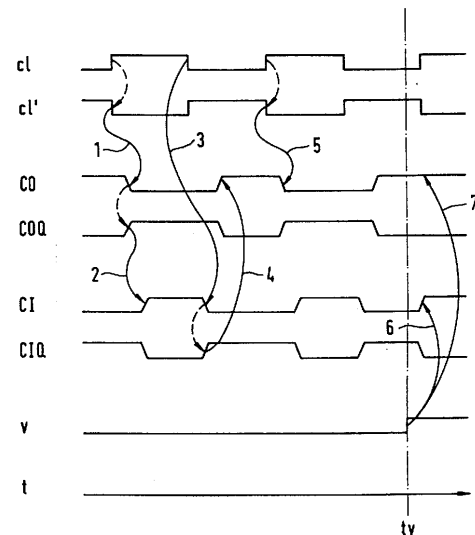
【図1】



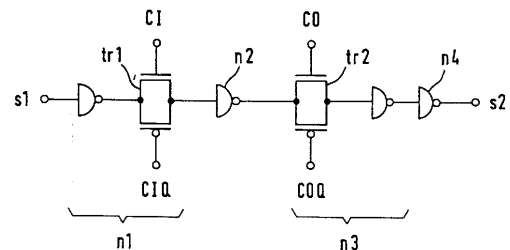
【図2】



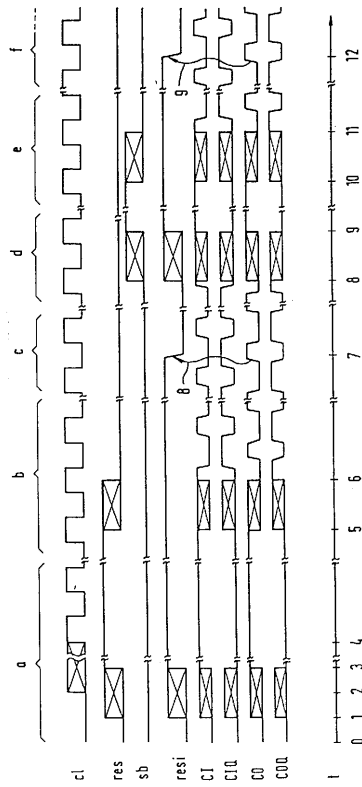
【図3】



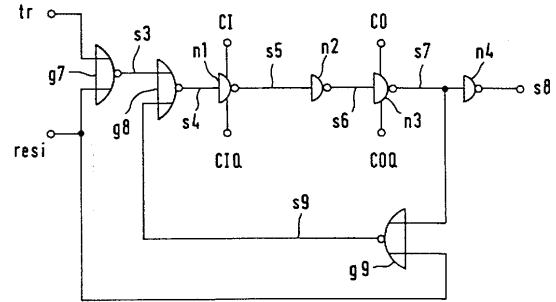
【図4】



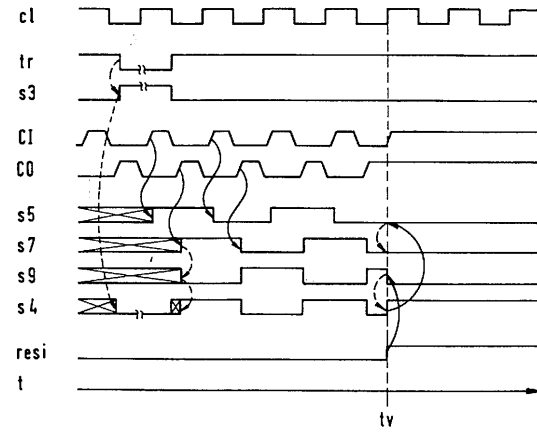
【図 5】



【図 6】



【図 7】



フロントページの続き

- (56)参考文献 特開平03 - 117914 (JP, A)
特開平01 - 265315 (JP, A)
特開昭62 - 067619 (JP, A)
特開昭63 - 214017 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03K 3/027
H03K 5/151