



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월15일
 (11) 등록번호 10-1191182
 (24) 등록일자 2012년10월09일

(51) 국제특허분류(Int. Cl.)
 H04N 7/015 (2006.01)

(21) 출원번호 10-2005-0113907

(22) 출원일자 2005년11월26일

심사청구일자 2010년11월26일

(65) 공개번호 10-2007-0055671

(43) 공개일자 2007년05월31일

(56) 선행기술조사문헌

KR1020020094427 A

KR1020050109052 A

(73) 특허권자

엘지전자 주식회사

서울특별시 영등포구 여의대로 128 (여의도동)

(72) 발명자

강경원

서울특별시 마포구 와우산로1길 8 (상수동)

최인환

경기도 과천시 관문로 128, 주공1단지아파트 107동 207호 (중앙동)

(뒷면에 계속)

(74) 대리인

김용인, 심창섭

전체 청구항 수 : 총 11 항

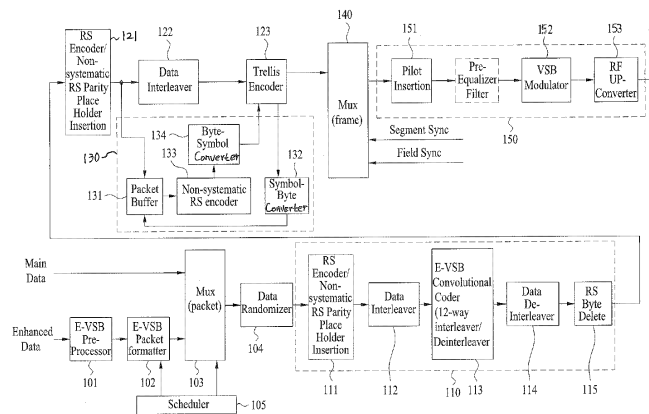
심사관 : 반성원

(54) 발명의 명칭 디지털 방송 시스템 및 처리 방법

(57) 요약

본 발명은 디지털 방송 시스템과 관련된 것으로서, 특히 본 발명은 인핸스드 데이터가 전송되는 데이터 영역의 특정 위치에 송/수신측에서 알고 있는 기 정의된 기지 데이터를 삽입하여 전송하고, 수신측에서는 상기 기지 데이터를 복조나 등화 과정에 이용함으로써, 채널 변화가 심하거나 노이즈에 약한 환경에서 수신 성능을 향상시킬 수 있다. 또한 기지 데이터를 포함하는 인핸스드 데이터에 대해 비체계적 RS 부호화를 수행함으로써, 연속적으로 긴 기지 데이터 열을 삽입할 수 있으면서, 삽입 위치에 대한 자유도를 높일 수 있다.

대표도



(72) 발명자

곽국연

경기도 안양시 동안구 동안로 75, 901동 503호 (호계동, 목련아파트)

구자혁

서울특별시 서초구 동광로11길 35, 401호 (방배동)

신경욱

경기도 성남시 분당구 불정로 179, 201동 105호 (정자동, 정든마을)

서용학

서울특별시 관악구 봉천로 588-41, B101 호 (봉천동)

홍영진

서울특별시 동작구 상도로53길 8, 322동 202호 (상도동, 래미안상도3차아파트)

홍성룡

경기도 성남시 분당구 미금로 246, 계룡아파트 110동 803호 (금곡동, 청솔마을)

특허청구의 범위

청구항 1

순방향 에러 정정을 위하여 인헨스드(enhanced) 데이터를 프리 코딩(pre-coding)하는 프리 코더(pre-coder);

상기 프리 코딩된 인헨스드 데이터와 기지 데이터를 포함하는 인헨스드 데이터 패킷들을 생성하는 데이터 포맷터(formatter);

상기 인헨스드 데이터 패킷들과 메인(main) 데이터를 포함하는 메인 데이터 패킷들을 다중화하는 제 1 다중화부;

상기 다중화된 메인 데이터 패킷들에 대하여 체계적 RS (Reed-Solomon) 부호화를 수행하고, 상기 다중화된 인헨스드 데이터 패킷들에 대하여 비체계적 RS 부호화를 수행하는 RS 부호화부;

상기 부호화된 메인 데이터 패킷들과 인헨스드 데이터 패킷들의 데이터를 인터리빙 (interleaving) 하여, 초기화 바이트와 기지 데이터 바이트들로 구성된 기지 데이터 열을 포함하는 인터리빙된 데이터를 출력하는 데이터 인터리버 (interleaver);

상기 초기화 바이트의 처음 4 비트에 해당하는 2 심볼을 수신하는 동안은 초기화 데이터를 선택하여 출력하고, 그 외는 상기 인터리빙되어 출력되는 데이터를 선택하여 출력하는 제 2 다중화부; 및

상기 제 2 다중화부에서 출력되는 데이터를 트렐리스 부호화하는 트렐리스 부호기;

를 포함하며,

상기 트렐리스 부호기에 포함된 기억 소자들은 상기 제 2 다중화부에서 출력되는 초기화 데이터에 의해 초기화되고, 상기 초기화 데이터는 상기 기억 소자들에 기 저장된 값을 기반으로 결정되는 것을 특징으로 하는 디지털 방송 송신 시스템.

청구항 2

제 1 항에 있어서,

상기 트렐리스 부호화부의 입력이 기지데이터 패킷을 가지는 경우, 상기 트렐리스 부호화부의 출력이 기지데이터 패킷을 가지도록, 상기 트렐리스 부호화부의 메모리가 초기화되는 것을 특징으로 하는 디지털 방송 송신 시스템.

청구항 3

제 1 항에 있어서,

상기 RS 부호화부의 출력에 근거하여 새로운 페리티 심볼을 생성하고, 상기 생성된 페리티 심볼을 상기 트렐리스 부호화부로 제공하는 역호환 프로세서;

를 더 포함하는 디지털 방송 송신 시스템.

청구항 4

제 1 항에 있어서,

상기 트렐리스 부호화부의 출력과, 필드 및 세그먼트 동기화 신호를 다중화하는 제 3 다중화부;

를 더 포함하는 디지털 방송 송신 시스템.

청구항 5

제 4 항에 있어서,

파일럿 (pilot) 신호를 상기 제 3 다중화부의 출력 신호에 삽입하는 파일럿 삽입부;

상기 파일럿 신호를 포함하는 신호를 중간 주파수 (intermediate frequency) 신호로 변환하는 변환부; 및

상기 변환된 중간 주파수 신호를 전송을 위한 RF (Radio Frequency) 신호로 변환하는 RF 변환부;
 를 더 포함하는 디지털 방송 송신 시스템.

청구항 6

제 1 항에 있어서, 상기 프리 코더는,

복수의 널(null) 비트를 삽입하여, 상기 순방향 에러 정정 코딩된 인헨스드 데이터를 확장하는 것을 특징으로 하는 디지털 방송 송신 시스템.

청구항 7

순방향 에러 정정을 위하여 인헨스드(enhanced) 데이터를 프리 코딩(pre-coding)하는 단계;

상기 프리 코딩된 인헨스드 데이터와 기지데이터를 포함하는 인헨스드 데이터 패킷들을 생성하는 단계;

상기 인헨스드 데이터 패킷들과 메인(main) 데이터를 포함하는 메인 데이터 패킷들을 다중화하는 단계;

상기 다중화된 메인 데이터 패킷들에 대하여 체계적 RS (Reed-Solomon) 부호화를 수행하고, 상기 다중화된 인헨스드 데이터 패킷들에 대하여 비체계적 RS 부호화를 수행하는 단계;

상기 부호화된 메인 데이터 패킷들과 인헨스드 데이터 패킷들의 데이터를 인터리빙 (interleaving)하여, 초기화 바이트와 기지 데이터 바이트들로 구성된 기지 데이터 열을 포함하는 인터리빙된 데이터를 출력하는 단계; 및

상기 초기화 바이트의 처음 4 비트에 해당하는 2 심볼을 수신하는 동안은 초기화 데이터를 선택하여 출력하고, 그 외는 상기 인터리빙되어 출력되는 데이터를 선택하여 출력하는 제 2 다중화부; 및

상기 제2 다중화부에서 출력되는 데이터를 트렐리스 부호화하는 트렐리스 부호기를 포함하며,

상기 트렐리스 부호기에 포함된 기억 소자들은 상기 제2 다중화부에서 출력되는 초기화 데이터에 의해 초기화되고, 상기 초기화 데이터는 상기 기억 소자들에 기 저장된 값을 기반으로 결정되는 것을 특징으로 하는 디지털 방송 처리 방법.

청구항 8

제 7 항에 있어서,

상기 트렐리스 부호화 단계에서의 입력이 기지데이터 패턴을 가지는 경우, 상기 트렐리스 부호화 단계의 출력이 기지데이터 패턴을 가지도록, 트렐리스 부호화부의 메모리가 초기화되는 것을 특징으로 하는 디지털 방송 처리 방법.

청구항 9

제 7 항에 있어서,

상기 트렐리스 부호화부의 출력과, 필드 및 세그먼트 동기화 신호를 다중화하는 단계;

를 더 포함하는 디지털 방송 처리 방법.

청구항 10

제 9 항에 있어서,

파일럿 (pilot) 신호를, 상기 트렐리스 부호화부의 출력과, 필드 및 세그먼트 동기화 신호를 다중화한 출력 신호에 삽입하는 단계;

상기 파일럿 신호를 포함하는 신호를 중간 주파수 (intermediate frequency) 신호로 변환하는 단계; 및

상기 변환된 중간 주파수 신호를 전송을 위한 RF (Radio Frequency) 신호로 변환하는 단계;

를 더 포함하는 디지털 방송 처리 방법.

청구항 11

제 7 항에 있어서,

복수의 널(null) 비트를 상기 순방향 에러 정정 코딩된 인헨스드 데이터에 삽입하여, 상기 순방향 에러 정정 코딩된 인헨스드 데이터를 확장하는 것을 특징으로 하는 디지털 방송 처리 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 디지털 통신 시스템에 관한 것으로, 특히 VSB(Vestigial Side Band) 방식으로 변조하여 이를 송신하고 수신하는 디지털 방송 시스템, 및 처리 방법에 관한 것이다.
- [0018] 북미 및 국내에서 디지털 방송 표준으로 채택된 8T-VSB 전송방식은 MPEG 영상/음향 데이터의 전송을 위해 개발된 시스템이다. 그러나 요즘 디지털 신호처리 기술이 급속도로 발전하고, 인터넷이 널리 사용됨에 따라서 디지털 가전과 컴퓨터 및 인터넷 등이 하나의 큰 틀에 통합되어 가는 추세이다. 따라서 사용자의 다양한 요구를 충족시키기 위해서는 디지털 방송 채널을 통하여 영상/음향 데이터에 더하여 각종 부가 데이터를 전송할 수 있는 시스템의 개발이 필요하다.
- [0019] 부가 데이터 방송의 일부 이용자는 간단한 형태의 실내 안테나가 부착된 PC 카드 혹은 포터블 기기를 이용하여

부가데이터방송을 사용할 것으로 예측되는데, 실내에서는 벽에 의한 차단과 근접 이동체의 영향으로 신호 세기가 크게 감소하고 반사파로 인한 고스트와 잡음의 영향으로 방송 수신 성능이 떨어지는 경우가 발생할 수 있다. 그런데 일반적인 영상/음향데이터와는 달리 부가 데이터 전송의 경우에는 보다 낮은 오류율을 가져야 한다. 영상/음향 데이터의 경우에는 사람의 눈과 귀가 감지하지 못하는 정도의 오류는 문제가 되지 않는 반면에, 부가데이터(예: 프로그램 실행 파일, 주식 정보 등)의 경우에는 한 비트의 오류가 발생해도 심각한 문제를 일으킬 수 있다. 따라서 채널에서 발생하는 고스트와 잡음에 더 강한 시스템의 개발이 필요하다.

[0020] 부가 데이터의 전송은 통상 MPEG 영상/음향과 동일한 채널을 통해 시분할 방식으로 이루어 질 것이다. 그런데 디지털 방송이 시작된 이후로 시장에는 이미 MPEG 영상/음향만 수신하는 ATSC VSB 디지털 방송 수신기가 널리 보급되어 있는 상황이다. 따라서 MPEG 영상/음향과 동일한 채널로 전송되는 부가 데이터가 기존에 시장에 보급된 기존 ATSC VSB 전용 수신기에 아무런 영향을 주지 않아야 한다. 이와 같은 상황을 ATSC VSB 호환으로 정의하며, 부가데이터 방송 시스템은 ATSC VSB 시스템과 호환 가능한 시스템이어야 할 것이다. 상기 부가 데이터를 인핸스드 데이터 또는 E-VSB 데이터라 하기도 한다.

[0021] 또한 열악한 채널환경에서는 기존의 ATSC VSB 수신 시스템의 수신성능이 떨어질 수 있다. 특히 휴대용 및 이동 수신기의 경우에는 채널변화 및 노이즈에 대한 강건성이 더욱 요구된다.

발명이 이루고자 하는 기술적 과제

[0022] 따라서 본 발명의 목적은 부가데이터 전송에 적합하고 노이즈에 강한 새로운 디지털 방송 시스템을 제공하는데 있다.

[0023] 본 발명의 다른 목적은 송/수신측에서 알고 있는 기지 데이터(Known data)를 데이터 구간의 소정 영역에 삽입하여 전송함으로써, 수신 성능을 향상시키는 방송 시스템 및 방법을 제공하는데 있다.

[0024] 본 발명의 또 다른 목적은 기지 데이터를 포함하는 인핸스드 데이터에 대해 비체계적 RS 부호화를 수행함으로써, 기지 데이터 삽입이 효율적으로 이루어지는 방송 시스템 및 방법을 제공하는데 있다.

발명의 구성 및 작용

[0025] 상기 목적을 달성하기 위하여, 본 발명에 따른 디지털 방송 처리 방법은,

[0026] (a) 인핸스드 데이터 패킷 내 기지 데이터의 위치를 결정하는 단계;

[0027] (b) 상기 기지 데이터의 위치가 결정되면 상기 기지 데이터 열의 시작 부분에서 초기화를 위한 기지 데이터 위치를 결정하는 단계;

[0028] (c) 상기 초기화를 위한 기지 데이터보다 나중에 전송되도록 패리티 위치를 결정하는 단계; 및

[0029] (d) 상기 인핸스드 데이터 패킷에 대해 비체계적 RS 부호화를 수행하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

[0030] 본 발명의 다른 실시예에 따른 디지털 방송 처리 방법은,

[0031] (a) 인핸스드 데이터와 기지 데이터 중 적어도 하나를 포함하여 인핸스드 데이터 패킷을 구성하고, 연속하는 다수개의 인핸스드 데이터 패킷을 그룹화한 후 메인 데이터 패킷과 다중화하는 단계;

[0032] (b) 입력되는 인핸스드 데이터 패킷에 대해서 다수개의 패리티 위치 홀더를 삽입한 후 데이터 인터리빙을 수행하는 단계;

[0033] (c) 상기 데이터 인터리빙되어 출력되는 인핸스드 데이터 패킷 내 인핸스드 데이터에 대해서만 추가의 부호화를 수행하고, 그 외의 데이터는 추가의 부호화를 수행하지 않고 출력하는 단계;

(d) 상기 (c) 단계에서 출력되는 인핸스드 데이터 패킷에 대해 데이터 디인터리빙한 후 패리티 위치 홀더를 제거하고, 패리티 위치 홀더가 제거된 인핸스드 데이터 패킷에 대해서 다수개의 비체계적 RS 패리티 또는 패리티 위치 홀더를 다시 삽입한 후 데이터 인터리빙을 수행하는 단계;

[0034] (e) 상기 데이터 인터리빙되어 출력되는 데이터가 기지 데이터이고, 연속되는 기지 데이터열의 처음이면 트렐리스 부호기의 메모리 초기화를 수행한 후 트렐리스 부호화하여 출력하는 단계; 및

- [0035] 삭제
- [0036] (f) 상기 데이터 인터리빙 전의 인헨스드 데이터 패킷 내 데이터와 메모리 초기화를 위한 데이터를 이용하여 패리티를 계산한 후 상기 비체계적 RS 패리티 또는 패리티 위치 홀더를 치환하여 트렐리스 부호화를 수행하는 단계를 포함하여 이루어지는 것을 특징으로 한다.
- [0037] 본 발명의 또 다른 실시예에 따른 디지털 방송 처리 방법은,
- [0038] (a) 인헨스드 데이터와 기지 데이터 위치 홀더 중 적어도 하나를 포함하여 인헨스드 데이터 패킷을 구성하고, 연속하는 다수개의 인헨스드 데이터 패킷을 그룹화한 후 메인 데이터 패킷과 다중화하는 단계;
- [0039] (b) 입력되는 인헨스드 데이터 패킷에 대해서 다수개의 패리티 위치 홀더를 삽입한 후 데이터 인터리빙을 수행하는 단계;
- [0040] (c) 상기 데이터 인터리빙되어 출력되는 인헨스드 데이터 패킷 내 인헨스드 데이터에 대해서만 추가의 부호화를 수행하고, 상기 기지 데이터 위치 홀더에는 기지 데이터를 삽입한 후 추가의 부호화를 수행하지 않고 출력하는 단계;
- [0041] (d) 상기 (c) 단계에서 출력되는 인헨스드 데이터 패킷에 대해 데이터 디인터리빙한 후 패리티 위치 홀더를 제거하고, 패리티 위치 홀더가 제거된 인헨스드 데이터 패킷에 대해서 다수개의 비체계적 RS 패리티 또는 패리티 위치 홀더를 다시 삽입한 후 데이터 인터리빙을 수행하는 단계;
- [0042] (e) 상기 데이터 인터리빙되어 출력되는 데이터가 기지 데이터이고, 연속되는 기지 데이터열의 처음이면 트렐리스 부호화의 메모리 초기화를 수행한 후 트렐리스 부호화하여 출력하는 단계; 및
- [0043] (f) 상기 데이터 인터리빙 전의 인헨스드 데이터 패킷 내 데이터와 메모리 초기화를 위한 데이터를 이용하여 패리티를 계산한 후 상기 비체계적 RS 패리티 또는 패리티 위치 홀더를 치환하여 트렐리스 부호화를 수행하는 단계를 포함하여 이루어지는 것을 특징으로 한다.
- [0044] 본 발명에 따른 디지털 방송 송신 시스템은, 입력되는 인헨스드 데이터와 기지 데이터 적어도 하나를 포함하여 인헨스드 데이터 패킷을 구성하고, 연속하는 다수개의 인헨스드 데이터 패킷을 그룹화한 후 메인 데이터 패킷과 다중화하는 E-VSB 패킷 포맷터 및 다중화기; 상기 E-VSB 패킷 포맷터 및 다중화기의 출력에 대해 다수개의 패리티 위치 홀더를 삽입하여 데이터 인터리빙을 수행하고, 인터리빙된 데이터가 인헨스드 데이터인 경우에만 추가의 부호화를 수행한 후, 데이터 디인터리빙과 패리티 위치 홀더 제거를 수행하는 E-VSB 후처리부; 및 상기 E-VSB 후처리부의 출력에 대해 다수개의 비체계적 RS 패리티 또는 패리티 위치 홀더를 삽입하여 데이터 인터리빙을 수행한 후 트렐리스 부호화를 위해 출력하는 비체계적 RS 패리티 위치 홀더 삽입부 및 데이터 인터리버를 포함하여 구성되는 것을 특징으로 한다.
- [0045] 본 발명에 따른 디지털 방송 수신 시스템은, 상기 디지털 방송 송신 시스템에서 전송되는 신호를 튜닝을 통해 수신하고, 수신된 신호에 기지 데이터를 적용하여 복조 및 채널 등화를 수행하는 복조 및 등화부; 상기 복조 전 또는 복조된 신호로부터 송신측에서 삽입한 기지 데이터를 검출하여 복조 및 등화부로 출력하는 기지 데이터 검출 및 발생부; 및 상기 입력받은 패킷이 인헨스드 데이터 패킷인 경우에는 패킷에 삽입되어 있는 비체계적 RS 패리티 바이트를 제거하는 비체계적 RS 패리티 제거기를 포함하여 구성되는 것을 특징으로 한다.
- [0046] 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.
- [0047] 이하 상기의 목적을 구체적으로 실현할 수 있는 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명한다. 이때 도면에 도시되고 또 이것에 의해서 설명되는 본 발명의 구성과 작용은 적어도 하나의 실시예로서 설명되는 것이며, 이것에 의해서 상기한 본 발명의 기술적 사상과 그 핵심 구성 및 작용이 제한되지는 않는다.
- [0048] 본 발명은 인헨스드 데이터와 송/수신측에서 알고 있는 기지(known) 데이터를 다중화하여 전송함으로써, 수신기의 수신 성능을 향상시키기 위한 것이다.
- [0049] 특히 본 발명은 기지 데이터를 포함하는 인헨스드 데이터에 대해 비체계적 RS 부호화를 수행함으로써, 연속적으로 긴 기지 데이터 열을 삽입할 수 있으면서, 삽입 위치에 대한 자유도를 높이기 위한 것이다.

- [0050] 도 1은 이러한 본 발명에 따른 디지털 방송 송신 시스템의 실시예를 보인 구성 블록도로서, E-VSB 전처리부(101), E-VSB 패킷 포맷터(102), 패킷 다중화기(103), 데이터 랜덤마이저(104), 스케줄러(105), E-VSB 후처리부(110), RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입(RS encoder/Non-systematic RS Parity Holder Insertion)부(121), 데이터 인터리버(122), 트렐리스 부호화부(123), 호환성 처리부(130), 프레임 다중화기(140), 및 송신부(150)로 구성된다.
- [0051] 이와 같이 구성된 본 발명에서 메인 데이터는 트랜스포트 패킷 단위로 패킷 다중화기(103)로 출력되고, 인헨스드 데이터는 E-VSB 전처리부(101)로 출력된다. 상기 E-VSB 전처리부(101)는 인헨스드 데이터에 대해 추가의 에러 정정 부호화, 인터리빙, 널 데이터 삽입 등과 같은 전처리를 수행한 후 E-VSB 패킷 포맷터(102)로 출력한다.
- [0052] 상기 E-VSB 패킷 포맷터(102)는 상기 스케줄러(105)의 제어에 의해 상기 전처리된 인헨스드 데이터와 기 정의된 기지 데이터 또는 기지 데이터 위치 홀더를 다중화하여 그룹을 구성한다. 이어 상기 그룹 내 데이터를 184바이트 단위의 인헨스드 데이터 패킷으로 나누고, 상기 패킷 앞에 4바이트의 MPEG 헤더를 추가하여 188바이트 단위의 인헨스드 데이터 패킷(즉, MPEG 호환 패킷)으로 출력한다. 즉 하나의 인헨스드 데이터 패킷 그룹에는 연속하는 다수개의 인헨스드 데이터 패킷이 포함되어 있다. 상기 기지 데이터의 삽입 위치에 대해서는 뒤에서 상세히 설명한다.
- [0053] 상기 E-VSB 패킷 포맷터(102)의 출력은 패킷 다중화기(103)로 입력된다. 상기 패킷 다중화기(103)는 상기 스케줄러(105)의 제어에 의해 188바이트 단위의 메인 데이터 패킷과 인헨스드 데이터 패킷을 트랜스포트 스트림(Transport Stream ; TS) 패킷 단위로 시분할 다중화하여 출력한다.
- [0054] 즉, 상기 스케줄러(105)는 패킷 다중화기(103)가 메인 데이터 패킷과 인헨스드 데이터 패킷을 다중화할 수 있도록 제어 신호를 발생하여 상기 패킷 다중화기(103)로 출력한다. 그러면 상기 패킷 다중화기(103)는 상기 제어신호를 입력받아 TS 패킷 단위로 메인 데이터 패킷과 인헨스드 데이터 패킷을 다중화하여 출력한다.
- [0055] 상기 패킷 다중화기(103)의 출력은 데이터 랜덤마이저(104)로 입력되고, 상기 데이터 랜덤마이저(104)는 입력 패킷으로부터 MPEG 동기 바이트를 버리고 나머지 187 바이트를 내부에서 발생시킨 의사랜덤(pseudo random) 바이트를 사용하여 랜덤하게 만든 후 E-VSB 후처리부(110)로 출력한다.
- [0056] 상기 E-VSB 후처리부(110)는 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(111), 데이터 인터리버(112), E-VSB 길쌈 부호화기(113), 데이터 디인터리버(114), RS 바이트 제거기(115)를 포함하여 구성된다.
- [0057] 상기 E-VSB 후처리부(110)의 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(111)는 랜덤마이즈된 데이터에 대해 체계적(systematic) RS 부호화 또는, 비체계적 패리티 위치 홀더 삽입(Non-systematic RS parity Holder insertion)을 수행한다.
- [0058] 즉, 상기 RS 부호기/패리티 위치 홀더 삽입부(111)는 상기 데이터 랜덤마이저(104)에서 출력되는 187바이트의 패킷이 메인 데이터 패킷인 경우 기존 ATSC VSB 시스템과 동일하게 체계적 RS 부호화를 수행하여 20바이트의 패리티 바이트를 187바이트의 데이터 뒤에 부가한 후 데이터 인터리버(112)로 출력한다.
- [0059] 한편 상기 RS 부호기/패리티 위치 홀더 삽입부(111)는 상기 데이터 랜덤마이저(104)에서 출력되는 187바이트의 패킷이 인헨스드 데이터 패킷인 경우 패킷 내에 20개의 패리티 바이트 위치를 정한 후 정해진 패리티 바이트 위치에는 널 바이트를 삽입하고, 나머지 187개의 바이트 위치에는 상기 인헨스드 데이터 패킷 내 바이트들을 순차적으로 삽입하여 데이터 인터리버(112)로 출력한다.
- [0060] 상기 데이터 인터리버(112)는 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(111)의 출력에 대해 데이터 인터리빙을 수행하여 E-VSB 길쌈 부호화기(113)로 출력한다. 상기 데이터 인터리버(112)의 데이터 인터리빙 동작에 대해서는 뒤에서 상세히 설명한다.
- [0061] 상기 E-VSB 길쌈 부호화기(113)는 상기 데이터 인터리버(112)의 출력에 대해 길쌈 부호화를 수행한 후 데이터 디인터리버(114)로 출력하고, 상기 데이터 디인터리버(114)는 상기 데이터 인터리버(112)의 역과정으로 입력 데이터에 대해 데이터 디인터리빙을 수행한 후 RS 바이트 제거기(115)로 출력한다. 상기 RS 바이트 제거기(115)는 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(111)에서 부가된 20바이트의 패리티를 제거한다. 이때 입력된 데이터가 메인 데이터 패킷인 경우 207 바이트 중 마지막 20바이트를 제거하고, 인헨스드 데이터 패킷인 경우 207 바이트 중 RS 부호화를 수행하기 위해 삽입된 위치에 있는 20바이트의 패리티들(즉, 널 바이트들)을 제거한다. 이것은 E-VSB 길쌈 부호화기(113)에 의해 인헨스드 데이터의 경우 원래의 데이터가 변경되었으므로 다시 패리티를 계산하기 위해서이다.

- [0062] 상기 E-VSB 길쌈 부호화기(113)는 입력되는 바이트를 심볼로 변환하여 인헨스드 데이터 심볼에 대해서만 길쌈 부호화를 수행하고, 부호화 결과를 다시 바이트로 변환하여 출력한다. 즉 상기 E-VSB 길쌈 부호화기(113)는 상기 데이터 인터리버(112)의 출력이 메인 데이터인 경우, 상기 E-VSB 패킷 포맷터(102)에서 추가된 MPEG 헤더 바이트인 경우, 그리고 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(111)에서 인헨스드 데이터 패킷에 추가된 RS 패리티 바이트 또는 패리티 위치 바이트인 경우에 대해서는 데이터의 변경 없이 그대로 출력되도록 한다.
- [0063] 한편 상기 기지 데이터는 상기 E-VSB 패킷 포맷터(102)에서 인헨스드 데이터 패킷에 기지 데이터를 삽입할 수도 있고 또는 상기 E-VSB 패킷 포맷터(102)에서는 기지 데이터의 위치 홀더를 삽입하고 E-VSB 길쌈 부호화기(113)에서 그 위치에 기지 데이터를 위치 홀더 대신 삽입하는 것이 가능하다. 이렇게 입력되는 기지 데이터 심볼에 대해서 상기 E-VSB 길쌈 부호화기(113)에서는 메인 데이터와 마찬가지로 추가적인 부호화 없이 그대로 출력한다.
- [0064] 상기 RS 바이트 제거기(115)의 출력은 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(121)로 입력된다. 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(121)는 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(111)에서와 마찬가지로, RS 바이트 제거기(115)에서 출력되는 187바이트의 패킷이 메인 데이터 패킷인 경우 기존 ATSC VSB 시스템과 동일하게 체계적 RS 부호화를 수행하여 20바이트의 패리티 바이트를 187바이트의 데이터 뒤에 추가한다. 또한 인헨스드 데이터 패킷인 경우 패킷 내에 20개의 패리티 바이트 위치를 정한 후 정해진 패리티 바이트 위치에는 비체계적 RS 부호화를 수행하여 얻은 RS 패리티를 삽입할 수도 있고, 널 바이트를 RS 패리티 대신 삽입할 수도 있다. 그리고 나머지 187개의 바이트 위치에는 상기 인헨스드 데이터 패킷 내 바이트들을 순차적으로 삽입한다. 상기 널 바이트는 임의의 값으로 할 수 있으며, 상기 널 바이트는 호환성 처리부(130)의 비체계적 RS 부호기(133)에서 계산한 패리티 값으로 치환된다. 따라서 상기 널 바이트의 역할은 비체계적 RS 부호의 패리티 바이트의 위치를 확보하는 것이다. 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(121)의 출력은 데이터 인터리버(122)로 출력된다. 또한 인헨스드 데이터 패킷의 경우 패리티를 다시 계산하기 위해 호환성 처리부(123)로도 입력된다.
- [0065] 상기 데이터 인터리버(122)는 입력 데이터에 대해 인터리빙을 수행하는데, 상기 데이터 인터리버(112)와 같은 인터리빙 규칙이 적용된다.
- [0066] 도 3은 상기 데이터 인터리버(122 또는 112)의 일 실시예를 보인 도면으로서, 브랜치 갯수가 52이고, 단위 메모리 바이트 수 $M=4$ 인 길쌈 인터리버의 예를 보이고 있다.
- [0067] 상기 데이터 인터리버는 일 예로 먼저, 첫번째 바이트가 입력되면 제1 브랜치를 통하여 바로 출력이 되고, 두번째 바이트는 제2 브랜치를 통하여 입력되고, 이것에 의해 $52*4$ 바이트 이전의 값이 출력된다.
- [0068] 도 4는 도 3의 데이터 인터리버의 입력과 출력 순서의 예를 프레임 상에서 보인 것이다. 데이터 입력은 세그먼트 단위로 위에서 아래로 순차적으로 입력되며, 세그먼트 내의 바이트는 왼쪽에서 오른쪽으로 순차적으로 입력된다. 도면 위의 숫자는 데이터 인터리버의 출력 순서를 나타낸 것이다. 상기 데이터 인터리버는 52 세그먼트 단위로 동작하고 있다.
- [0069] 상기 데이터 인터리버(122)의 출력은 트렐리스 부호화부(123)로 입력되고, 상기 트렐리스 부호화부(123)는 입력 2 비트를 3비트로 부호화하여 출력한다. 상기 트렐리스 부호화부(123)의 출력은 프레임 다중화기(140)로 입력되고, 상기 프레임 다중화기(140)는 트렐리스 부호화부(123)의 출력에 필드 동기와 세그먼트 동기를 삽입하여 송신부(150)로 출력한다. 상기 송신부(150)는 파일럿 삽입부(151), VSB 변조기(152), 및 RF 컨버터(153)를 포함하여 구성되며, 기존의 VSB 송신기에서의 역할과 동일하므로 상세 설명을 생략한다.
- [0070] 이때 상기 트렐리스 부호화부(123)의 출력 데이터를 송/수신측에서 정의한 기지 데이터로 하기 위해 인헨스드 데이터 패킷에 삽입된 기지 데이터에 대해서 먼저 트렐리스 부호화부(123) 내의 기억 소자의 초기화가 필요하다. 상기 초기화를 위해서 트렐리스 부호화부(123)의 입력을 치환하는 것이 필요하고 이에 맞게 바뀐 데이터에 의해 영향을 받는 RS 패리티를 다시 계산하여 원래의 패리티 데이터와 치환하는 것이 필요하다. 이 과정을 호환성 처리부(130)에서 수행한다.
- [0071] 도 2는 초기화 가능한 트렐리스 부호화부(123)의 상세 블록도의 일 실시예를 보이고 있다.
- [0072] 상기 초기화 가능한 트렐리스 부호화부는 바이트-심볼 변환기(201), 트렐리스 부호기(202)의 입력을 선택하는 다중화기, 트렐리스 부호기(203), 및 트렐리스 부호기를 초기화하기 위한 초기화 제어부(204)로 구성된다.

- [0073] 이와 같이 구성된 도 2에서, 상기 초기화가 가능한 트렐리스 부호화부의 바이트-심볼 변환기(201)는 데이터 인터리빙된 데이터를 바이트 단위로 입력받아 심볼 단위로 변환하고 12-way 인터리빙을 수행하여 다중화기(202)로 출력한다.
- [0074] 일반적인 경우에 상기 바이트-심볼 변환기(201)의 출력은 다중화기(202)에서 선택되어 그대로 트렐리스 부호기(203)로 출력된다. 그러나 인터리빙된 데이터가 기지 데이터이고, 상기 기지 데이터가 연속적으로 입력되는 기지 데이터열의 처음이면 트렐리스 부호기(203)의 초기화가 필요하다. 이것은 트렐리스 부호기(203)는 기억 소자가 있고 현재 출력이 현재 뿐 아니라 과거의 입력에도 영향을 받기 때문에 어느 시점에서 정해진 신호를 출력하기 위해서는 현재 트렐리스 부호기(203) 내의 기억 소자를 일정한 값으로 초기화하는 과정이 필요하다.
- [0075] 상기 트렐리스 부호기(203)의 기억소자 초기화가 필요한 경우 상기 기지 데이터의 일부가 초기화 데이터로 치환되어 상기 트렐리스 부호기(203)로 출력되어야 한다. 그러면 상기 트렐리스 부호기(203) 내의 기억소자가 상기 초기화 데이터에 의해 정해진 값으로 초기화되고, 그 시점 이후의 상기 트렐리스 부호기(203)의 출력은 송/수신 측에서 원하는 형태의 부호화된 기지 데이터가 될 수 있다.
- [0076] 상기 트렐리스 부호기(203)를 초기화하기 위한 초기화 제어부(204)는 상기 트렐리스 부호기(203) 내의 기억소자의 값을 입력 받아 트렐리스 부호기(203)로 입력할 초기화 데이터를 생성하여 다중화기(202)와 호환성 처리부(130)로 출력한다.
- [0077] 즉, 상기 트렐리스 부호기(203)는 한 심볼을 구성하는 2비트 중 상위 비트는 하나의 기억소자를 이용하여 1비트로 코딩하여 출력하고, 하위 비트는 두 개의 기억소자를 이용하여 2비트로 코딩하여 출력한다. 이때 입력 데이터가 기지 데이터이고, 상기 기지 데이터가 연속적으로 입력되는 기지 데이터열의 처음이면, 트렐리스 부호화 후 원하는 기지 데이터로 출력하기 위해서 상기 기억소자들을 초기화시켜야 한다. 따라서 상기 초기화 제어부(204)는 트렐리스 부호기(203) 내의 기억소자 초기화가 필요한 경우 상기 기억 소자의 현재 상태 및 원하는 초기화 상태에 따라 초기화 데이터를 생성하여 상기 다중화기(202)로 출력하는 것이다.
- [0078] 상기 초기화 데이터는 4비트 즉, 두 심볼로 이루어진다. 이때 상기 트렐리스 부호기(203)는 12개로 구성되며, 다중화기(202)에서 출력되는 12개의 바이트는 순차적으로 각 트렐리스 부호기(203)로 입력된다. 여기서 각 바이트의 초기 4비트 즉, 2 심볼이 초기화 데이터가 될 수 있다. 즉, 상기 초기화 제어부(204)는 기지 데이터 심볼의 열이 시작되는 처음 두 심볼 구간에 트렐리스 부호기(203)의 기억 소자를 초기화하는 초기화 데이터를 생성하여 다중화기(202)와 호환성 처리부(130)로 출력한다.
- [0079] 상기 호환성 처리부(130)는 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(121)의 출력과 트렐리스 부호화부(123)의 초기화 제어부(204)의 출력을 입력받아 비체계적인 20바이트의 패리티를 생성한 후 상기 트렐리스 부호화부(123)의 다중화기(202)로 출력한다.
- [0080] 즉, 상기 데이터 인터리버(122)에서 인터리빙된 데이터가 아닌 새로운 데이터에 의해 상기 트렐리스 부호화부(123)의 기억 소자에 대한 초기화가 이루어지므로, RS 패리티를 다시 생성하여 원래의 패리티 데이터와 치환하여야 하는데, 이를 상기 호환성 처리부(130)에서 수행한다.
- [0081] 상기 호환성 처리부(130)는 패킷 버퍼(131), 심볼-바이트 변환기(132), 비체계적 RS 부호기(133), 및 바이트-심볼 변환기(134)를 포함하여 구성된다.
- [0082] 즉, 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(121)의 출력은 데이터 인터리버(122)와 호환성 처리부(130)의 패킷 버퍼(131)로 입력되고, 상기 트렐리스 부호화부(123)의 초기화 제어부(204)의 초기화 데이터는 상기 트렐리스 부호화부(123)의 다중화기(202)와 상기 호환성 처리부(130)의 심볼-바이트 변환기(132)로 입력된다.
- [0083] 이때 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(121)의 입력과 출력이 바이트 단위이므로, 상기 심볼-바이트 변환기(132)는 심볼 단위의 초기화 데이터를 바이트 단위로 변환하여 패킷 버퍼(131)로 출력한다.
- [0084] 상기 패킷 버퍼(131)는 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부(121)의 바이트 출력과 심볼-바이트 변환기(132)의 바이트 출력을 입력받아 일시 저장한 후 비체계적 RS 부호기(133)로 출력한다. 상기 비체계적 RS 부호기(133)는 상기 패킷 버퍼(131)의 바이트 출력을 입력받아 20바이트의 패리티를 생성한 후 바이트-심볼 변환기(134)를 통해 심볼 단위로 트렐리스 부호화부(123)의 다중화기(202)로 출력한다.
- [0085] 상기 다중화기(202)는 인터리빙된 후 심볼로 변환되어 입력되는 데이터가 기지 데이터열의 처음인 경우 입력 심볼 대신 상기 초기화 제어부(204)의 초기화 심볼을 선택하여 출력하고, 패리티 위치 홀더인 경우 입력 심볼 대

신 호환성 처리부(130)의 심볼-바이트 변환기(134)의 출력 심볼을 선택하며, 그 이외의 경우 인터리빙된 후 심볼로 변환되어 입력되는 데이터를 선택하여 트렐리스 부호기(203)로 출력한다.

[0086] 즉, 기지 데이터열의 처음 두 심볼 위치에서는 초기화 심볼로 치환되어 트렐리스 부호기(203)로 입력되고, 각 패킷 내 패리티 위치에서는 상기 호환성 처리부(130)에서 재계산된 패리티 심볼로 치환되어 트렐리스 부호기(203)로 입력된다. 또한 상기 RS 부호기/비체계적 RS 패리티 위치 홀더 삽입부(121)에서 인헨스드 데이터 패킷에 대해서 비체계적 RS 패리티를 삽입하지 않고 널 바이트를 삽입한 경우에는 트렐리스 부호기의 초기화와 상관 없이 상기 호환성 처리부(130)에서 인헨스드 데이터 패킷의 비체계적 RS 패리티를 계산하여 트렐리스 부호기(203)로 입력된다.

[0087] 상기 트렐리스 부호기(203)는 상기 다중화기(202)에서 출력되는 데이터에 대해 심볼 단위로 트렐리스 부호화하여 프레임 다중화기(140)로 출력하고, 또한 트렐리스 부호기 내의 기억 소자의 상태를 초기화 제어부(204)로 출력한다.

[0088] **기지 데이터 삽입과 비체계적 RS 패리티 위치**

[0089] 다음은 본 발명에 따른 기지 데이터 삽입과 비체계적 RS 패리티 위치의 설정에 대하여 상세히 설명한다.

[0090] 즉, 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부는 입력되는 187 바이트의 패킷이 메인 데이터 패킷인 경우에는 ATSC VSB 시스템과 동일하게 체계적(systematic) RS 부호화하여 20 바이트의 패리티를 생성하고 이를 187 바이트의 데이터 뒤에 부가한다. 한편 인헨스드 데이터 패킷인 경우에는 출력될 207개의 바이트 중에서 187개의 바이트는 입력받은 데이터이고 20바이트는 패리티 바이트가 되는 것은 체계적 RS 부호화와 같지만, 20 바이트의 패리티 위치는 207 바이트 내에서 인헨스드 데이터 패킷마다 다를 수 있고 패리티 값을 계산하는 방법도 비체계적 RS 부호화로 구한다는 것이 다르다. 그리고 상기 패리티의 위치가 정해지면 패리티가 위치하지 않는 187 바이트에 데이터를 위치시키게 된다. 상기 RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부에서 삽입하는 비체계적 RS 패리티들은 실질적인 패리티가 될 수도 있고 단순한 패리티의 위치를 위한 의미없는 바이트가 된다. 그리고 비체계적 RS 패리티들을 의미없는 바이트로 삽입한 경우에 대해서 호환성 처리부에서 그 패리티 값을 계산하여 치환한다.

상기 트렐리스 초기화 데이터를 포함하는 인헨스드 데이터 패킷에 대하여 호환성 처리부에서 RS 부호를 다시 계산하는 이유는 인헨스드 데이터 패킷 내에 기지 데이터 초기화를 위한 데이터가 위치하는 경우 트렐리스 부호화부(123)에서 심볼 치환이 이루어지고, 트렐리스 부호화 전에 수행하는 RS 부호기에서 RS 부호기보다 뒤에서 치환된 심볼을 이용하여 미리 RS 부호화를 수행할 수 없기 때문에, 한 패킷 내에 존재하는 패리티의 위치가 패리티가 트렐리스 부호기로 입력되는 시점에서 초기화에 의해 치환된 데이터보다 뒤에 나온다면 치환된 데이터를 적용한 RS 부호화를 통해 새로운 패리티를 계산할 수 있기 때문이다. 이 때 상기 초기화 데이터를 포함하는 인헨스드 데이터 패킷에 대해 체계적 RS 부호화를 수행할 경우 RS 패리티 위치가 정해져 있기 때문에 패리티 영역에 기지 데이터를 삽입할 수 없고 패리티보다 먼저 나올 수 있는 데이터의 위치가 매우 제한적이어서 트렐리스 초기화를 위해 사용할 수 있는 영역이 그에 따라 제한된다. 그러나 상기 초기화 데이터를 포함하는 인헨스드 데이터 패킷에 대해 비체계적 RS 부호화를 수행한다면 패리티 위치를 이동할 수 있고, 체계적 RS 부호화의 패리티 영역에 기지 데이터를 삽입할 수 있게 되며 트렐리스 초기화를 위한 데이터 위치의 제한이 체계적 RS 부호기를 사용하는 경우에 비해 거의 없어지게 되는 이점이 있다.

[0091] 삭제

[0092] 하나의 패킷이 도 3과 같은 데이터 인터리버에 입력되면 바이트 단위로 인터리빙되어 출력되는데 인터리빙의 효과로 인해서 입력되는 순서와 출력되는 순서가 다르게 된다. 도 4는 VSB 프레임에서 데이터 인터리버의 입출력을 설명하기 위한 도면이다.

[0093] 이때 패킷 내 데이터는 바이트 단위로 데이터 인터리버에 입력된다. 이때 도 4에서와 같이 세그먼트 순서대로 위에서 아래로 차례로 입력되며 세그먼트 내에서는 왼쪽 첫번째 바이트에서 오른쪽 207번째 바이트까지 순서대로 입력된다.

[0094] 위와 같이 데이터가 입력되고 도 4에서 n번째 필드가 시작되면 위에서 기술한 바와 같이 데이터 인터리버 입력은 1번 바이트, 210번 바이트 순으로 입력되고, 데이터 인터리버의 출력은 1번 바이트, 2번 바이트, 3번 바이트 등, 도 4에 표기한 번호순으로 출력된다. 따라서 입력되는 바이트의 순서와 출력되는 바이트의 순서가 인터리빙

에 의해 섞이게 된다.

- [0095] 즉, 상기 데이터 인터리버는 도 3에서 브랜치(B)가 52인 길썬 인터리버의 구조를 가지므로 한 세그먼트가 출력될 때 도 4에서 보인 바와 같이 52 바이트 주기로 순서가 돌아가서 1번, 53번, 105번, 157번 바이트가 출력된 후 210번, 262번 등의 바이트가 출력된다. 그러므로 만약 체계적 RS 부호화를 한다면 각 세그먼트의 마지막 20 바이트에 패리티가 존재해야 하고 인터리빙된 출력 순서에 의해 패리티들이 기지 데이터 생성을 위해 트렐리스 초기화를 하는 초기화 바이트들보다 먼저 출력될 수 있다. 그러면 초기화를 위해 데이터가 어떻게 치환되어야 할지에 대한 정보보다 먼저 RS 부호화가 이루어져야 하는데 이것은 불가능하기에 RS 복호시 오류가 생기게 된다. 혹시 데이터 인터리버 출력에서 한 세그먼트 단위로 볼 때 모든 체계적 RS 패리티 바이트들보다 먼저 출력되는 데이터 위치에만 초기화를 위한 치환 데이터가 위치하도록 하는 각 세그먼트를 구성할 수 있지만, 초기화 바이트들의 위치가 제한적이 되고 따라서 기지 데이터를 삽입할 수 있는 영역이 제한된다. 그러나 위에서 기술한 바와 같이 RS 패리티의 위치를 한 세그먼트 내에서 볼 때 그리고 데이터 인터리버의 출력에서 볼 때, 초기화 바이트들보다 뒤에 출력되게 하고 비체계적 RS 부호화를 수행하여 패리티를 계산해준다면 체계적 RS 부호화만을 사용하는 경우 발생하는 기지 데이터 삽입 위치에 대한 제한을 없앨 수 있고 E-VSB를 지원하지 않는 기존 VSB 수신기와 호환성을 유지할 수 있다.
- [0096] 도 5는 기지 데이터 삽입에 따른 상기 데이터 인터리버의 입출력단에서 데이터 구성의 한 예를 보인다. 도 5의 (a)에서는 데이터 인터리버의 입력단에서 데이터 구성의 예를 보이고, 도 5의 (a)와 같이 데이터 인터리버에 입력될 때 그 출력의 구성을 도 5의 (b)에서 보인다.
- [0097] 즉, 수신기에서 데이터는 데이터 인터리버 출력단의 순서대로 수신되고, 시간적으로 연속적인 기지 데이터를 수신하기 위해서는 도 4의 번호 매김 순서에 상응하여 연속적으로 기지 데이터를 삽입하여야 한다. 도 5의 (b)의 예와 같이 수신기에서 수신하는 하나의 세그먼트 모두 기지 데이터가 되기 위해서는 도 5의 (a)에서 같이 하나의 세그먼트를 52 바이트로 나누어 매 52 바이트 단위에서 같은 위치에 기지 데이터를 삽입하면 되고, 이때 기지 데이터 열의 시작 부분에서 초기화 바이트가 필요하다. 따라서 세그먼트 내 기지 데이터의 위치가 결정되면 데이터 인터리버 출력단에서 볼 때 일반 데이터가 끝나고 기지 데이터가 시작하는 위치가 초기화 바이트의 위치로 정해진다. 상기 기지 데이터와 초기화 바이트의 위치가 결정되면 비체계적 RS 패리티 바이트의 위치를 정할 수 있는데, 이는 데이터 인터리버 출력에서 볼 때 패리티 바이트들이 초기화 바이트들보다 뒤에 출력되도록 위치시키면 된다. 즉, 하나의 세그먼트에서 볼 때 도 4에서 표기한 번호가 작은 순서가 먼저 데이터 인터리버에서 출력되므로 초기화 바이트들의 순서 번호보다 나중 번호에 RS 패리티를 위치시키도록 하면 된다.
- [0098] 도 6에서는 한 세그먼트에서 기지 데이터와 초기화 바이트, 비체계적 RS 패리티 바이트들이 위치한 한 예를 도시하였다. 한 세그먼트는 207바이트로 구성되는데 처음 3바이트는 MPEG 헤더 바이트로 고정되고 나머지 204바이트는 데이터로 구성된다. 상기 204 바이트 중 20 바이트는 RS 패리티 바이트이고 나머지 184 바이트는 순수 데이터 바이트와 기지 데이터 바이트로 구성된다. 상기 기지 데이터 바이트는 또한 초기화를 위한 바이트와 순수 기지 데이터 바이트로 나눌 수 있다. 도 6에서는 데이터 인터리버 출력에서 볼 때 연속적으로 기지 데이터를 출력하기 위해 한 세그먼트를 52 바이트 단위로 나누고, 매 52 바이트 그룹마다 같은 위치에 기지 데이터를 두는 예를 보인다. 또한 기지 데이터의 위치가 정해지고 그에 따른 초기화 바이트가 세그먼트 내에 특정 위치에 존재하는 경우에 데이터 인터리버 출력에서 볼 때 초기화 바이트보다 이후에 비체계적 RS 패리티가 위치하도록 구성한 예를 보인다.
- [0099] 상기 기지 데이터를 넣는 방법의 한 예로, 도 5의 (b)의 데이터 인터리버 후단에서 볼 때 첫번째 세그먼트에서 MPEG 헤더 이후에 기지 데이터를 삽입하고 세그먼트 끝까지 기지 데이터가 오도록 한다면 두번째 세그먼트의 MPEG 헤더 바이트들은 인핸스드 데이터 패킷을 위한 정해진 값을 가지므로 상기 MPEG 헤더 바이트 역시 기지 데이터의 연속으로 사용할 수 있다.
- [0100] 이와 같이 본 발명에 따른 인핸스드 데이터 패킷은 정보가 실려서 전송되는 인핸스드 데이터와 수신기의 수신 성능 향상을 위해 삽입되는 기지 데이터를 포함하여 구성할 수 있다.
- [0101] 이때 상기 기지 데이터는 하나의 세그먼트 단위에서 볼 때 3 바이트의 MPEG 헤더의 위치에는 올 수 없고, 기지 데이터의 시작 부분에 초기화 바이트가 필요하며, 또한 RS 패리티 바이트들이 상기 초기화 바이트보다 뒤에 출력될 수 있도록 위치해야 하므로 E-VSB 패킷 포맷터(102)에서 이것을 고려하여 기지 데이터 위치를 정하면 된다.
- [0102] 상기 기지 데이터의 위치가 정해지면 그에 따라 초기화 바이트의 위치를 정하고, 초기화 바이트 위치 이후에 RS

패리티가 오도록 인헨스드 데이터 패킷을 구성한다.

- [0103] 예를 들어, 한 세그먼트를 도 4와 같이 52 바이트 단위의 4 그룹(마지막 4번째 그룹은 51 바이트)으로 나눈다면, 각 그룹에서 마지막 5바이트의 위치를 제외한 위치에 기지 데이터가 올 수 있다.
- [0104] 도 7은 상기된 도 1과 같은 디지털 방송 송신 시스템에서 전송되는 데이터를 수신하여 복조 및 등화하여 원래 데이터로 복원하는 디지털 방송 수신 시스템의 일 실시예를 보인 구성 블록도이다.
- [0105] 도 7은 튜너(701), 복조부(702), 등화기(703), 기지 데이터 검출 및 발생부(704), 비터비 디코더(705), 데이터 디인터리버(706), RS 디코더 및 비체계적 RS 패리티 제거부(707), 디랜덤마이저(708)를 포함하여 구성된다.
- [0106] 또한 상기 디지털 방송 수신 시스템은 메인 데이터 패킷 제거부(709), MPEG 헤더 제거부(710), E-VSB 패킷 디포맷터(711), 및 인헨스드 데이터 처리부(712)를 포함하여 구성된다.
- [0107] 즉, 상기 튜너(701)는 특정 채널의 주파수를 튜닝하여 다운 컨버팅한 후 복조부(702)와 기지 데이터 검출 및 발생부(704)로 출력한다.
- [0108] 상기 복조부(702)는 튜닝된 채널 주파수에 대해 반송파 복구 및 타이밍 복구 등을 수행하여 기저대역 신호로 만든 후 등화기(703)와 기지 데이터 검출 및 발생부(704)로 출력한다.
- [0109] 상기 등화기(703)는 상기 복조된 신호에 포함된 채널 상의 왜곡을 보상한 후 비터비 디코더(Viterbi decoder)(705)로 출력한다.
- [0110] 이때 상기 기지 데이터 검출 및 발생부(704)는 상기 복조부(702)의 입/출력 데이터 즉, 복조가 이루어지기 전의 데이터 또는 복조가 이루어진 후의 데이터로부터 송신측에서 삽입한 기지 데이터 심볼열을 검출하고 발생시킨 기지 데이터의 심볼열을 복조부(702)와 등화기(703)로 출력한다.
- [0111] 상기 복조부(702)는 타이밍 복원이나 반송파 복구시에 상기 기지 데이터 심볼열을 이용함으로써, 복조 성능을 향상시킬 수 있고, 등화기(703)에서도 마찬가지로 상기 기지 데이터를 사용하여 등화 성능을 향상시킬 수 있다.
- [0112] 상기 비터비 디코더(705)는 상기 등화기(703)에서 출력되는 메인 데이터 심볼과 인헨스드 데이터 심볼에 대하여 비터비 복호를 수행하여 바이트로 변환한 후 이를 디인터리버(706)로 출력한다. 상기 디인터리버(706)는 송신측의 데이터 인터리버의 역과정을 수행하여 RS 복호기 및 비체계적 RS 패리티 제거기(RS encoder/Non-systematic RS parity remover)(707)로 출력한다. 상기 RS 복호기 및 비체계적 RS 패리티 제거기(707)에서는 입력받은 패킷이 메인 데이터 패킷인 경우 체계적 RS 복호를 수행하고, 인헨스드 데이터 패킷인 경우에는 패킷에 삽입되어 있는 비체계적 RS 패리티 바이트를 제거하여 디랜덤마이저(708)로 출력한다.
- [0113] 상기 디랜덤마이저(708)는 RS 복호기 및 비체계적 RS 패리티 제거기(707)의 출력에 대하여 랜덤마이저의 역과정을 수행하고 MPEG 동기 바이트를 매 패킷의 앞에 삽입하여 188 바이트 패킷 단위로 출력한다.
- [0114] 상기 디랜덤마이저(708)의 출력은 메인 MPEG 디코더(도시되지 않음)로 출력됨과 동시에 메인 데이터 패킷 제거부(709)로 출력된다. 상기 메인 MPEG 디코더는 메인 MPEG에 해당하는 패킷에 대해서만 디코딩을 수행한다. 이는 인헨스드 데이터 패킷이 기존 VSB 수신기에서 사용하지 않는 또는, 널 또는 예약된 PID를 가지기 때문에 메인 MPEG 디코더에서 디코딩에 사용되지 않고 무시되기 때문이다.
- [0115] 한편 상기 메인 데이터 패킷 제거부(709)는 디랜덤마이저(708)의 출력으로부터 188바이트 단위의 메인 데이터 패킷을 제거하여 MPEG 헤더 제거부(710)로 출력한다. 상기 MPEG 헤더 제거부(710)는 송신측의 E-VSB 포맷터에서 인헨스드 데이터 패킷에 삽입했던 4바이트의 MPEG 헤더를 입력되는 인헨스드 데이터 패킷에서 제거하고 E-VSB 패킷 디포맷터(711)로 출력한다. 이때 상기 MPEG 헤더 제거부(710)는 E-VSB 패킷 디포맷터(711) 내에 구현될 수도 있다.

상기 E-VSB 패킷 디포맷터(711)는 상기 MPEG 헤더 제거부(710)에서 출력되는 184 바이트의 인헨스드 데이터 패킷에서 송신측에서 인헨스드 데이터가 아닌 위치 홀더가 삽입되었던 바이트들, 예를 들어 기지 데이터를 위한 위치 홀더들을 제거한 후 이를 E-VSB 데이터 처리부(712)로 출력한다. 상기 인헨스드 데이터 처리부(712)는 상기 E-VSB 패킷 디포맷터(711)의 출력에 대해 송신측의 E-VSB 전처리부(101)의 역과정을 수행하여 최종으로 인헨스드 데이터를 출력한다.
- [0116] 한편, 본 발명에서 사용되는 용어(terminology)들은 본 발명에서의 기능을 고려하여 정의 내려진 용어들로써 이는 당분야에 종사하는 기술자의 의도 또는 관례 등에 따라 달라질 수 있으므로 그 정의는 본 발명의 전반에 걸

친 내용을 토대로 내려져야 할 것이다.

[0117] 본 발명은 상술한 실시예에 한정되지 않으며, 첨부된 청구범위에서 알 수 있는 바와 같이 본 발명이 속한 분야의 통상의 지식을 가진 자에 의해 변형이 가능하고 이러한 변형은 본 발명의 범위에 속한다.

발명의 효과

[0118] 이상에서 설명한 바와 같은 본 발명에 따른 디지털 방송 시스템, 및 처리 방법은 채널을 통하여 부가 데이터를 송신할 때 오류에 강하고 또한 기존의 VSB 수신기와도 호환성이 가능한 이점이 있다. 더불어 기존의 VSB 시스템 보다 고스트와 잡음이 심한 채널에서도 부가 데이터를 오류없이 수신할 수 있는 이점이 있다.

[0119] 또한 본 발명은 데이터 영역의 특정 위치에 기지 데이터를 삽입하여 전송함으로써, 채널 변화가 심한 수신 시스템의 수신 성능을 향상시킬 수 있다.

[0120] 특히 본 발명은 기지 데이터를 포함하는 인헨스드 데이터 패킷에 대해 비체계적 RS 부호화를 수행함으로써, 패리티 위치를 이동할 수 있고, 이로 인해 연속적으로 긴 기지 데이터 열을 삽입할 수 있으면서, 삽입 위치에 대한 자유도를 높일 수 있다. 즉, 체계적 RS 부호화의 패리티 영역에 기지 데이터를 삽입할 수 있게 되고, 초기화 바이트가 올 수 있는 영역을 확대할 수 있다.

[0121] 이러한 본 발명은 채널 변화가 심하고 노이즈에 대한 강건성이 요구되는 휴대용 및 이동수신기에 적용하면 더욱 효과적이다.

[0122] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

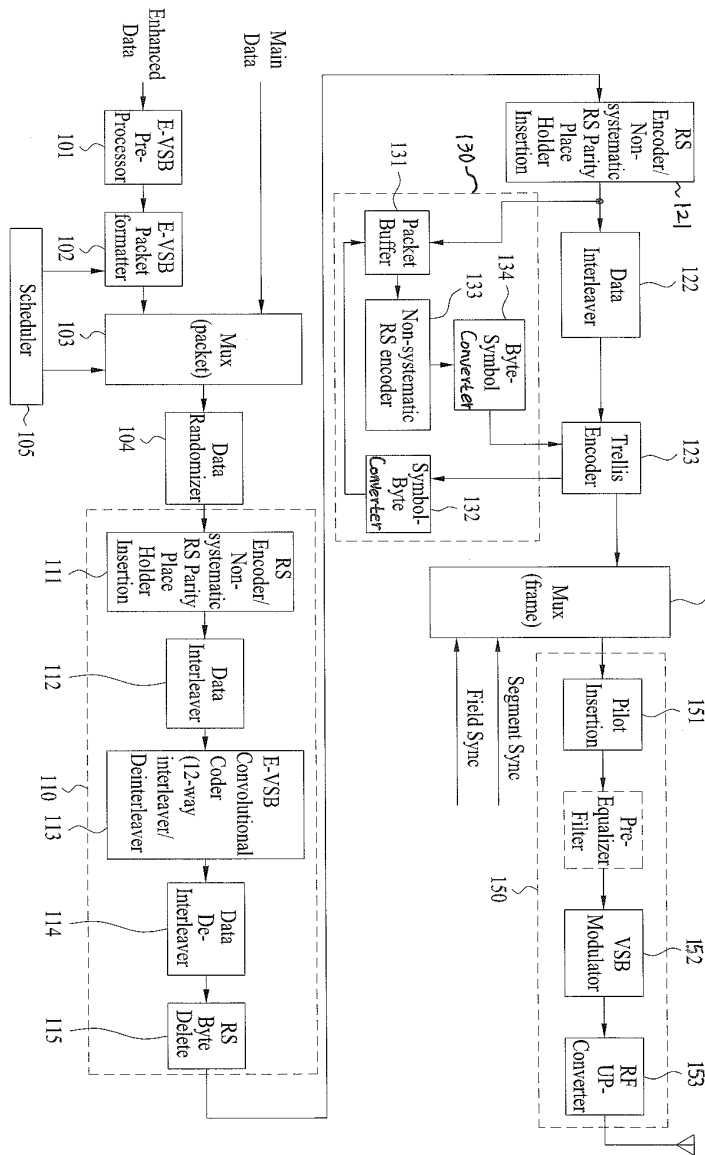
[0123] 따라서 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의하여 정해져야 한다.

도면의 간단한 설명

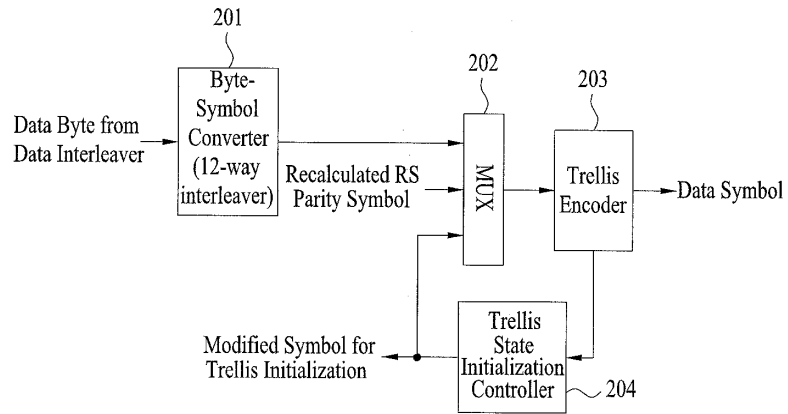
- [0001] 도 1은 본 발명의 일 실시예에 따른 디지털 방송 송신 시스템의 구성 블록도
- [0002] 도 2는 도 1의 트렐리스 부호화부의 일 실시예를 보인 구성 블록도
- [0003] 도 3은 도 2의 데이터 인터리버의 구조의 일 실시예를 보인 구성 블록도
- [0004] 도 4는 VSB 프레임에서 데이터 인터리버의 출력 순서의 예를 보인 도면
- [0005] 도 5의 (a),(b)는 본 발명의 기지 데이터 삽입에 따른 데이터 인터리버 전후단의 데이터 구성 예를 보인 도면
- [0006] 도 6은 세그먼트 단위에서 본 데이터 구성의 예를 보인 도면
- [0007] 도 7은 본 발명에 따른 디지털 방송 수신 시스템의 일 실시예를 보인 전체 구성 블록도
- [0008] 도면의 주요부분에 대한 부호의 설명
- [0009] 101 : E-VSB 전처리부 102 : E-VSB 패킷 포맷터
- [0010] 103 : 패킷 다중화기 104 : 데이터 랜덤마이저
- [0011] 105 : 스케줄러 110 : E-VSB 후처리부
- [0012] 111,121 : RS 부호기 및 비체계적 RS 패리티 위치 홀더 삽입부
- [0013] 112,122 : 데이터 인터리버 113 : E-VSB 길쌈 부호화기
- [0014] 114 : 데이터 디인터리버 115 : RS 바이트 제거기
- [0015] 123 : 트렐리스 부호화부 130 : 호환성 처리부
- [0016] 140 : 프레임 다중화기 150 : 송신부

도면

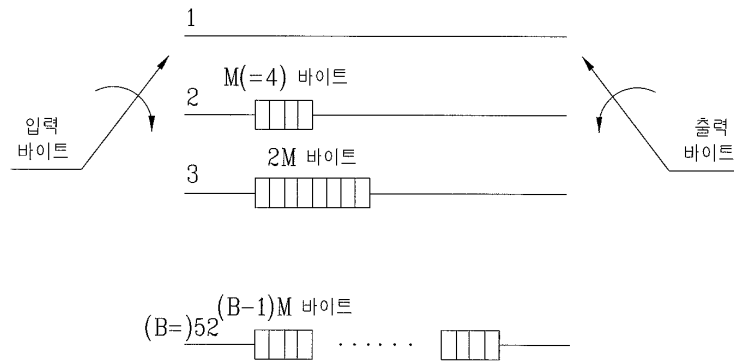
도면1



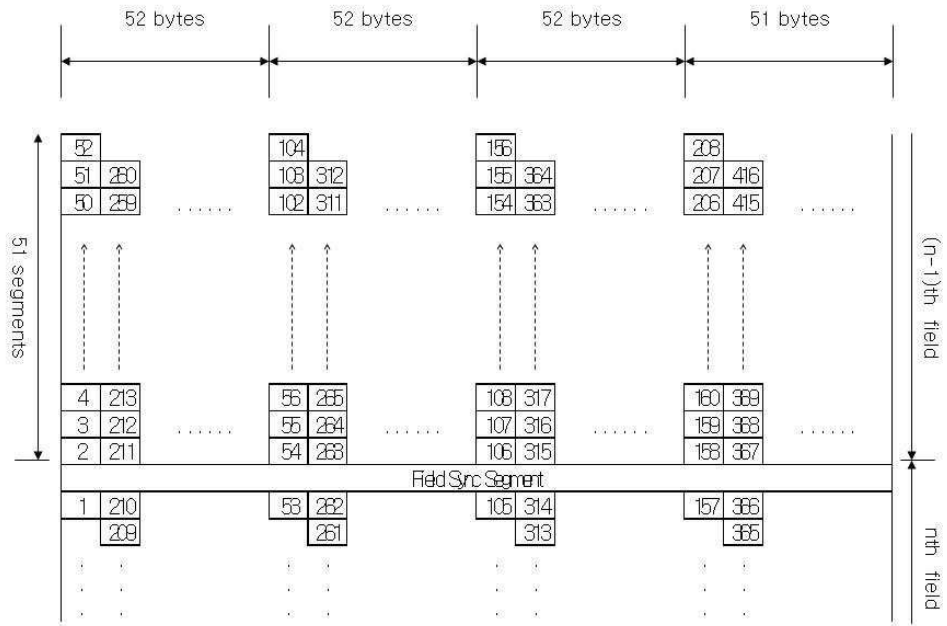
도면2



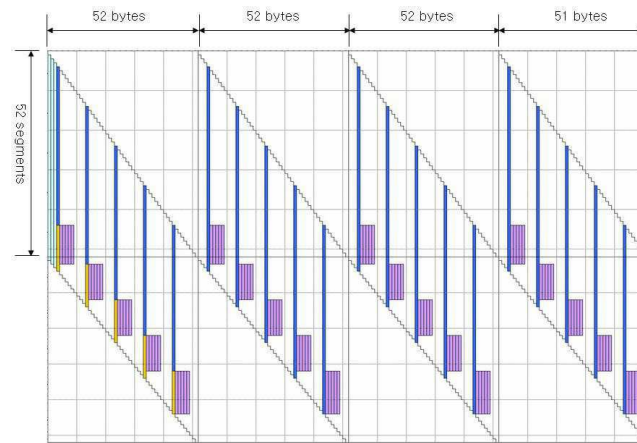
도면3



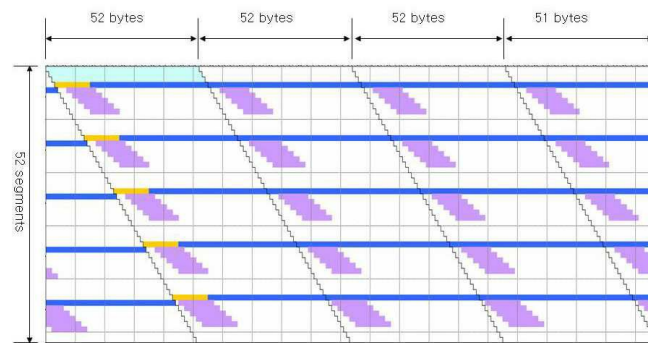
도면4



도면5



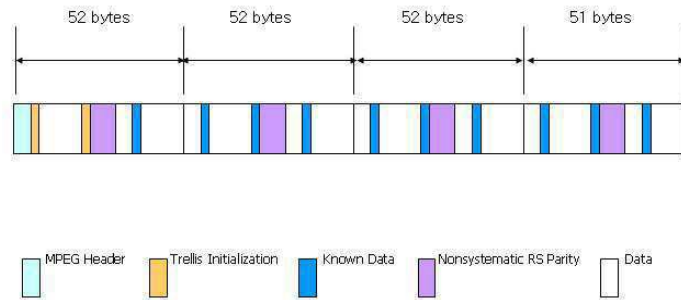
(a) Data Interleaver 전단의 Data 구성



(b) Data Interleaver 후단의 Data 구성



도면6



도면7

