

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096125758

※ 申請日期：96 年 7 月 13 日

※IPC 分類：H04L 25/02 (2006.01)
H03M 13/09 (2006.01)

一、發明名稱：(中文/英文)

符號率硬體加速器/Symbol Rate Hardware Accelerator

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

內數位科技公司/InterDigital Technology Corporation

代表人：(中文/英文)

唐納爾德·伯萊斯/Donald M. Boles

住居所或營業所地址：(中文/英文)

美國德拉威州 19810 威明頓席爾佛賽路 3411 號康科特廣場海格雷大廈 105 室/3411 Silverside Road, Concord Plaza, Suite 105, Hagley Building, Wilmington, DE 19810, U.S.A.

國 籍：(中文/英文) 美國/US

三、發明人：(共 1 人)

1. 姓 名：(中文/英文) 愛德華·赫普勒/Edward L. HEPLER

國 籍：(中文/英文) 美國/US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 US；2006/07/14；60/830,909

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及無線通信系統。更具體地，本發明涉及一種用於無線通信的符號率硬體加速器。

【先前技術】

用於第二代(2G)無線通信系統的無線發送/接收單元(WTRU)典型地包括用於信號處理和符號率處理的數位信號處理器(DSP)。2G的WTRU通常具有控制處理器(例如，高級RISC集團(ARM))，以進行層1(L1)控制和協定堆疊處理。

第1圖是用於2G系統的傳統WTRU 100(例如，全球移動通信系統(GSM)、通用封包無線業務(GPRS)和增強資料率GSM演進(EDGE))的方塊圖。WTRU 100包括：頻道處理單元110、脈衝發生和調變單元120、發射機130和天線140。頻道處理單元110包括：塊編碼單元112、卷積編碼器114、重排序和分割單元116和插入器118。脈衝發生和調變單元120包括：加密單元122、脈衝產生器124和調變器126。第1圖僅示出WTRU 100的發射端，但是WTRU 100還包括與發射端對應的接收端的元件。

首先由塊編碼單元112(例如，迴圈冗餘校驗(CRC)單元)來處理資訊位元111。由塊編碼單元112向資訊位元111添加同位檢查位元。然後，由卷積編碼器114處理具有同位檢查位元113的資訊位元。卷積編碼器114對於位元113執行卷積編碼，以產生經編碼的位元115。由重排序和

分割單元 116 對經編碼的位元 115 進行重排序和分割。然後，由插入器 118 對經重排序和分割的位元 117 進行插入。由加密單元 122 來加密經插入的位元 119。將經加密的位元 123 發送至脈衝產生器 124。脈衝產生器 124 從經加密的位元 123 中產生脈衝 125。脈衝產生器 124 還執行脈衝多工。然後，由調變器 126 處理脈衝 125。然後，由發射機 130 通過天線 140 發送經調變的符號 127。

第 2 圖（取自第三代合作夥伴計畫（3GPP）技術標準（TS）45.003 部分 2.1）示出在 GSM、GPRS 和 EDGE 中對於多個頻道的資訊位元的處理。在 2G 系統中支援多個頻道。第 2 圖示出對於增強型全速率語音業務頻道（TCH/EFS）、全速率語音業務頻道（TCH/FS）、半速率語音業務頻道（TCH/HS）、資料業務頻道和封包資料業務頻道（PDTCH）的資訊位元的處理。

參照第 1 圖和第 2 圖，對於 TCH/FS 的資訊位元的處理被用作示例性實例來說明。全速率或增強型全速率的語音編碼器（未示出）將資料塊序列發送至頻道處理單元。在 TCH/FS 或 TCH/EFS 的情況下，一個資料塊對應於一個語音訊框。每一塊包含 260 個資訊位元，其包括 182 個 1 級位元（保護位元）和 78 個 2 級位元（不保護位元）。由塊編碼單元處理每一個塊中的 260 個位元。前面 50 個 1 級位元由用於錯誤檢測的三（3）個同位檢查位保護。1 級輸入位元和同位檢查位被重排序，並且四（4）個結尾位元被附加至末尾。塊編碼單元輸出包括三個同位檢查位和四個

結尾位元的 267 個位元。通過卷積編碼器以 $1/2$ 碼率卷積編碼來對 267 個位元的 1 級位元進行編碼。卷積編碼器輸出 456 個位元經編碼位元。由重排序和分割單元來重排序和分割該 456 個經編碼的位元。重排序和分割單元輸出 8 個位元塊。然後，由插入器對 8 個位元塊進行塊對角插入。重排序和插入是基於預定表來執行的。

在市場中，同時支援 2G 和第三代（3G）服務的雙模 WTRU 已經逐漸被廣泛使用，對於 2G 和 3G 處理需要共用物理資源，以降低成本和節省功率。隨著資料速率的增加，調變技術和接收機演算法變得更加複雜，DSP 必須支持的處理需求繼續增加。DSP 支援的其他功能（例如語音編解碼）也變得更加複雜。簡單地增加 DSP 的頻率以支援增加的功能將出現其他問題，包括更高的功率浪費，記憶體子系統逐漸增加的需求。

對於這種問題的潛在解決方案是將一些處理從 DSP 卸載到硬體加速器中。傳統的硬體加速器是由 DSP 控制的，通常使用直接記憶體存取（DMA）技術或編程 I/O 以將資料登錄至加速器，暫存器寫入以啟動加速器和使用 DMA 技術或編程 I/O 以存取加速器的結果。傳統的硬體加速器典型地是“硬佈線的”，以執行特定的功能，所以從 DSP 將功能移向硬體加速器將導致靈活性的丟失（與在 DSP 上運行軟體相比）並且如果出現功能需求上的變化則主要硬體需求的改變。

【發明內容】

本發明涉及一種用於無線通信的符號率硬體加速器。在從 DSP（或控制處理器）卸載符號率功能的同時，保持調節改變或新頻道類型的靈活性。該硬體加速器包括：第一緩衝器、第二緩衝器、一個或多個位址產生器、翻譯唯讀記憶體（ROM）、CRC 產生器、卷積編碼器、其他潛在操作單元、共用記憶體體系（SMA）介面（由 DSP 和/或控制處理器可存取）和控制器。SMA 介面提供了從共用記憶體填充第一緩衝器，從第一緩衝器或第二緩衝器發送結果至共用記憶體的手段。該介面還提供加速器將解釋的命令資源。第一緩衝器和第二緩衝器儲存資訊位元。一個或多個位址產生器產生用於存取第一緩衝器和第二緩衝器的位址。翻譯 ROM 用於產生已翻譯的用於存取第一緩衝器和第二緩衝器的位址。控制器設置用於 CRC 產生器、卷積編碼器和位址產生器的參數，並通過操作資訊位元和處理後位元執行用於資訊位元的頻道處理的預定序列的控制命令，同時在第一緩衝器、第二緩衝器、共用記憶體、CRC 產生器和卷積編碼器之間移動資訊位元和處理後的資訊位元。該頻道處理包括以下中的至少一種：第一重排序、塊編碼、第二重排序、同位檢查結尾、打孔、卷積編碼和插入。

【實施方法】

當下文引用時，術語“WTRU”包括但不限於使用者設備（UE）、固定或移動基地台、尋呼機、行動電話、個人數位助理（PDA）、電腦或能夠在無線環境中運行的任何其他類型裝置。當下文引用時，術語“基地台”包括但不限

於 Node-B、站點控制器、存取點 (AP) 或能夠在無線環境中運行的任何其他類型介面裝置。

本發明根據需要可以以任一類型的無線通信系統來實現。通過實例，本發明可以以 GSM、EDGE、GPRS 系統中任一類型或任一其他類型的無線通信系統來實現。

根據本發明，傳統的用於頻道處理（即，用於發送處理和/或接收處理的符號速率處理）的通用 DSP 被專門被設計用以在 WTRU 或基地台中執行頻道處理的硬體加速器所替代。用於不同類型頻道的頻道處理流程（在第 2 圖中示出其中的一部分）是類似的，但是在每一頻道處理步驟中特定的參數是不同的（即，對於不同的頻道類型，用於塊編碼、傳統編碼、重排序和插入的參數不同），以及其中這些參數的執行順序不同。

根據本發明，對於如第 2 圖所示的頻道類型的頻道處理流程提取一個操作流程。第 3 圖示出由根據本發明的硬體加速器執行的示例性資料處理流程。由硬體加速器執行的典型頻道處理過程 300 包括：選擇重排序 302、選擇塊編碼 304、重排序 306、同位檢查結尾 308、打孔 310、卷積編碼 312 和插入 314。執行選擇重排序，以在位元流中重排序某部分位元。選擇塊編碼是關於某部分位元執行的塊編碼。根據頻道類型可執行選擇重排序和普通重排序兩者。同位檢查結尾是通過塊編碼將同位檢查位元添加至位元塊。執行打孔以為了速率匹配而從位元流去除某些位元。執行卷積編碼，用於錯誤檢測和校正。執行插入過程，以

防止脈衝錯誤。應注意的是，可以為不同類型的頻道不同地限定在第 3 圖中所示的處理。還注意的是，第 3 圖簡單起見僅示出發送處理，但是本發明同樣應用於接收處理。根據本發明，為了每一頻道類型定義具有不同參數的一系列命令，並通過硬體加速器執行這一系列命令。

第 4 圖示出根據本發明的硬體加速器 400 和 SMA 420。硬體加速器 400 包括：控制器 402、位址產生器 404、翻譯唯讀記憶體（ROM）406、第一緩衝器 408、第二緩衝器 410、CRC 產生器 412、卷積編碼器 414、卷積解碼器 416（即，Viterbi 解碼器）和命令暫存器 418。應理解的是，硬體加速器 400 可包括用以執行頻道處理所必須的附加操作單元。硬體加速器 400 執行為每一頻道類型定義的特定位元序列的操作。硬體加速器 400 根據控制字操作位元流（即，位元欄位），以執行特定功能。控制字包括在處於 SMA 420 中的控制塊中。從 SMA 420 重新獲取控制字，並在由控制器 402 翻譯控制字之前將其儲存在命令暫存器 418 中。

由硬體加速器 400 執行的典型操作包括：從 SMA 420 將資料塊複製到第一緩衝器 408 中；從第一緩衝器 408 將資料移至第二緩衝器 410，同時執行第一操作；從第二緩衝器 410 將資料移至第一緩衝器 408，同時執行第二操作；重複在第一緩衝器 408 和第二緩衝器 410 直接的資料移動，同時根據需要對資料執行多次操作；然後，將如上步驟得到的資料從最後緩衝器（第一緩衝器 408 或第二緩衝器 410）移向 SMA 420。

該操作需要很簡單的硬體結構，並且硬體加速器 400 對於每位元處理 1 個或 2 個塊。通過軟體控制該控制序列，並為每一頻道類型進行預定義。在觸發硬體加速器之前，僅需要更新 SMA 指標。控制器 402 保存控制序列。

硬體加速器 400 首先設置用於 CRC 產生器 412、卷積編碼器 414、Viterbi 解碼器 416 和位址產生器 404 的參數。然後，硬體加速器 400 重複以下至少一種命令 N 次，所述命令包括：

1) Copy：將資料從第一緩衝器 408 移向第二緩衝器 410，或從第二緩衝器 410 移向第一緩衝器 408；

2) Copy_translate_src：使用經由翻譯 ROM 406 產生的位址從一個緩衝器（第一緩衝器 408 或第二緩衝器 410）重新獲取資料，並使用線性位址將重新獲取到的資料放置到另一個緩衝器（第一緩衝器 408 或第二緩衝器 410）；

3) Copy_translate_dst：使用線性位址從一個緩衝器（第一緩衝器 408 或第二緩衝器 410）重新獲取資料，並使用經由翻譯 ROM 406 產生的位址將重新獲取到的資料放置到另一個緩衝器（第一緩衝器 408 或第二緩衝器 410）；

4) Generate_CRC：將資料從第一緩衝器 408 和第二緩衝器 410 之一移向 CRC 產生器 412；

5) Generate_CRC_translate：使用由翻譯 ROM 406 產生的位址將資料從第一緩衝器 408 和第二緩衝器 410 之一移向 CRC 產生器 412；

6) Conv_Encode_XXXXXX：通過使用模式

“XXXXXX” 的卷積編碼器 414 從第一緩衝器 408 和第二緩衝器 410 之一移動資料，以確定在移動過程中包括哪種卷積編碼器結構；

7) From_CRC：將資料從 CRC 產生器 412 移向第一緩衝器 408 和第二緩衝器 410 之一；

8) To_SMA：將資料從第一緩衝器 408 和第二緩衝器 410 之一移向 SMA 420；以及

9) From_SMA：將資料從 SMA 420 移向第一緩衝器 408 和第二緩衝器 410 之一。

以下說明用以執行 TCH/FS 的頻道處理的示例性控制序列。在第 2 圖中示出了用於 TCH/FS 的處理流程。假設，已經將資料（即一個語音訊框的 260 位元）從共用記憶體移向第一緩衝器 408。用於選擇塊編碼的控制序列（即，選擇 CRC 編碼）如下：

- 1) 設置 CRC 參數；
- 2) 清空地址計數器；以及
- 3) Rpt 50；產生 CRC；

通過“設置 CRC 參數”命令設置 CRC 參數。通過“清空地址計數器”命令初始化位址計數器（線性位址計數器）。然後，通過“Rpt 50；產生 CRC”命令將前 50 個位元從第一緩衝器 408 移向 CRC 產生器 412，將經過計算的 CRC 留在 CRC 產生器中。

一種用於重排序和同位檢查結尾處理的控制序列如下：

- 1) 設置 Indx_Base 以標記翻譯 ROM 的 “Rearrange_insert_CRC_3.1.2.1” ；
- 2) 清空地址計數器；以及
- 3) Rpt 189；Copy_translate。

如上所述，從前 50 個 1 級位元產生三（3）個同位檢查位元，並對 182 個 1 級位元和三個同位檢查位元重排序，並將四（4）個同位檢查位元附加至結尾。上述三個命令用於對 1 級位元和校驗位元重排序，並且附加結尾位元。將索引基礎設置為預定值（即，如在 3GPP TS 45.003 v7.10 中的 3.1.2.1 部分中指定的）。通過“清空地址計數器”命令再次初始化地址計數器。通過“Rpt 189；Copy_translate”命令，使用經由翻譯 ROM 406 產生的位址將 189 個位元（資訊位元、同位檢查位元和結尾位元）從第一緩衝器 408 移向第二緩衝器 410。

一種用於卷積編碼的控制序列如下：

- 1) 設置 Conv_encode 參數；
- 2) 清空地址計數器；
- 3) Rpt 189；Leng 2；conv_encode_000011；以及
- 4) Rpt 78；Copy。

通過“設置 Conv_encode 參數”命令設置卷積編碼的參數。通過“清空地址計數器”命令初始化地址計數器。通過使用卷積編碼的模式“000011”的卷積編碼器 414 將 189 個 1 級位元從第二緩衝器 410 移動。將經編碼的輸出放在第一緩衝器 408 中。通過“Rpt 78；Copy”命令將 78

個 2 級位元從第二緩衝器 410 移向第一緩衝器 408(由於它們不通過編碼來保護)。

一種用於重排序和分割的控制序列如下：

- 1) 設置 Indx_Base 以標記翻譯 ROM 的 “Interleave_3.1.3_Tbl_1_P169” ；
- 2) 清空地址計數器；以及
- 3) Rpt 456；Copy_translate。

根據預定規則（即，基於預定表）對 456 個經編碼位元進行重排序和分割。將索引基礎設置為預定值（即，如在 3GPP TS 45.003 v.7.10 的表 1 中指定）。通過“清空地址計數器”命令初始化地址計數器。使用經由翻譯 ROM 406 得到的位址將 456 個編碼位元從第一緩衝器 408 移向第二緩衝器 410，以實現重排序和分割。然後，將第二緩衝器 410 中重排序和分割的位元移向 SMA。

上述處理需要大約 16 個控制塊字、大約 908 個 ROM 字和大約 1151 個時鐘週期。在 52MHz，1500 個時鐘週期等於 28.85us，僅是一個 GSM 時隙的 5%。根據本發明，能夠大大節省成本和功率。

較佳地，硬體加速器 400 使用 6 個 SMA 資源（即，共用記憶體的 6 個不同區域），用以儲存最多六（6）個用以插入的不同頻道的被重排序和分割的位元。該插入處理可以是對角線插入。

第 5 圖示出根據本發明的示例性對角線插入模式。按列（概念地或物理地）在 SMA 中寫入從每一頻道被重排序

和分割的位元，並按行（概念地或物理地）從 SMA 讀取位元來產生脈衝，從而執行對角線插入。每一列表示從一個頻道的被重排序和分割的位元。在 SMA 的不同區域儲存對於最多 6 個不同頻道的被重排序和分割的位元。來自每一頻道的一訊框資料具有一共 456 位元。每一行表示脈衝。每一脈衝包括 114 位元。在一個頻道中的位元被 22 個脈衝插入。如第 5 圖所示，有四（4）個不同的插入模式： $\{12, 24, 24, 24, 24, 6\}$ 、 $\{6, 24, 24, 24, 12\}$ 、 $\{24, 24, 24, 24, 18\}$ 和 $\{18, 24, 24, 24, 24\}$ 。這四個模式中的每個包括最多來自 6 個不同頻道的位元。應注意的是，在第 5 圖中示出的模式是示例性的，並且根據本發明也可以選擇任一其他模式實現。第 5 圖中所示的對角線插入可通過單獨的硬體加速器來實現。

可以以基於線性回饋移位暫存器（LFSR）的流與脈衝資料 XOR 的形式提供低級別加密，並通過前端根升餘弦（RRC）濾波器從發送（Tx）晶片接收符號。

【實施例】

1. 一種用於對無線發射和接收的資訊位元執行頻道處理的硬體加速器，該硬體加速器與共用記憶體通信。

2. 如實施例 1 所述的硬體加速器，該硬體加速器包括：用於儲存資訊位元和處理後的資訊位元的第一緩衝器和第二緩衝器。

3. 如實施例 2 所述的硬體加速器，該硬體加速器包括：用於產生存取第一緩衝器和第二緩衝器的位址的至少

一個位址產生器。

4. 如實施例 2-3 中任一所述的硬體加速器，該硬體加速器包括：用於產生存取第一緩衝器和第二緩衝器的已翻譯的位址的翻譯 ROM。

5. 如實施例 1-4 中任一所述的硬體加速器，該硬體加速器包括：用於存取共用記憶體介面。

6. 如實施例 1-5 中任一所述的硬體加速器，該硬體加速器包括：用於對資訊位元和處理後的資訊位元之一執行塊編碼以產生同位檢查位元的 CRC 產生器。

7. 如實施例 1-6 中任一所述的硬體加速器，該硬體加速器包括：用於對資訊位元和處理後的資訊位元之一執行卷積編碼的卷積編碼器。

8. 如實施例 7 所述的硬體加速器，該硬體加速器包括：控制器，該控制器被配置為產生控制信號以設置用於 CRC 產生器、卷積編碼器和位址產生器的參數，並通過操作資訊位元和處理後的資訊位元來執行用於資訊位元的頻道處理的預定序列的控制命令，同時在第一緩衝器、第二緩衝器、共用記憶體、CRC 產生器和卷積編碼器之間移動資訊位元和處理後的資訊位元。

9. 如實施例 8 所述的硬體加速器，其中該控制器被配置為設置多個頻道中每一頻道的參數，並執行針對所述多個頻道的預定序列的控制命令。

10. 如實施例 1-9 中任一所述的硬體加速器，其中所述頻道處理包括以下處理中的至少一種：第一重排序、塊

編碼、第二重排序、同位檢查結尾、打孔、卷積編碼和插入。

11．如實施例 8-10 中任一所述的硬體加速器，其中該控制器被配置為基於控制字來執行預定序列的控制命令。

12．如實施例 11 所述的硬體加速器，其中所述控制字包括在控制塊中。

13．如實施例 11-12 中任一所述的硬體加速器，其中所述控制字是從共用記憶體中重新獲取的。

14．如實施例 8-13 中任一所述的硬體加速器，其中所述控制器被配置為在執行位元操作的同時，在第一緩衝器和第二緩衝器之間移動資料。

15．如實施例 8-14 中任一所述的硬體加速器，其中所述控制器被配置為使用經由翻譯 ROM 產生的位址從第一緩衝器和第二緩衝器之一重新獲取資料，並將重新獲取到的資料放置到另一個緩衝器。

16．如實施例 8-15 中任一所述的硬體加速器，其中所述控制器被配置為從第一緩衝器和第二緩衝器之一重新獲取資料，並使用經由翻譯 ROM 產生的位址將重新獲取到的資料放置到另一個緩衝器。

17．如實施例 8-16 中任一所述的硬體加速器，其中所述控制器被配置為將資料從第一緩衝器和第二緩衝器之一移向 CRC 產生器。

18．如實施例 8-17 中任一所述的硬體加速器，其中所述控制器被配置為使用經由翻譯 ROM 產生的位址將資料

從第一緩衝器和第二緩衝器之一移向 CRC 產生器。

19．如實施例 8-18 中任一所述的硬體加速器，其中所述控制器被配置為通過卷積編碼器從第一緩衝器和第二緩衝器之一移動資料。

20．如實施例 8-19 中任一所述的硬體加速器，其中所述控制器被配置為將資料從 CRC 產生器移向第一緩衝器和第二緩衝器之一。

21．如實施例 8-20 中任一所述的硬體加速器，其中所述控制器被配置為將資料從第一緩衝器和第二緩衝器之一移向共用記憶體。

22．如實施例 8-21 中任一所述的硬體加速器，其中所述控制器被配置為將資料從共用記憶體移向第一緩衝器和第二緩衝器之一。

23．如實施例 8-22 中任一所述的硬體加速器，其中所述控制器被配置為使用六（6）個 SMA 資源以儲存最多來自六（6）個不同頻道的處理後的資訊位元。

24．如實施例 23 所述的硬體加速器，其中所述控制器被配置為執行對角線插入。

25．如實施例 23 所述的硬體加速器，其中使用單獨的硬體加速器來執行對角線插入。

26．一種在無線通信設備中使用硬體加速器執行頻道處理的方法。

27．如實施例 26 所述的方法，該方法包括：接收資訊位元。

28. 如實施例 27 所述的方法，該方法包括：使用硬體加速器對所述資訊位元執行頻道處理，該硬體加速器執行用於頻道處理的預定序列命令，同時在第一緩衝器、第二緩衝器、共用記憶體、CRC 產生器和卷積編碼器之間移動資訊位元和處理後的資訊位元。

29. 如實施例 28 所述的方法，其中設置多個頻道中每一頻道的參數，並執行針對所述多個頻道的預定序列的控制命令。

30. 如實施例 28-29 中任一所述的方法，其中所述頻道處理包括以下處理中的至少一種：第一重排序、塊編碼、第二重排序、同位檢查結尾、打孔、卷積編碼和插入。

31. 如實施例 28-30 中任一所述的方法，其中所述硬體加速器被配置為使用六（6）個 SMA 資源以儲存最多來自六（6）個不同頻道的處理後的資訊位元。

32. 如實施例 31 所述的方法，其中該插入為對角線插入。

33. 如實施例 32 所述的方法，其中使用單獨的硬體加速器來執行所述對角線插入。

34. 如實施例 28-33 中任一所述的方法，其中基於控制字來執行預定序列的控制命令。

35. 如實施例 34 所述的方法，其中所述控制字包括在控制塊中。

36. 如實施例 34-35 中任一所述的方法，其中所述控制字是從共用記憶體中重新獲取的。

37. 如實施例 28-36 中任一所述的方法，其中所述硬體加速器被配置為在執行位元操作的同時，在第一緩衝器和第二緩衝器之間移動資料。

38. 如實施例 28-37 中任一所述的方法，其中所述硬體加速器被配置為使用經由翻譯 ROM 產生的位址從第一緩衝器和第二緩衝器之一重新獲取資料，並將重新獲取到的資料放置到另一個緩衝器。

39. 如實施例 28-38 中任一所述的方法，其中所述硬體加速器被配置為從第一緩衝器和第二緩衝器之一重新獲取資料，並使用經由翻譯 ROM 產生的位址將重新獲取到的資料放置到另一個緩衝器。

40. 如實施例 28-39 中任一所述的方法，其中所述硬體加速器被配置為將資料從第一緩衝器和第二緩衝器之一移向 CRC 產生器。

41. 如實施例 28-40 中任一所述的方法，其中所述硬體加速器被配置為使用經由翻譯 ROM 產生的位址將資料從第一緩衝器和第二緩衝器之一移向 CRC 產生器。

42. 如實施例 28-41 中任一所述的方法，其中所述硬體加速器被配置為通過卷積編碼器從第一緩衝器和第二緩衝器之一移動資料。

43. 如實施例 28-42 中任一所述的方法，其中所述硬體加速器被配置為將資料從 CRC 產生器移向第一緩衝器和第二緩衝器之一。

44. 如實施例 28-43 中任一所述的方法，其中所述硬

體加速器被配置為將資料從第一緩衝器和第二緩衝器之一移向共用記憶體。

45. 如實施例 28-44 中任一所述的方法，其中所述硬體加速器被配置為將資料從共用記憶體移向第一緩衝器和第二緩衝器之一。

雖然本發明的特徵和元件在較佳的實施方式中以特定的結合進行了描述，但每個特徵或元件可以在沒有所述較佳實施方式的其他特徵和元件的情況下單獨使用，或在與或不與本發明的其他特徵和元件結合的各種情況下使用。本發明提供的方法或流程圖可以在由通用電腦或處理器執行的電腦程式、軟體或韌體中實施，其中所述電腦程式、軟體或韌體是以有形的方式包含在電腦可讀儲存媒體中的。關於電腦可讀儲存媒體的實例包括唯讀記憶體 (ROM)、隨機存取記憶體 (RAM)、暫存器、緩衝記憶體、半導體記憶體裝置、內部硬碟和可移動磁片之類的磁媒體、磁光媒體以及 CD-ROM 碟片和數位通用光碟 (DVD) 之類的光媒體。

舉例來說，恰當的處理器包括：通用處理器、專用處理器、常規處理器、數位信號處理器 (DSP)、多個微處理器、與 DSP 核心相關聯的一個或多個微處理器、控制器、微控制器、特定功能積體電路 (ASIC)、現場可編程閘陣列 (FPGA) 電路、任何一種積體電路 (IC) 和/或狀態機。

與軟體相關聯的處理器可以用於實現一個射頻收發機，以便在無線發射接收單元 (WTRU)、使用者設備、終

端、基地台、無線網路控制器或是任何主機電腦中加以使用。WTRU 可以與採用硬體和/或軟體形式實施的模組結合使用，例如相機、視訊攝影機模組、視訊電話、揚聲器電話、振動裝置、揚聲器、麥克風、電視收發機、免提耳機、鍵盤、藍牙®模組、調頻(FM)無線單元、液晶顯示器(LCD)顯示單元、有機發光二極體(OLED)顯示單元、數位音樂播放器、媒體播放器、視頻遊戲機模組、網際網路瀏覽器和/或任何無線區域網路(WLAN)模組。

【圖式簡單說明】

根據較佳實施例的以下描述，通過示例並且結合圖式將對本發明有更詳細的理解，其中：

第 1 圖是用於 2G 系統的傳統 WTRU 的方塊圖；

第 2 圖示出在 GSM、GPRS 和 EDGE 中對於多個頻道的資訊位元的傳統處理；

第 3 圖示出根據本發明的由硬體加速器執行的示例性資料處理流程；

第 4 圖示出根據本發明的硬體加速器和 SMA；以及

第 5 圖示出根據本發明的示例性對角線插入模式。

【主要元件符號說明】

100	WTRU
111、113、115、117、119、123	位元
125	脈衝
127	符號
300	典型頻道處理過程
400	硬體加速器
420	SMA
WTRU	無線發送/接收單元
SMA	共用記憶體體系
CRC	迴圈冗餘校驗

五、中文發明摘要：

一種硬體加速器，該硬體加速器包括：第一緩衝器、第二緩衝器、一個或多個位址產生器、翻譯唯讀記憶體（ROM）、迴圈冗餘校驗（CRC）產生器、卷積編碼器和控制器。第一緩衝器和第二緩衝器儲存資訊位元。一個或多個位址產生器產生用於存取第一緩衝器、第二緩衝器和共用記憶體體系（SMA）的位址。翻譯 ROM 用於產生已翻譯的用於存取第一緩衝器和第二緩衝器的位址。控制器設置用於 CRC 產生器、卷積編碼器和位址產生器的參數，並通過操作資訊位元和處理後位元執行用於資訊位元的頻道處理（例如重排序、塊編碼、同位檢查結尾、打孔、卷積編碼和插入）的預定序列的控制命令，同時在第一緩衝器、第二緩衝器、SMA、CRC 產生器和卷積編碼器之間移動資訊位元。

六、英文發明摘要：

A hardware accelerator includes a first buffer, a second buffer, address generator(s), a translation read-only memory (ROM), a cyclic redundancy check (CRC) generator, a convolutional encoder and a controller. The first and second buffers store information bits. The address generator(s) generate(s) an address for accessing the first buffer, the second buffer and a shared memory architecture (SMA). The translation ROM is used in generating a translated address for accessing the first buffer and the second buffer. The controller sets parameters for the CRC generator, the convolutional encoder and the address generator, and performs a predefined sequence of control commands for channel processing, such as reordering, block coding, parity tailing, puncturing, convolutional encoding, and interleaving, on the information bits by manipulating the information bits while moving the information bits among the first buffer, the second buffer, the SMA, the CRC generator, and the convolutional encoder.

十、申請專利範圍：

1. 一種用於對無線發射和接收的資訊位元執行頻道處理的硬體加速器，該硬體加速器與一共用記憶體通信，該硬體加速器包括：
用於儲存資訊位元和處理後的資訊位元的一第一緩衝器和一第二緩衝器；
用於產生存取該第一緩衝器和該第二緩衝器的一位址的至少一位址產生器；
用於產生存取該第一緩衝器和該第二緩衝器的一已翻譯的位址的一翻譯唯讀記憶體（ROM）；
用於存取該共用記憶體的一介面；
用於對資訊位元和處理後的資訊位元其中之一執行一塊編碼以產生同位檢查位元的一迴圈冗餘校驗（CRC）產生器；
用於對資訊位元和處理後的資訊位元其中之一執行卷積編碼的一卷積編碼器；以及
一控制器，該控制器被配置為產生控制信號以設置用於該 CRC 產生器、該卷積編碼器和該位址產生器的參數，並通過操作資訊位元和處理後的資訊位元來執行用於資訊位元的頻道處理的一預定序列的控制命令，同時在該第一緩衝器、該第二緩衝器、該共用記憶體、該 CRC 產生器和該卷積編碼器之間移動資訊位元和處理後的資訊位元。
2. 如申請專利範圍第 1 項所述的硬體加速器，其中該控

制器被配置為設置多個頻道中每一頻道的參數，並執行針對該多個頻道的該預定序列的控制命令。

3. 如申請專利範圍第 1 項所述的硬體加速器，其中該頻道處理包括以下處理中的至少一種：第一重排序、塊編碼、第二重排序、同位檢查結尾、打孔、卷積編碼和插入。
4. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為基於一控制字來執行該預定序列的控制命令。
5. 如申請專利範圍第 4 項所述的硬體加速器，其中該控制字包括在一控制塊中。
6. 如申請專利範圍第 4 項所述的硬體加速器，其中該控制字是從該共用記憶體中擷取的。
7. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為在執行一位元操作的同時，在該第一緩衝器和該第二緩衝器之間移動資料。
8. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為使用經由該翻譯 ROM 產生的一位址從該第一緩衝器和該第二緩衝器其中之一擷取資料，並將所擷取的資料放置到另一個緩衝器。
9. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為從該第一緩衝器和該第二緩衝器其中之一擷取資料，並使用經由該翻譯 ROM 產生的一位址將所擷取的資料放置到另一個緩衝器。

10. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為將資料從該第一緩衝器和該第二緩衝器其中之一移向該 CRC 產生器。
11. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為使用經由該翻譯 ROM 產生的一位址將資料從該第一緩衝器和該第二緩衝器其中之一移向該 CRC 產生器。
12. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為通過該卷積編碼器從該第一緩衝器和該第二緩衝器其中之一移動資料。
13. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為將資料從該 CRC 產生器移向該第一緩衝器和該第二緩衝器其中之一。
14. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為將資料從該第一緩衝器和該第二緩衝器其中之一移向該共用記憶體。
15. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為將資料從該共用記憶體移向該第一緩衝器和該第二緩衝器其中之一。
16. 如申請專利範圍第 1 項所述的硬體加速器，其中該控制器被配置為使用六（6）個 SMA 資源以儲存最多來自六（6）個不同頻道的處理後的資訊位元。
17. 如申請專利範圍第 16 項所述的硬體加速器，其中該控制器被配置為執行對角線插入。

18. 如申請專利範圍第 17 項所述的硬體加速器，其中使用一單獨的硬體加速器來執行該對角線插入。
19. 一種在一無線通信設備中使用一硬體加速器執行頻道處理的方法，該方法包括：
接收資訊位元；
使用一硬體加速器對該資訊位元執行頻道處理，該硬體加速器執行用於頻道處理的一預定序列命令，同時在一第一緩衝器、一第二緩衝器、一共用記憶體、一迴圈冗餘校驗（CRC）產生器和一卷積編碼器之間移動資訊位元和處理後的資訊位元。
20. 如申請專利範圍第 19 項所述的方法，其中設置多個頻道中每一頻道的參數，並執行針對該多個頻道的該預定序列的控制命令。
21. 如申請專利範圍第 19 項所述的方法，其中該頻道處理包括以下處理中的至少一種：第一重排序、塊編碼、第二重排序、同位檢查結尾、打孔、卷積編碼和插入。
22. 如申請專利範圍第 21 項所述的方法，其中該硬體加速器被配置為使用六（6）個 SMA 資源以儲存最多來自六（6）個不同頻道的處理後的資訊位元。
23. 如申請專利範圍第 22 項所述的方法，其中該插入為對角線插入。
24. 如申請專利範圍第 23 項所述的方法，其中使用一單獨的硬體加速器來執行該對角線插入。
25. 如申請專利範圍第 19 項所述的方法，其中基於一控制

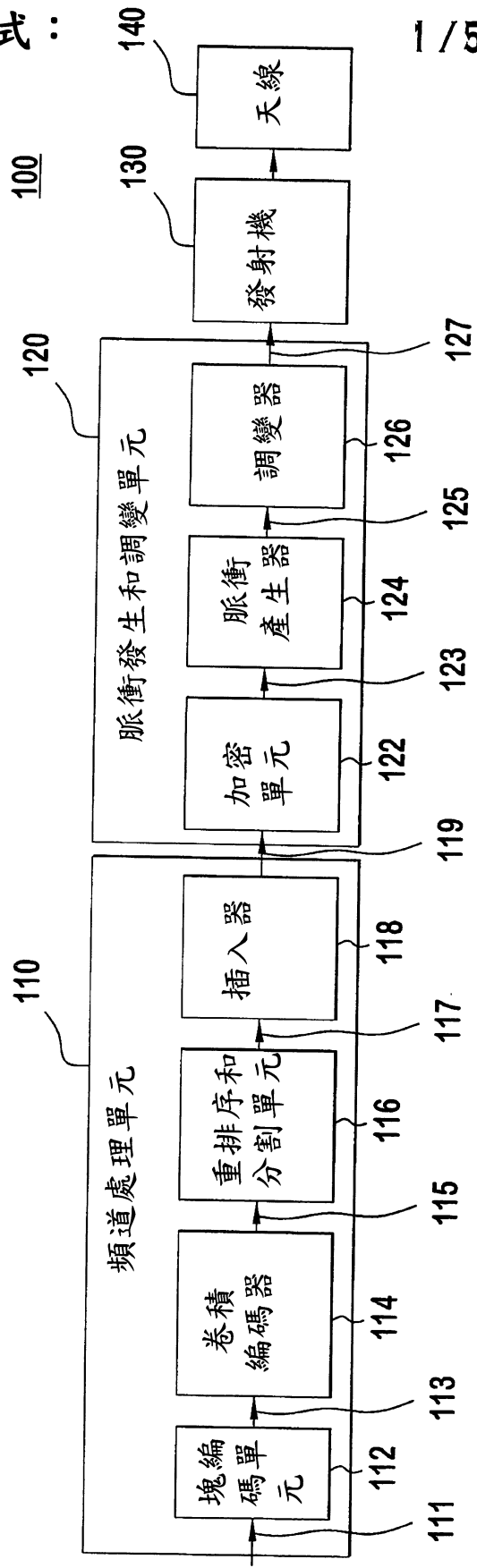
字來執行該預定序列的控制命令。

26. 如申請專利範圍第 25 項所述的方法，其中該控制字包括在一控制塊中。
27. 如申請專利範圍第 25 項所述的方法，其中該控制字是從該共用記憶體中擷取的。
28. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為在執行一位元操作的同時，在該第一緩衝器和該第二緩衝器之間移動資料。
29. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為使用經由一翻譯 ROM 產生的一位址從該第一緩衝器和該第二緩衝器其中之一擷取資料，並將所擷取的資料放置到另一個緩衝器。
30. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為從該第一緩衝器和該第二緩衝器其中之一擷取資料，並使用經由一翻譯唯讀記憶體（ROM）產生的一位址將所擷取的資料放置到另一個緩衝器。
31. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為將資料從該第一緩衝器和該第二緩衝器其中之一移向該 CRC 產生器。
32. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為使用經由一翻譯唯讀記憶體（ROM）產生的一位址將資料從該第一緩衝器和該第二緩衝器其中之一移向該 CRC 產生器。
33. 如申請專利範圍第 19 項所述的方法，其中該硬體加速

器被配置為通過該卷積編碼器從該第一緩衝器和該第二緩衝器其中之一移動資料。

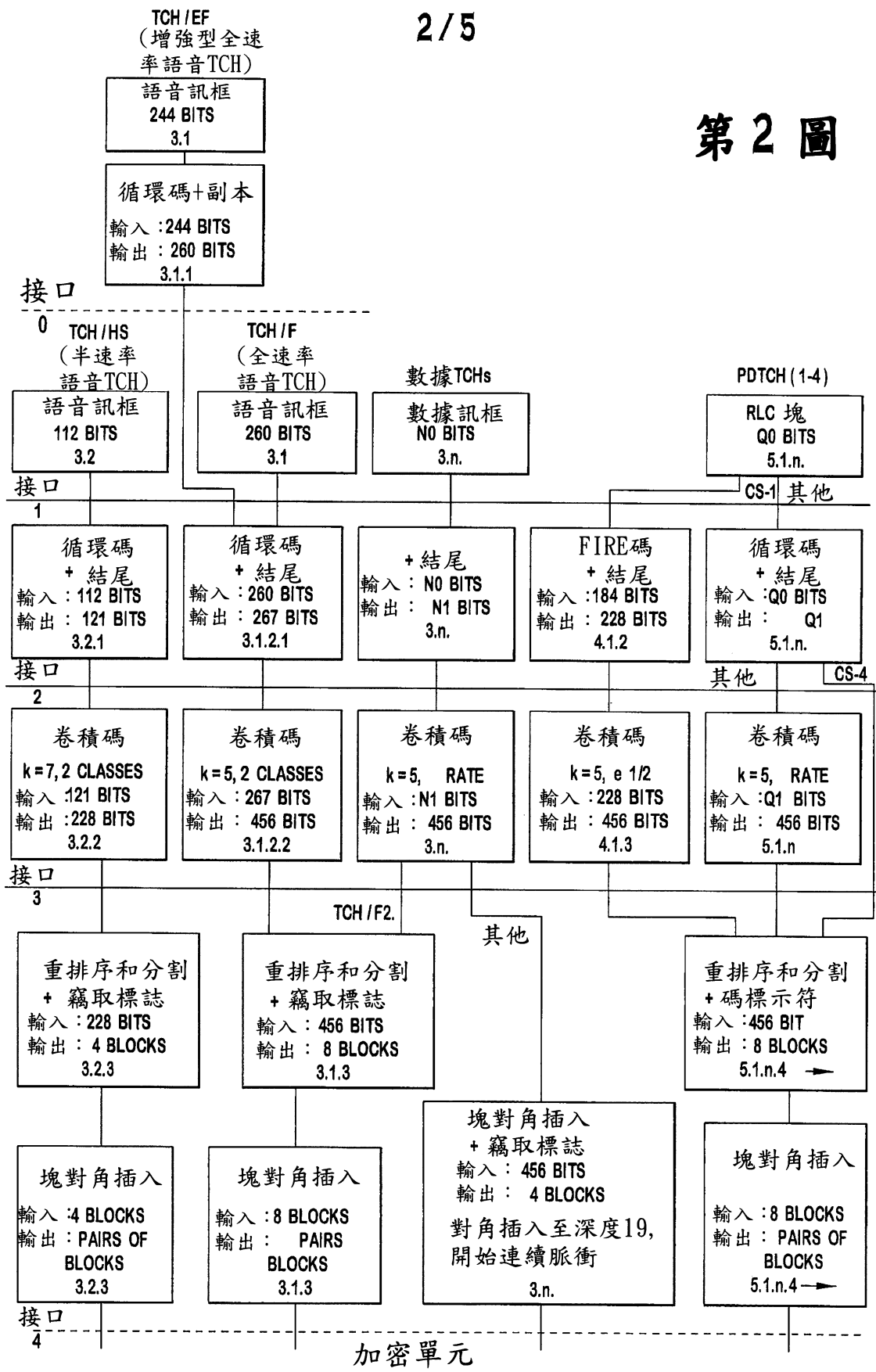
34. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為將資料從該 CRC 產生器移向該第一緩衝器和該第二緩衝器其中之一。
35. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為將資料從該第一緩衝器和該第二緩衝器其中之一移向該共用記憶體。
36. 如申請專利範圍第 19 項所述的方法，其中該硬體加速器被配置為將資料從該共用記憶體移向該第一緩衝器和該第二緩衝器其中之一。

十一、圖式：

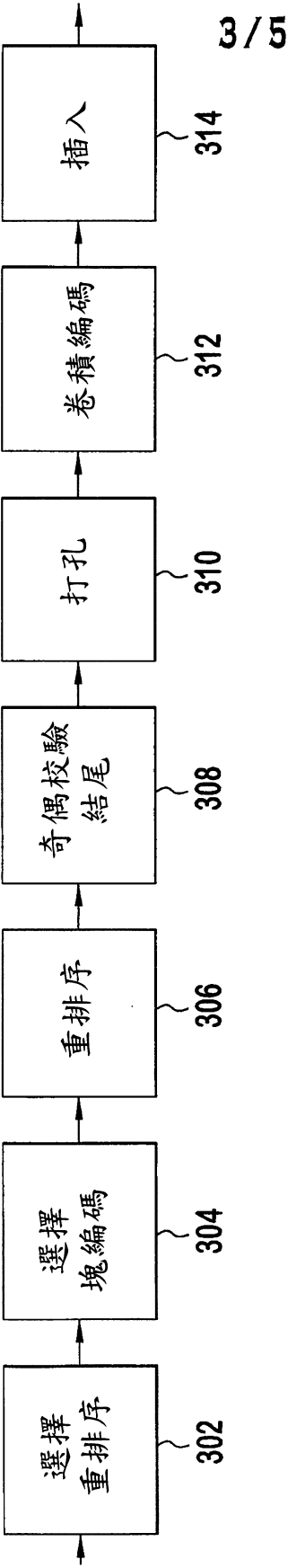


第 1 圖

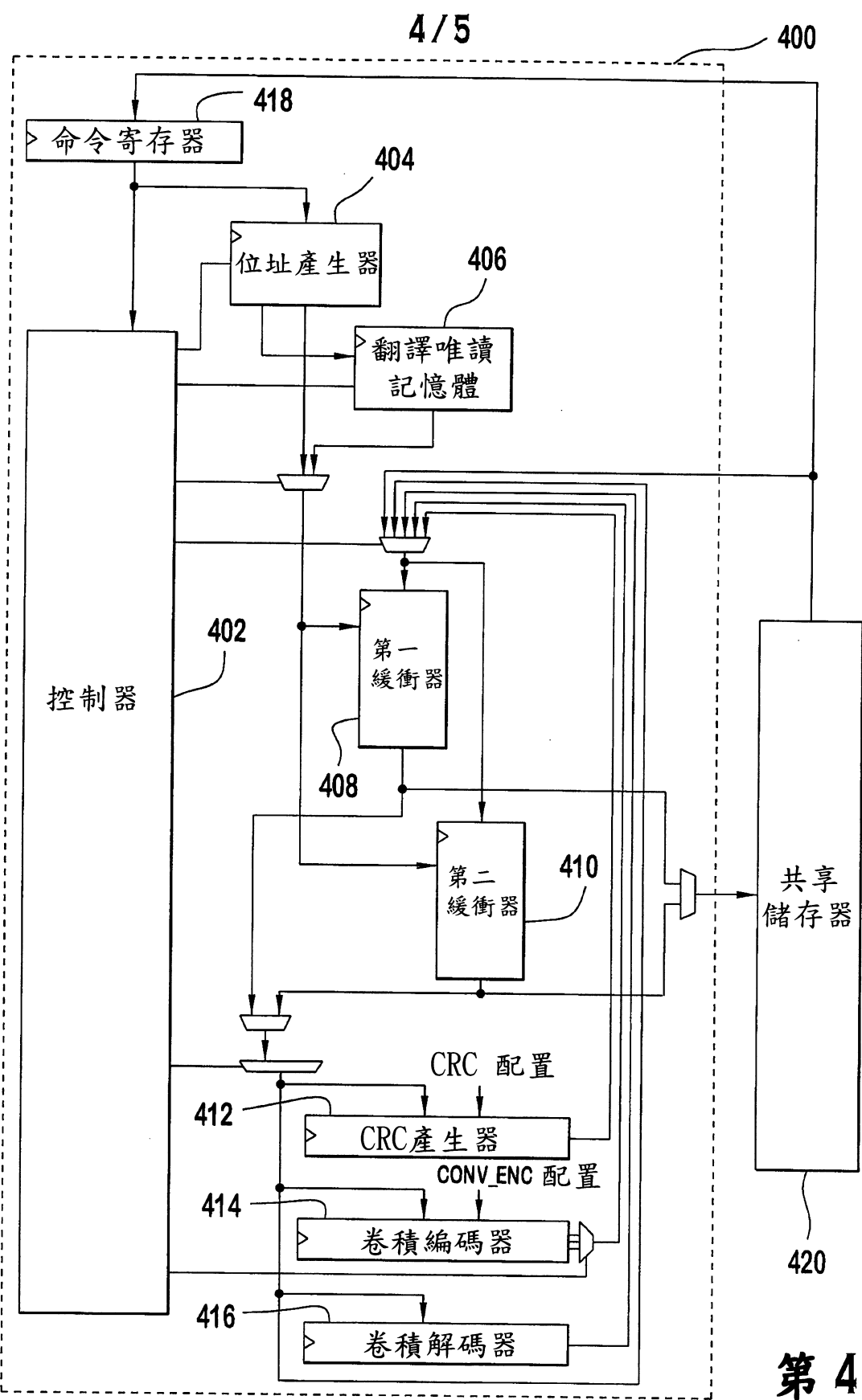
第 2 圖



300

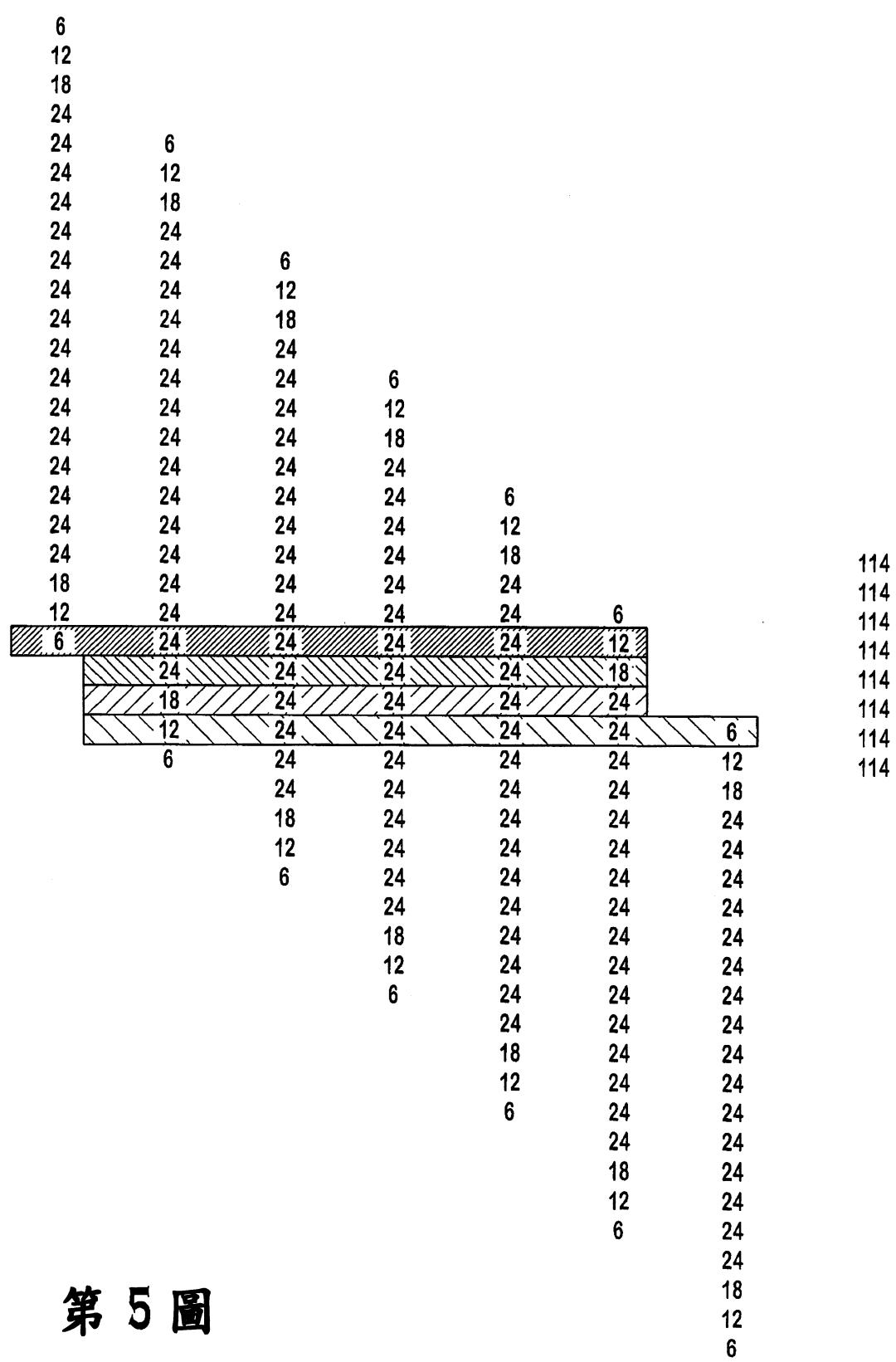


第 3 圖



第 4 圖

5/5



七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

400	硬體加速器
420	SMA
SMA	共用記憶體體系
CRC	迴圈冗餘校驗

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：