



(12)发明专利

(10)授权公告号 CN 104282283 B

(45)授权公告日 2016.09.28

(21)申请号 201410561541.1

G11C 19/28(2006.01)

(22)申请日 2014.10.21

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 104282283 A

CN 102682699 A, 2012.09.19,
CN 102760409 A, 2012.10.31,
CN 101598859 A, 2009.12.09,
CN 103413531 A, 2013.11.27,
CN 102012591 A, 2011.04.13,
US 2014/0119492 A1, 2014.05.01,

(43)申请公布日 2015.01.14

(73)专利权人 重庆京东方光电科技有限公司
地址 400714 重庆市北碚区水土高新技术
产业园云汉大道5号附12号
专利权人 京东方科技集团股份有限公司

审查员 卫研研

(72)发明人 汪锐 尚飞 李少茹 王武

(74)专利代理机构 北京天昊联合知识产权代理
有限公司 11112
代理人 柴亮 张天舒

(51)Int. Cl.

G09G 3/36(2006.01)

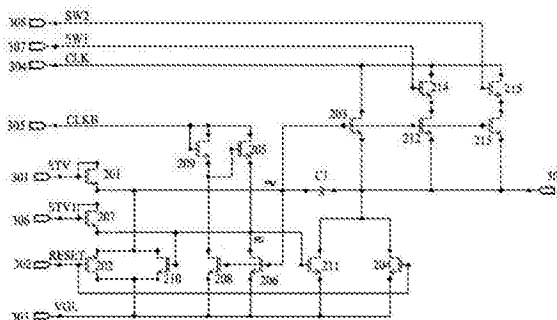
权利要求书1页 说明书6页 附图2页

(54)发明名称

一种移位寄存器单元、栅极驱动电路及显示
装置

(57)摘要

本发明涉及一种移位寄存器单元、栅极驱动
电路及显示装置,所述移位寄存器单元包括上拉
模块、输出模块和下拉模块,所述上拉模块用于
导通输出模块,所述输出模块用于在导通时将第
一时钟信号作为栅极驱动信号输出,所述下拉模
块用于关闭所述上拉模块和/或输出模块,所述
输出模块包括多个输出线路,每个输出线路上设
有一个驱动晶体管,所述驱动晶体管的栅极与所
述上拉模块连接,第一极用于输入第一时钟信
号,第二极用于输出栅极驱动信号;至少一个输
出线路上设有开关器件,用于使所述输出线路导
通或关闭。上述移位寄存器单元可以避免栅极驱
动信号的驱动能力不足或驱动能力较大,以及由
此而因此的显示装置显示异常的问题。



1. 一种移位寄存器单元,包括上拉模块、输出模块和下拉模块,所述上拉模块用于导通输出模块,所述输出模块用于在导通时将第一时钟信号作为栅极驱动信号输出,所述下拉模块用于关闭所述上拉模块和/或输出模块,其特征在于,所述输出模块包括多个输出线路,每个输出线路上设有一个驱动晶体管,所述驱动晶体管的栅极与所述上拉模块连接,第一极用于输入第一时钟信号,第二极用于输出栅极驱动信号;

至少一个输出线路上设有开关器件,用于使所述输出线路导通或关闭;所述开关器件为开关晶体管;所述开关晶体管的栅极与开关信号端连接,第一极和第二极用于将第一时钟信号引入到开关晶体管所在输出线路上驱动晶体管的第一极,或者用于将开关晶体管所在输出线路上驱动晶体管的第二极输出的栅极驱动信号输出;或者,所述开关晶体管的栅极与开关信号端连接,第一极与所述上拉模块连接,第二极与开关晶体管所在输出线路上驱动晶体管的栅极连接。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出模块中的输出线路中有一个为基本输出线路,除所述基本输出线路外的其他输出线路上均设有所述开关器件。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出模块中,所有输出线路上均设有开关器件。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,每个具有开关晶体管的输出线路上设有第二电容,所述第二电容的一端与开关信号端连接,另一端与所述输出线路上驱动晶体管的栅极连接。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出线路的数量为2~10个。

6. 一种栅极驱动电路,包括多级移位寄存器单元,其特征在于,所述移位寄存器单元采用权利要求1~5任意一项所述的移位寄存器单元。

7. 一种显示装置,包括阵列基板及栅极驱动电路,所述阵列基板上制备有多个薄膜晶体管,所述栅极驱动电路用于驱动所述多个薄膜晶体管开启或关闭,其特征在于,所述栅极驱动电路采用权利要求6所述的栅极驱动电路。

一种移位寄存器单元、栅极驱动电路及显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,具体地,涉及一种移位寄存器单元、包括上述移位寄存器单元的栅极驱动电路以及包括上述栅极驱动电路的显示装置。

背景技术

[0002] 随着薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display)向高集成度、低成本方向发展,出现了阵列基板行驱动(Gate-driver on Array,简称GOA)技术,即在阵列基板上制备栅极驱动电路,以在材料成本和制作工艺上降低产品的成本。

[0003] 栅极驱动电路包括多级移位寄存器单元,每级移位寄存器单元用于向阵列基板上的一行栅极线输出栅极驱动信号。图1为现有的栅极驱动电路的移位寄存器单元的示意图;图2为通入图1所示移位寄存器单元中的各信号的时序图。如图1和图2所示,栅极驱动电路制备在阵列基板上,其每级移位寄存器单元1包括上拉模块、输出模块和下拉模块,上拉模块用于通过上拉节点PU控制输出模块导通,输出模块用于在导通时将第一时钟信号CLK作为栅极驱动信号输出,下拉模块用于通过下拉节点PD控制上拉模块和/或输出模块关闭。其中,上拉模块包括第一晶体管201、第二晶体管202、第七晶体管207和第一电容C1,输出模块包括第三晶体管203、第四晶体管204和信号输出端OUTPUT,下拉模块包括第九晶体管209、第五晶体管205、第八晶体管208、第六晶体管206、第十晶体管210和第十一晶体管211。上述第一晶体管201~第十一晶体管211以及第一电容C1的连接关系如图1所示。在上述移位寄存器单元中,除通入CLK信号作为栅极驱动信号输出外,还通入CLKB信号作为第二时钟信号,通入STV信号作为起始信号,通入STV1信号作为校正信号,通入 RESET信号作为复位信号,通入VGL信号作为低电压信号。

[0004] 在上述移位寄存器单元中,各晶体管(主要是第三晶体管)的有源层的尺寸大小是影响TFT LCD显示效果的关键因素;若第三晶体管中有源层的尺寸过小,可能会使得移位寄存器单元的驱动能力不足,特别是在低温情况下,载流子迁移率降低,更容易导致移位寄存器单元的驱动能力不足,进而导致TFT LCD显示异常;而在第三晶体管中有源层的尺寸过大的情况下,当CLK为高电平时,会与上拉节点PU耦合,拉高上拉节点PU的电压,导致移位寄存器单元向外输出多重信号(Multi output),从而导致TFT LCD显示异常。

发明内容

[0005] 本发明旨在至少解决现有技术中存在的技术问题之一,提出了一种移位寄存器单元、栅极驱动电路及显示装置,所述移位寄存器单元可以调节其向外输出的栅极驱动信号的驱动能力,从而可以避免移位寄存器单元出现驱动能力不足或者驱动能力较大,以及由此而引起的显示装置显示异常的问题。

[0006] 为实现本发明的目的而提供一种移位寄存器单元,包括上拉模块、输出模块和下拉模块,所述上拉模块用于导通输出模块,所述输出模块用于在导通时将第一时钟信号作为栅极驱动信号输出,所述下拉模块用于关闭所述上拉模块和/或输出模块,所述输出模块

包括多个输出线路,每个输出线路上设有一个驱动晶体管,所述驱动晶体管的栅极与所述上拉模块连接,第一极用于输入第一时钟信号,第二极用于输出栅极驱动信号;至少一个输出线路上设有开关器件,用于使所述输出线路导通或关闭;所述开关器件为开关晶体管;所述开关晶体管的栅极与开关信号端连接,第一极和第二极用于将第一时钟信号引入到开关晶体管所在输出线路上驱动晶体管的第一极,或者用于将开关晶体管所在输出线路上驱动晶体管的第二极输出的栅极驱动信号输出;或者,所述开关晶体管的栅极与开关信号端连接,第一极与所述上拉模块连接,第二极与开关晶体管所在输出线路上驱动晶体管的栅极连接。

[0007] 其中,所述输出模块中,仅一个输出线路上不设有开关器件。

[0008] 其中,所述输出模块中,所有输出线路上均设有开关器件。

[0009] 其中,每个具有开关晶体管的输出线路上设有第二电容,所述第二电容的一端与开关信号端连接,另一端与所述输出线路上驱动晶体管的栅极连接。

[0010] 其中,所述输出线路的数量为2~10个。

[0011] 作为另一个技术方案,本发明还提供一种栅极驱动电路,包括多级移位寄存器单元,所述移位寄存器单元采用本发明提供的上述移位寄存器单元。

[0012] 作为另一个技术方案,本发明还提供一种显示装置,包括阵列基板及栅极驱动电路,所述阵列基板上制备有多个薄膜晶体管,所述栅极驱动电路用于驱动所述多个薄膜晶体管开启或关闭,所述栅极驱动电路采用本发明提供的上述栅极驱动电路。

[0013] 本发明具有以下有益效果:

[0014] 本发明提供的移位寄存器单元,可以通过开关器件控制相应的输出线路导通或关闭,调节输出模块输出的电压值,即栅极驱动信号的驱动能力,从而避免出现栅极驱动信号的驱动能力不足,以及由此而引起的显示装置显示异常的问题,还可以避免栅极驱动信号的驱动能力较大,以及由此而导致的输出模块输出多重信号,显示装置显示异常的问题。

[0015] 本发明提供的栅极驱动电路,其采用本发明提供的上述移位寄存器单元,可以避免出现栅极驱动信号的驱动能力不足,以及由此而引起的显示装置显示异常的问题,还可以避免栅极驱动信号的驱动能力较大,以及由此而导致的输出模块输出多重信号,显示装置显示异常的问题。

[0016] 本发明提供的显示装置,采用本发明提供的上述栅极驱动电路,可以避免由于栅极驱动信号的驱动能力不足或驱动能力较大引起的显示装置显示异常的问题。

附图说明

[0017] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0018] 图1为为现有的栅极驱动电路的移位寄存器单元的示意图;

[0019] 图2为通入图1所示移位寄存器中的各信号的时序图;

[0020] 图3为本发明提供的移位寄存器单元的第一种实施方式的示意图;

[0021] 图4为输入到图3所示移位寄存器中的各信号的时序图;

[0022] 图5为本发明提供的移位寄存器单元的第二种实施方式的示意图。

[0023] 其中,附图标记:

[0024] 201:第一晶体管;202:第二晶体管;203:第三晶体管;204:第四晶体管;205:第五晶体管;206:第六晶体管;207:第七晶体管;208:第八晶体管;209:第九晶体管;210:第十晶体管;211:第十一晶体管;212:第十二晶体管;213:第十三晶体管;214:第十四晶体管;215:第十五晶体管;300:信号输出端;301:起始信号端;302:复位信号端;303:低电压端;304:第一时钟信号端;305:第二时钟信号端;306:校正信号端;307:第一开关信号端;308:第二开关信号端;C1:第一电容;C2:第二电容。

具体实施方式

[0025] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0026] 图3为本发明提供的移位寄存器单元的第一种实施方式的示意图;图4为输入到图3所示移位寄存器中的各信号的时序图。如图3和图4所示,在本实施方式中,移位寄存器单元包括上拉模块、输出模块和下拉模块,所述上拉模块用于导通输出模块,所述输出模块用于在导通时将第一时钟信号CLK作为栅极驱动信号输出,所述下拉模块用于关闭所述上拉模块和/或输出模块。

[0027] 在本实施方式中,输出模块包括多个输出线路,每个输出线路上设有一个驱动晶体管,所述驱动晶体管的栅极与所述上拉模块连接,第一极用于输入第一时钟信号CLK,第二极用于输出栅极驱动信号;并且,至少一个输出线路上设有开关器件,用于使所述输出线路导通或关闭。所谓“第一极”为驱动晶体管的源极,“第二极”为驱动晶体管的漏极,或者,“第一极”为驱动晶体管的漏极,“第二极”为驱动晶体管的源极。

[0028] 由于输出模块包括多个输出线路,且至少一个输出线路上设有开关器件,因此,在本实施方式中,可以通过开关器件控制相应的输出线路导通,增加输出模块所输出的栅极驱动信号的驱动能力,从而避免栅极驱动信号的驱动能力不足,以及由此而引起的显示装置显示异常的问题;以及,可以通过开关器件控制相应的输出线路关闭,降低输出模块所输出的栅极驱动信号的驱动能力,从而避免出现输出模块输出多重信号,以及由此而引起的显示装置显示异常的问题。

[0029] 具体地,输出模块中,仅一个输出线路上不设有开关器件,这样以该输出线路中的驱动晶体管的驱动能力为输出模块的基本驱动能力(也就是输出模块的最低驱动能力),在该基本驱动能力的基础上,通过控制其他输出线路的通断,调节输出模块的整体驱动能力;或者,输出模块中,输出线路上均设有开关器件,这样输出模块的最低驱动能力为0,在此情况下,输出模块的驱动能力的调节范围最大。

[0030] 在本实施方式中,优选地,开关器件为开关晶体管;所述开关晶体管的栅极与所述开关控制信号端连接,第一极和第二极用于将第一时钟信号CLK引入到开关晶体管所在输出线路上驱动晶体管的第一极,或者用于将开关晶体管所在输出线路上驱动晶体的第二极输出的栅极驱动信号输出。

[0031] 下面以输出模块中输出线路的数量为3个为例,结合图3和图4说明移位寄存器单元的具体电路结构。

[0032] 如图3所示,上拉模块包括第一晶体管201、第二晶体管202、第七晶体管207和第一电容C1;输出模块包括第三晶体管203、第四晶体管204、第十二晶体管212、第十三晶体管

213、第十四晶体管214、第十五晶体管215和信号输出端300,其中,第十四晶体管214和第十五晶体管215作为开关器件;下拉模块包括第九晶体管209、第五晶体管205、第八晶体管208、第六晶体管206、第十晶体管210和第十一晶体管211。

[0033] 具体地,第一晶体管201的栅极、第一极与起始信号端301连接,起始信号端301用于输入起始信号STV,第一晶体管201的第二极与第一电容C1的一端连接;第一电容C1的另一端与信号输出端300连接;第一晶体管201的第二极与第一电容C1的连接点为上拉节点PU,所述上拉节点PU作为上拉模块控制输出模块的控制端。第二晶体管202的栅极与复位信号端302连接,复位信号端302用于输入复位信号RESET;第二晶体管202的第一极与低电压端303连接,低电压端303用于输入低电压信号VGL;第二晶体管202的第二极与上拉节点PU连接。第三晶体管203的栅极与上拉节点PU连接,第一极与第一时钟信号端304连接,第一时钟信号端304用于输入第一时钟信号CLK;第三晶体管203的第二极与信号输出端300连接。第四晶体管204的栅极与复位信号端302连接,第一极与低电压端303连接,第二极与信号输出端300连接。第五晶体管205的栅极与第八晶体管208的第二极、第九晶体管209的第二极连接,第一极与第二时钟信号端305连接,第二时钟信号端305用于输入第二时钟信号线CLKB;第五晶体管205的第二极与第六晶体管206的第二极连接,且二者的连接点为下拉节点PD,所述下拉节点PD作为下拉模块控制上拉模块和/或输出模块导通或关闭的控制端。第六晶体管206的栅极连接上拉节点PU,第一极连接低电压端303,第二极连接下拉节点PD。第七晶体管207的栅极、第一极连接校正信号端306,校正信号端306用于输入校正信号STV1;第七晶体管207的第二极与下拉节点PD连接。第八晶体管208的栅极连接上拉节点PU,第一极连接低电压端303,第二极连接第五晶体管205的栅极。第九晶体管209的栅极、第一极连接第二时钟信号端305,第二极连接第五晶体管205的栅极。第十晶体管210的栅极连接下拉节点PD,第一极连接低电压端303,第二极连接上拉节点PU。第十一晶体管211的栅极连接下拉节点PD,第一极连接低电压端303,第二极连接信号输出端300。第十二晶体管212的栅极连接上拉节点PU,第一极连接第十四晶体管214的第二极,第二极连接信号输出端300。第十三晶体管213的栅极连接上拉节点PU,第一极连接第十五晶体管215的第二极,第二极连接信号输出端300。第十四晶体管214的栅极连接第一开关信号端307,第一开关信号端307用于输入第一开关信号SW1;第十四晶体管214的第一极连接第一时钟信号端304,第二极连接第十二晶体管212的第一极。第十五晶体管215的栅极连接第二开关信号端308,第二开关信号端308用于输入第二开关信号SW2;第十五晶体管215的第一极连接第一时钟信号端304,第二极连接第十三晶体管213的第一极。

[0034] 就本实施例而言,分别通过第一开关信号SW1、第二开关信号SW2,控制第十四晶体管214、第十五晶体管215的通断,进而控制第十二晶体管212、第十三晶体管213所在输出线路的导通或关闭;在信号输出端300输出的电压的驱动能力不足时,依次控制第十二晶体管212、第十三晶体管213所在输出线路导通,逐步增大自信号输出端300输出的电压,直至栅极驱动信号的驱动能力满足驱动像素单元开闭的需要。

[0035] 在本实施例中,当由第三晶体管203输往信号输出端300的电压具有足够的驱动能力,能够满足驱动薄膜晶体管开闭的需要时(例如,在室温或高温的某些情况下),控制第十二晶体管212、第十三晶体管213所在输出线路关闭,这样可以避免因第三晶体管203、第十二晶体管212和第十三晶体管213之间耦合而导致的过大的噪声。

[0036] 在图3所示实施例中,输出模块包括3个输出线路,但本发明提供的移位寄存器单元的第一种实施方式并不限于此,所述输出线路的数量可以是至少两个,优选地,输出线路的数量为2~10个。

[0037] 还需要说明的是,图3所示实施例的电路结构仅是本发明第一种实施方式的一种可选的电路结构,除图3所示实施例外,本发明第一种实施方式还可以采用其他的电路结构。

[0038] 根据上述,在移位寄存器单元的第一种实施方式中,通过开关器件控制相应的输出线路导通或关闭,调节输出模块输出的电压值,即栅极驱动信号的驱动能力,从而避免出现栅极驱动信号的驱动能力不足,以及由此而引起的显示装置显示异常的问题,还可以避免栅极驱动信号的驱动能力较大,以及由此而导致的输出模块输出多重信号,显示装置显示异常的问题。

[0039] 请参看图5,图5为本发明提供的移位寄存器单元的第二种实施方式的示意图。在本实施方式中,移位寄存器单元同样包括上拉模块、输出模块和下拉模块,由于在上述第一种实施方式中已有了详细描述,本实施方式与上述第一种实施方式的相同之处不在赘述。

[0040] 下面仅就本实施方式与上述第一种实施方式的不同之处进行详细描述。在本实施方式中,输出模块的每个输出线路上设置有第二电容C2,该第二电容C2的一端与所述输出线路上的驱动晶体管的栅极连接,另一端与开关控制信号端连接;这样可以在输出模块输出栅极驱动信号,且栅极驱动信号为高电平时,避免栅极驱动信号耦合打开本应处于关闭状态的输出管路上的驱动晶体管,以及由此而导致的丧失调节栅极驱动信号的驱动能力的问题。

[0041] 下面以输出模块中输出线路的数量为3个为例,结合图5说明移位寄存器单元的具体电路结构。图5所示移位寄存器单元中,各信号的时序与图4所示相同。

[0042] 在本实施例中,上拉模块、下拉模块的结构(包括各部件以及部件之间的连接关系)与图3所示实施例的结构相同,输出模块的结构与图3所示实施例的结构不同。具体地,在本实施例中,输出模块包括第十二晶体管212、第十三晶体管213、第十四晶体管214、第十五晶体管215以及两个第二电容C2;其中,第十四晶体管214作为开关器件,其栅极与第一开关信号端307连接,第一极与上拉节点PU连接,第二极与第十二晶体管212的栅极连接;第十二晶体管212的第一极与第一时钟信号端304连接,第二极与信号输出端300连接;第十五晶体管215作为开关器件,其栅极与第二开关信号端308连接,第一极与上拉节点PU连接,第二极与第十三晶体管213的栅极连接;第十三晶体管213的第一极与第一时钟信号端304连接,第二极与信号输出端300连接;两个第二电容C2的一端分别与第十二晶体管212、第十三晶体管213的栅极连接,其二者的另一端可以分别连接第一开关信号端307、第二开关信号端308,或者其二者的另一端同时连接第一开关信号端307或第二开关信号端308。

[0043] 综上所述,本发明提供的移位寄存器单元可以通过开关器件控制相应的输出线路导通或关闭,调节输出模块输出的电压值,即栅极驱动信号的驱动能力,从而避免出现栅极驱动信号的驱动能力不足,以及由此而引起的显示装置显示异常的问题,还可以避免栅极驱动信号的驱动能力较大,以及由此而导致的输出模块输出多重信号,显示装置显示异常的问题。

[0044] 作为另一个技术方案,本发明还提供一种栅极驱动电路,包括多级移位寄存器单

元,所述移位寄存器单元采用本发明提供的上述移位寄存器单元。

[0045] 本发明提供的栅极驱动电路,其采用本发明提供的上述移位寄存器单元,可以避免出现栅极驱动信号的驱动能力不足,以及由此而引起的显示装置显示异常的问题,还可以避免栅极驱动信号的驱动能力较大,以及由此而导致的输出模块输出多重信号,显示装置显示异常的问题。

[0046] 作为另一个技术方案,本发明还提供一种显示装置,包括阵列基板及栅极驱动电路,所述阵列基板上制备有多个薄膜晶体管,所述栅极驱动电路用于驱动所述多个薄膜晶体管开启或关闭,所述栅极驱动电路采用本发明提供的上述栅极驱动电路。

[0047] 本发明提供的显示装置,采用本发明提供的上述栅极驱动电路,可以避免由于栅极驱动信号的驱动能力不足或驱动能力较大引起的显示装置显示异常的问题。

[0048] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

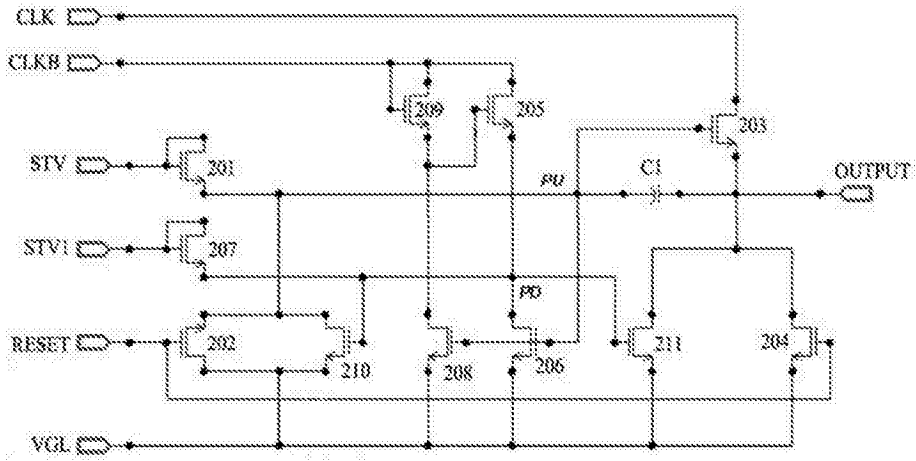


图1

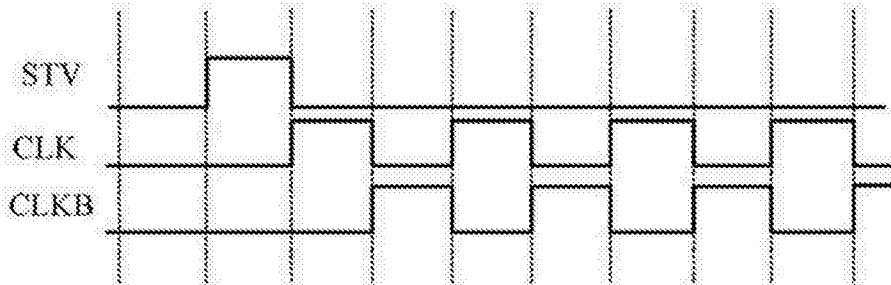


图2

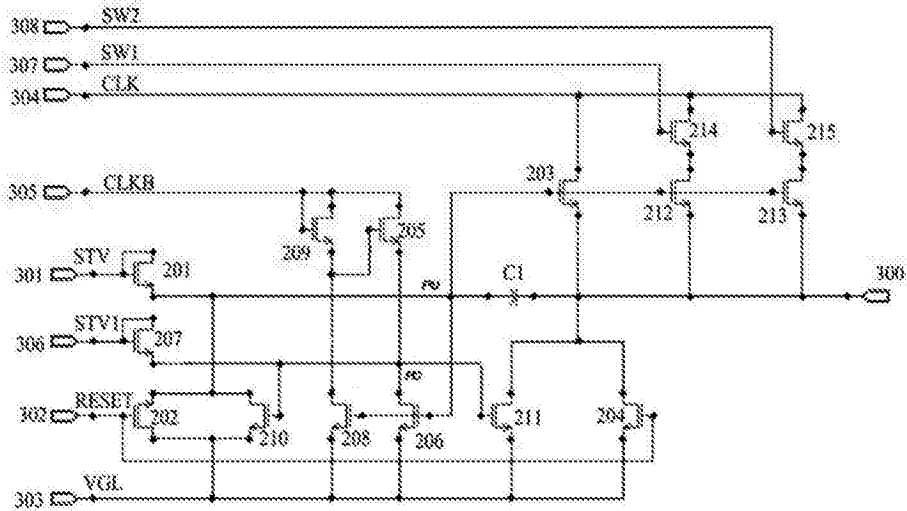


图3

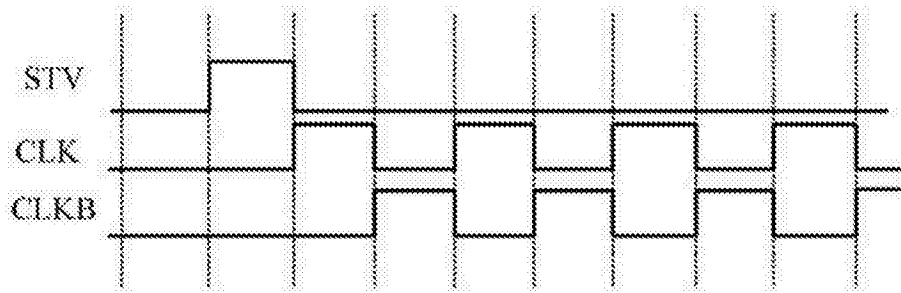


图4

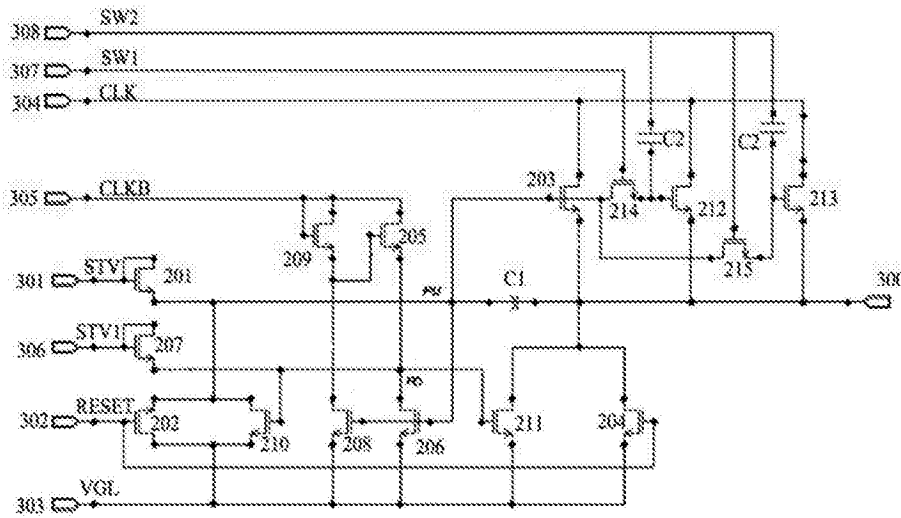


图5