(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G11C 11/406

(11) 공개번호 특1996-0038983
(43) 공개일자 1996년11월21일

(21) 출원번호 특1996-0012831
(22) 출원일자 1996년04월25일

(30) 우선권주장 95-125892 1995년04월26일 일본(JP)
96-094797 1996년03월25일 일본(JP)

(71) 출원인 가부시끼가이샤 히다찌세이사꾸쇼 가나이 쯔또무
일본국 도꾜도 지요다구 간다 스루가다이 4-6히다찌초엘에스아이엔지니어링 가부시끼가이샤 스즈끼 진이찌로
일본국 도꾜도 고다이라시 죠스이혼쵸 5-20-1

(72) 발명자 무라나까 마사야
일본국 도꾜도 아끼시마시 다나까쵸 1-9-32-107
미야따께 신이찌
일본국 도꾜도 하무라시 오자꾸다이 2-16-24-301
스즈끼 유끼히데
일본국 도꾜도 아끼시마시 미호리쵸 5-5-7
겐미자끼 가네히데
일본국 도꾜도 고다이라시 오가와마찌 1-445-1-1-1302
모리노 마꼬또
일본국 도꾜도 아끼시마시 다나까쵸 1-9-32-205
기따메 데쯔야
일본국 도꾜도 고다이라시 메구리따쵸 188-1

(74) 대리인 백남기

심사청구 : 없음

(54) 반도체기억장치와 메모리시스템

요약

반도체기억장치와 메모리시스템에 관한 것으로, 간단한 구성에 의해 고신뢰성의 데이타유지기능을 갖도록 한 반도체기억장치, 메모리시스템 및 데이타유지모드에서의 대폭적인 저소비전력화를 실현하기 위해, 특정의 라이트동작모드의 지정에 의해 다른 메모리어레이의 2개의 다이나믹형메모리셀을 동시선택하고 라이트신호의 논리1을 캐패시터에 전하가 있는 상태에 대응시키고 라이트신호의 논리0을 캐패시터에 전하가 없는 상태에 대응시키는 데이타변환을 실행해서 동일한 라이트신호를 라이트하고, 특정의 리드동작모드의 지정에 의해 다른 메모리어레이의 2개의 다이나믹형메모리셀을 동시선택하고 라이트동작일 때에 대응해서 다이나믹형메로리셀의 캐패시터에 전하가 있는 상태를 리드신호의 논리1에 대응시키고 캐패시터에 전하가 없는 상태를 리드신호의 논리0에 대응시키는 데이타변환을 실행하고, 2개의 리드신호의 논리1을 우선시켜 출력시키는 구성으로 하였다.

이러한 구성으로 하는 것에 의해, 데이타유지상태등에 있어서 2개의 메모리셀에 동일한 데이타를 기억시키는 것이므로, 고신뢰성에서의 데이타유지가 가능하게 되고 리프레시주기를 평균적인 메모리셀에 맞춰서 길게 할 수 있으므로 대폭적인 저소비전력화가 가능하게 된다는 효과가 얻어진다.

대표도

도4

명세서

[발명의 명칭]

반도체기억장치와 메모리시스템

[도면의 간단한 설명]

제1도는 본 발명이 적용된 다이나믹형RAM에 있어서의 메모리어레이와 그 주변선택회로의 1실시예를 도시한 블럭도, 제2도는 본 발명이 적용된 다이나믹형RAM에 있어서의 입출력인터페이스부와 타이밍제어회로의 1실시예를 도시한 블럭도, 제3도는 본 발명에 관한 다이나믹형RAM의 메모리어레이부의 1실시예를 도시한 주요부회로도, 제4도는 본 발명에 관한 다이나믹형RAM의 1실시예를 도시한 개략적인 회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

어드레스선택용 MOSFET와 정보기억용캐패시터로 이루어지는 다이나믹형메모리셀이 귀환비트선방식의 상보비트선쌍과 워드선과의 교점에 매트릭스배치되어 이루어지는 여러개의 메모리어레이, 특정의 라이트동작모드의 지정에 의해 다른 메모리어레이의 2개의 상기 다이나믹형메모리셀을 동시선택하고, 라이트신호의 논리1을 상기 캐패시터에 전하가 있는 상태에 대응시키고 라이트신호의 논리0을 상기 캐패시터에 전하가 없는 상태에 대응시키는 데이타변환을 실행해서 동일한 라이트신호를 라이트하는 회로, 특정의 리드동작모드의 지정에 의해 상기 다른 메모리어레이의 2개의 다이나믹형메모리셀을 동시선택하고 상기 라이트동작일 때에 대응해서 상기 다이나믹형메모리셀의 캐패시터에 전하가 있는 상태를 리드신호의 논리1에 대응시키고 상기 캐패시터에 전하가 없는 상태를 리드신호의 논리0에 대응시키는 데이타변환을 실행하는 회로 및 상기 2개의 리드신호의 논리1을 우선시켜 출력시키는 회로를 포함하는 반도체기억장치.

청구항 2

제1항에 있어서, 상기 특정의 라이트동작모드는 상기 다이나믹형메모리셀에 대한 셀프리프레시모드 직전에 실행되고, 상기 특정의 리드동작모드는 상기 셀프리프레시모드가 종료한 직후에 실행되는 것이고, 상기 셀프리프레시모드에 있어서의 리프레시주기는 평균적인 정보유지시간을 갖는 메모리셀에 맞추어 설정되는 반도체기억장치.

청구항 3

제2항에 있어서, 상기 셀프리프레시주기는 다이나믹형메모리셀을 모의해서 이루어지는 축적용량, 이러한 축적용량에 대한 프리차지회로 및 상기 축적용량의 전위를 검출하는 전압검출회로를 구비한 타이머회로에 의해 설정되는 반도체기억장치.

청구항 4

제2항에 있어서, 상기 번도체기억장치는 상기와 같은 평균적인 정보유지시간을 갖는 메모리셀에 맞추어 설정되는 제1셀프리프레시동작과 메모리셀중에서 가장 정보유지시간이 짧은 메모리셀에 맞추어 설정되는 제2셀프리프레시 동작중의 어느 하나를 전환가능하게 되는 반도체기억장치.

청구항 5

제2항에 있어서, 전원차단전에 상기 메모리셀의 기억정보를 리드하고 그 데이타를 1/2 이하의 비트수로 압축해서 상기 특정의 동작모드의 설정에 의해 압축된 데이타의 라이트동작을 실행하고, 전원차단시의 배터리백업시의 데이타유지동작일 때는 상기 평균적인 정보유지시간을 갖는 메모리셀에 맞추어 설정된 샐프리프레시모드를 실행하고, 전원재투입시에 상기 특정의 리드모드에 의해 리드동작이 실행되고 이러한 리드동작에 의해 리드된 압축데이타를 신장해서 원래의 비트수의 데이타로 변환하고, 이러한 변환된 데이타가 통상의 라이트동작에 의해 라이트되는 반도체기억장치.

청구항 6

제5항에 있어서, 상기 데이타압축동작은 내장된 데이타압축회로에 의해 실행되고 상기 데이타신장동작은 내장된 테이터신장회로에 의해 실행되는 반도체기억장치.

청구항 7

어드레스선택용 MOSFET와 정보기억용캐패시터로 이루어지는 다이나믹형메모리셀이 귀환비트선방식의 상보비트선쌍과 워드선과의 교점에 매트릭스배치되어 이루어지는 메모리어레이를 구배해서 여러개의 다이나믹형RAM, 상기 2개의 다이나믹형RAM의 메모리셀를 동시선택하는 특징의 라이트동작일 때 유효로 되고, 라이트신호의 논리1을 상기 캐패시터에 전하가 있는 상태에 대응시키고 라이트신호의 논리0을 상기 캐패시터에 전하가 없는 상태에 대응시키는 데이타변환을 실행하고, 상기 2개의 다이나믹형RAM의 메모리셀를 동시 선택하는 특정의 리드동작일 때 유호로되고, 상기 라이트동작일 때 대응해서 상기 다이나믹형메모리셀의 캐패시터에 전하가 있는 상태를 리드신호의 논리1에 대응시키고 상기 캐패시터에 전하가 없는 상태를 리드신호의 논리0에 대응시키는 데이타변환을 실행하는 데이타변환회로 및 상기 다른 2개의 다이나믹형RAM으로 부터의 각각 데이타변환된 2개의 리드신호의 논리합신호를 리드신호로서 출력시키는 논리합회로를 갖는 콘트롤칩을 1개의 실장기판상에 구비해서 이루어지는 것을 특징으로 하는 메모리시스템.

청구항 8

제7항에 있어서, 상기 특정의 라이트동작모드는 상기 다이나믹형RAM에 대한 셀프리프레시모드 직전에 실행되고, 상기 특정의 리드동작모드는 상기 셀프리프레시모드가 종료한 직후에 실행되는 것이고, 상기 셀프리프레시모드에 있어서의 리프레시주기는 다이나믹형RAM의 평균적인 정보유지시간을 갖는 메모리셀에 맞추어 설정되는 메모리시스템.

청구항 9

어드레스선택용 MOSFET와 정보기억용캐패시터로 이루어지는 다이나믹형메모리셀이 1쌍의 상보비트선쌍의 워드선과 교점에 매트릭스 배치되어 이루어지는 메모리어레이와 라이트동작모드에서는 한쪽의 레벨의 라이트신호가 상기 메모리셀의 정보기억용캐패시터에 전하가 있는 상태로 하고 다른쪽의 레벨의 라이트신호가 상기 메모리셀의 정보기억캐패시터에 전하가 없는 상태로 하는 데이타변환을 실행하고, 리드모드에서는 상기 라이트모드에 대응한 데이타변환을 실행하는 데이타변환회로를 포함하는 반도체기억장치.

청구항 10

어드레스선택용 MOSFET와 정보기억용캐패시터로 이루어지는 다이나믹형메모리셀이 1쌍의 상보비트선쌍의 워드선과 교점에 매트릭스 배치되어 이루어지는 메모리어레이와 라이트동작모드에서는 한쪽의 레벨의 라이트신호가 상기 메모리셀의 정보기억용캐패시터에 전하가 있는 상태로 하고 다른쪽의 레벨의 라이트신호가 상기 메모리셀의 정보기억캐패시터에 전하가 없는 상태로 하는 데이타변환을 실행하고, 리드모드에서는 상기 라이트모드에 대응한 데이타변환을 실행하는 데이타변환회로를 구비해서 이루어지는 반도체기억장치를 1개의 실장기판상에 우수개 탑재해서 이루어지고, 그 중의 2개씩의 반도체기억장치에 대해서 동일한 데이타를 라이트하고, 상기 2개의 반도체기억장치쌍으로 부터의 논리합신호를 출력시키는 메모리시스템.

청구항 11

반전의 제1비트선과 비반전의 제2비트선이 실질적으로 평행하게 배치되어 이루어지는 상보비트선쌍, 상기 상보비트선쌍과 각각 직교하도록 배치된 제1 및 제2워드선, 상기 제1워드선과 제1비트선과의 교점에 마련된 제1다이나믹형메모리셀, 상기 제2비트선과 제2워드선과의 교점에 마련된 제2다이나믹형메모리셀, 컬럼스위치를 거쳐서 상기 제1비트선에 접속되는 제1입출력선 및 컬럼스위치를 거쳐서 상기 제2비트선에 접속되는 제2입출력선을 구비해서 이루어지고, 특정의 라이트모드의 지정에 의해 유효로 되는 라이트용 데이타 변환회로로서, 상기 제1워드선을 선택해서 제1메모리셀에 대해 논리1의 라이트신호에 대응한 라이트레벨를 전달할 때는 상기 제1입출력선에는 전원전압에 대응한 하이레벨을 공급하고 논리0의 라이트신호에 대응한 라이트레벨을 전달할 때는 상기 제1입출력선에는 회로의 접지전위에 대응한 로우레벨을 공급하고, 상기 제2워드선을 선택해서 제2메모리셀에 대해 논리1의 라이트신호에 대응한 라이트레벨을 전달할 때는 상기 제2입출력선에는 전원전압에 대용한 하이레벨를 공급하고 논리0의 라이트신호에 대응한 라이트레벨를 전달할 때는 상기 제2입출력선에는 회로의 접지전위에 대응한 로우레벨을 공급하고, 특정의 리드모드의 지정에 의해 유효로 되는 리드용데이타변환회로로서, 상기 제1워드선을 선택해서 제1메모리셀에서 하이레벨의 리드신호가 얻어질 때는 논리1에 대응한 리드신호로 하고 상기 제1메모리셀에서 로우레벨의 리드신호가 얻어질 때는 논리0에 대응한 리드신호로 하고, 상기 제2워드선을 선택해서 제2메모리셀에서 하이레벨의 리드신호가 얻어질 때는 논리1에 대응한 리드신호로 하고 상기 제2메모리셀에서 로우레벨의 리드신호가 얻어질 때는 논리0에 대응한 리드신호로 하는 것을 포함하는 반도체기억장치.

청구항 12

제1워드선, 제2워드선, 제1데이타선 및 제2데이타선을 포함하는 제1상보데이타선쌍, 상기 제1워드선과 상기 제1데이타선과의 교점에 대응해서 마련된 제1메모리셀, 상기 제2워드선과 상기 제2데이타선과의 교점에 대용해서 마련된 제2메모리셀, 상기 제1데이타선과 상기 제2데이타선에 결합된 제1센스앰프, 제1공통데이타선과 제2공통데이타선을 포함하는 제1공통상보데이타선쌍, 상기 제1데이타선과 상기 제1공통데이타선 사이에 결합된 제1스위치, 상기 제2데이타선과 상기 제2공통데이타선 사이에 결합된 제2스위치를 갖는 제1메모리어레이, 제3워드선, 제4워드선, 제3데이타선 및 제4데이타선을 포함하는 제2공통데이타선쌍, 상기 제3워드선과 상기 제3데이타선과의 교점에 대응해서 마련된 제3메모리셀, 상기 제4워드선과 상기 제4데이타선과의 교점에 대응해서 마련된 제4메모리셀, 상기 제3데이타선과 상기 제4데이타선에 결합된 제2센스앰프, 세3공통데이타선과 제4공통데이타선을 포함하는 제2공통데이타선쌍, 상기 제3데이타선과 제3공통데이타선 사이에 결합된 제3스위치, 상기 제4데이타선과 상기 제4공통데이타선 사이에 결합된 제4스위치를 갖는 제2메모리어레이, 상기 제1공통상보데이타선쌍과 상기 제2공통데이타선쌍에 결합되고 리드신호를 출력하는 리드회로를 포함하고, 상기 제1메모리셀, 상기 제2메모리셀, 상기 제3메모리셀 및 상기 제4메모리셀은 다이나믹형이고, 상기 리드신호는 상기 제1메모리셀에서 상기 제1공통데이타선으로 전송된 리드데이타가 하이레벨이고 또한 상기 제3메모리셀에서 상기 제3공통데이타선으로 전송된 리드데이타가 하이레벨일 때 제1전압이고, 상기 리드신호는 상기 제1메모리셀에서 상기 제1공통데이타선으로 전송된 리드데이타가 하이레벨이고 또한 상기 제3메모리셀에서 상기 제3공통데이타선으로 전송된 리드데이타가 로우레벨일 때 상기 제1전압이고, 상기 리드신호는 상기 제1메모리셀에서 상기 제1공통데이타선으로 전송된 리드데이타가 로우레벨이고 또한 상기 제3메모리셀에서 상기 제3공통데이타선으로 전송된 리드데이타가 하이레벨일 때 상기 제1전압이고, 상기 리드신호는 상기 제1메모리셀에서 상기 제1공통데이타선으로 전송된 리드데이타가 로우레벨이고 또한 상기 제3메모리셀에서 상기 제3공통데이타선으로 전송된 리드데이타가 로우레벨일 때 제2전압인 반도체기억장치.

청구항 13

제12항에 있어서, 상기 제1전압은 하이레벨의 전압이고, 상기 제2전압은 로우레벨의 전압인 반도체기억장치.

청구항 14

제12항에 있어서, 상기 반도체기억장치는 데이타단자를 또 포함하고, 상기 리드회로에서 출력되는 상기 리드신호에 대응한 신호가 상기 데이타단자에 부여되는 반도체기억장치.

청구항 15

제12항에 있어서, 상기 리드회로는 상기 제1공통상보데이타선쌍에 결합된 제1메인앰프와 상기 제2공통상보데이타선쌍에 결합된 제2메인앰프를 포함하는 반도체기억장치.

청구항 16

제12항에 있어서, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 하이레벨이고 또한 상기 제4메모리셀에서 상기 제4공통데이타선으로 전성된 리드데이타가 하이레벨일 때 상기 제2전압이고, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 하이레벨이고 또한 상기 제4메모리셀에서 상기 제4공통데이타선으로 전송된 리드데이타가 로우레벨일 때 상기 제2전압이고, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 로우레벨이고 또한 상기 제4메모리셀에서 상기 제4공통데이타선으로 전성된 리드데이타가 하이레벨일 때 상기 제2전압이고, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 로우레벨이고 또한 상기 제4메모리셀에서 상기 제4공통데이타선으로 전송된 리드데이타가 로우레벨일 때 상기 제1전압인 반도체기억장치.

청구항 17

제16항에 있어서, 상기 제1전압은 하이레벨의 전압이고, 상기 제2전압은 로우레벨의 전압의 반도체기억장치.

청구항 18

제12항에 있어서, 상기 제1워드선과 상기 제3워드선은 동시에 선택레벨로 되고, 상기 제2워드선과 상기 제4워드선은 동시에 선택레벨로 되는 반도체기억장치.

청구항 19

제12항에 있어서, 상기 제1워드선과 상기 제3워드선은 동일한 어드레스가 할당되고, 상기 제2워드선과 상기 제4워드선은 동일한 어드레스가 할당되는 반도체기억장치.

청구항 20

제12항에 있어서, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 하이레벨이고 또는 상기 제2메모리셀에서 상기 제4공통데이타선으로 전송된 리드데이타가 하이레벨일 때 상기 제1전압이고, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 하이레벨이고 상기 또한 상기 제4메모리셀에서 상기 제4공통데이타선으로 전송된 리드데이타가 로우레벨일 때 상기 제1전압이고, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 로우레벨이고 또한 상기 제4메모리셀에서 상기 제4공통데이타선으로 전송된 리드데이타가 하이레벨일 때 상기 제1전압이고, 상기 리드신호는 상기 제2메모리셀에서 상기 제2공통데이타선으로 전송된 리드데이타가 로우레벨이고 또한 상기 제4메모리셀에서 상기 제4공통데이타선으로 전송된 리드데이타가 로우레벨일 때 상기 제2전압인 반도체기억장치.

청구항 21

제20항에 있어서, 상기 제1전압은 하이레벨의 전압이고, 상기 제2전압은 로우레벨의 전압의 반도체기억장치.

청구항 22

여러개의 제1워드선, 여러개의 제1상보데이타선쌍, 상기 여러개의 제1워드선과 상기 여러개의 제1상보데이타선쌍과의 교점에 대응해서 마련된 여러개의 제1메모리셀 및 상기 여러개의 제1상보데이타선쌍에 결합된 여러개의 제1센스앰프를 갖는 제1메모리어레이, 여러개의 제2워드선, 여러개의 제2상보데이타선쌍 및 상기 여러개의 제2워드선과 상기 여러개의 제2상보데이타선쌍과의 교점에 대응해서 마련된 여러개의 제2메모리셀를 갖는 제1메모리어레이, 리드신호를 출력하는 리드회로를 포함하고, 상기 여러개의 제1메모리셀 및 상기 여러개의 제2메모리셀은 다이나믹형이고, 상기 여러개의 제1워드선은 제1선 및 제2선을 포함하고, 상기 여러개의 제1상보데이타선쌍은 제1상보쌍을 포함하고, 상기 여러개의 제1메모리셀은 상기 제1선과 상기 제1상보선쌍 중의 한쪽에 결합된 제1셀과 상기 제2선과 상기 제1상보선쌍 중의 다른쪽에 결합된 제2셀을 포함하고, 상기 여러개의 제2워드선은 제3선 및 제4선을 포함하고, 상기 여러개의 제2상보데이타선쌍은 제2상보선쌍을 포함하고, 상기 여러개의 제2메모리셀은 상기 제3선과 상기 제2상보선쌍 주의 한쪽에 결합된 제3셀과 상기 제4선과 상기 제2상보선쌍 중의 다른쪽에 결합된 제4셀을 포함하고, 상기 리드신호는 상기 제1셀에서 리드된 데이타가 하이레벨이고 또한 상기 제3셀에서 리드된 데이타가 히이레벨일 때 제1전압이고, 상기 리드신호는 상기 제1셀에서 리드된 데이타가 하이레벨이고 또한 상기 제3셀에서 리드된 데이타가 로우레벨일 때 제1전압이고, 상기 리드신호는 상기 제1셀에서 리드된 데이타가 로우레벨이고 또한 상기 제3셀에서 리드된 데이타가 하이레벨일 때 제1전압이고, 상기 리드신호는 상기 제1셀에서 리드된 데이타가 로우레벨이고 또한 상기 제3셀에서 리드된 데이타가 로우레벨일 때 제2전압인 반도체기억장치.

청구항 23

제22항에 있어서, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 하이레벨이고 또한 상기 제4셀에서 리드된 데이타가 하이레벨일 때 제2전압이고, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 하이레벨이고 또한 상기 제4셀에서 리드된 데이타가 로우레벨일 때 제2전압이고, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 로우레벨이고 또한 상기 제4셀에서 리드된 데이타가 하이레벨일 때 제2전압이고, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 로우레벨이고 또한 상기 제4셀에서 리드된 데이타가

로우레벨일 때 제1전압인 반도체기억장치.

청구항 24

제23항에 있어서, 상기 제1전압은 하이레벨의 전압이고, 상기 제2전압은 로우레벨의 전압인 반도체기억장치.

청구항 25

제23항에 있어서, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 하이레벨이고 또한 상기 제4셀에서 리드된 데이타가 하이레벨일 때 제1전압이고, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 하이레벨이고 또한 상기 제4셀에서 리드된 데이타가 로우레벨일 때 제1전압이고, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 로우레벨이고 또한 상기 제4셀에서 리드된 데이타가 하이레벨일 때 제1전압이고, 상기 리드신호는 상기 제2셀에서 리드된 데이타가 로우레벨이고 또한 상기 제4셀에서 리드된 데이타가 로우레벨일 때 제2전압인 반도체기억장치.

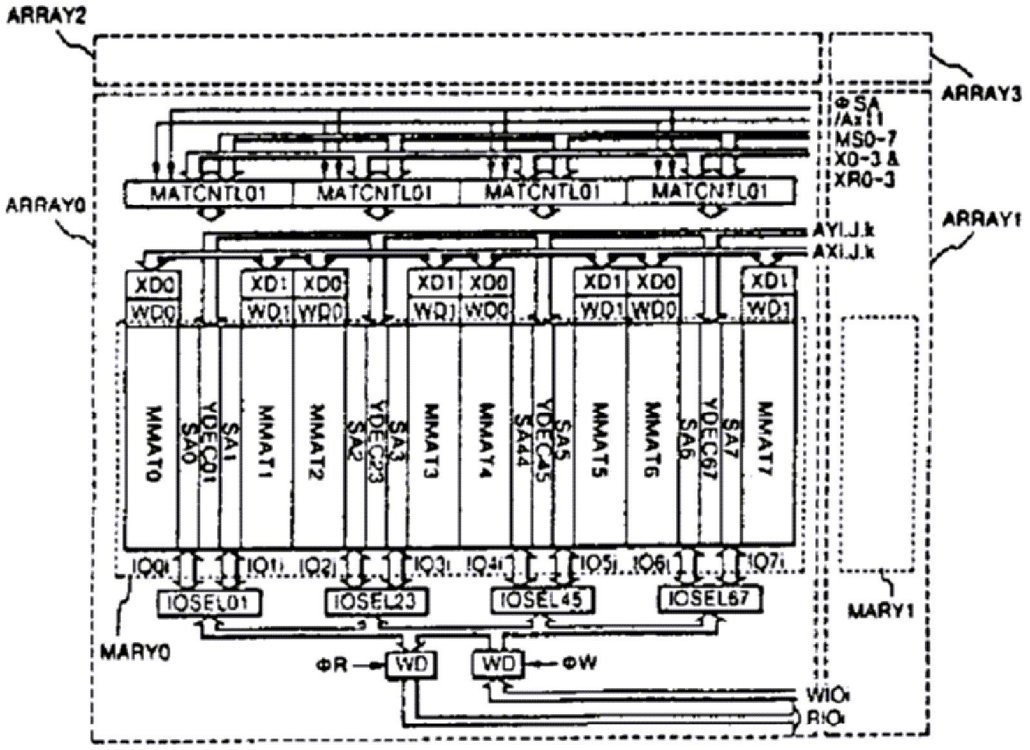
청구항 26

제25항에 있어서, 상기 제1전압은 하이레벨의 전압이고, 상기 제2전압은 로우레벨의 전압인 반도체기억장치.

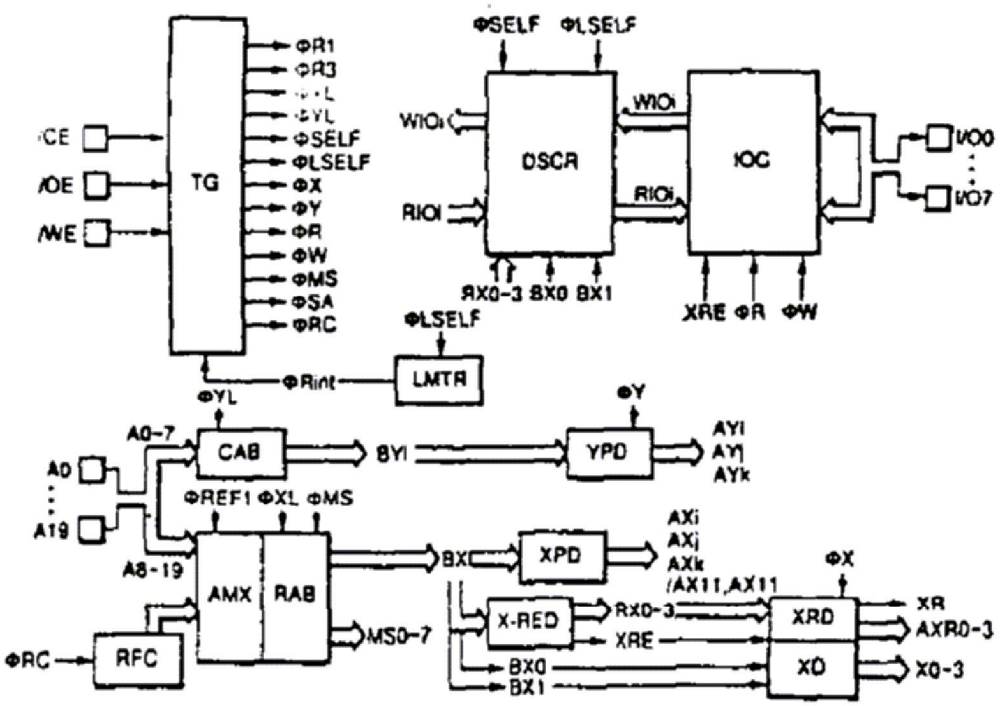
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

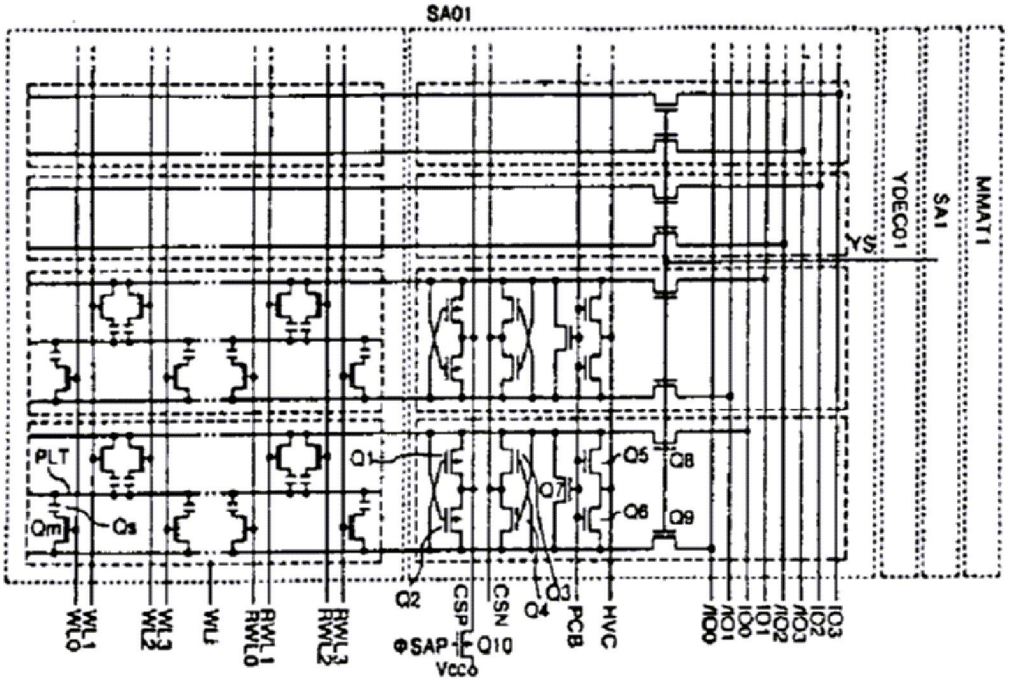
도면1



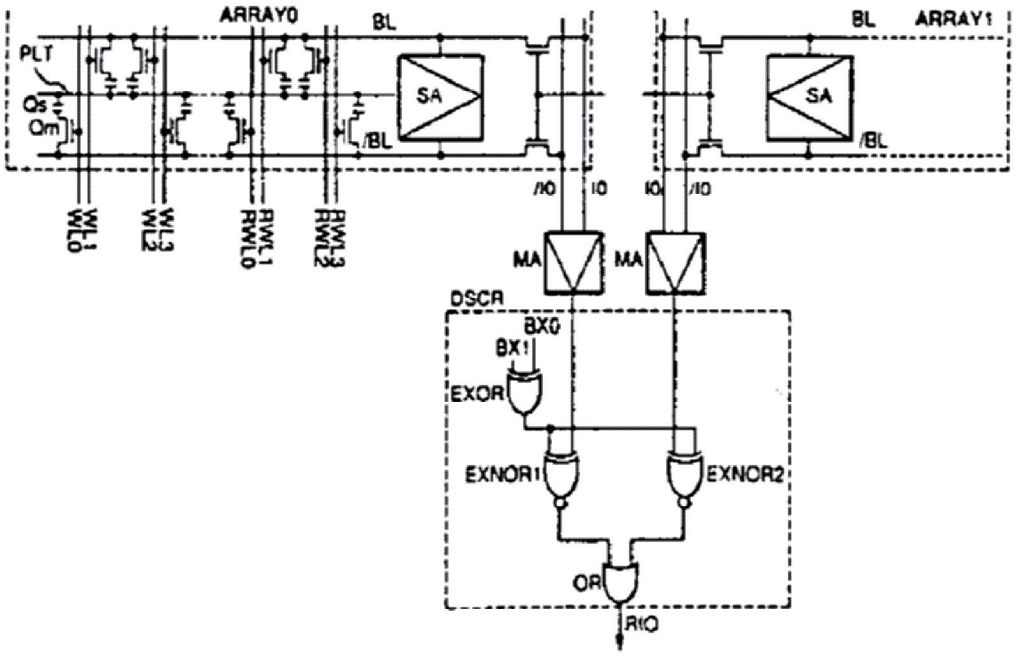
도면2


ΦSELF
ΦLSELF
ΦR1
ΦR3
ΦYL
ΦSELF
ΦLSELF
ΦX
ΦY
ΦR
ΦW
ΦMS
ΦSA
ΦRC
CE
OE
WE
TG
WIOi
RIOi
OSCR
IOC
I/O0
I/O7
RX0-3 BX0 BX1
XRE ΦR ΦW
ΦLSELF
LMTR
ΦRint
ΦYL
ΦY
A0-7
A0
A19
A8-19
CAB
BYi
YPD
AYi
AYj
AYk
ΦREF1 ΦXL ΦMS
AMX
RAB
BXi
XPD
AXi
AXj
AXk
/AX11,AX11
ΦX
X-RED
RX0-3
XRE
XRD
XR
AXR0-3
XD
X0-3
BX0
BX1
MS0-7
ΦRC
RFC

도면3


SA01
YDEC01
SA1
MMAT1
YS
PLT
Q1
Q5
Q8
Q7
Q6
Q9
Q2
Q3
Q4
Q10
CSP
CSN
PCB
HVC
ΦSAP
Vcc6
WL1
WL0
WL3
WL2
WL
RWL1
RWL0
RWL3
RWL2
IO0
IO1
IO2
IO3

도면4


ARRAY0
BL
PLT
SA
/BL
BL
ARRAY1
SA
/BL
WL1
WL2
RWL1
RWL2
/IO
IO
IO
/IO
MA
MA
DSCR
BX0
BX1
EXOR
EXNOR1
EXNOR2
OR
RIO