(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 697 32 082 T2** 2005.06.16

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 843 445 B1**
(21) Deutsches Aktenzeichen: **697 32 082.0**
(96) Europäisches Aktenzeichen: **97 304 760.8**
(96) Europäischer Anmeldetag: **01.07.1997**
(97) Erstveröffentlichung durch das EPA: **20.05.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **29.12.2004**
(47) Veröffentlichungstag im Patentblatt: **16.06.2005**

(51) Int Cl.[7]: **H04L 25/03**
G11B 20/10

(30) Unionspriorität:
30064596 12.11.1996 JP

(84) Benannte Vertragsstaaten:
DE, FR

(73) Patentinhaber:
Fujitsu Ltd., Kawasaki, Kanagawa, JP

(74) Vertreter:
W. Seeger und Kollegen, 81369 München

(72) Erfinder:
Yamawaki, Masashi, Kasugai-shi, Aichi-ken 487, JP

(54) Bezeichnung: **Verfahren zur Entschleierung von verschleierten Daten mittels eines Verschleierungsmusters und eines Verschleierungsmustergenerators**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft allgemein ein Verfahren zum Entwürfeln verwürfelter Daten unter Verwendung eines Verwürfelmusters. Genauer betrifft diese Erfindung ein Verfahren zum Entwürfeln verwürfelter Daten, die auf einem Aufzeichnungsmedium in einem Plattengerät aufgezeichnet sind, und eine Schaltung zum Erzeugen eines Verwüfelmusters.

[0002] Da Digitalvideoplatten- (DVD-) Medien eine große Kapazität versprechen, versuchen individuelle Hersteller DVD-Systeme zu entwickeln. Jüngst wurden und werden enthusiastische Anstrengungen unternommen, um die DVD-Spezifikationen zu standardisieren.

[0003] Die WO 96/32716 offenbart einen optischen Aufzeichnungsträger und Verfahren und Geräte zum Aufzeichnen und Wiedergeben von Informationen auf und von dem optischen Aufzeichnungsträger, wodurch die Effekte der teilweisen Signalüberlagerung von benachbarten Spuren verringert werden und eine stabile Spursteuerung möglich ist. Eine Aufzeichnungsspur, auf welche Informationen, die in Sektoreinheiten geteilt sind, aufgezeichnet ist, ist in einem spiralförmigen oder konzentrischen Muster auf der Oberfläche des optischen Aufzeichnungsträgers ausgebildet. Jeder Sektor enthält ferner sechzehn Rahmen. Jeder Rahmen enthält ein Re-Sync-Muster, eine Rahmenadresse, Daten und Postambelfelder.

[0004] Identifikationsinformationen, die den Sektorort der Informationen identifizieren, werden auf den Datenblock des ersten Rahmens aufgezeichnet. Die Anwenderdaten werden, nachdem die Daten verwürfelt sind, unter Verwendung eines Wertes aufgezeichnet, der durch einen fünfzehn-Stufen-Maximallängensequenzgenerator basierend auf den Wert dieser Identifikationsinformationen erzeugt wurde. Die Korrelation zwischen Signalen auf benachbarten Spuren wird somit verringert und die Effekte der teilweisen Signalüberlagerung werden willkürlich verteilt, womit der Effekt auf das Spurfehlersignal verringert wird und eine äußerst stabile Spursteuerung ermöglicht wird.

[0005] Die Fig. 1 präsentiert ein Flussdiagramm, das einen Datendemodulationsprozess in einem DVD-Laufwerk zeigt, das zum ausschließlichen Datenlesen gestaltet ist. Eine Platte **100** hat Datenaufzeichnungsspuren, die in einer Spiralform angeordnet sind. Physikalische Sektordaten werden auf jeder Spur in einer Sektor-auf-Sektor-Weise aufgezeichnet. Physikalische Sektordaten, die von der Platte **100** gelesen werden, werden einer EFM- (Acht-zu-Vierzehn-Modulation-) Plus-Demodulation unterzogen, um aufgezeichnete Sektordaten **101** zu liefern. Die aufgezeichneten Sektordaten **101** enthalten mehrere Stücke von Sektordaten **102**, mehrere Stücke von ersten Fehlerkorrekturcode- (ECC-) Daten PI, die an die individuellen Daten von Reihen in den Sektordaten **102** angefügt sind, und mehrere Stücke von zweiten Fehlerkorrekturdaten PO, die an die individuellen Spaltendaten in den Sektordaten **102** angefügt sind. Die Daten werden auf der Platte **100** in der Reihenfolge der Sektordaten **102**, der ersten Fehlerkorrekturcodes PI und der zweiten Fehlerkorrekturcodes PO aufgezeichnet.

[0006] Sechzehn Stücke von Sektordaten **102**, sechszehn erste Fehlerkorrekturcodes PI und sechszehn zweite Fehlerkorrekturcodes PO werden in der Aufzeichnungsreihenfolge gruppiert, womit ECC-Anfügedaten **103** geliefert werden. Sechzehn Stücke von Sektordaten **102** bilden einen Block.

[0007] Eine Fehlerkorrektur wird auf einen Block der Sektordaten **102** unter Verwendung der ersten Fehlerkorrekturcodes PI ausgeführt. Dann wird eine Fehlerkorrektur auf einen Block von Sektordaten **102** unter Verwendung der zweiten Fehlerkorrekturcodes PO ausgeführt. Auf diese Weise werden sechzehn Stücke von verwürfelten Daten **104** erzeugt. Alle verwürfelten Daten **104** sind Daten, die durch Ausführen einer Ausschließlich-ODER-Operation auf die Originaldaten und ein Verwürfelmuster erzeugt.

[0008] Um sechzehn Stücke von Originalsektordaten **105** zu erzeugen, wird eine Ausschließlich-ODER-Operation auf jedes Stück von verwürfelten Daten **104** und ein Verwürfelmuster, das für die Erzeugung von allen verwürfelten Daten **104** verwendet wurde, oder ein Entwürfeln ausgeführt.

[0009] Wie in der Fig. 2 gezeigt ist, enthalten Sektordaten **105** Hauptdaten von 2048 (2K) Bytes, 4-Byte-Identifikationsdaten (ID), einen 2-Byte-Fehlerkorrekturcode IEC für die Identifikationsdaten ID und einen 6-Byte-Reservebereich RSV, wobei alle der letzteren drei an den Vorderteil der Hauptdaten angefügt sind. Die Sektordaten **105** enthalten ferner einen vier Byte-Fehlerkorrekturcode EDC, der an den Endteil der Hauptdaten angefügt ist, um einen Fehler in den Hauptdaten zu detektieren. Die Identifikationsdaten ID enthalten ein 1-Byte-Sektorinformationsfeld und ein 3-Byte-Sektornummernfeld.

[0010] Die Fig. 3 zeigt einen herkömmlichen Verwürfelmustergenerator **110**, der verwendet wird, um verwürfelte Daten zu entwürfeln. Der Verwürfelmustergenerator **110** enthält ein Rückkoppeltypschieberegister **111** von fünfzehn Bits b14 bis b0, und ein Ausschließlich-ODER- (EOR-) Gate **112**.

[0011] Das EOR-Gate **112** empfängt die Logikwerte der Bits b14 und b10 und führt eine Ausschließlich-ODER-Operation darauf aus. Der resultierende Logikwert wird dem Bit b0 zugeführt. Das Schieberegister **111** empfängt ein Initialverwürfelmuster in Abhängigkeit von dem ersten Impuls eines Taktes CK. Das Schieberegister **111** verschiebt ferner nacheinander die Logikwerte der Bits 13 – b0 entsprechend zu den benachbarten Bits b14 – b1 jedes mal, wenn jeder Impuls des Taktes CK eingegeben wird. Das Schieberegister **111** empfängt den Ausgabelogikwert des EOR-Gates **112** an seinem Byte b0 und gibt die Logikwerte der Bits b7 – b0 als einen 8-Bit-Verwürfelwert SK für jeweils acht Impulse des Taktes CK aus.

[0012] Wie in der Fig. 4 gezeigt ist, ist der Anfangswert eines Verwürfelmusters durch den ID-Wert der Bits b7 – b4 bestimmt, der dem Sektornummernfeld der Identifikationsdaten ID zugeordnet ist. Das heißt, dass ein Initialmuster einem Block zugeordnet ist, der durch sechzehn Datensektoren gebildet ist. Wenn dieser ID-Wert "0(h)" ((h): eine hexadezimale Schreibweise) der Bits b7 – b4 dem Sektornummernfeld zum Beispiel in dem ersten Block zugeordnet ist, ist das Initialverwürfelmuster "0001(h)" bestimmt. In diesem Moment wird 00000000000001(2) ((2): eine binäre Schreibweise) in den Bits b14 – b0 des Schieberegisters **111** eingestellt. Entsprechend wird der Logikwert 00000001(2) der Bits b7 – b0 als der Initial-8-Bit-Verwürfelwert SK von dem Schieberegister **111** ausgegeben.

[0013] Eine Ausschließlich-ODER-Operation auf den Initial-8-Bit-Verwürfelwert SK und die ersten 8-Bit-Hauptdaten der verwürfelten Daten **104** wird ausgeführt, um 1-Byte-Originaldaten zu erzeugen. Die nächsten 1-Byte-Hauptdaten werden unter Verwendung eines 8-Bit-Verwürfelwertes SK entwürfelt, der von dem Schieberegister **111** ausgegeben wurde, nachdem acht Impulse des Taktes CK empfangen wurden.

[0014] Da der herkömmliche Verwürfelmustergenerator **110** einen 8-Bit-Verwürfelungswert SK von dem Schieberegister **111** gemäß der Transferrate von Hauptdaten erlangt, erfordert er einen Takt CK, dessen Frequenz acht mal die Transferrate der Hauptdaten ist. Wenn die Transferrate der Hauptdaten zum Beispiel auf 10 MBytes/s ist, benötigt der Verwürfelmustergenerator **110** einen Takt CK, der eine Frequenz von 80 Megahertz (MHz) hat. Die hohe Frequenz des Taktes CK steht einem Verbessern der Transferrate von Hauptdaten und schneller Datenverarbeitung im Weg.

[0015] Die letzten Daten des Datensektors **105**, oder das 2048te Byte, wird durch Verwendung eines 8-Bit-Verwürfelmusters entwürfelt, das durch die Eingabe von 2047 × 8 Taktimpulsen zu dem Schieberegister **111** erzeugt wurde. In anderen Worten wird das 2048te Byte nur erlangt, nachdem dem Schieberegister **111** 2047 × 8 Taktimpulse eingegeben wurden. Ferner wird, wenn das Schieberegister **111** 1023 × 8 Taktimpulse eingibt, ein Entwürfeln von 1024-Byte-Daten unter Verwendung eines entsprechenden 8-Bit-Verwürfelmusters erhalten. Es ist daher nicht möglich, die gewünschten Original-Byte-Daten unmittelbar nachdem die Entwürfelungsoperation initiiert ist zu erlangen. Dies behindert eine schnelle Datenverarbeitung.

[0016] Im weitesten Sinne gesprochen, betrifft die vorliegende Erfindung ein Entwürfelungsverfahren und einen Verwürfelmustergenerator, das/der zum Verbessern der Datentransferrate und eine schnelle Datenverarbeitung geeignet ist. Die vorliegende Erfindung kann auf zahlreiche Weisen implementiert werden, einschließlich einer Vorrichtung und eines Verfahrens.

[0017] Ein Aspekt der vorliegenden Erfindung schafft ein Verfahren zum Erzeugen von Originaldaten durch Entwürfeln von verwürfelten Daten unter Verwendung von vorgegebenen Verwürfelmustern, welche verwürfelten Daten in eine Mehrzahl von verwürfelten Datengruppen separiert sind, von denen jede eine Mehrzahl von verwürfelten Einheitendaten enthält, wobei Initialverwürfelmuster den Datengruppen entsprechend zugeordnet werden, welches Verfahren die Schritte enthält:

(a) Vorbereiten eines Initialverwürfelmusters, das einer spezifischen Datengruppe zugeordnet ist;
(b) Erzeugen eines ersten Verwürfelmusters unter Verwendung des vorbereiteten Initialverwürfelmusters;
(c) Vorbereiten eines der verwürfelten Einheitendatenstücke in der spezifischen Datengruppe; und
(d) Ausführen einer Entwürfelungsoperation unter Verwendung des ersten Verwürfelmusters und des einen vorbereiteten verwürfelten Einheitendatenstückes, um ein Originaldatenstück zu erzeugen;
wobei das erste Verwürfelmuster eine integrale Anzahl von Bytes ist und in einem Taktzyklus erzeugt wird, und dass das Verfahren ferner die Schritte enthält:
(e) Erzeugen eines zweiten Verwürfelmusters, das wenigstens ein Byte ist, in einem nachfolgenden Taktzyklus unter Verwendung des ersten Verwürfelmusters;

(f) Ersetzen des ersten Verwürfelmusters durch das zweite Verwürfelmuster bei einem Taktzyklus und
(g) Ausführen einer Entwürfelungsoperation unter Verwendung des zweiten Verwürfelmusters und eines zweiten verwürfelten Einheitendatenstückes, um ein zweites Originaldatenstück zu erzeugen.

[0018] Ein anderer Aspekt der Erfindung schafft eine Schaltung zum Erzeugen von Verwürfelmustern, die beim Entwürfeln von verwürfelten Daten verwendet werden, welche verwürfelten Daten in eine Mehrzahl von Datengruppen separiert sind, wobei Initialverwürfelmuster jeweils den Datengruppen zugeordnet sind, welche Schaltung hat:
eine Mehrzahl von Registern zum Empfangen eines Initialverwürfelmusters, das einer spezifischen Datengruppe zugeordnet ist, und zum temporären Halten des Initialverwürfelmusters, um das Initialverwürfelmuster als ein erstes Verwürfelmuster auszugeben; und
eine erste Logikschaltung, die an die Mehrzahl von Registern gekoppelt ist, zum Empfangen des ersten Verwürfelmusters, um ein zweites Verwürfelmuster zu erzeugen, und um das zweite Verwürfelmuster der Mehrzahl von Registern bereitzustellen, wobei die Mehrzahl von Registern zum Empfangen des Initialverwürfelmusters oder des zweiten Verwürfelmusters angeordnet ist und zum Ausgeben eines ausgewählten Musters als das erste Verwürfelmuster angeordnet ist.

[0019] Ferner sind bevorzugte Merkmale in den abhängigen Ansprüchen zu finden, auf welche nun Bezug genommen wird.

[0020] Bei einem anderen Aspekt enthält eine Plattenlesevorrichtung: die oben definierte Schaltung zum Erzeugen von Verwürfelmustern; eine Datenverarbeitungsvorrichtung, um das Initialverwürfelmuster und die verwürfelten Daten an die Schaltung bereitzustellen; und eine Entwürfelschaltung, die an die Datenverarbeitungsvorrichtung und die Mehrzahl von Registern der Schaltung gekoppelt ist, um die verwürfelten Daten und das erste Verwürfelmuster zu empfangen, und um eine Entwürfelungsoperation unter Verwendung der verwürfelten Daten und des ersten Verwürfelmusters auszuführen, um Originaldaten zu erzeugen.

[0021] Beispielhaft wird auf die begleitenden Zeichnungen Bezug genommen, in welchen:

[0022] Fig. 1 ein Flussdiagramm eines typischen Datendemodulierprozesses in einem Nur-Lese-DVD-Laufwerk ist;

[0023] Fig. 2 das Format eines Datensektors auf einer DVD zeigt;

[0024] Fig. 3 ein Schaltungsdiagramm ist, das einen herkömmlichen Verwürfelmustergenerator zeigt, der verwendet wird, um verwürfelte Daten zu entwürfeln;

[0025] Fig. 4 ein Initialverwürfelmuster zeigt, das dem Verwürfelmustergenerator in der Fig. 3 zuzuführen ist;

[0026] Fig. 5 ein schematisches Blockdiagramm ist, das ein DVD-Laufwerk gemäß einem ersten Ausführungsbeispiel der Erfindung darstellt.

[0027] Fig. 6 ein Blockdiagramm einer Datenreproduzierschaltung gemäß dem ersten Ausführungsbeispiel ist, welches in den DVD-Laufwerk in der Fig. 5 installiert ist;

[0028] Fig. 7 ein Blockdiagramm einer Datenreproduzierschaltung gemäß einem zweiten Ausführungsbeispiel der Erfindung ist;

[0029] Fig. 8 ein Blockdiagramm einer Datenreproduzierschaltung gemäß einem dritten Ausführungsbeispiel der Erfindung; und

[0030] Fig. 9 ein Initialverwürfelmuster zeigt, das bei der Datenreproduzierschaltung gemäß dem dritten Ausführungsbeispiel der Erfindung verwendet wird.

[0031] Ein DVD-Laufwerk gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung wird nun unter Bezugnahme auf die begleitenden Zeichnungen beschrieben. Wie in der Fig. 5 gezeigt ist, enthält ein DVD-Laufwerk **10** eine DVD-Steuerung **11**, eine Mikroprozessoreinheit (MPU) **12**, einen Halbleiterspeicher **13**, der ein DRAM oder SRAM enthält, und ein Plattenlaufwerk **15**. Das Plattenlaufwerk **15** liest Daten, die auf einer Platte **100** aufgezeichnet sind, und führt eine EFM-Plus-Demodulation auf die gelesenen Daten aus, um aufgezeichnete Sektordaten **101** zu erlangen. Die aufgezeichneten Sektordaten **101** werden DVD-Steuerung **11**

zugeführt. Die DVD-Steuerung **11** ist konfiguriert, um eine vorgegebene Datenverarbeitung auf die aufgezeichneten Sektordaten **101** auszuführen, und um verarbeitete Daten gemäß einem Steuersignal von MPU **12** in den Halbleiterspeicher **13** zu speichern.

[0032] Die DVD-Steuerung **11** ist zwischen dem Plattenlaufwerk **15** und einem externen Computer angeschlossen und hält einen Datenprozessor **16**, eine Datenreproduzierschaltung **17** und eine Transfersteuerung **18**; die alle an die MPU **12** angeschlossen sind.

[0033] Gemäß einem Steuersignal von der MPU **12** gruppiert der Datenprozessor **16** sechzehn Stücke von Sektordaten **102**, sechzehn erste Fehlerkorrekturcodes PI und sechzehn zweite Fehlerkorrekturcodes PO in der Aufzeichnungsreihenfolge, was zu ECC-Anfügedaten **103** (siehe Fig. 1) führt. Gemäß einem anderen Steuersignal von der MPU führt der Datenprozessor **16** eine Fehlerkorrektur von einem Block Sektordaten **102** unter Verwendung der ersten und zweiten Fehlerkorrekturcodes PI und PO in den ECC-Anfügedaten **103** aus, was sechzehn Stücke von verwürfelten Daten **104** erzeugt.

[0034] Gemäß einem Steuersignal von der MPU **12** führt die Datenreproduzierschaltung **17** eine Ausschließlich-ODER-Operation auf die verwürfelten Daten **104**, die von dem Datenprozessor **16** erzeugt wurden, und ein Verwürfelmuster aus, um einen Datensektor **105** zu bilden, und führt den Datensektor **105** zu dem Halbleiterspeicher **13** zu. Entsprechend dem ersten Ausführungsbeispiel werden die Hauptdaten der verwürfelten Daten **104** zu der Datenreproduzierschaltung **17** in einer Byteauf-Byte-Weise übertragen, jedes Mal wenn ein Impuls eines Taktes CK eingegeben wird.

[0035] Gemäß einem Steuersignal von der MPU **12** empfängt die Transfersteuerung **18** den Datensektor **105**, der von dem Halbleiterspeicher **13** gelesen wurde, und überträgt ihn zu dem Computer **19**.

[0036] Wie in der Fig. 6 gezeigt ist, enthält die Datenreproduzierschaltung **17** einen Verwürfelmustergenerator **21** und einen Entwürfler **22**. Der Verwürfelmustergenerator **21** erzeugt ein Verwürfelmuster zur Verwendung beim Entwürfeln der verwürfelten Daten **104**. Der Entwürfler **22** entwürfelt Hauptdaten unter Verwendung des erzeugten Verwürfelmusters.

[0037] Der Verwürfelmustergenerator **21** enthält einen Selektor **25**, fünfzehn Daten-Flip-Flops (DFFs) **26A** bis **26O** und eine Logikschaltung **27**. Die Logikschaltung **27** enthält acht EOR-Gates **27A** bis **27H**.

[0038] Der Selektor **25** empfängt ein Initialverwürfelmuster (Bits b14 – b0), das von dem Datenprozessor **16** zugeführt wird, und ein neues Verwürfelmuster (Bits b14' – b0'), das durch den Verwürfelmustergenerator **21** erzeugt wird. Das Initialverwürfelmuster wird durch den Datenprozessor **16** basierend auf einen ID-Wert erzeugt, der durch die Bits b7 – b4 spezifiziert ist, die dem Sektornummernfeld von Identifikationsdaten ID zugeordnet sind (siehe Fig. 2).

[0039] Der Selektor **25** empfängt ferner ein Auswahlsignal SL von der MPU **12** und wählt entweder das Initialverwürfelmuster oder ein neues Verwürfelmuster gemäß dem Pegel des Auswahlsignals SL aus, um das ausgewählte Muster auszugeben. Gemäß dem ersten Ausführungsbeispiel wird das Auswahlsignal SL, das einen niedrigen (L) Pegel hat, in der ersten Entwürfelungsoperation ausgegeben, und wird das Auswahlsignal SL, das einen hohen (H) Pegel hat, in der zweiten Entwürfelungsoperation oder jeglicher nachfolgenden Entwürfelungsoperation ausgegeben. Der Selektor **25** wählt das Initialverwürfelmuster in Abhängigkeit von dem L-Pegelauswahlsignal SL aus, und wählt ein neues Verwürfelmuster in Abhängigkeit von dem H-Pegelauswahlsignal SL aus.

[0040] Die DFFs **26A** – **26O** speichern jeweils Muster (Bits b14 – b0 oder Bits b14' – b0'), die von dem Selektor **25** in Synchronisation mit dem Impuls des Taktes CK ausgegeben wurden. Die acht DFFs **26H** – **26O** speichern einen 8-Bit-Verwürfelwert SK (Bits b7 – b0 oder Bits b7' – b0') und führen den Wert zu dem Entwürfler **22** zu. Die ausgegebenen Bits b6 – b0 oder b6' – b0' der sieben DFFs **26I** – **26O** werden als Bits b14' – b8' eines neuen Verwürfelmusters von dem Verwürfelmustergenerator **21** ausgegeben.

[0041] Das EOR-Gate **27A** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit b14 oder b14' von dem DFF **26A** und das ausgegebene Bit b10 oder b10' von dem DFF **26E** aus und gibt das Bit b7' des neuen Verwürfelmusters aus. Das EOR-Gate **27B** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit b13 oder b13' von dem DFF **26B** und das ausgegebene Bit b9 oder b9' von dem DFF **26F** aus und gibt das Bit b6' des neuen Verwürfelmusters aus. Das EOR-Gate **27C** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit 12 oder b12' von dem DFF **26C** und das ausgegebene Bit b8

oder b8' von dem DFF **26G** aus und gibt das Bit 5' des neuen Verwürfelmusters aus. Das EOR-Gate **27D** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit b11 oder b11' von dem DFF **26D** und das ausgegebene Bit b7 oder b7' von dem DFF **26H** aus und gibt das Bit b4' des neuen Verwürfelmusters aus. Das EOR-Gate **27E** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit b10 oder b10' von dem DFF **26E** und das ausgegebene Bit b6 oder b6' von dem DFF **26I** aus und gibt das Bit b3' des neuen Verwürfelmusters aus. Das EOR-Gate **27F** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit b9 oder b9' von dem DFF **26F** und das ausgegebene Bit b5 oder b5' von dem DFF **26J** aus und gibt das Bit b2' des neuen Verwürfelmusters aus. Das EOR-Gate **27G** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit b8 oder b8' von dem DFF **26G** und das ausgegebene Bit b4 oder b4' von dem DFF **26K** aus und gibt das Bit b1' des neuen Verwürfelmusters aus. Das EOR-Gate **27H** führt eine Ausschließlich-ODER-Operation auf das ausgegebene Bit b7 oder b7' von dem DFF **26H** und das ausgegebene Bit b3 oder b3' von dem DFF **26L** aus und gibt das Bit b0' des neuen Verwürfelmusters aus.

[0042] Mit der obigen Struktur gibt der Verwürfelmustergenerator **21** die Bits b7 – b0 des Initialverwürfelmusters als einen 8-Bit-Verwürfelwert SK in der ersten Entwürfelungsoperation aus. In der zweiten und nachfolgenden Entwürfelungsoperation(en) gibt der Verwürfelmustergenerator **21** die Bits b7' – b0' von einem neuen Verwürfelmuster als einen 8-Bit-Verwürfelwert SK aus.

[0043] Die folgende Tabelle 1 zeigt die Bits b14' – b0' eines neuen Verwürfelmusters, das unter Verwendung der Bits b14 -b0 in der oben erörterten Weise erzeugt wurde:

Tabelle 1

b14' = b6
b13' = b5
b12' = b4
b11' = b3
b10' = b2
b9' = b1
b8' = b0
b7' = b14 ^ b10
b6' = b13 ^ b9
b5' = b12 ^ b8
b4' = b11 ^ b7
b3' = b10 ^ b6
b2' = b9 ^ b5
b1' = b8 ^ b4
b0' = b7 ^ b3

(^: Ausschließlich-ODER)

[0044] Wie oben beschrieben ist, erzeugt der Verwürfelmustergenerator **21** einen 8-Bit-Verwürfelwert SK, um 1-Byte-Hauptdaten jedes Mal zu entwürfeln, wenn ein einzelner Taktimpuls eingegeben wird. Der herkömmliche Verwürfelmustergenerator **21**, der das Rückkoppeltypschieberegister **111** hat, erzeugt einen 8-Bit-Verwürfelwert SK jedes Mal, wenn acht Taktimpulse eingegeben sind. Der Verwürfelmustergenerator **21** gemäß dem ersten Ausführungsbeispiel erzeugt daher ein 8-Bit-Verwürfelmuster schneller als der herkömmliche. Ferner wird die Geschwindigkeit des Erzeugens eines 8-Bit-Verwürfelmusters im wesentlichen gleich der Transferrate der Hauptdaten.

[0045] Folglich wird ein Verwürfelmustergenerator geschaffen, der zum Verbessern der Datentransferrate und einer schnellen Datenverarbeitung geeignet ist.

[0046] Der Entwürfler **22** enthält acht EOR-Gates **28** (nur eines ist in der Fig. 6 gezeigt). Die individuellen EOR-Gates **28** empfangen die jeweiligen Bits von dem Acht-Bit-Verwürfelwert SK (die ausgegebenen Bits von den DFFs **26H** – **26A**) von dem Verwürfelmustergenerator **21** und empfangen die jeweiligen Bits von 1-Byte-Hauptdaten von dem Datenprozessor **16**. Jedes EOR-Gate **28** führt eine Ausschließlich-ODER-Operation auf jedes Bit auf dem Verwürfelwert SK und das zugehörige Bit der Hauptdaten aus, um Originaldaten zu erzeugen.

[0047] Der Betrieb des DVD-Laufwerks **10** wird nun erörtert. Daten, die von der Platte **100** durch das Plattenlaufwerk **15** gelesen wurden, werden einer EFM-Plus-Demodulation unterzogen, was aufgezeichnete Sektordaten **101** ergibt (siehe Fig. 1). Die aufgezeichneten Sektordaten **101** werden der DVD-Steuerung **11** zugeführt.

[0048] Gemäß einem anderen Steuersignal von der MPU **12** erzeugt der Datenprozessor **16** die ECC-Anfügedaten **103** von den aufgezeichneten Sektordaten **101**. Der Datenprozessor **16** führt auch eine Fehlerkorrektur jedes Blockes Sektordaten **102** unter Verwendung der ersten und zweiten Fehlerkorrekturcodes PI und PO aus, die in den ECC-Anfügedaten **103** enthalten sind, was die verwürfelten Daten **104** erzeugt.

[0049] In der ersten Entwürfelungsoperation wählt der Selektor **25** das Initialverwürfelmuster in Abhängigkeit von dem L-Pegelauswahlsignal SL aus. In diesem Moment wird das Initialverwürfelmuster "0001(h)", das basierend auf dem ID-Wert "0(h)" der Bits b7 – b4 in dem Sektornummernfeld erzeugt wurde, für den ersten Block ausgewählt.

[0050] Die DFFs **26A** – **26O** speichern das Initialverwürfelmuster (Bits b14 – b0) von dem Selektor **25** in Abhängigkeit von dem ersten Taktimpuls. Die acht DFFs **26H** – **26O** schicken einen 8-Bit-Verwürfelwert SK "00000001(2)" zu dem Entwürfler **22**. Die Ausgaben der sieben DFFs **26I** – **26O** werden von dem Verwürfelmustergenerator **21** als die Bits b14' – b8' eines neuen Verwürfelmusters ausgeschickt. Die EOR-Gates **27A** – **27H** geben die Bits b7' – b0' des neuen Verwürfelmusters aus. In diesem Fall ist der Logikwert der Bits b14' – b0' 000000100000000 (2) = 0100 (h).

[0051] Der Entwürfler **22** führt eine Ausschließlich-ODER-Operation auf den 8-Bit-Verwürfelwert SK "00000001(2)" und die 1-Byte-Hauptdaten der verwürfelten Daten **104** aus, um Originaldaten zu erzeugen.

[0052] In der zweiten Entwürfelungsoperation wählt der Selektor **25** ein neues Verwürfelmuster (Bits B14' – b0') in Abhängigkeit vom H-Pegelauswahlsignal SL aus. Die DFFs **26A** – **26O** speichern jeweils die Bits b14' – b0' "000000100000000(2)" in Abhängigkeit von dem zweiten Taktimpuls. Die acht DFFs **26H** – **26O** geben den gespeicherten 8-Bit-Verwürfelwert SK "00000000(2)" aus. Die sieben DFFs **26I** – **26O** geben entsprechend die Bits b14' – b8' "0000000(2)" des gespeicherten neuen Verwürfelmusters aus. Die EOR-Gates **27A** – **27H** geben die Bits b7' – b0' "0000010(2)" des neuen Verwürfelmusters aus. Daher ist der Logikwert der Bits b14' – b0' 000000000000010 (2) = 0002 (h).

[0053] Der Entwürfler **22** führt eine Ausschließlich-ODER-Operation auf den 8-Bit-Verwürfelwert SK "00000000(2)" und die nächsten 1-Byte-Hauptdaten der verwürfelten Daten **104** aus, um Original-Byte-Daten zu erzeugen.

[0054] In der dritten Entwürfelungsoperation oder jeglicher nachfolgenden Entwürfelungsoperation wählt der Selektor **25** ein neues Verwürfelmuster in Abhängigkeit von dem H-Pegelauswahlsignal SL aus. Die DFFs **26A** – **26O**, die EOR-Gates **27A** – **27H** und der Entwürfler **22** führen dieselbe Verarbeitung aus, wie es bei der zweiten Entwürfelungsoperation erfolgte, wodurch die Original-Ein-Sektor-Daten erzeugt werden.

[0055] Dann wird das Entwürfeln der verwürfelten Daten **104** des zweiten und nachfolgender Sektoren in dem ersten Block ausgeführt. Das Initialverwürfelmuster, das zum Entwürfeln von Daten in dem ersten Sektor verwendet wurde, wird auch zum Entwürfeln von Daten in den zweiten bis sechzehnten Sektoren in demselben Block verwendet. Nachdem das Entwürfeln des ersten Blockes abgeschlossen ist, wird ein Initialverwürfelmuster "5500(h)" verwendet, um Daten in dem zweiten Block zu entwürfeln. Ähnlich werden Initialverwürfelmusterwerte, wie in der Fig. 4 gezeigt ist, verwendet, um Daten in dem dritten und nachfolgenden Blöcken zu entwürfeln.

[0056] Ein zweites Ausführungsbeispiel der Erfindung wird nun unter Bezugnahme auf die begleitenden Zeichnungen erörtert. Um eine Redundanz zu vermeiden, wurden ähnliche oder dieselben Bezugszeichen jenen Komponenten beigefügt, die ähnlich den oder dieselben wie die entsprechenden Komponenten des ersten Ausführungsbeispiels sind.

[0057] Bei dem zweiten Ausführungsbeispiel werden die verwürfelten Daten **104** in Einheiten von zwei Bytes übertragen. Jedes Mal, wenn ein Impuls des Taktes CK eingegeben wird, überträgt der Datenprozessor **16** daher obere 1-Byte-Daten und untere 1-Byte-Daten zu einer Datenreproduzierschaltung **30**.

[0058] Wie in der Fig. 7 gezeigt ist, enthält die Datenreproduzierschaltung **30** gemäß dem zweiten Ausführungsbeispiel einen Verwürfelmustergenerator **31** und einen Entwürfler **32**. Der Verwürfelmustergenerator **31** erzeugt ein Paar von Verwürfelmustern, die verwendet werden, um 2-Byte-Hauptdaten der verwürfelten Daten **104** zu entwürfeln. Der Entwürfler **32** entwürfelt die 2-Byte-Hauptdaten unter Verwendung des Paares von Verwürfelmustern.

[0059] Der Verwürfelmustergenerator **31** enthält einen Selektor **33**, fünfzehn Daten-DFFs **26A** bis **26O**, eine erste Logikschaltung **27** und eine zweite Logikschaltung **35**. Die erste Logikschaltung **27** enthält acht EOR-Gates **27A** bis **27H**. Die zweite Logikschaltung **35** enthält wie die erste Logikschaltung **27** acht EOR-Gates.

[0060] Der Selektor **33** wählt das Initialverwürfelmuster in Abhängigkeit von dem L-Pegelauswahlsignal SL in der ersten Entwürfelungsoperation aus. In der zweiten oder jeglicher nachfolgenden Entwürfelungsoperation wählt der Selektor **33** ein neues Verwürfelmuster (Bits b14" – b0") in Abhängigkeit von dem H-Pegelauswahlsignal SL aus.

[0061] Die acht DFFs **26H** – **26O** speichern die Bits b7 – b0 oder b7" – b0" in Abhängigkeit von dem Impuls des Taktes CK und führen jene Bits zu dem Entwürfler **32** als einen 8-Bit-Verwürfelwert SK1 zum Entwürfeln der oberen 1-Byte-Daten zu. Die EOR-Gates **27A** – **27H** empfangen Bitwerte von den zugeordneten DFFs und schicken einen 8-Bit-Verwürfelwert SK2 (Bits b7' – b0') zu dem Entwürfler **32** zum Entwürfeln der unteren 1-Byte-Daten.

[0062] Die ausgegebenen Bits b6 – b0 oder b6" – b0" der sieben DFFs **26I** – **26O** werden als die Bits b14' – b8' zu der zweiten Logikschaltung **35** zugeführt. Ferner werden die ausgegebenen Bits b7' – b3' der fünf EOR-Gates **27A** – **27E** der zweiten Logikschaltung **35** zugeführt. Die zweite Logikschaltung **35** empfängt die Bits b14' – b3' und gibt die Bits b7" – b0" eines neuen Verwürfelmusters aus. Die ausgegebenen Daten b6' – b0' der sieben EOR-Gates **27B** – **27H** werden als die Bits b14" – b8" des neuen Verwürfelmusters ausgegeben.

[0063] Die folgende Tabelle 2 zeigt die Bits b14" – b0" eines neuen Verwürfelmusters, das unter Verwendung der Bits b14' – b0' in der oben erörterten Weise erzeugt wurde.

Tabelle 2

b14" = b6'
b13" = b5'
b12" = b4'
b11" = b3'
b10" = b2'
b9" = b1'
b8" = b0'
b7" = b14' ^ b10'
b6" = b13' ^ b9'
b5" = b12' ^ b8'
b4" = b11' ^ b7'
b3" = b10' ^ b6'
b2" = b9' ^ b5'
b1" = b8' ^ b4'
b0" = b7' ^ b3'

(^: Ausschließlich-ODER)

[0064] Wie oben beschrieben wurde, erzeugt der Verwürfelmustergenerator **31** gemäß dem zweiten Ausführungsbeispiel den 8-Bit-Verwürfelwert SK1 für die oberen 1-Byte-Daten und den 8-Bit-Verwürfelwert SK2 für die unteren 1-Byte-Daten jedes Mal, wenn ein Impuls des Taktes CK eingegeben wird. Dieses Ausführungsbeispiel kann daher ein Verwürfelmuster schneller erzeugen und kann die Transferrate von Hauptdaten im wesentlichen gleich der Geschwindigkeit des Erzeugens eines Verwürfelmusters machen. Dies stellt eine schnellere Transferrate von verwürfelten Daten sicher. Die zweite Logikschaltung **35** kann gemäß dem Datentransfer in Einheiten von drei Bytes oder ähnliches hinzugefügt werden. In diesem Fall wird die zu entwürfelnde Anzahl von Bytes gemäß der Datentransferrate geändert.

[0065] Der Entwürfler **32** enthält acht EOR-Gates **28** (nur eines ist in der Fig. 7 gezeigt) und acht EOR-Gates **37** (nur eines ist in der Fig. 7 gezeigt). Die EOR-Gates **28** empfangen den 8-Bit-Verwürfelwert SK1 (Bits b7 – b0), der von dem Verwürfelmustergenerator **31** ausgegeben wurde, und die oberen 1-Byte-Daten, die von dem Datenprozessor **16** ausgegeben wurden. Jedes der EOR-Gates **28** führt dann eine Ausschließlich-ODER-Operation auf die empfangenen Daten aus, um originale obere 1-Byte-Daten zu erzeugen. Die EOR-Gates **37** empfangen den 8-Bit-Verwürfelwert SK2 (Bits b7' – b0'), der von dem Verwürfelmustergenerator **31** ausgegeben wurde, und die unteren 1-Byte-Daten, die von dem Datenprozessor ausgegeben wurden. Jedes der EOR-Gates **37** führt dann eine Ausschließlich-ODER-Operation auf die empfangenen Daten aus, um originale untere 1-Byte-Daten zu erzeugen.

[0066] Die Operation der Datenreproduzierschaltung **30** wird nun erörtert. Bei der ersten Entwürfelungsoperation wählt der Selektor **33** das Initialverwürfelmuster in Abhängigkeit von dem L-Pegelauswahlsignal SL aus. Die DFFs **26A** – **26O** speichern entsprechend die Bits b14 – b0 des Initialverwürfelmusters in Abhängigkeit von dem ersten Taktimpuls. Die ausgegebenen Daten der DFFs **26H** – **26O** werden dem Entwürfler **32** als der 8-Bit-Verwürfelwert SK1 zugeführt. Die EOR-Gates **27A** – **27H** empfangen die ausgegebenen Daten von den zugeordneten DFFs **26A** – **26L** und führen den 8-Bit-Verwürfelwert SK2 zu dem Entwürfler **32** zu.

[0067] Die EOR-Gates **28** in dem Entwürfler **32** empfangen die entsprechenden Bits des Verwürfelwertes SK1 und die entsprechenden Bits der oberen verwürfelten 1-Byte-Daten, und jedes führt eine Ausschließ-

lich-ODER-Operation auf die empfangenen Bits aus, um originale obere 1-Byte-Daten zu erzeugen. Die EOR-Gates **37** in dem Entwürfler **32** empfangen die entsprechenden Bits des Verwürfelwertes SK2 und die entsprechenden Bits der unteren verwürfelten 1-Byte-Daten, und jedes führt eine Ausschließlich-ODER-Operation auf die empfangenen Bits aus, um originale untere 1-Byte-Daten zu erzeugen.

[0068] Die ausgegebenen Daten der sieben EOR-Gates **27B** – **27H** werden als die Bits b14" – b8" eines neuen Verwürfelmusters ausgegeben. Die zweite Logikschaltung **35** empfängt die ausgegebenen Bits b14' – b8' von den sieben DFFS **26I** – **26O** und die ausgegebenen Bits b7' – b3' von den fünf EOR-Gates **27A** – **27E**, und erzeugt die Bits b7" – b0" von dem neuen Verwürfelmuster.

[0069] In der zweiten Entwürfelungsoperation wählt der Selektor **33** das neue Verwürfelmuster (Bits b14" – b0") in Abhängigkeit von dem H-Pegelauswahlsignal SL aus. Die DFFs **26A** – **26O** speichern entsprechend die Bits b14" – b0" in Abhängigkeit von dem nächsten Taktimpuls. Der Entwürfler **32** empfängt die ausgegebenen Daten der acht DFFs **26H** – **26O** als den 8-Bit-Verwürfelwert SK1 und empfängt auch den 8-Bit-Verwürfelwert SK2 von den acht EOR-Gates **27A** – **27H**. Der Entwürfler **32** entwürfelt die 2-Byte-Daten unter Verwendung der Verwürfelwerte SK1 und SK2, um originale 2-Byte-Daten zu erzeugen. Die sechs EOR-Gates **27B** – **27H** geben die Bits b14" – b8" des neuen Verwürfelmusters aus. Die zweite Logikschaltung **35** gibt die Bits b7" – b0" des neuen Verwürfelmusters aus.

[0070] In der dritten Entwürfelungsoperation oder jeglicher nachfolgenden Entwürfelungsoperation führen der Selektor **33**, die DFFs **26A** – **26O**, die EOR-Gates **27A** – **27H** und der Entwürfler **32** dieselbe Entwürfelung von 2-Byte-Hauptdaten aus, wie es in der zweiten Entwürfelungsoperation erfolgte, wodurch die originalen 2-Byte-Daten erzeugt werden.

[0071] Ein drittes Ausführungsbeispiel die Erfindung wird nun unter Bezugnahme auf die begleitenden Zeichnungen erörtert. Um eine Redundanz zu vermeiden, werden ähnliche oder gleiche Bezugszeichen jenen Komponenten angefügt, die ähnlich oder dieselben sind wie die entsprechenden Komponenten des ersten Ausführungsbeispiels.

[0072] Bei dem dritten Ausführungsbeispiel werden verwürfelte Daten **104** in der Einheit von einem Byte übertragen. Jedes Mal, wenn ein Impuls des Taktes CK eingegeben ist, werden daher 1-Byte-Hauptdaten zu einer Datenreproduzierschaltung **40** übertragen.

[0073] Wie in der Fig. 8 gezeigt ist, enthält die Datenreproduzierschaltung **40** gemäß dem dritten Ausführungsbeispiel eine Initialmustereinstellschaltung **41**, einen Verwürfelmustergenerator **21** und einen Entwürfler **22**. Die Initialmustereinstellschaltung **41** ist konfiguriert, um eine Mehrzahl von Initialverwürfelmustern entsprechend einer Mehrzahl von Datenadressen von individuellen Sektoren in jedem Block zu speichern. Die Initialmustereinstellschaltung **41** stellt das Initialverwürfelmuster selektiv ein, das der Datenadresse entspricht, an welcher ein Endwürfeln gestartet werden soll.

[0074] Der Verwürfelmustergenerator **21** erzeugt einen 8-Bit-Verwürfelwert unter Verwendung des ausgewählten Initialverwürfelmusters. Der Entwürfler **22** führt ein Endwürfeln unter Verwendung dieses 8-Bit-Verwürfelwertes und verwürfelter Daten an einer spezifischen Adresse aus. Dieses Schema verkürzt daher die Zeit zum Erzeugen eines Verwürfelmusters für die verwürfelten Daten, die an einer willkürlichen Datenadresse liegen. In anderen Worten ist es möglich, Originaldaten von den verwürfelten Daten, die an einer willkürlichen Datenadresse liegen, zu erlangen. Dies ist effektiv beim Ausführen einer schnellen Datenverarbeitung.

[0075] Die Fig. 9 präsentiert eine Tabelle, die Initialverwürfelmuster gemäß dem dritten Ausführungsbeispiel zeigt. Vier Initialverwürfelmuster α1 – α4 sind für die ID-Werte der Bits b7 – b4 eingestellt, die dem Sektornummernfeld in einem Block zugeordnet sind. Die vier Initialverwürfelmuster α1 – α4 entsprechen den vier Adressen eines Datensektors. Die Adresse von Hauptdaten des ersten Bytes in dem Datensektor ist durch "0000" ausgedrückt. Die anderen drei Adressen sind durch Sprungwerte gegeben, wobei die Adresse "0000" als eine Referenz verwendet wird.

[0076] Bei dem dritten Ausführungsbeispiel werden ID-Werte in erste und zweite Gruppen separiert. Die erste Gruppe besteht aus einem ID-Wert von 0(h), ID-Wert von 2(h), ID-Wert von 4(h), ID-Wert von 6(h), ID-Wert von 8(h), ID-Wert von A(h), ID-Wert von C(h) und ID-Wert von E(h). Die zweite Gruppe besteht aus einem ID-Wert von 1(h), ID-Wert von 3(h), ID-Wert von 5(h), ID-Wert von 7(h), ID-Wert von 9(h), ID-Wert von B(h), ID-Wert von D(h) und ID-Wert von F(h).

[0077] Der ID-Wert von 0(h) und ID-Wert von 2(h) in der ersten Gruppe haben die folgende Beziehung. Das Initialverwürfelmuster α1 (0001(h)) ist "000000000000001(2)". Die Bits b13 – b0 werden um 1 Bit aufwärts verschoben, und ein Logikwert, der durch eine Ausschließlich-ODER-Operation auf das Bit b14 (0) und das Bit b10 (0) erzeugt wird, wird in dem Bit b0 eingestellt, womit 000000000000010(2) = 0002 (h) erzeugt wird. Dieser Wert ist gleich dem Initialverwürfelmuster α1 (0002(2)), was dem ID-Wert von 2(h) entspricht.

[0078] In derselben Weise, wie oben erörtert wurde, werden 67F8(h), 7FE0(h) und 2A81(h) entsprechend von den Initialverwürfelmustern α2 (33FC(h)), α3(7FF0(h)) und α4 (1540(h)) erzeugt. Jene Werte sind entsprechend gleich den Initialverwürfelmustern α2, α3 und α4, die dem ID-Wert von 2(h) entsprechen.

[0079] Der ID-Wert von 2(h) und ID-Wert von 4(h), der ID-Wert von 4(h) und ID-Wert 6(h), der ID-Wert von 6(h) und ID-Wert von 8(h), der ID-Wert von 8(h) und ID-Wert von A(h), der ID-Wert von A(h) und ID-Wert von C(h), und der ID-Wert von C(h) und ID-Wert von E(h), haben basierend auf den Initialverwürfelmustern α1 – α4 ähnliche Beziehungen.

[0080] In der zweiten Gruppe werden 2A00(h), 67F0(h), 6000 (h) und 5501 (h) entsprechend von den Initialverwürfelmustern α1 (5500 (h)), α2(33F8(h)), α3(3000 (h)) und α4(6A80(h)) in derselben Weise erzeugt, wie es für die erste Gruppe erfolgte. Jene Werte sind entsprechend gleich den Initialverwürfelmustern α1 bis α4 entsprechend dem ID-Wert von 3(h).

[0081] Der ID-Wert von 3(h) und ID-Wert von 5(h), der ID-Wert von 5(h) und ID-Wert von 7(h), der ID-Wert von 7(h) und ID-Wert von 9(h), der ID-Wert von 9(h) und ID-Wert von B(h), der ID-Wert von B(h) und ID-Wert von D(h), und ID-Wert von D(h) und ID-Wert von F(h) haben basierend auf den Initialverwürfelmustern α1 bis α4 ähnliche Beziehungen.

[0082] Unter Bezugnahme wieder auf die Fig. 8 enthält die Initialmustereinstellschaltung **41** erste und zweite Selektoren **42** und **43** und sieben Schiebeschaltungen **44** bis **50**. Der erste Selektor **42** hat acht Speicherbereiche. Die vier Initialverwürfelmuster 0001(h), 33FC(h), 7FF0(h) und 1540(h) entsprechend dem ID-Wert von 0(h) sind entsprechend in den vier von den acht Speicherbereichen gespeichert. Die vier Initialverwürfelmuster 5500(h), 33F8(h), 3000(h) und 6A80(h) entsprechend dem ID-Wert von 1(h) sind entsprechend in den verbleibenden vier Speicherbereichen gespeichert.

[0083] Der erste Selektor **42** empfängt ein Gruppenauswahlsignal SLG von dem Datenprozessor **16** und ein Sprungauswahlsignal SLO von der MPU **12**. Der erste Selektor **42** wählt dann eines der acht Initialverwürfelmuster gemäß dem Gruppenauswahlsignal SLG und dem Sprungauswahlsignal SLO aus. Die Bits b14 – b0 des ausgewählten Initialverwürfelmusters werden als eine erste Signalgruppe I1 von dem ersten Selektor **42** ausgegeben.

[0084] Das Gruppenauswahlsignal SLG gibt den Wert des Bits b4 an, das dem Sektornummernfeld zugeordnet ist. Wenn das Gruppenauswahlsignal SLG "0" ist, sind die Initialverwürfelmuster 0001(h), 33FC(h), 7FF0(h) und 1540(h), die dem ID-Wert von 0(h) entsprechen, verfügbare Auswahlen, d.h. Kandidaten, die auszuwählen sind. Wenn das Gruppenauswahlsignal SLG "1" ist, sind die Initialverwürfelmuster 5500(h), 33F8(h), 3000(h) und 6A80(h), die dem ID-Wert von 1(h) entsprechen, verfügbare Auswahlen.

[0085] Das Sprungsauswahlsignal SLO gibt einen Sprungwert einer Datenadresse an. Wenn der Sprungwert von Daten in dem Bereich von Adressen 0000 bis 0511 liegt, sind verfügbare Auswahlen die Initialverwürfelmuster 0001(h) und 5500(h). Wenn der Sprungwert von Daten in dem Bereich von Adressen 0512 bis 1023 liegt, sind verfügbare Auswahlen die Initialverwürfelmuster 33FC(h) und 33F8(h). Wenn der Sprungwert von Daten in dem Bereich von Adressen 1024 bis 1535 liegt, sind verfügbare Auswahlen die Initialverwürfelmuster 7FF0(h) und 3000(h). Wenn der Sprungwert von Daten in dem Bereich von Adressen 1536 bis 2047 liegt, sind verfügbare Auswahlen die Initialverwürfelmuster 1540 (h) und 6A80(h).

[0086] Wenn das Gruppenauswahlsignal SLG "0" und der Sprungwert von Daten die Adresse 0513 in der ersten Entwürfelungsoperation ist, wählt und gibt der erste Selektor **42** das Initialverwürfelmuster 33FC(h) entsprechend dem ID-Wert von 0(h) aus.

[0087] Wenn das Initialverwürfelmuster 33FC(h) von dem ersten Selektor **42** empfangen wird, führen die individuellen Schiebeschaltungen **44** – **50** zweite bis achte Signalgruppen I2 bis I8 (67F8(h), 4FF0(h), 1FE0(h), 3FC1(h), 7F83(h), 7F06(h) und 7EOC(h)) zu dem zweiten Selektor **43** zu. In diesem Fall entsprechen die zweiten bis achten Signalgruppen I2 – I8 entsprechend dem ID-Wert von 2(h), den ID-Wert von 4(h), dem ID-Wert

von 6(h), dem ID-Wert von 8(h), dem ID-Wert von A(h), dem ID-Wert von C(h) und dem ID-Wert von E(h) in der ersten Gruppe.

[0088] Die Schiebeschaltung **44** enthält ein EOR-Gate **44A**, das die Bits b14 und b10 in der ersten Signalgruppe I1 von dem ersten Selektor **42** empfängt. Die Schiebeschaltung **44** ist konfiguriert, um eine Ausschließlich-ODER-Operation auf beide Bits auszuführen, um die zweite Signalgruppe I2 zu dem zweiten Selektor **43** zuzuführen. Die zweite Signalgruppe I2 enthält neue Bits b14–b1, die durch Verschieben der Bits b13 – b0 in der ersten Signalgruppe I1 um ein Bit aufwärts erhalten werden, und ein neues Bit b0, das äquivalent zu dem Ausgangssignal des EOR-Gates **44A** ist.

[0089] Die Schiebeschaltung **45** enthält ein EOR-Gate **45A**, das die Bits b13 und b9 in der ersten Signalgruppe I1 empfängt. Die Schiebeschaltung **45** ist konfiguriert, um eine Ausschließlich-ODER-Operation auf beide Bits auszuführen, um die dritte Signalgruppe E3 zu dem zweiten Selektor **43** zuzuführen. Die dritte Signalgruppe I3 enthält neue Bits b14 – b2, die durch Verschieben der Bits b12 – b0 in der ersten Signalgruppe I1 um zwei Bits aufwärts erhalten werden, ein neues Bit b1, das äquivalent dem Ausgangssignal des EOR-Gates **44A** ist, und ein neues Bit b0, das äquivalent dem Ausgangssignal des EOR-Gates **45A** ist.

[0090] Die Schiebeschaltung **46** enthält ein EOR-Gate **46A**, das die Bits b12 und b8 in der ersten Signalgruppe I1 empfängt. Die Schiebeschaltung **46** ist konfiguriert, um eine Ausschließlich-ODER-Operation auf beide Bits auszuführen, um die vierte Signalgruppe I4 zu dem zweiten Selektor **43** zuzuführen. Die vierte Signalgruppe I4 enthält neue Bits b14 – b3, die durch Verschieben der Bits b11 – b0 in der ersten Signalgruppe I1 um drei Bits aufwärts erhalten werden, neue Bits b2 und b1, die äquivalent zu den Ausgangssignalen der EOR-Gates **44A** und **45A** sind, und ein neues Bit b0, das äquivalent zum Ausgangssignal des EOR-Gates **46A** ist.

[0091] Die Schiebeschaltung **47** enthält ein EOR-Gate **47A**, das die Bits b11 und b7 in der ersten Signalgruppe I1 empfängt. Die Schiebeschaltung **47** ist konfiguriert, um eine Ausschließlich-ODER-Operation auf beide Bits auszuführen, um die fünfte Signalgruppe I5 zu dem zweiten Selektor **43** zuzuführen. Die fünfte Signalgruppe I5 enthält neue Bits b14 – b4, die durch Verschieben der Bits b10 – b0 in der ersten Signalgruppe I1 um vier Bits aufwärts erhalten werden, neue Bits b3, b2 und b1, die äquivalent zu den Ausgangssignalen der EOR-Gates **44A**, **45A** und **46A** sind, und ein neues Bit b0, das äquivalent zu dem Ausgangssignal des EOR-Gates **47A** ist.

[0092] Die Schiebeschaltung **48** enthält ein EOR-Gate **48A**, das die Bits b10 und b6 in der ersten Signalgruppe I1 empfängt. Die Schiebeschaltung **48** ist konfiguriert, um eine Ausschließlich-ODER-Operation auf beide Bits auszuführen, um die sechste Signalgruppe **26** zu dem zweiten Selektor **43** zuzuführen. Die sechste Signalgruppe I6 enthält neue Bits b14 – b5, die durch Verschieben der Bits b9 – b0 in der ersten Signalgruppe I1 um fünf Bits aufwärts erhalten werden, neue Bits b4, b3, b2 und b1, die äquivalent zu den Ausgangssignalen der EOR-Gates **44A**, **45A**, **46A** und **47A** sind, und ein neues Bit b0, das äquivalent zum Ausgangssignal des EOR-Gates **48A** ist.

[0093] Die Schiebeschaltung **49** enthält ein EOR-Gate **49A**, das die Bits b9 und b5 in der ersten Signalgruppe I1 empfängt. Die Schiebeschaltung **49** ist konfiguriert, um eine Ausschließlich-ODER-Operation auf beide Bits auszuführen, um die siebte Signalgruppe I7 zu dem zweiten Selektor **42** zuzuführen. Die siebte Signalgruppe I7 enthält neue Bits b14 – b6, die durch Verschieben der Bits b8 – b0 in der ersten Signalgruppe I1 um sechs Bits aufwärts erhalten werden, neue Bits b5, b4, b3, b2 und b1, die äquivalent zu den Ausgangssignalen der EOR-Gates **44A**, **45A**, **46A**, **47A** und **48A** sind, und ein neues Bit b0, das äquivalent zum Ausgangssignal des EOR-Gates **49A** ist.

[0094] Die Schiebeschaltung **50** enthält ein EOR-Gate **50A**, das die Bits b8 und b4 in der ersten Signalgruppe I1 empfängt. Die Schiebeschaltung **50** ist konfiguriert, um eine Ausschließlich-ODER-Operation auf beide Bits auszuführen, um die achte Signalgruppe I8 zu dem zweiten Selektor **43** zuzuführen. Die achte Signalgruppe I8 enthält neue Bits b14 – b7, die durch Verschieben der Bits b7 – b0 in der ersten Signalgruppe I1 um sieben Bits aufwärts erhalten werden, neue Bits b6, b5, b4, b3, b2 und b1, die äquivalent zu den Ausgangssignalen der EOR-Gates **44A**, **45A**, **46A**, **47A**, **48A** und **49A** sind, und ein neues Bit b0, das äquivalent zum Ausgangssignal des EOR-Gates **50A** ist.

[0095] Der zweite Selektor empfängt die ersten bis achten Signalgruppen I1 bis I8 und wählt eine von ihnen gemäß einem Signalgruppenauswahlsignal SLID von 3-Bits aus, das von dem Datenprozessor **16** zugeführt wird. Die ausgewählte Signalgruppe wird dem Verwürfelmustergenerator **21** zugeführt. Das Signalgruppenauswahlsignal SLID ist ein 3-Bit-Signal für die Bits b7 – b5, die dem Sektornummernfeld zugeordnet sind.

[0096] Die folgende Tabelle 3 zeigt die Korrelation zwischen den ersten bis achten Signalgruppen I1 – I8 und acht Signalgruppenauswahlsignalen SLID als Kombinationen von drei Bits.

Tabelle 3

SLID			auszuwählende Signalgruppe
b7	b6	b5	
0	0	0	I1
0	0	1	I2
0	1	0	I3
0	1	1	I4
1	0	0	I5
1	0	1	I6
1	1	0	I7
1	1	1	I8

[0097] Zur Entwürfelungszeit wählt, wenn der Sprungwert von Verwürfeldaten, der dem ID-Wert von 0(h) entspricht, an der Adresse 0513 ist, der erste Selektor **42** das Initialverwürfelmuster 33FC(h) aus. In diesem Moment ist das Signalgruppenauswahlsignal SLID "000" basierend auf dem ID-Wert von 0(h). Der zweite Selektor **43** wählt die erste Signalgruppe I1 (33FC(h)) gemäß dem Signalgruppenauswahlsignal SLID von "000" aus.

[0098] Der Verwürfelmustergenerator **21** empfängt die ausgewählte Signalgruppe von dem zweiten Selektor als das Initialverwürfelmuster und erzeugt einen 8-Bit-Verwürfelwert. Zum Entwürfeln verwürfelter Daten, die zum Beispiel an der Adresse 0513, entsprechend dem ID-Wert von 0(h), liegen, wird das Initialverwürfelmuster "33FC(h)" ausgewählt. Der Verwürfelmustergenerator **21** erzeugt einen 8-Bit-Verwürfelwert in Abhängigkeit von dem zweiten Impuls des Taktes CK. Dies liegt daran, dass Daten, die zu entwürfeln sind, zuerst an der Adresse 0513 liegen, die um eins größer als die Adresse 0512 ist, die dem Initialverwürfelmuster "33FC(h)" entspricht. Der Entwürfler **22** empfängt einen 8-Bit-Verwürfelwert und verwürfelte Daten an der Adresse 0513 und entwürfelt sie, um Originaldaten zu erzeugen.

[0099] Obwohl verschiedene Ausführungsbeispiele der vorliegenden Erfindung hierin beschrieben sind, ist es für Fachleute offensichtlich, dass die vorliegende Erfindung in vielen anderen spezifischen Formen ausgeführt werden kann. Insbesondere ist zu verstehen, dass die Erfindung in einem Verwürfelmustergenerator ausgeführt werden kann, der in einer Vorrichtung zum Schreiben von Daten auf eine Platte verwendet wird, um Daten, die zu schreiben sind, zu verwürfeln. Daher werden die vorliegenden Beispiele und Ausführungsbeispiele als illustrativ und nicht beschränkend erachtet.

Patentansprüche

1. Verfahren zum Erzeugen von Originaldaten durch Entwürfeln von verwürfelten Daten unter Verwendung von vorgegebenen Verwürfelmustern, welche verwürfelten Daten in eine Mehrzahl von verwürfelten Datengruppen separiert sind, von denen jede eine Mehrzahl von verwürfelten Einheitendaten enthält, wobei Initialverwürfelmuster den Datengruppen entsprechend zugeordnet werden, welches Verfahren die Schritte enthält:
(a) Vorbereiten eines Initialverwürfelmusters, das einer spezifischen Datengruppe zugeordnet ist;
(b) Erzeugen eines ersten Verwürfelmusters unter Verwendung des vorbereiteten Initialverwürfelmusters;
(c) Vorbereiten eines der verwürfelten Einheitendatenstücke in der spezifischen Datengruppe; und
(d) Ausführen einer Entwürfelungsoperation unter Verwendung des ersten Verwürfelmusters und des einen vorbereiteten verwürfelten Einheitendatenstückes, um ein Originaldatenstück zu erzeugen;
dadurch gekennzeichnet, dass das erste Verwürfelmuster ein integrales Multiples von Bytes ist und in einem Taktzyklus erzeugt wird;
und dass das Verfahren ferner die Schritte enthält:
(e) Erzeugen eines zweiten Verwürfelmusters, das ein integrales Multiples von Bytes ist, in einem nachfolgenden Taktzyklus unter Verwendung des ersten Verwürfelmusters;

(f) Ersetzen des ersten Verwürfelmusters durch das zweite Verwürfelmuster in einem Taktzyklus; und
(g) Ausführen einer Entwürfelungsoperation unter Verwendung des zweiten Verwürfelmusters und eines zweiten verwürfelten Einheitendatenstückes, um ein zweites Originaldatenstück zu erzeugen.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Schritt (d) einen Schritt des Ausführens einer Ausschließlich-ODER-Operation auf das erste Verwürfelmuster und das eine vorbereitete verwürfelte Einheitendatenstück enthält, um ein Originaldatenstück zu erzeugen.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass jede der mehreren Stücke von verwürfelten Einheitendaten in einer Einheit von einem Byte für jeden Taktzyklus übertragen wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der Schritt (g) einen Schritt des Ausführens einer Ausschließlich-ODER-Operation auf das erste Verwürfelmuster und das eine vorbereitete verwürfelte Einheitendatenstück enthält, um ein Originaldatenstück zu erzeugen.

5. Verfahren zum Erzeugen von Originaldaten durch Entwürfeln von verwürfelten Daten nach Anspruch 1, wobei von der Mehrzahl von Datengruppen jede mehrere Stücke von verwürfelten Ein-Byte-Daten enthält, die in Einheiten von einem Byte für jeden Taktzyklus übertragbar sind, und wobei der Schritt (d) ferner enthält:
Ausführen einer Ausschließlich-ODER-Operation auf das erste Verwürfelmuster und das vorbereitete verwürfelte Ein-Byte-Datenstück, um ein originales Ein-Byte-Datenstück in einem Taktzyklus zu erzeugen.

6. Verfahren zum Erzeugen von Originaldaten durch Entwürfeln von verwürfelten Daten nach Anspruch 1, wobei von der Mehrzahl von Datengruppen jede mehrere Stücke von verwürfelten Einheitendaten enthält, die erste und zweite verwürfelte Einheitendaten enthalten, die jeweils ein integrales Multiples von Bytes sind,
und wobei die Verfahrensschritte (b) bis (g) enthalten:
(b) Erzeugen einer ersten Mehrzahl von Verwürfelmustern, die erste und zweite Verwürfelmuster enthalten, in einem Taktzyklus unter Verwendung des vorbereiteten Initialverwürfelmusters;
(c) Vorbereiten mehrerer Stücke von verwürfelten Einheitendaten, die erste und zweite der verwürfelten Einheitendatenstücke in der spezifischen Datengruppe enthalten; und
(d) Ausführen einer ersten Mehrzahl von Entwürfelungsoperationen, die erste und zweite Entwürfelungsoperationen enthalten, um gleichzeitig mehrere Stücke von Originaldaten zu erzeugen, die erste und zweite Originaldatenstücke enthalten, wobei die erste Entwürfelungsoperation unter Verwendung des ersten Verwürfelmusters und des ersten verwürfelten Einheitendatenstückes ausgeführt wird, um das erste Originaldatenstück zu erzeugen, und wobei die zweite Entwürfelungsoperation unter Verwendung des zweiten Verwürfelmusters und des zweiten verwürfelten Einheitendatenstückes ausgeführt wird, um das zweite Originaldatenstück zu erzeugen;
(e) Erzeugen einer zweiten Mehrzahl von Verwürfelmustern, die dritte und vierte Verwürfelmuster enthalten, die jeweils ein integrales Multiples von Bytes sind, in einem nachfolgenden Taktzyklus unter Verwendung der ersten Mehrzahl von Verwürfelmustern, die erste und zweite Verwürfelmuster enthalten;
(f) Ersetzen der jeweiligen ersten Mehrzahl von Verwürfelmustern durch die jeweilige zweite Mehrzahl von Verwürfelmustern in einem Taktzyklus; und
(g) Ausführen einer zweiten Mehrzahl von Entwürfelungsoperationen, die dritte und vierte Entwürfelungsoperationen enthalten, um gleichzeitig mehrere Stücke von Originaldaten zu erzeugen, die dritte und vierte Originaldatenstücke enthalten,
wobei die dritte Entwürfelungsoperation unter Verwendung des dritten Verwürfelmusters und des dritten verwürfelten Einheitendatenstückes ausgeführt wird, um ein drittes Originaldatenstück zu erzeugen, und wobei die vierte Entwürfelungsoperation unter Verwendung des vierten Verwürfelmusters und des vierten verwürfelten Einheitendatenstückes ausgeführt wird, um ein viertes Originaldatenstück zu erzeugen.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass der Schritt (d) einen Schritt des Ausführens einer ersten Mehrzahl von Ausschließlich-ODER-Operationen enthält, die erste und zweite Ausschließlich-ODER-Operationen enthalten, um gleichzeitig die Originaldatenstücke zu erzeugen, die erste und zweite Originaldatenstücke enthalten, wobei die erste Ausschließlich-ODER-Operation unter Verwendung des ersten Verwürfelmusters und des ersten verwürfelten Einheitendatenstückes ausgeführt wird, um das erste Originaldatenstück zu erzeugen, und wobei die zweite Ausschließlich-ODER-Operation unter Verwendung des zweiten Verwürfelmusters und des zweiten verwürfelten Einheitendatenstückes ausgeführt wird, um das zweite Originaldatenstück zu erzeugen.

8. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass jedes der mehreren Stücke von verwürfelten Einheitendaten in einer Einheit von zwei Bytes für jeden Taktzyklus übertragen wird.

9. Verfahren nach einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, dass der Schritt (g) einen Schritt des Ausführens einer zweiten Mehrzahl von Ausschließlich-ODER-Operationen enthält, die dritte und vierte Ausschließlich-ODER-Operationen enthalten, um gleichzeitig die mehreren Stücke von Originaldaten zu erzeugen, die dritte und vierte Originaldatenstücke enthalten,
wobei die dritte Ausschließlich-ODER-Operation unter Verwendung des dritten Verwürfelmusters und des dritten verwürfelten Einheitendatenstückes ausgeführt wird, um das dritte Originaldatenstück zu erzeugen, und wobei die vierte Ausschließlich-ODER-Operation unter Verwendung des vierten Verwürfelmusters und des vierten verwürfelten Einheitendatenstückes ausgeführt wird, um das vierte Originaldatenstück zu erzeugen.

10. Verfahren zum Erzeugen von Originaldaten durch Entwürfeln von verwürfelten Daten nach Anspruch 1, wobei eine Position für jedes Stück von verwürfelten Einheitendaten in einer Datengruppe definiert ist, eine Mehrzahl von Initialverwüfelmustern entsprechend vorgegebenen ausgewählten Positionen in einer Datengruppe zugeordnet ist, und wobei die Verfahrensschritte (a) bis (g) enthalten:
(a) Spezifizieren einer ersten Position für eine verwürfelte Einheitendatenangabe in einer Datengruppe, und welche erste Position eine Position ist, bei welcher ein Entwürfeln eines verwürfelten Einheitendatenstückes gestartet werden soll, und
Auswählen eines Initialverwürfelmusters, das mit der spezifizierten ersten Position verbunden ist, in der Mehrzahl von Initialverwürfelmustern;
(b) Erzeugen eines ersten Verwürfelmusters, das ein integrales Multiples von Bytes ist, unter Verwendung des ausgewählten Initialverwürfelmusters;
(c) Vorbereiten eines verwürfelten Einheitendatenstückes, das der spezifizierten ersten Position entspricht;
(d) Ausführen einer Entwürfelungsoperation unter Verwendung des ersten Verwürfelmusters und des vorbereiteten verwürfelten Einheitendatenstückes, um ein Originaldatenstück zu erzeugen;
(e) Erzeugen eines zweiten Verwürfelmusters, das ein integrales Multiples von Bytes ist, unter Verwendung des ersten Verwüfelmusters;
(f) Ersetzen des ersten Verwürfelmusters durch das zweite Verwürfelmuster in einem Taktzyklus; und
(g) Ausführen einer Entwürfelungsoperation unter Verwendung des zweiten Verwürfelmusters und des zweiten verwürfelten Einheitendatenstückes, um ein zweites Originaldatenstück zu erzeugen.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass der Schritt (b) einen Schritt des Ausführens einer Ausschließlich-ODER-Operation auf das erste Verwürfelmuster und das vorbereitete verwürfelte Einheitendatenstück enthält, um das Originaldatenstück zu erzeugen.

12. Verfahren nach Anspruch 11, wobei die Mehrzahl von Initialverwüfelmustern vier Initialverwürfelmuster enthält, von denen jedes einer von vier Positionen für vier verwürfelte Einheitendatenstücke in einer Datengruppe entspricht.

13. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass der Schritt (g) einen Schritt des Ausführens einer Ausschließlich-ODER-Operation auf das zweite Verwürfelmuster und das zweite verwürfelte Einheitendatenstück enthält, um das zweite Originaldatenstück zu erzeugen.

14. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass jedes der Stücke von verwürfelten Einheitendaten in Einheiten einer vorgegebenen Einheit von Anzahlen von Bytes für jeden Taktzyklus übertragen wird,
wobei der Schritt (b) einen Schritt des Erzeugens eines ersten Verwürfelmusters unter Verwendung des ausgewählten Initialverwürfelmusters in einem Taktzyklus enthält, und
wobei der Schritt (d) einen Schritt des Ausführens einer Entwürfelungsoperation unter Verwendung des ersten Verwürfelmusters und des vorbereiteten verwürfelten Einheitendatenstückes enthält, um Originaldaten in einem Taktzyklus zu erzeugen.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass der Schritt (d) einen Schritt des Ausführens einer Ausschließlich-ODER-Operation auf das erste Verwürfelmuster und das vorbereitete verwürfelte Einheitendatenstück enthält, um das Originaldatenstück in einem Taktzyklus zu erzeugen.

16. Verfahren nach einem der Ansprüche 10 bis 15, dadurch gekennzeichnet, dass jedes der mehreren Stücke von verwürfelten Einheitendaten in Einheiten von einem Byte für jeden Taktzyklus übertragen wird.

17. Schaltung (**21**, **31**, **40**) zum Erzeugen von Verwürfelmustern, die beim Entwürfeln von verwürfelten Daten verwendet werden, welche verwürfelten Daten in eine Mehrzahl von Datengruppen separiert sind, wobei Initialverwürfelmuster jeweils den Datengruppen zugeordnet sind, welche Schaltung gekennzeichnet ist durch:

eine Mehrzahl von Registern (**26A** – **26o**) zum Empfangen eines Initialverwürfelmusters, das einer spezifischen Datengruppe zugeordnet ist, und zum temporären Halten des Initialverwürfelmusters, um das Initialverwürfelmuster als ein erstes Verwürfelmuster auszugeben; und
eine erste Logikschaltung (**27**), die an die Mehrzahl von Registern gekoppelt ist, zum Empfangen des ersten Verwürfelmusters, um ein zweites Verwürfelmuster zu erzeugen, und um das zweite Verwürfelmuster der Mehrzahl von Registern bereitzustellen, wobei die Mehrzahl von Registern zum Empfangen des Initialverwürfelmusters oder des zweiten Verwürfelmusters angeordnet ist und zum Ausgeben eines ausgewählten Musters als das erste Verwürfelmuster, jedes Mal, wenn ein einzelner Taktimpuls eingegeben wird, angeordnet ist.

18. Schaltung nach Anspruch 17, gekennzeichnet durch einen Selektor (**25**), der zwischen die Mehrzahl von Registern (**26A** – **26o**) und die erste Logikschaltung (**27**) gekoppelt ist, um das Initialverwürfelmuster zu empfangen, das der Mehrzahl von Registern bereitzustellen ist, und um das zweite Verwürfelmuster zu empfangen, das von der ersten Logikschaltung bereitgestellt wird, um selektiv das Initialverwürfelmuster oder das zweite Verwürfelmuster der Mehrzahl von Registern gemäß einem Selektionssignal bereitzustellen.

19. Schaltung nach Anspruch 17 oder 18, gekennzeichnet durch eine zweite Logikschaltung (**35**), die an die erste Logikschaltung (**27**) gekoppelt ist, um das zweite Verwürfelmuster zu empfangen, das von der ersten Logikschaltung bereitgestellt wird, um ein drittes Verwürfelmuster zu erzeugen, und um das dritte Verwürfelmuster der Mehrzahl von Registern bereitzustellen.

20. Schaltung nach Anspruch 19, ferner enthaltend einen Selektor (**33**), der zwischen die Mehrzahl von Registern (**26A** – **26o**) und die ersten und zweiten Logikschaltungen (**27**, **35**) gekoppelt ist, um das Initialverwürfelmuster, das der Mehrzahl von Registern bereitzustellen ist, zu empfangen, welches zweite Verwürfelmuster von der ersten Logikschaltung bereitgestellt wird und welches dritte Verwürfelmuster von der zweiten Logikschaltung bereitgestellt wird, um selektiv das Initialverwürfelmuster oder das zweite oder das dritte Verwürfelmuster gemäß einem Selektionssignal bereitzustellen.

21. Schaltung nach einem der Ansprüche 17 bis 20, dadurch gekennzeichnet, dass die verwürfelten Daten auf einem Aufzeichnungsmedium aufgezeichnet sind.

22. Schaltung (**40**) nach Anspruch 17, wobei die Mehrzahl von Datengruppen jeweils mehrere Stücke von verwürfelten Einheitendaten enthalten, wobei eine Position für jedes der mehreren Stücke von verwürfelten Einheitendaten in einer Datengruppe definiert ist, wobei eine Mehrzahl von Initialverwürfelmustern entsprechend vorgegebenen ausgewählten Positionen in einer Datengruppe zugeordnet ist, welche Schaltung enthält:
einen ersten Selektor (**42**) zum Speichern einer Mehrzahl von Initialverwürfelmustern, die mit wenigstens einer Datengruppe verbunden sind, und zum Auswählen eines Initialverwürfelmusters in Abhängigkeit von einem Signal, das für eine erste Position Indikativ ist, die für eine verwürfelte Einheitendatenangabe in einer Datengruppe spezifiziert ist;
eine Schaltung (**21**), die an den ersten Selektor (**42**) gekoppelt ist, um Verwürfelmuster zu erzeugen, welche Schaltung enthält:
eine Mehrzahl von Registern (**26A** – **26o**) zum Empfangen eines Initialverwürfelmusters, das von dem ersten Selektor ausgewählt wurde, und zum temporären Halten des Initialverwürfelmusters, um das Initialverwürfelmuster als ein ersten Verwürfelmuster auszugeben; und
eine Entwürfelungsschaltung (**22**), die an die Verwürfelmustererzeugungsschaltung (**21**) gekoppelt ist, um die verwürfelten Daten und das erste Verwürfelmuster zu empfangen, und um eine Entwürfelungsoperation unter Verwendung der verwürfelten Daten und des ersten Verwürfelmusters auszuführen, um Originaldaten zu erzeugen.

23. Schaltung nach Anspruch 22, gekennzeichnet durch:
eine Mehrzahl von Schiebeschaltungen (**44** – **50**), die an den ersten Selektor (**42**) gekoppelt sind, um das ausgewählte Initialverwürfelmuster zu empfangen, und um eine Mehrzahl von Initialverwürfelmustern zu erzeugen, die entsprechend mit der Mehrzahl von Datengruppen verbunden sind; und
einen zweiten Selektor (**43**), der an den ersten Selektor (**42**) und die Mehrzahl von Schiebeschaltungen (**40** – **50**) gekoppelt ist, um die ausgewählten Initialverwürfelmusters von dem ersten Selektor und die Mehrzahl von Initialverwürfelmustern von der Mehrzahl von Schiebeschaltungen zu empfangen, und um ein Initialverwürfelmuster in Abhängigkeit von einem Signal auszuwählen, das für eine spezifische Datengruppe indikativ ist.

24. Plattenlesevorrichtung, gekennzeichnet durch:
eine Schaltung (**21**, **31**) zum Erzeugen von Verwürfelmustern nach Anspruch 21;
eine Datenverarbeitungsvorrichtung (**16**) zum Bereitstellen des Initialverwürfelmusters und der verwürfelten

Daten an die Schaltung; und
eine Entwürfelungsschaltung (**22**, **32**), die an die Datenverarbeitungsvorrichtung (**16**) und die Mehrzahl von Registern (**26A**, **26o**) der Schaltung (**21**, **31**) gekoppelt ist, um die verwürfelten Daten und das erste Verwürfelmuster zu empfangen, und um eine Entwürfelungsoperation unter Verwendung der verwürfelten Daten und des ersten Verwürfelmusters auszuführen, um Originaldaten zu erzeugen.

25. Plattenvorrichtung nach Anspruch 24, dadurch gekennzeichnet, dass die Entwürfelungsschaltung eine Ausschließlich-ODER-Schaltung (**28**, **37**) ist.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

Fig.1

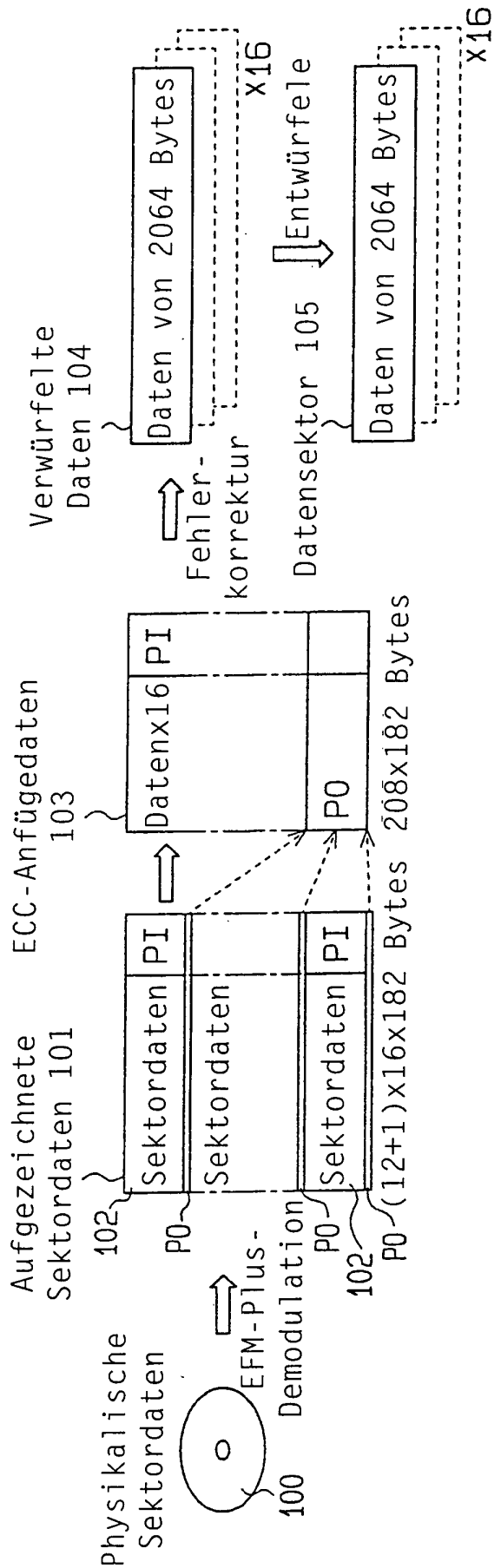


Fig.2

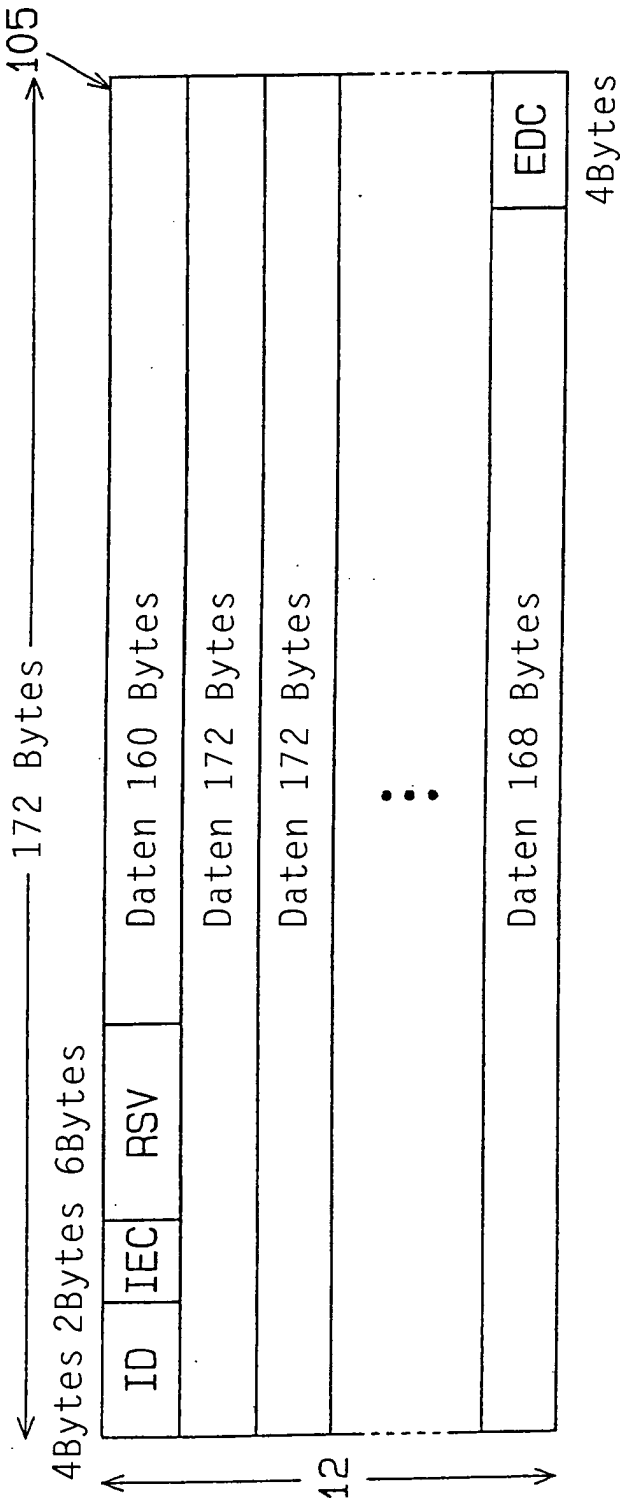

105
172 Bytes
4Bytes 2Bytes 6Bytes
ID
IEC
RSV
Daten 160 Bytes
Daten 172 Bytes
Daten 172 Bytes
Daten 168 Bytes
EDC
4Bytes
12

Fig.3

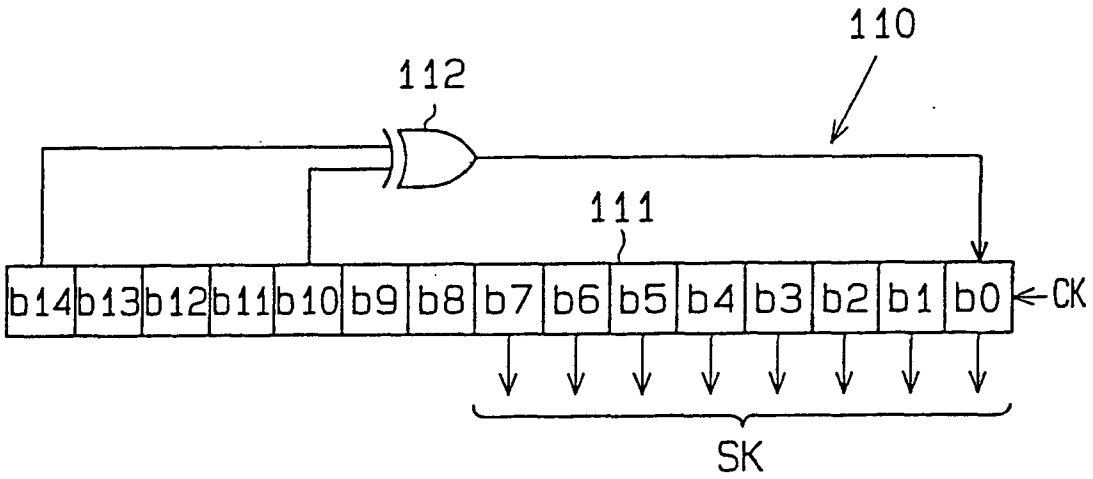


Fig.4

ID-Wert (h) (b7 - b4)	0	1	2	3	4	5	6	7
Initial-wert α (h)	0001	5500	0002	2A00	0004	5400	0008	2800

8	9	A	B	C	D	E	F
0010	5000	0020	2001	0040	4002	0080	0005

Fig.5

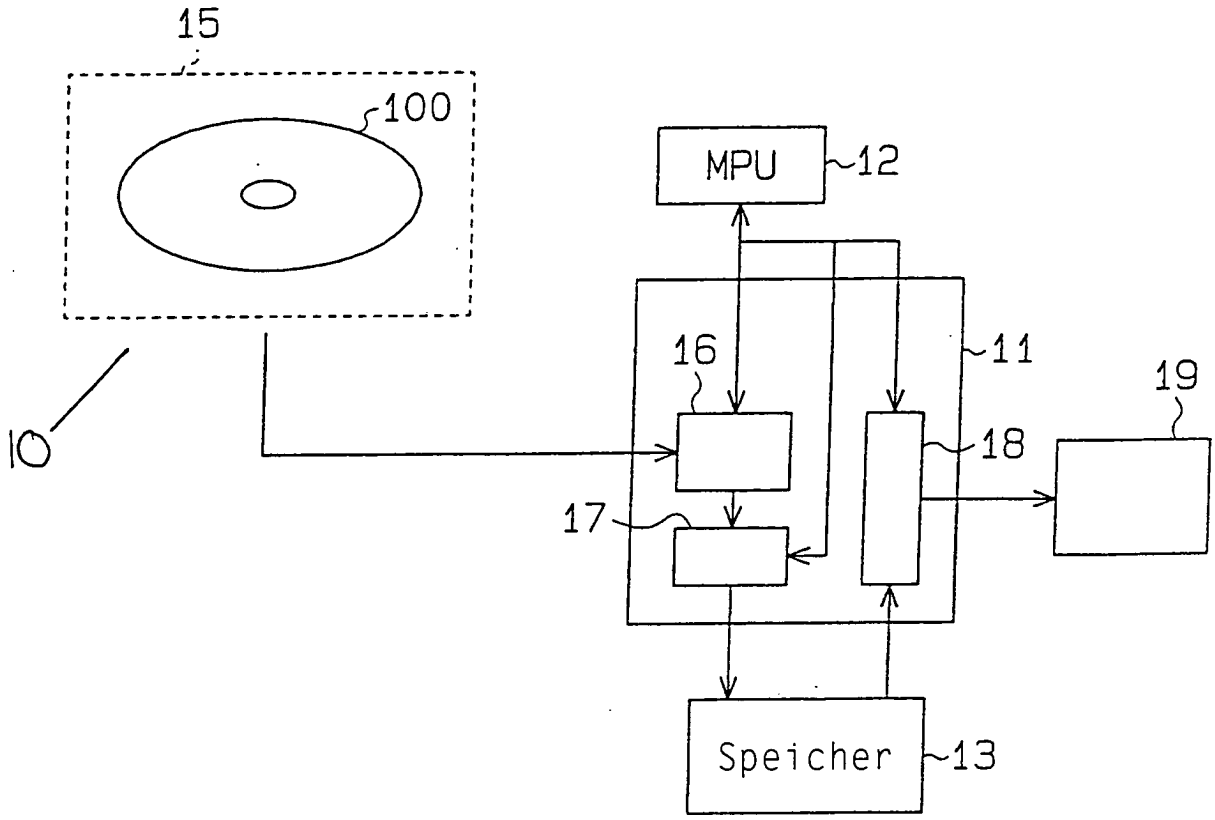


Fig.6

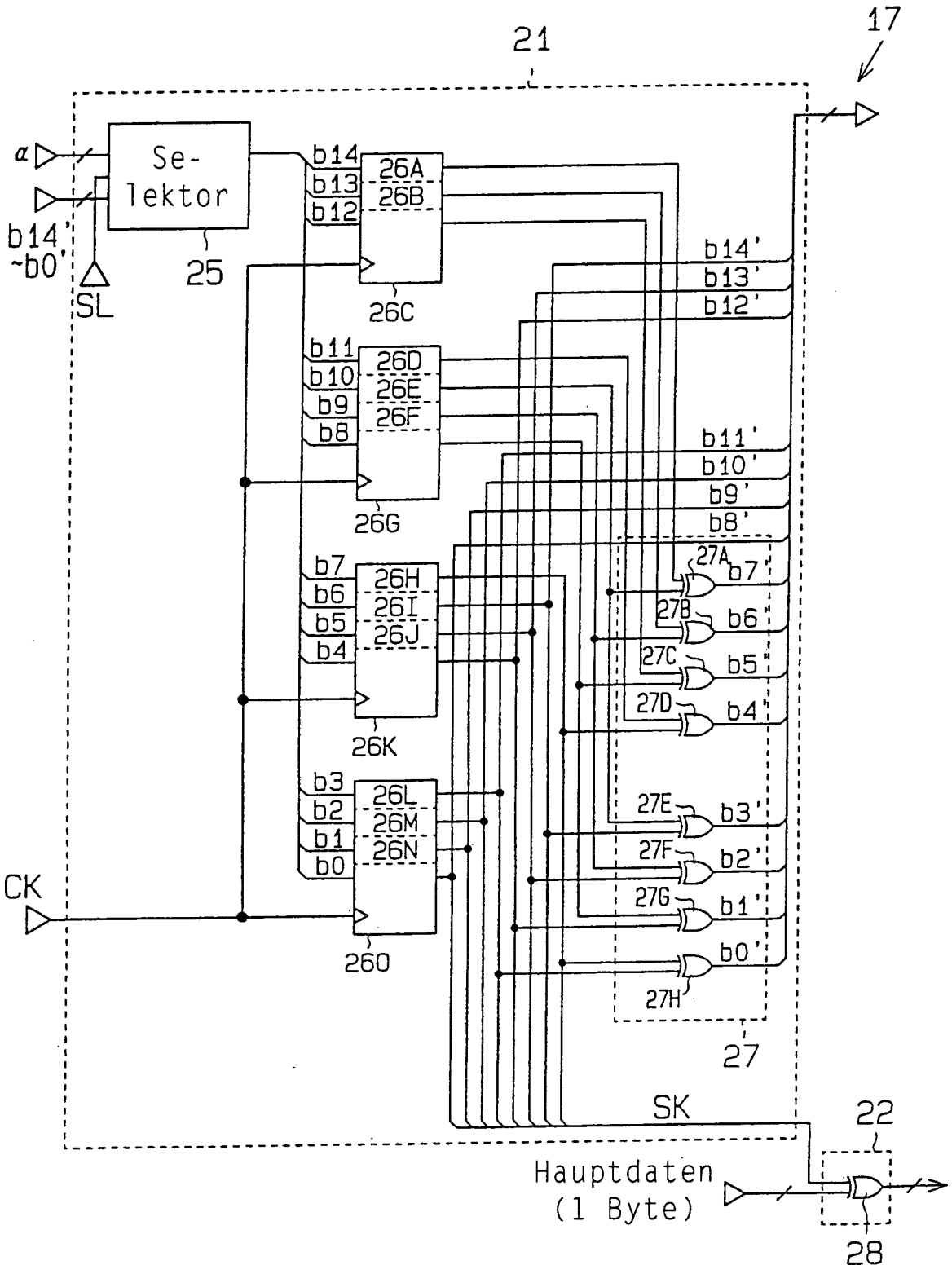

21
17
Se-
lektor
25
SL
b14'
~b0'
b14
b13
b12
26A
26B
26C
b11
b10
b9
b8
26D
26E
26F
26G
b7
b6
b5
b4
26H
26I
26J
26K
b3
b2
b1
b0
26L
26M
26N
26O
CK
27A
27B
27C
27D
27E
27F
27G
27H
27
b14'
b13'
b12'
b11'
b10'
b9'
b8'
b7'
b6'
b5'
b4'
b3'
b2'
b1'
b0'
SK
22
Hauptdaten
(1 Byte)
28

Fig.7

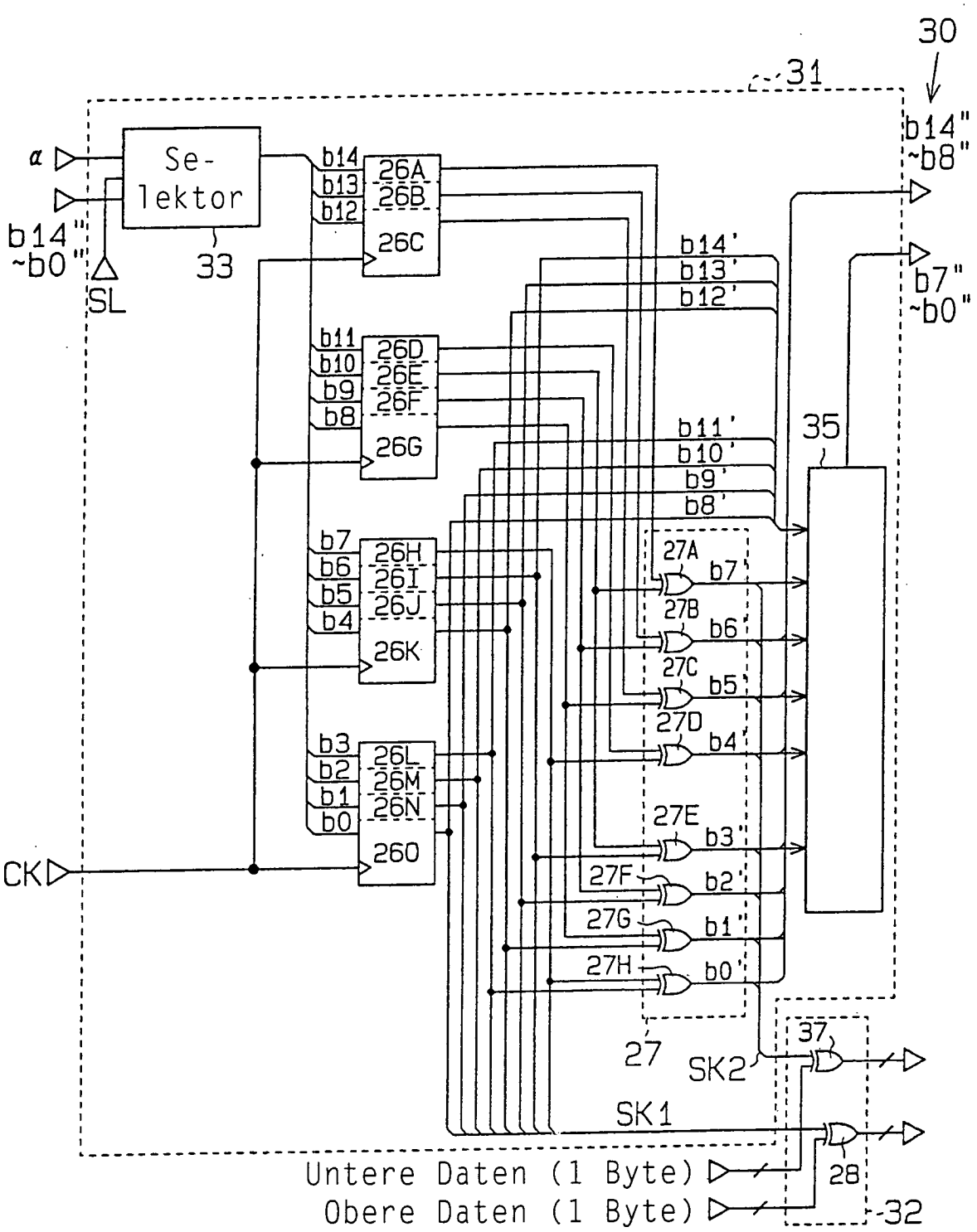

30
31
Se-
lektor
33
SL
b14"
~b0"
b14"
~b8"
b7"
~b0"
26A
26B
26C
26D
26E
26F
26G
26H
26I
26J
26K
26L
26M
26N
260
35
27A
27B
27C
27D
27E
27F
27G
27H
27
37
SK2
SK1
28
CK
Untere Daten (1 Byte)
Obere Daten (1 Byte)
32

Fig.8

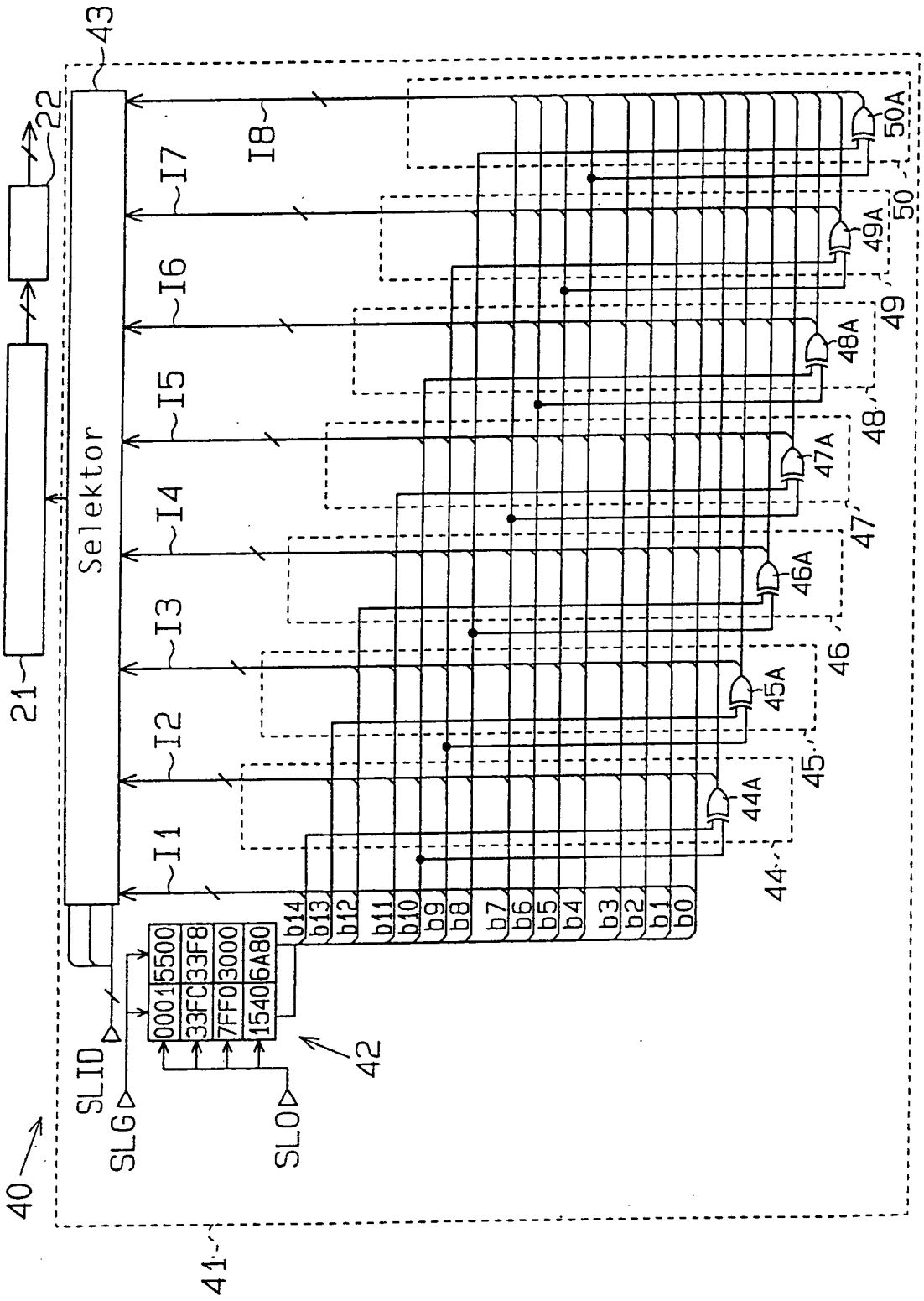

Selektor
I1
I2
I3
I4
I5
I6
I7
I8
b0
b1
b2
b3
b4
b5
b6
b7
b8
b9
b10
b11
b12
b13
b14
0001
5500
33FC
33F8
7FF0
3000
1540
6A80
SLID
SLG
SLO
40
41
42
43
44
44A
45
45A
46
46A
47
47A
48
48A
49
49A
50
50A
21
22

Fig.9

ID-Wert (h) (b7 - b4)		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000-Adresse	α1 (h)	0001	5500	0002	2A00	0004	5400	0008	2800	0010	5000	0020	2001	0040	4002	0080	0005
0512-Adresse	α2 (h)	33FC	33F8	67F8	67F0	4FF0	4FE0	1FE0	1FC0	3FC1	3F81	7F83	7F03	7F06	7E06	7E0C	7C0C
1024-Adresse	α3 (h)	7FF0	3000	7FE0	6000	7FC0	4001	7F80	0003	7F00	0006	7E00	000C	7C00	0018	7800	0030
1536-Adresse	α4 (h)	1540	6A80	2A81	5501	5502	2A02	2A04	5404	5408	2808	2810	5010	5020	2021	2041	4042