

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

240346

(11)

(B1)

(51) Int. Cl.⁴
H 03 K 19/00

(22) Prihlásené 10 10 84
(21) (PV 7675-84)

(40) Zverejnené 16 07 85

(45) Vydané 15 06 87

(75)

Autor vynálezu

JESENAI MILAN ing., BRATISLAVA

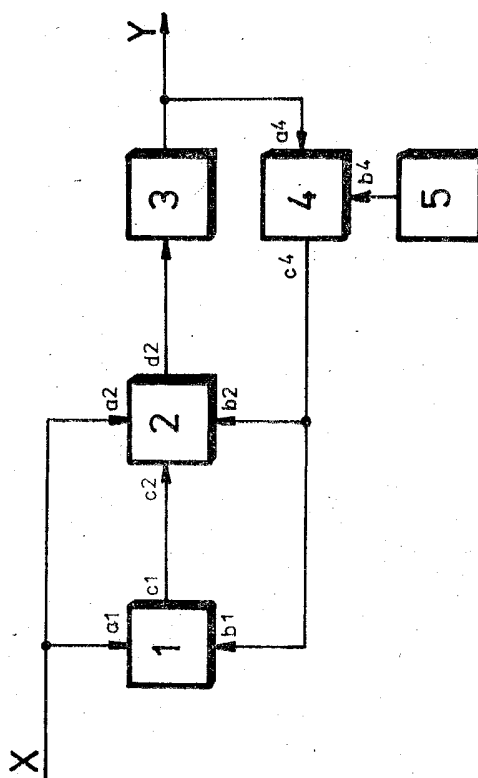
(54) Zapojenie digitálneho špičkového detektora

1

Riešenie sa týka odboru elektroakustika, oblasti číslicového spracovania elektroakustických signálov a rieši technický problém vyhodnocovania dynamických vlastností spracovávaného signálu v číslicovej oblasti. Podstata zapojenia digitálneho špičkového detektora spočíva v tom, že postupnosť hodnôt, reprezentujúca spracovávaný analogový signál v číslicovej oblasti, sa privedie jednak na komparátor a jednak na riadený prepínač. Porovnaním vzorky signálu so vzorkou odvodenou z výstupného signálu digitálneho špičkového detektora sa určí riadiaci signál pre prepnutie riadeného prepínača do polohy, v ktorej sa na vstup posuvného registra dostane väčší z nich. Výstup posuvného registra, ktorý je súčasne aj výstupom digitálneho špičkového detektora, je spojený so vstupom číslicovej násobičky, v ktorej sa výstupná postupnosť upraví podľa veľkosti konštanty uchovanej v pamäti časovej konštanty. Takto upravená postupnosť slúži potom pre porovnávanie so vstupnou postupnosťou.

Riešenie je využiteľné v oblasti číslicového spracovania analogových signálov s cieľom vyhodnotenia jeho dynamických vlastností.

2



Vynález sa týka zapojenia digitálneho špičkového detektora umožňujúceho vyhodnocovať špičkovú hodnotu signálov spracovávaných v číslicovej oblasti.

Podľa súčasného stavu techniky sa pre vyhodnocovanie dynamických vlastností analogových signálov používajú špičkové detektory, ktorých výstupné napätie sleduje špičkové hodnoty spracovávaného signálu. Úroveň výstupného napätia špičkového detektora klesá s časovou konštantou, ktorá závisí od spracovávaného signálu.

V súčasnom období sa popri analogovom spracovaní uplatňuje aj metóda číslicového spracovania, ktorej využitie je závislé od stavu potrebnej súčiastkovej základne. Doteraz známe riešenia špičkových detektorov využívajú klasické obvodové prvky (odpor, kondenzátor, dióda) pre vyhodnotenie dynamických vlastností elektroakustických analogových signálov. V oblasti číslicového spracovania je možné využiť klasické špičkové detektory v tých častiach prenosového kanálu, kde sa už spracováva analogový signál. Pri výstavbe číslicového procesora, ktorý realizuje požadovanú úpravu signálu v číslicovej oblasti, je niekedy nevyhnutné poznať dynamické vlastnosti priamo v číslicovej oblasti. Preto je potrebné buď realizovať ďalší prevod výstupného napätia špičkového detektora do číslicovej oblasti, alebo priamo z číslicovej reprezentácie spracovávaného signálu získať požadovanú informáciu.

Riešenie digitálneho špičkového detektora podľa vynálezu, ktorého podstata je vo vyhodnocovaní spracovávaného signálu v číslicovej oblasti, umožňuje využiť tento prvok v realizácii číslicových procesorov. Formovaním výstupnej postupnosti hodnôt, ktoré reprezentujú informáciu o obálke signálu, sa odstráni prídavné spracovanie v analogovej oblasti s príslušným ďalším prevodom. Výhodou vynálezu je tiež presné určenie časovej konštanty a jej jednoduchá zmena v pamäti procesora.

Na priloženom obrázku je bloková schéma zapojenia digitálneho špičkového detektora podľa vynálezu.

Vstupný signál **X** digitálneho špičkového detektora je privedený jednak na prvý vstup

a1 číslicového komparátora **1** a jednak na prvý vstup **a2** riadeného prepínača **2**. Výstup **d2** riadeného prepínača **2** je spojený so vstupom posuvného registra **3**, ktorého výstup je jednak výstupom digitálneho špičkového detektora **Y** a jednak je spojený s prvým vstupom **a4** číslicovej násobičky **4** pričom druhý vstup **b4** číslicovej násobičky **4** je spojený s výstupom pamäte časovej konštanty **5**. Výstup **c4** číslicovej násobičky **4** je spojený jednak s druhým vstupom **b2** riadeného prepínača **2** a jednak s druhým vstupom **b1** číslicového komparátora **1**. Výstup **c1** číslicového komparátora **1** je spojený s tretím riadiacim vstupom **c2** riadeného prepínača **2**.

Digitálny špičkový detektor podľa obrázku funguje principiálne tak, že vstupný signál **X** reprezentujúci spracovávaný signál v číslicovej oblasti je v číslicovom komparátore **1** porovnávaný s utlmeným výstupným signálom **Y** digitálneho špičkového detektora. V prípade, že vstupný signál **X** je väčší ako upravený výstupný signál **Y**, potom výstupný signál **c1** číslicového komparátora **1** má takú logickú úroveň, že spôsobí prepnutie riadeného prepínača **2** do takej polohy, aby sa vzorka vstupného signálu **X** dostala na vstup posuvného registra **3**. Výstup posuvného registra **3**, ktorý je súčasne aj výstupom digitálneho špičkového detektora **Y** sa upraví v číslicovej násobičke **4** podľa zvolenej konštanty, uchovanej v pamäti časovej konštanty **5**. Takto upravený signál z výstupu **c4** číslicovej násobičky **4** slúži potom znovu na porovnávanie v číslicovom komparátore **1** a jednak v prípade, že vstupný signál **X** digitálneho špičkového detektora je menší, sa výstupný signál **c4** číslicovej násobičky **4** privedie cez vhodne prepnutý riadený prepínač **2** na vstup posuvného registra **3** a celý algoritmus sa znovu opakuje.

Digitálny špičkový detektor podľa vynálezu je možné použiť na získanie informácie o premodulovaní v oblasti číslicového spracovania. Použitím dvoch digitálnych špičkových detektorov s opačnou podmienkou pre porovnávanie sa dosiahne vyhodnocovanie dynamických vlastností v oboch polaritách spracovávaného signálu.

PREDMET VYNÁLEZU

Zapojenie digitálneho špičkového detektora vyznačené tým, že jeho vstupný signál (**X**) je súčasne privedený na prvý vstup (**a1**) číslicového komparátora (**1**) a tiež na prvý vstup (**a2**) riadeného prepínača (**2**), ktorého výstup (**d2**) je spojený so vstupom posuvného registra (**3**), pričom výstup posuvného registra (**3**) je súčasne výstupom (**Y**) digitálneho špičkového detektora a súčasne je spojený s prvým vstupom (**a4**) čís-

licovej násobičky (**4**), ktorej druhý vstup (**b4**) je spojený s výstupom pamäte časovej konštanty (**5**), pričom výstup (**c4**) číslicovej násobičky (**4**) je spojený súčasne s druhým vstupom (**b2**) riadeného prepínača (**2**) a súčasne s druhým vstupom (**b1**) číslicového komparátora (**1**), ktorého výstup (**c1**) je spojený s tretím riadiacim vstupom (**c2**) riadeného prepínača (**2**).

