



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0048247
H01L 27/115 (2006.01) (43) 공개일자 2007년05월08일

(21) 출원번호	10-2007-7006135	(87) 국제공개번호	WO 2006/036334
(22) 출원일자	2007년03월16일	(43) 공개일자	2006년04월06일
심사청구일자	없음		
번역문 제출일자	2007년03월16일		
(86) 국제출원번호	PCT/US2005/028828		
국제출원일자	2005년08월15일		

(30) 우선권주장 10/944,244 2004년09월17일 미국(US)

(71) 출원인 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자 친달로어, 고리산카, 엘.
미국 텍사스 78749, 오스틴, 사우텔레 레인 9101
스위프트, 크레이그, 티.
미국 텍사스 78749, 오스틴, 사우밀 드라이브 3613

(74) 대리인 장훈
이범래

전체 청구항 수 : 총 34 항

(54) 플로팅 게이트 메모리 셀을 위한 프로그래밍 및 소거 구조및 제조방법

(57) 요약

플로팅 게이트 메모리 셀(10)은 두 개의 플로팅 게이트 층들(18, 22)이 있는 플로팅 게이트를 갖는다. 하부층(18)이 변하지 않고 남겨지는 반면, 상부층(22)은 상부층(22)에 윤곽선이 제공되도록 에칭된다. 컨트롤 게이트(38)는 플로팅 게이트(22)와의 사이의 캐패시턴스를 증가시키기 위해 플로팅 게이트(22)의 윤곽선을 따라간다. 플로팅 게이트의 2개의 층들(18, 22)은 매우 얇은 에칭 정지 층(20)에 의해 분리된 폴리실리콘일 수 있다. 이러한 에칭 정지 층(20)은 폴리실리콘 에칭이 진행되는 동안 에칭 정지를 제공할 정도로 충분히 두껍지만, 바람직하게는 전기적으로 투명하도록 충분히 얇다. 전자들은 두 층(22, 18) 사이를 쉽게 이동할 수 있다. 따라서, 상부층(22)의 에칭은 하부층(18)으로 확장되지 않고, 단지 제1층(18) 및 제2층(22)이 플로팅 게이트를 연속적인 전도층으로 만들기 위해 전기 효과를 갖게 된다.

대표도

도 8

특허청구의 범위

청구항 1.

플로팅 게이트 디바이스(floating gate device)의 형성방법에 있어서:

반도체 기판을 제공하는 단계;

상기 반도체 기판 위에 게이트 유전체 층을 형성하는 단계;

상기 게이트 유전체 층 위에 제1 플로팅 게이트 층을 형성하는 단계;

상기 제1 플로팅 게이트 층 위에 제2 플로팅 게이트 층을 형성하는 단계;

상기 제2 플로팅 게이트 층 위에 패터닝된 마스크 층을 형성하는 단계;

상기 패터닝된 마스크 층을 사용하여 상기 제2 플로팅 게이트 층의 일부를 제거하는 단계;

상기 제2 플로팅 게이트 층 및 상기 제1 플로팅 게이트 층 위에 레벨간(interlevel) 유전체 층을 형성하는 단계; 및

상기 레벨간 유전체 층 위에 컨트롤 게이트 층을 형성하는 단계를 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 2.

제1항에 있어서,

상기 제1 플로팅 게이트 층 위에 에칭 정지 층을 형성하는 단계를 더 포함하고;

상기 제2 플로팅 게이트 층은 상기 에칭 정지 층 위에 형성되는, 플로팅 게이트 디바이스 형성 방법.

청구항 3.

제2항에 있어서,

상기 에칭 정지 층은 약 15~20 Å 범위의 두께를 갖는, 플로팅 게이트 디바이스 형성 방법.

청구항 4.

제2항에 있어서,

상기 에칭 정지 층은 상기 제1 플로팅 게이트 층 및 제2 플로팅 게이트 층 사이에서 실질적으로 전기적으로 투명한, 플로팅 게이트 디바이스 형성 방법.

청구항 5.

제2항에 있어서,

상기 에칭 정지 층은 질화물 또는 산화물 중 하나를 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 6.

제1항에 있어서,

상기 패터닝된 마스크 층을 사용하여 상기 제2 플로팅 게이트 층의 일부를 제거하는 단계는, 상기 제1 플로팅 게이트 층 위에 상기 제2 플로팅 게이트 층의 복수의 분리된 부분들을 남기는, 플로팅 게이트 디바이스 형성 방법.

청구항 7.

제1항에 있어서,

상기 플로팅 게이트 디바이스는 자기-정렬된(self-aligned) 플로팅 게이트 디바이스인, 플로팅 게이트 디바이스 형성 방법.

청구항 8.

제1항에 있어서,

상기 제1 플로팅 게이트 층 및 상기 제2 플로팅 게이트 층은 실질적으로 상이한 에칭 선택성(etch selectivities)을 갖는, 플로팅 게이트 디바이스 형성 방법.

청구항 9.

제1항에 있어서,

상기 제1 플로팅 게이트 층은 폴리실리콘을 포함하고, 상기 제2 플로팅 게이트 층은 금속을 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 10.

제1항에 있어서,

상기 패터닝된 마스크 층을 사용하여 상기 제2 플로팅 게이트 층의 일부를 제거하는 단계는, 상기 플로팅 게이트들 및 상기 컨트롤 게이트 사이의 결합(coupling)을 증가시키는, 플로팅 게이트 디바이스 형성 방법.

청구항 11.

제1항에 있어서,

상기 기판은 절연 영역(isolation region)들을 포함하고;

상기 절연 영역들 위에 상기 제1 게이트 유전체 층 및 상기 제2 게이트 유전체 층을 통해 개구부들을 형성하는 단계를 더 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 12.

상기 제1항에 있어서, 상기 패터닝된 마스크 층을 형성하는 단계는:

상기 제2 플로팅 게이트 층 위에 마스크 층을 형성하는 단계;

상기 마스크 층에 개구부를 형성하는 단계; 및

상기 마스크 층의 상기 개구부 안에 스페이서들(spacers)을 형성하는 단계를 포함하고,

상기 개구부는 서브리소그라픽 특징(sublithographic feature)에 대응하는, 플로팅 게이트 디바이스 형성 방법.

청구항 13.

제12항에 있어서,

상기 패터닝된 마스크 층을 사용하여 상기 제2 플로팅 게이트 층의 일부를 제거하는 단계는, 상기 마스크 층의 상기 개구부에 의해 규정되는 상기 제2 플로팅 게이트 층의 서브리소그라픽 부분을 제거하는 단계를 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 14.

플로팅 게이트 디바이스의 형성방법에 있어서:

반도체 기판을 제공하는 단계;

상기 반도체 기판 위에 게이트 유전체 층을 형성하는 단계;

상기 게이트 유전체 층 위에 제1 플로팅 게이트 층을 형성하는 단계;

상기 제1 플로팅 게이트 층 위에 에칭 정지 층을 형성하는 단계;

상기 에칭 정지 층 위에 제2 플로팅 게이트 층을 형성하는 단계;

상기 제2 플로팅 게이트 층에 상기 에칭 정지 층까지 확장되는 개구부를 형성하는 단계;

상기 제2 플로팅 게이트 층 위와 상기 제1 플로팅 게이트 층 위의 상기 개구부 내에 레벨간 유전체 층을 형성하는 단계; 및

상기 레벨 간 유전체 층 위에 컨트롤 게이트 층을 형성하는 단계를 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 15.

제14항에 있어서,

상기 제2 플로팅 게이트 층 위에 개구부를 형성하는 단계는, 상기 에칭 정지 층을 통해 상기 개구부를 확장하여 상기 제1 플로팅 게이트 층을 노출시키는 단계를 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 16.

제14항에 있어서,

상기 제2 플로팅 게이트 층에 상기 개구부를 형성하는 단계는, 복수의 개구부들을 형성하는 단계를 포함하고,

상기 레벨간 유전체 층은 상기 복수의 개구부들 안에 형성되는, 플로팅 게이트 디바이스 형성 방법.

청구항 17.

제14항에 있어서,

상기 에칭 정지 층은 약 15~20 Å 범위의 두께를 갖는, 플로팅 게이트 디바이스 형성 방법.

청구항 18.

제14항에 있어서,

상기 에칭 정지 층은 상기 제1 플로팅 게이트 층 및 제2 플로팅 게이트 층 사이에서 실질적으로 전기적으로 투명한, 플로팅 게이트 디바이스 형성 방법.

청구항 19.

제14항에 있어서,

상기 에칭 정지 층은 질화물 또는 산화물 중 하나를 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 20.

제14항에 있어서,

상기 플로팅 게이트 디바이스는 자기-정렬된 플로팅 게이트 디바이스인, 플로팅 게이트 디바이스 형성 방법.

청구항 21.

제20항에 있어서,

상기 자기-정렬된 플로팅 게이트 디바이스는 절연 영역들을 포함하고,

상기 제2 플로팅 게이트 층의 상기 개구부는 두 절연 영역들 사이에 형성되는, 플로팅 게이트 디바이스 형성 방법.

청구항 22.

제14항에 있어서,

상기 기판은 절연 영역들을 포함하고,

상기 절연 영역들 위에 상기 제1 게이트 유전체 층 및 상기 제2 게이트 유전체 층을 통해 개구부들을 형성하는 단계를 더 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 23.

플로팅 게이트 디바이스의 형성 방법에 있어서:

절연 트렌치들(isolation trenches)을 갖는 반도체 기판을 제공하고, 절연 영역들 사이의 상기 반도체 기판 위에 게이트 유전체 층을 제공하고, 상기 절연 영역들 사이의 상기 게이트 유전체 층 위에 제1 플로팅 게이트 층을 제공하는 단계;

상기 제1 플로팅 게이트 층 위에 에칭 정지 층을 형성하는 단계;

상기 에칭 정지 층 위에 제2 플로팅 게이트 층을 형성하는 단계;

상기 제1 플로팅 게이트 층 위의 상기 에칭 정지 층의 일부를 노출하기 위해 상기 제2 플로팅 게이트 층의 일부를 제거하는 단계;

상기 제2 플로팅 게이트 층 및 상기 제1 플로팅 게이트 층 위에 레벨간 유전체 층을 형성하는 단계; 및

상기 레벨간 유전체 층 위에 놓이는 컨트롤 게이트 층을 형성하는 단계를 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 24.

제23항에 있어서,

상기 절연 영역들은 상기 제1 플로팅 게이트 층의 상부 표면 위로 확장되는, 플로팅 게이트 디바이스 형성 방법.

청구항 25.

제24항에 있어서,

상기 제2 플로팅 게이트 층의 일부를 제거하는 단계는, 상기 제2 플로팅 게이트 층의 이방성 에칭(anisotropic etching)을 포함하는, 플로팅 게이트 디바이스 형성 방법.

청구항 26.

제25항에 있어서,

상기 이방성 에칭은 상기 절연 영역들의 측벽들에 인접한 상기 제2 플로팅 게이트 층의 스페이서 부분들을 생기게 하는, 플로팅 게이트 디바이스 형성 방법.

청구항 27.

제25항에 있어서,

상기 이방성 에칭은, 상기 절연 영역들의 측벽들에 인접한 상기 제2 플로팅 게이트 층의 스페이서 부분들을 생기게 하고, 상기 스페이서 부분들 사이에 상기 제2 플로팅 게이트 층의 나머지 부분을 생기게 하는, 플로팅 게이트 디바이스 형성 방법.

청구항 28.

제24항에 있어서,

상기 제2 플로팅 게이트 층의 일부를 제거하는 단계는, 상기 절연 영역들 사이에 상기 제2 플로팅 게이트 층의 나머지 부분을 생기게 하는, 플로팅 게이트 디바이스 형성 방법.

청구항 29.

제24항에 있어서,

상기 에칭 정지 층은 상기 제1 플로팅 게이트 층 및 제2 플로팅 게이트 층 사이에서 실질적으로 전기적으로 투명한, 플로팅 게이트 디바이스 형성 방법.

청구항 30.

플로팅 게이트 디바이스에 있어서,

기판;

상기 기판 위에 놓이는 게이트 유전체;

상기 게이트 유전체 위에 놓이는 제1 플로팅 게이트;

상기 제1 플로팅 게이트 위에 놓이고, 상기 제1 플로팅 게이트 위에 복수의 분리된 부분들을 포함하는 제2 플로팅 게이트;

상기 제2 플로팅 게이트의 상기 복수의 분리된 부분들 각각과 상기 제1 플로팅 게이트 사이에 있는 에칭 정지 층;

상기 제1 플로팅 게이트의 상기 분리된 부분들 및 상기 제1 플로팅 게이트 위에 놓이는 레벨간 유전체; 및

상기 레벨간 유전체 위에 놓이는 컨트롤 게이트를 포함하는, 플로팅 게이트 디바이스.

청구항 31.

제30항에 있어서,

상기 기판은 절연 영역들을 더 포함하고;

상기 제1 플로팅 게이트의 상기 복수의 분리된 부분들은 상기 절연 영역들 사이에 있는, 플로팅 게이트 디바이스.

청구항 32.

제31항에 있어서,

상기 제1 플로팅 게이트의 상기 복수의 분리된 부분들 중 적어도 하나는 절연 영역의 측벽에 인접한, 플로팅 게이트 디바이스.

청구항 33.

제30항에 있어서,

상기 에칭 정지 층은 상기 제2 플로팅 게이트의 상기 복수의 각각의 분리된 부분들과 상기 제1 플로팅 게이트 사이에서 실질적으로 전기적으로 투명한, 플로팅 게이트 디바이스.

청구항 34.

제30항에 있어서,

상기 에칭 정지 층은 약 15~20 Å 범위의 두께를 갖는, 플로팅 게이트 디바이스.

명세서

기술분야

본 발명은 반도체 디바이스들에 관한 것으로, 보다 상세하게는, 플로팅 게이트 메모리 셀들(floating gate memory cells)에 유용한 반도체 디바이스 구조들에 관한 것이다.

배경기술

관련 출원으로, "Programming and Erasing Structure for a Floating Gate Memory Cell and Method of Making"이란 제목의 특허 출원 번호 SC13687TP가 있고, 이는 본 양수인에게 양도되었고, 본 출원과 함께 출원되었다.

플로팅 게이트 메모리의 바람직한 특징들 중 하나는 컨트롤 게이트와 플로팅 게이트 사이에 비교적 많은 양의 캐패시턴스 결합을 가지는 것이다. 이것은 주어진 컨트롤 게이트 바이어스에 대한 프로그램 및 소거 동안, 컨트롤 게이트로부터 플로팅 게이트에 더 많은 전압이 전해지는 결과를 초래한다. 따라서, 게이트 캐패시턴스를 제어하기 위한 더 많은 플로팅 게이트는 프로그래밍 및 소거의 달성 및/또는 프로그래밍 및 소거의 속도를 향상시키기 위해 더 낮은 전압을 필요로 하는 결과를 초래한다. 또 다른 바람직한 특징은 게이트 캐패시턴스를 제어하기 위한 이 플로팅 게이트에서 낮은 변동을 갖는 것이다. 만약 이 캐패시턴스가 변한다면 문턱 전압(threshold voltage)의 범위는 소거 상태 동안 증가한다. 소거된 문턱 전압들의 보다 넓은 분포는 누설(leakage)로 인해 소거 비트들을 읽거나 소거 비트들을 프로그래밍하는 것을 어렵게 만들 수 있다. 그 변동을 최소화하는 동안 플로팅 게이트 캐패시턴스에 컨트롤 게이트를 증가시키기 위한 하나의 기술은 절연 영역(isolation region) 위에 플로팅 게이트를 에칭(etch)하는 것이다. 이것은 캐패시턴스의 얼마간의 증가를 제공하지만, 더 많은 향상이 여전히 요구된다. 이러한 접근의 단점은 좀 더 작은 치수들을 스케일하는 기술과 같이 스케일하기가 어렵다는 것이다.

따라서, 프로그래밍 및 소거를 향상 및/또는 프로그래밍 및 소거를 위한 전압을 감소시키는 디바이스 구조들이 필요하다.

발명의 상세한 설명

본 발명의 일 양상에서, 플로팅 게이트 메모리 셀은 두 개의 플로팅 게이트 층들이 있는 플로팅 게이트를 갖는다. 하부층이 변하지 않고 남겨지는 반면, 상부층은 상부층에 윤곽선이 제공되도록 에칭된다. 컨트롤 게이트는 컨트롤 게이트와 플로팅 게이트 사이의 캐패시턴스를 증가시키기 위해 플로팅 게이트의 윤곽선을 따라간다. 플로팅 게이트의 2개의 층들은 매우 얇은 에칭 정지 층(etch stop layer)에 의해 분리된 폴리실리콘일 수 있다. 이러한 에칭 정지 층은 폴리실리콘 에칭이 진행되는 동안 에칭 정지를 제공할 정도로 충분히 두껍지만, 전기적으로 연결될 만큼 충분히 얇다. 에칭 정지 층이 얇기 때문에, 전자들은 두 층 사이를 이동할 수 있다. 따라서, 상부층의 에칭은 하부층으로 확장되지 않고, 단지 제1층 및 제2층이 플로팅 게이트를 연속적인 전도층으로 만들기 위해 전기 효과를 갖게 된다. 이것은 도면들의 참조 및 이하의 설명에 의해 더욱 더 잘 이해될 수 있다.

본 발명은 예로서 도시되고, 첨부된 도면에 의해 한정되지 않으며, 유사한 구성요소에 대해서는 동일한 참조번호를 부여한다.

당업자라면 도면의 구성요소들이 간결성 및 명확성을 위해 도시되었으며, 반드시 축척에 의해 그려진 것은 아님을 충분히 알 수 있다. 예를 들어, 도면들에서 몇몇 구성요소들의 크기는 본 발명의 실시예의 이해를 돕기 위하여 다른 구성요소들에 비해 확대될 수 있다.

실시예

도 1에 도시된 바와 같이, 디바이스 구조(10)는 기판(12), 절연 영역(14), 터널 유전체(tunnel dielectric, 16), 및 바람직하게는 폴리실리콘인 플로팅 게이트 층(18)을 포함한다. 이것은 플로팅 게이트 층(18)의 상대적 두께가 폴리실리콘으로 된 종래 플로팅 게이트 층의 두께보다 얇다는 것만 제외하고는 종래 구조와 동일하다. 이 예에서 두께는 약 500 Å인 것이 바람직하며, 이것은 종래 플로팅 게이트 층에 비해 얇은 것이다. 기판(12)은 벌크 실리콘 기판(bulk silicon substrate)인 것이 바람직하고, 다만 SOI 기판 및/또는 단순한 실리콘과는 상이한 반도체 재료가 될 수 있다. 절연 영역(14)은 주지 기술을 사용하여 트렌치(trench)를 형성하고 그것을 유전체, 바람직하게는 산화물로 채우지만, 질화물과 같은 그 밖의 유전체가 될 수 있다.

도 2는 에칭 정지 층(20)을, 바람직하게는 산화물을 플로팅 게이트 층(18) 위에 형성한 후의 디바이스 구조(10)를 도시한 것이다. 층(20)은 약 15 Å의 성장된 산화물인 것이 바람직하다. 층(20)은 또한 적층될 수 있고, 예를 들어, 질화물과 같은 또 다른 물질이 될 수 있다.

도 3은 플로팅 게이트 층(22)을, 바람직하게는 실리콘을 형성한 후의 디바이스 구조(10)를 도시한 것이다. 이것은 대략 플로팅 게이트 층(18)과 동일한 두께로 하는 것이 바람직하다.

도 4는 절연 영역(14) 위에 개구부들(openings, 30, 32)을 갖는 패터닝된 포토레지스트 층(26)을 형성한 후의 디바이스 구조(10)를 도시한 것이다. 이 개구부들(30, 32)은 절연 영역(14)의 양쪽에 제공된다.

도 5는 개구부들(30, 32)을 통해 층들(22, 20, 18)을 에칭한 후의 디바이스 구조(10)를 도시한 것이다. 에칭은 바람직하게는 폴리실리콘인 층(22)을 통해 먼저 이루어진다. 화학품을 변경한 후 그 다음 층(20)을 에칭한다. 그 다음 에칭 화학품은 층(22)을 에칭하는데 사용한 먼저 것으로 변경한다. 이에 따라, 플로팅 게이트 층들(18, 22) 및 에칭 정지 층(20)을 통해 개구부들(30, 32)이 확장된다.

도 6은 개구부들(30, 32) 사이에 개구부(34)를 가진 패터닝된 포토레지스트(photoresist) 층(33)을 형성한 후의 디바이스 구조(10)를 도시한 것이다. 개구부(34)는 이 단면도에서 절연 영역(14) 사이에 실질적으로 중앙에 위치한다.

도 7은 개구부(34)를 통해 층(22)을 거쳐 층(20)에서 중단된 에칭 후의 디바이스 구조(10)를 도시한 것이다. 에칭 화학품을 변경하여 개구부(34)가 층(20)을 통해 또한 확장되도록 한다. 만약 개구부(34)를 서브-리소그래픽(sub-lithographic) 특징으로 규정하는 것을 원한다면, 패터닝된 포토레지스트(33)를 사용하는 대신에, 하드 마스크 예를 들어, 질화물이 패터닝될 수 있고 그 다음 개구부를 부분적으로 측벽 스페이서(sidewall spacer)로 채운다. 개구부를 작게 만들기 위해 개구부를 부분적으로 측벽 스페이서로 채우는 기술은 기술분야에서 충분히 이해된다.

도 8은 유전체 층(36) 및 컨트롤 게이트 층(38)을 형성한 후의 디바이스 구조(10)를 보여주고 있다. 유전체 층(36)은 두께가 약 125~150 Å를 갖는 종래 3층의 유전체인 산화물-질화물-산화물 층인 것이 바람직하다. 유전체 층(36)은 컨트롤 게이트 및 플로팅 게이트 메모리 셀(floating gate memory cell)의 플로팅 게이트 사이의 레벨간 유전체(interlevel dielectric)로 기능한다. 컨트롤 게이트(38)는 약 1000~2000 Å 두께의 폴리실리콘 층인 것이 바람직하다. 이러한 컨트롤 게이트 층(38)을 형성한 후, 실질적인 컨트롤 게이트를 형성하기 위해 에칭이 이루어진다. 실질적인 컨트롤 게이트를 형성하기 위한 이러한 에칭은 도 8에서의 단면도를 변경하지 않는다. 따라서, 도 8의 결과적인 구조가 또한 비휘발성 메모리 셀인 플로팅 게이트 메모리 셀로서 유용한 플로팅 트랜지스터의 결과적인 구조이다.

이러한 디바이스 구조는 컨트롤 게이트(38)가 개구부들(30, 32)에서 플로팅 게이트 층들(18, 22)과 인접한 표면적을 보유하는 반면, 개구부(34)에서 플로팅 게이트 층(20)과 인접한 표면적에서 증가함을 보여준다. 층(22)의 이러한 나머지 부분의 측벽(sidewall)은 증가한 캐패시턴스뿐 아니라 매우 반복 가능한 증가된 캐패시턴스에 대비한다. 층(22)의 두께는 비교적 제어하기 쉽다. 층(20)은 매우 얇아서 전자들이 그 구조를 매우 쉽게 통과할 수 있도록 한다. 이러한 산화물은 게이트 유전체로서 사용되는 산화물과 질적으로 동일하지 않아서, 특히, 일반적으로 사용되는 프로그래밍 및 소거 전압들에서 전자들은 차단되지 않는다. 고품질의 산화물일지라도 15 Å에서는 누설된다. 따라서, 박막의 게이트 산화물을 가진 트랜지스터에서 사용되는 전압들이 높을수록, 산화물을 통해 상당한 전자가 흘러나온다. 따라서, 프로그래밍 동작 중에 플로팅 게이트

트 층(22)에 축적되는 전자들은 플로팅 게이트 층(18)에 자유롭게 도달할 수 있고, 이러한 목적들을 위해 층(20)은 전자적으로 투명하도록 고려될 수 있다. 더 나은 향상을 위해, 개구부(34)와 같은 하나 이상의 개구부가 도 5 및 도 6 사이의 프로세스에서 수행될 수 있다. 개구부(34)와 같은 더 많은 개구부들은 컨트롤 게이트와 플로팅 게이트 층 간의 캐패시턴스를 더욱 증가시킬 수 있으므로 유용하다.

도 9는 기판(12)과 유사한 기판(52), 트렌치(14)와 유사한 트렌치(54), 터널 유전체(16)와 유사한 터널 유전체(58), 및 터널 유전체(58) 위에 플로팅 게이트 층(18)과 유사한 플로팅 게이트 층(60)을 포함하는 디바이스 구조(50)를 나타낸다. 도 9는 플로팅 게이트 층(60)이 종래 구조들만큼 두껍지 않다는 점을 제외하고는 종래 구조를 묘사하고 있다. 플로팅 게이트 층(60)은 두께가 약 500 Å인 것이 바람직하다. 디바이스 구조(50)에서, 절연 영역(54)이 플로팅 게이트 층(60)을 둘러싸고 또한 그 위로 확장되어 있다.

도 10은 플로팅 게이트 층(60) 위에 에칭 정지 층(20)과 유사한 에칭 정지 층(62) 및 에칭 정지 층(62) 위에 플로팅 게이트 층(22)과 유사한 플로팅 게이트 층(64)을 형성한 후의 디바이스 구조(50)를 나타내고 있다. 에칭 정지 층(62)은 절연 영역(54)의 측벽에 나타나며, 절연 영역(54) 위로 확장된다. 산화물로 성장될 때, 에칭 정지 층은 트렌치(54) 상에서 보이지 않을 것 같고, 단지 에칭 정지 층(62)은 마치 적층된 질화물과 같이 적층된 케이스로 보여진다.

도 11은 포토레지스트 부분(66)을 형성하고 마스크로서 패터닝된 포토레지스트 부분(66)을 사용하여 플로팅 게이트 층(64)을 에칭한 후의 디바이스 구조(50)를 나타낸다. 이것은 플로팅 게이트 층(64)의 나머지 부분 및 트렌치(54) 사이에 개구부들(67, 68)을 남긴다. 도 10 및 도 11로부터의 프로세스에서, 모든 층(64)은 포토레지스트(66)에 의해 보호된 것을 제외하고는 제거된다.

도 12는 패터닝된 포토레지스트 부분(66)의 아래에 있지 않은 에칭 정지 층(62)의 일부가 제거되고, 패터닝된 포토레지스트 부분(66)이 제거되며, 플로팅 게이트 층(60) 상, 층(64)의 나머지 부분 위, 및 트렌치(54)의 노출부분 상에 층(36)과 유사한 유전체 층(69)이 형성되고, 유전체 층(69) 상에 컨트롤 게이트 층(38)과 유사한 컨트롤 게이트 층(70)이 형성된 후의 디바이스 구조(50)를 나타낸다. 층들(70, 69, 64, 62, 60)의 연속적인 에칭은 플로팅 게이트 메모리 셀 구조의 형성을 도 8의 구조와 유사하게 만든다. 따라서, 도 12의 디바이스 구조는 메모리 셀을 위한 디바이스 구조가 된다. 이것은 컨트롤 게이트 층(70)의 형성 이전에 층(64)의 에칭으로 인해, 컨트롤 게이트 층(70)이 플로팅 게이트 층(64)과의 인접한 표면적이 증가됨을 보여준다. 이러한 층(64)의 나머지 부분의 측벽들은 증가한 캐패시턴스뿐만 아니라 매우 반복 가능한 증가된 캐패시턴스를 제공한다. 층(64)의 두께는 비교적 쉽게 컨트롤 할 수 있다.

도 13은 도 10 후에 형성되는, 도 11의 디바이스 구조(50)의 대체적인 디바이스 구조(71)를 나타낸다. 디바이스 구조(71)는 절연 영역(54)의 측벽들 상의 플로팅 게이트 층(64)으로부터 측벽 스페이서들(72, 73)을 형성하고, 도 10의 플로팅 게이트 층(64) 상에 이방성(anisotropic) 에칭을 행함으로써, 도 11의 디바이스 구조(50)와 다르게 된다. 측벽 스페이서들(72, 73)은 층(64)이 에칭되는 동안 고유하게 형성된다. 도 13의 디바이스 구조(71)의 경우, 이러한 층(64)의 에칭은 에칭이 층(62)에 다다르고, 이들 측벽 스페이스들(72, 73)이 제거되기 전에 중단된다. 도 11의 디바이스 구조(50)의 경우에는, 이 에칭은 계속되어 측벽 스페이서들이 제거된다.

도 14는 측벽 스페이스들(72, 73) 및 플로팅 게이트 층(64)의 나머지 부분 상에 유전체 층(36)과 유사한 유전체 층(76)을 형성하고, 유전체 층(76) 상에 컨트롤 게이트 층(38)과 유사한 컨트롤 게이트 층(74)을 형성한 후의 디바이스 구조(71)를 나타낸다. 이러한 도 14의 단면도는 완성된 메모리 디바이스를 보여주고 있다. 이 경우, 측벽 스페이서들(72, 73)은 메모리 디바이스의 플로팅 게이트 층의 일부가 된다. 이 측벽 스페이서들은 수평의 크기보다 수직의 크기가 더 크기 때문에, 그들의 존재는 컨트롤 게이트와 플로팅 게이트 층 사이의 캐패시턴스를 증가시키는 이득을 가져온다. 잠재적인 단점은 이들 측벽 스페이서들의 수직 크기를 컨트롤하는데 어려움이 있기 때문에 컨트롤 게이트 층과 플로팅 게이트 층 사이의 캐패시턴스의 변동량이 증가될 수 있다는 것이다.

도 15는 기판(12)과 유사한 기판(112), 절연 영역(14)과 유사한 절연 영역(114), 게이트 유전체 층(16)과 유사한 게이트 유전체 층(116), 플로팅 게이트 층(18)과 유사한 플로팅 게이트 층(118), 에칭 정지 층(20)과 유사한 에칭 정지 층(120), 및 에칭 정지 층(20) 상의 희생층(sacrificial layer, 112)을 포함하는 디바이스 구조(100)를 나타낸다. 희생층(122)은 산화물 또는 질화물, 그 밖의 물질이 될 수 있지만, 에칭 정지 층(120)의 물질과 같이 선택적인 에칭이 가능한 물질이다. 희생층은 본 예에서 대략 플로팅 게이트 층(118)과 동일한 두께를 갖는다. 다른 두께들 또한 효과적일 수 있다.

도 16은 패터닝된 포토레지스트 부분(123)을 희생층(122) 위, 도시된 크기로 절연 영역(114) 사이의 실질적으로 중앙에 형성한 후의 디바이스 구조(100)를 나타내는 것이다.

도 17은 마스크로서 패터닝된 포토레지스트 부분(123)을 이용하여 희생층(122)을 에칭한 후의 디바이스 구조(100)를 나타낸다. 이러한 에칭은 에칭 정지 층(120)에 의해 중단된다.

도 18은 포토레지스트 부분(124)을 제거하고, 등각성의(conformal) 폴리실리콘인 것이 바람직한 플로팅 게이트 층(124)을 형성한 후의 디바이스 구조(100)를 나타낸 것이다. 플로팅 게이트 층(124)은 대략 플로팅 게이트 층(118)과 동일한 두께를 갖는다.

도 19는 플로팅 게이트 층(124)으로부터 희생층(122)의 나머지 부분의 측벽 상에 측벽 스페이서들(126, 128)을 형성하는 이방성의 에칭을 한 후의 디바이스 구조(100)를 나타낸다.

도 20은 희생층(122)의 나머지 부분을 제거한 후의 디바이스 구조(100)를 나타낸 것으로, 측벽 스페이서들(126, 128)은 에칭 정지 층(120)위에 자유롭게 세워져 있다. 측벽 스페이서들(126, 128)의 폭은 플로팅 게이트 층(124)의 두께에 의해 결정되며, 원하는 대로 바꿀 수 있다. 플로팅 게이트 층(124)은 측벽 스페이서들(126, 128)이 반복적으로 자유롭게 설 수 있을 만큼 충분한 두께를 가진다.

도 21은 절연 영역들(114) 상에 개방되는 패터닝된 포토레지스트 층(129)을 형성하고, 에칭 정지 층(120) 및 플로팅 게이트 층(118)을 통해 에칭한 후의 디바이스 구조(100)를 나타낸다.

도 22는 패터닝된 포토레지스트 층(129)을 제거한 후의 디바이스 구조(100)를 나타낸 것으로, 에칭 정지 층(120) 위에 유전체 층(36)과 유사한 유전체 층(130) 및 절연 영역(114) 위에 개구부들을 형성하고, 유전체 층(130) 위에 컨트롤 게이트 층(38)과 유사한 컨트롤 게이트 층(132)을 형성한다. 도 22의 단면도는 완성된 플로팅 게이트 메모리 셀 구조를 묘사하고 있다. 측벽 스페이서들(126, 128)은 메모리 셀의 플로팅 게이트 물질의 일부로 형성되는 것으로, 따라서, 절연 영역 위의 영역에서 플로팅 게이트 층의 측벽들을 따라서 증가된 캐패시턴스를 유지하는 동안, 플로팅 게이트와 컨트롤 게이트 층 사이의 캐패시턴스를 증가시키기 위한 구조를 제공한다. 만약, 리소그래픽 능력이 허락한다면, 측벽 스페이서들(126, 128)과 유사한 추가적인 측벽 스페이서들은 절연 영역들(114) 사이의 에칭 정지 층(120) 상의 플로팅 게이트 층(123)의 하나 이상의 부분을 남김으로써 형성될 수 있다.

도 23은 기관(12)과 유사한 기관(142), 절연 영역(14)과 유사한 절연 영역(144), 유전체 층(16)과 유사한 게이트 유전체 층(146), 플로팅 게이트 층(18)과 유사한 플로팅 게이트 층(148), 및 플로팅 게이트 층(148) 상의 희생층(150)을 포함하는 디바이스 구조(140)를 나타낸다. 희생층(150)은 바람직하게는 산화물이지만, 질화물과 같은 다른 물질이 될 수도 있다. 희생층(150)은 플로팅 게이트 층(148)과 선택적인 에칭이 가능할 수 있다. 플로팅 게이트 층(148)이 양호하게 폴리실리콘인 경우, 산화물 또는 질화물 중 어느 하나가 희생층(150)이 되는 것이 효과적이다. 희생층은 대략 플로팅 게이트 층(148)과 동일한 두께를 갖는 것이 바람직하다.

도 24는 패터닝된 포토레지스트를 형성하고, 절연 영역들(144) 사이에 희생층(150)의 일부를 남기기 위해 마스크로서 패터닝된 포토레지스트 부분(152)을 이용하여 희생층(150)을 통해 에칭한 후의 디바이스 구조(140)를 나타내고 있다. 희생층(150)의 나머지 부분은 도 24의 단면도에서 보여지는 크기로, 실질적으로 내부 절연 영역들(144) 사이에 있다.

도 25는 패터닝된 포토레지스트 부분(152)을 제거하고, 플로팅 게이트 층(148)과 희생층(150)의 나머지 부분 위에 플로팅 게이트 층(154)을 형성한 후의 디바이스 구조(140)를 나타낸다. 플로팅 게이트 층(154)이 양호하게 폴리실리콘으로 된 경우, 플로팅 게이트 층(154)은 등각성이기 때문에, 플로팅 게이트 층(154)의 일부는 희생층(150)의 나머지 부분보다 높이가 더 높다.

도 26은 플로팅 게이트 층(154)의 상부 표면이 희생층(150)의 나머지 부분의 표면과 평평하도록 화학적-기계적 연마(chemical-mechanical-polishing; CMP) 과정을 거친 후의 디바이스 구조(140)를 나타낸다. 이러한 방법으로 수행된 CMP 과정은 나머지 희생층(150)의 상부 표면이 노출되도록 한다.

도 27은 희생층(150)의 나머지 부분이 제거된 후의 디바이스 구조(140)를 나타낸다. 이것은 플로팅 게이트 층(154)에 개구부(155)를 남긴다. 개구부(155)는 이 단면도에 나타난 방향에서는 절연 영역들(144) 사이의 실질적으로 중간에 위치한다.

도 28은 절연 영역(144) 위에 개구부들을 갖는 패터닝된 포토레지스트 부분(156)을 형성하고, 플로팅 게이트 층(154) 및 플로팅 게이트 층(148)을 통해 그들 개구부들을 에칭한 후의 디바이스 구조(140)를 나타낸다.

도 29는 절연 영역(144) 위의 개구부들 및 개구부(155) 위에 유전체 층(158)을 형성하고, 컨트롤 게이트 층(156, 160)을 형성한 후의 디바이스 구조(140)를 나타낸다. 유전체 층(158)은 유전체 층(36)과 유사하다. 단면도로서, 도 29는 절연 영역(144) 위의 개구부들에서 증가된 캐패시턴스를 유지하는 동안, 개구부(155)로 인해 컨트롤 게이트와 플로팅 게이트 층간에 증가된 캐패시턴스를 갖는 완성된 메모리 디바이스를 묘사하고 있다.

도 30은 기판(12)과 유사한 기판(172), 절연 영역(54)과 유사한 절연 영역(174), 게이트 유전체 층(58)과 유사한 게이트 유전체 층(176), 플로팅 게이트 층(60)과 유사한 플로팅 게이트 층(178), 플로팅 게이트 층(178) 상의 희생층(180), 및 희생층(180) 상에 패터닝된 포토레지스트 부분(182)를 포함하는 디바이스 구조(170)를 나타낸다. 포토레지스트 부분(182)은 절연 영역들(174) 사이에 위치하며, 이 단면도에서 실질적으로 중앙에 위치한다. 희생층(180)은 산화물인 것이 바람직하나, 질화물과 같은 다른 물질이 될 수 있다. 희생층(180)은 플로팅 게이트 층(178)과 관련하여 선택적으로 에칭될 수 있어야 한다.

도 31은 마스크로서 포토레지스트 부분(182)을 사용하여 희생층(180)을 에칭하고, 절연 영역(174), 플로팅 게이트 층(178), 및 희생층(180)의 나머지 부분 위에 플로팅 게이트 층(184)을 형성한 후의 디바이스 구조(170)를 나타낸다. 플로팅 게이트 층(184)은 등각성으로 적층되는 폴리실리콘인 것이 바람직하나, 평면적으로 보여진다. 이것은 희생층(180)의 나머지 부분의 사이드와 절연 영역(174)이 근접하기 때문에 등각성으로 적층된 층을 평면적으로 보이게 하는 효과가 있다. 만약 근접한 정도가 더 크다면, 플로팅 게이트 층은 등각성으로 보여질 것이고, 그것이 충분히 두껍다면 문제가 되지 않는다. 아마도 희생층(180)의 나머지 부분의 높이 만큼의 두께가 양호하다.

도 32는 CMP 과정을 적용한 후의 디바이스 구조(170)를 나타낸다. 이것은 비교적 평면적 표면을 갖도록 하기 때문에 플로팅 게이트 층(184)의 높이는 희생층(180)의 나머지 부분의 높이와 동일하고, 절연 영역(174)의 상부 표면과 평평하게 된다. 이것은 희생층(180)의 나머지 부분의 상부 표면을 드러나게 한다.

도 33은 개구부(186)를 형성하기 위해 희생층(180)의 나머지 부분을 제거하고, 개구부(186) 및 플로팅 게이트 층(184) 상에 유전체 층(36)과 유사한 유전체 층(188)을 형성한 후, 유전체 층(188) 상에 컨트롤 게이트 층(38)과 유사한 컨트롤 게이트 층(190)을 형성한 후의 디바이스 구조(170)를 나타낸다. 이 단면도는 완성된 메모리 셀을 묘사하고 있다. 메모리 셀은 개구부(186)에 있는 컨트롤 게이트(190) 때문에 증가된 캐패시턴스를 갖게 된다.

도 33의 개구부(186) 및 도 29의 측벽들은 실질적으로 수직이며, 이는 개구부(155)를 사용한 증가한 캐패시턴스를 더 좋게 한다. 만약, 개구부(186, 155)의 측벽들의 기울기가 개구부(186, 155)를 바닥보다 상부에서 더 크게 한다면, 개구부(186, 155)를 컨트롤 게이트로 채우게 되기 때문에, 추가된 캐패시턴스가 적게 된다.

전술한 설명에서, 본 발명은 특정 실시예와 관련되어 설명되었다. 그러나, 본 기술분야의 당업자라면 다양한 수정 및 변경이 이하의 청구항들에 나타난 바와 같은 본 발명의 범위를 벗어나지 않고 이루어질 수 있음을 충분히 알 수 있다. 예를 들어, 특정된 물질들 및 두께들이 설명되었고, 이들은 변경될 수 있다. 많은 경우, 증가된 캐패시턴스를 제공하기 위해 생성된 특징들의 수는 절연 영역들 내부에서 증가될 수 있다. 따라서, 설명 및 특징들이 한정적 의미보다는 설명을 돕는 의미로 간주되어야 하며, 모든 그러한 수정들은 본 발명의 범위안에 포함되는 것을 의도한다.

이익들, 다른 장점들, 및 문제의 해결법들이 특정 실시예들과 관련하여 위에서 설명되었다. 그러나, 이익들, 장점들, 문제의 해결법들, 및 발생하거나 더욱 주장되는 어떤 이익, 장점, 또는 해결방법을 이끌어낼 수 있는 어떤 구성요소(들)은 결정적인, 필수적인, 또는 본질적인 특징 또는 어떠한 클레임 또는 모든 클레임의 구성요소로서 분석되지는 않는다. 여기서 사용된 바와 같이, "포함하다", "포함하는" 또는 그것의 어떠한 다른 변형의 용어는 한정되지 않는 포함을 커버하고, 구성요소들의 리스트를 포함하는 프로세스, 방법, 물건, 또는 장치들은 단지 그들 구성요소만을 포함하지 않고, 명백히 리스팅되지 않은 다른 구성요소 또는 그러한 프로세스, 방법, 물건, 또는 장치에 본래적으로 있는 다른 구성요소들을 포함할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 디바이스 구조를 만들어내는데 유용한 프로세싱의 일 단계에서의 디바이스 구조의 단면도.

도 2는 도 1에 연속한 프로세싱의 일 단계에서 도 1의 디바이스 구조의 단면도.

도 3은 도 2에 연속한 프로세싱의 일 단계에서 도 2의 디바이스 구조의 단면도.

도 4는 도 3에 연속한 프로세싱의 일 단계에서 도 3의 디바이스 구조의 단면도.

도 5는 도 4에 연속한 프로세싱의 일 단계에서 도 4의 디바이스 구조의 단면도.

도 6은 도 5에 연속한 프로세싱의 일 단계에서 도 5의 디바이스 구조의 단면도.

도 7은 도 6에 연속한 프로세싱의 일 단계에서 도 6의 디바이스 구조의 단면도.

도 8은 도 7에 연속한 프로세싱의 일 단계에서 도 7의 디바이스 구조의 단면도.

도 9는 프로세싱의 일 단계에서 본 발명의 제2 실시예로서 디바이스 구조의 단면도.

도 10은 도 9에 연속한 프로세싱의 일 단계에서 도 9의 디바이스 구조의 단면도.

도 11은 도 10에 연속한 프로세싱의 일 단계에서 도 10의 디바이스 구조의 단면도.

도 12는 도 11에 연속한 프로세싱의 일 단계에서 도 11의 디바이스 구조의 단면도.

도 13은 본 발명의 제3 실시예로서 도 10에 연속한 프로세싱의 일 단계에서 도 10의 디바이스 구조의 단면도.

도 14는 도 13에 연속한 프로세싱의 일 단계에서 도 13의 디바이스 구조의 단면도.

도 15는 프로세싱의 일 단계에서 본 발명의 제4 실시예로서 디바이스 구조의 단면도.

도 16은 도 15에 연속한 프로세싱의 일 단계에서 도 15의 디바이스 구조의 단면도.

도 17은 도 16에 연속한 프로세싱의 일 단계에서 도 16의 디바이스 구조의 단면도.

도 18은 도 17에 연속한 프로세싱의 일 단계에서 도 17의 디바이스 구조의 단면도.

도 19는 도 18에 연속한 프로세싱의 일 단계에서 도 18의 디바이스 구조의 단면도.

도 20은 도 19에 연속한 프로세싱의 일 단계에서 도 19의 디바이스 구조의 단면도.

도 21은 도 20에 연속한 프로세싱의 일 단계에서 도 20의 디바이스 구조의 단면도.

도 22는 도 21에 연속한 프로세싱의 일 단계에서 도 21의 디바이스 구조의 단면도.

도 23은 프로세싱의 일 단계에서 본 발명의 제5 실시예로서 디바이스 구조의 단면도.

도 24는 도 23에 연속한 프로세싱의 일 단계에서 도 23 디바이스 구조의 단면도.

도 25는 도 24에 연속한 프로세싱의 일 단계에서 도 24의 디바이스 구조의 단면도.

도 26은 도 25에 연속한 프로세싱의 일 단계에서 도 25의 디바이스 구조의 단면도.

도 27은 도 26에 연속한 프로세싱의 일 단계에서 도 26의 디바이스 구조의 단면도.

도 28은 도 27에 연속한 프로세싱의 일 단계에서 도 27의 디바이스 구조의 단면도.

도 29는 도 28에 연속한 프로세싱의 일 단계에서 도 28의 디바이스 구조의 단면도.

도 30은 프로세싱의 일 단계에서 본 발명의 제6 실시예로서 디바이스 구조의 단면도.

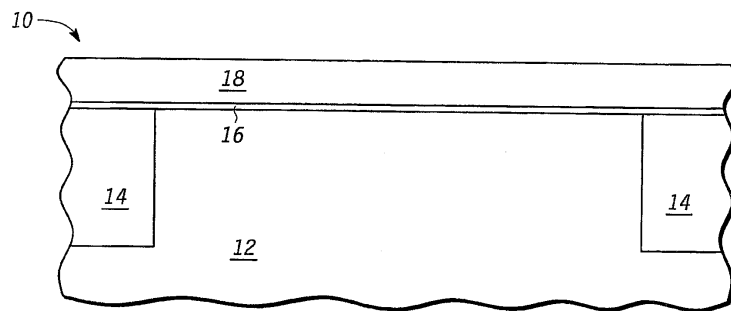
도 31은 도 30에 연속한 프로세싱의 일 단계에서 도 30의 디바이스 구조의 단면도.

도 32는 도 31에 연속한 프로세싱의 일 단계에서 도 31의 디바이스 구조의 단면도.

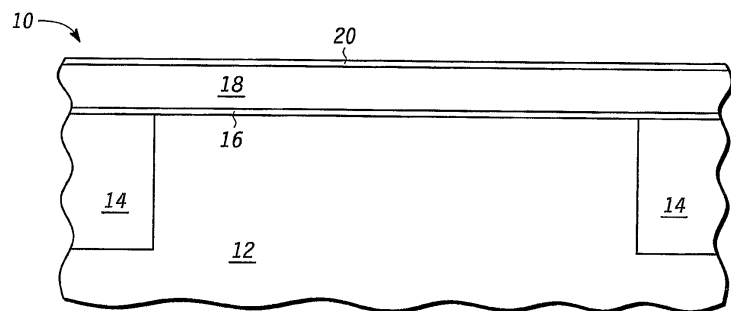
도 33은 도 32에 연속한 프로세싱의 일 단계에서 도 32의 디바이스 구조의 단면도.

도면

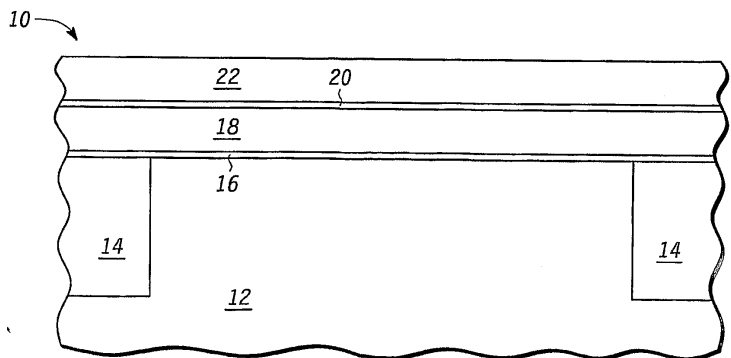
도면1



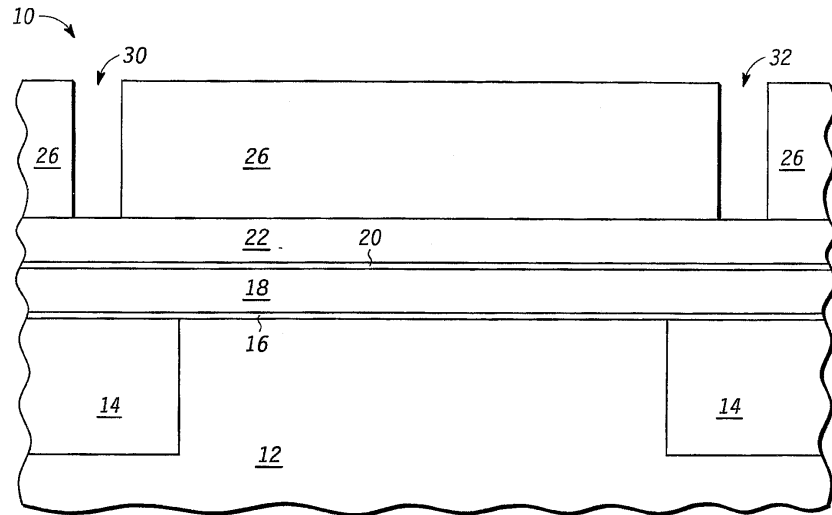
도면2



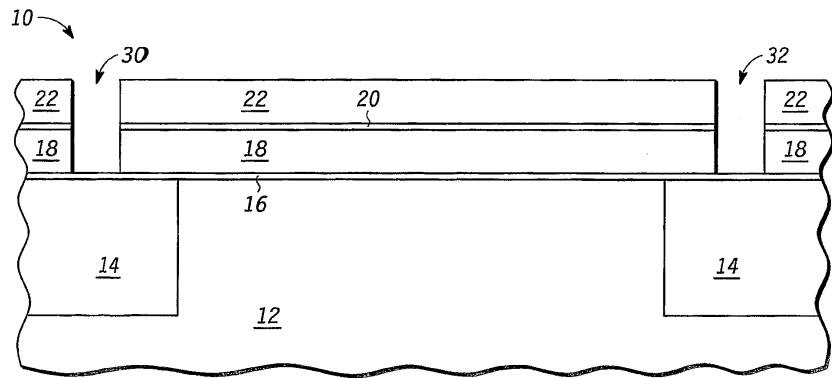
도면3



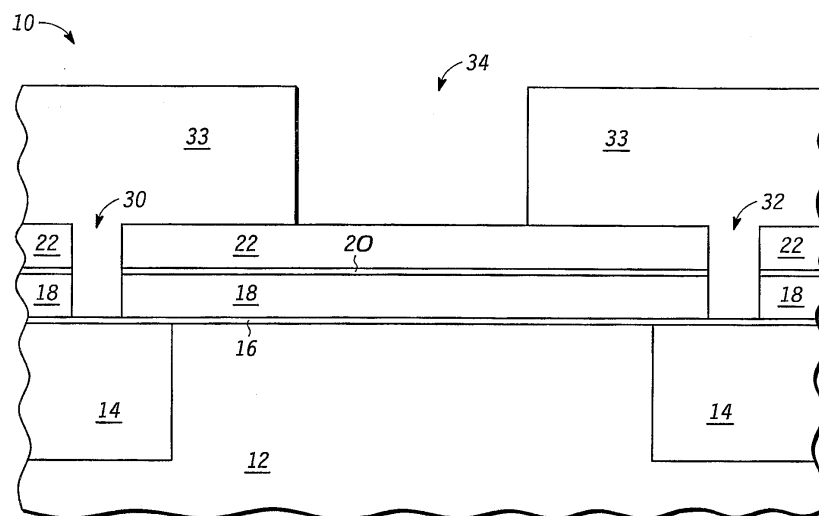
도면4



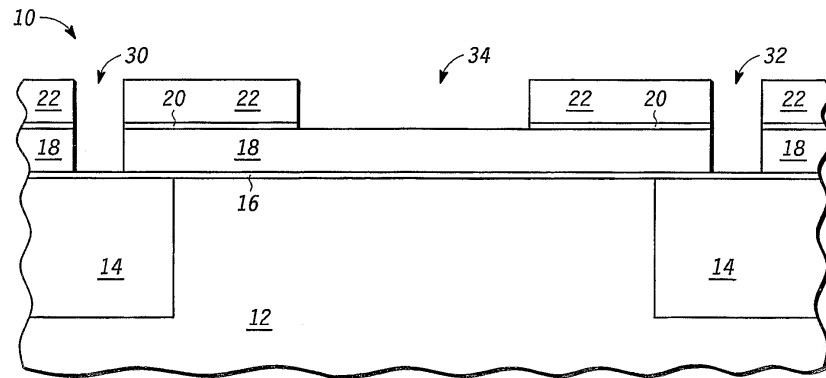
도면5



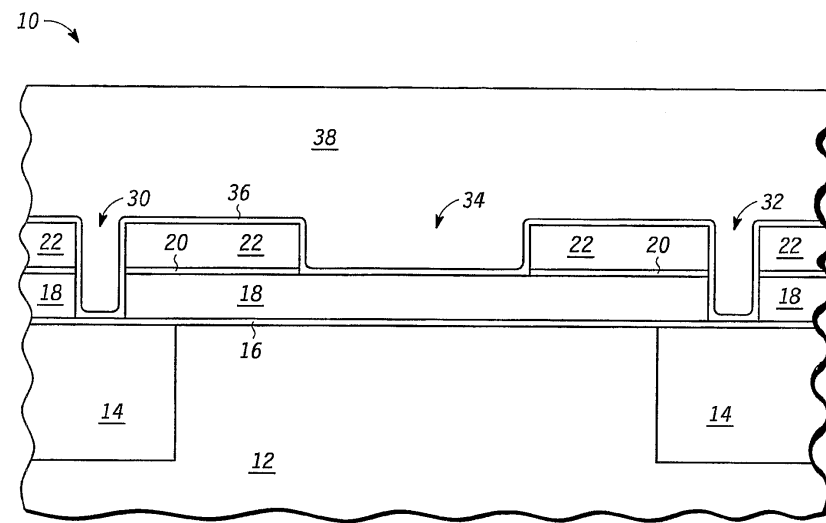
도면6



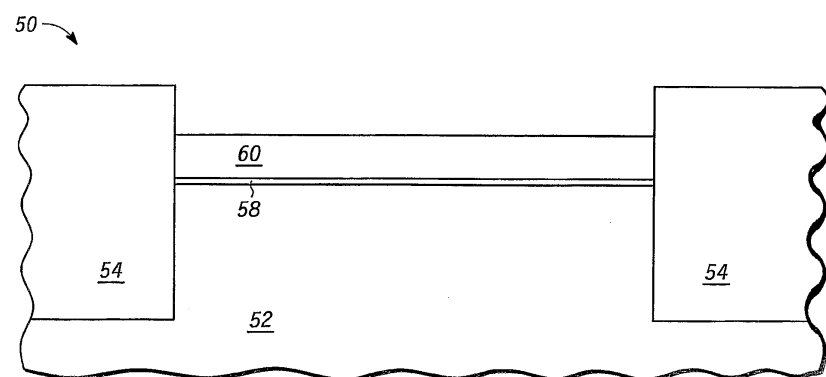
도면7



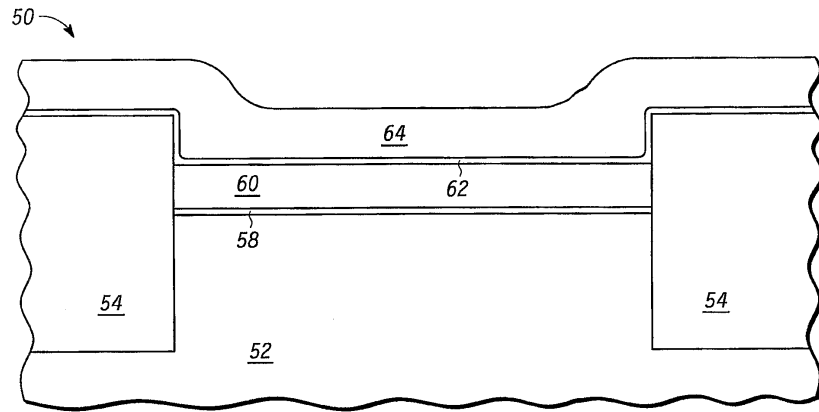
도면8



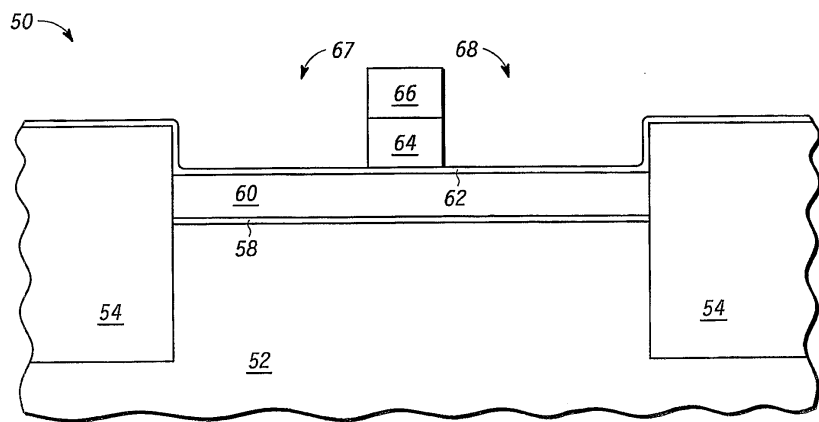
도면9



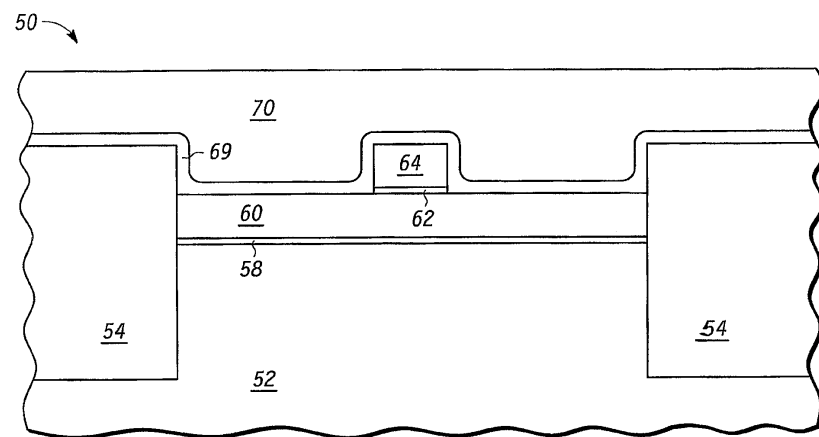
도면10



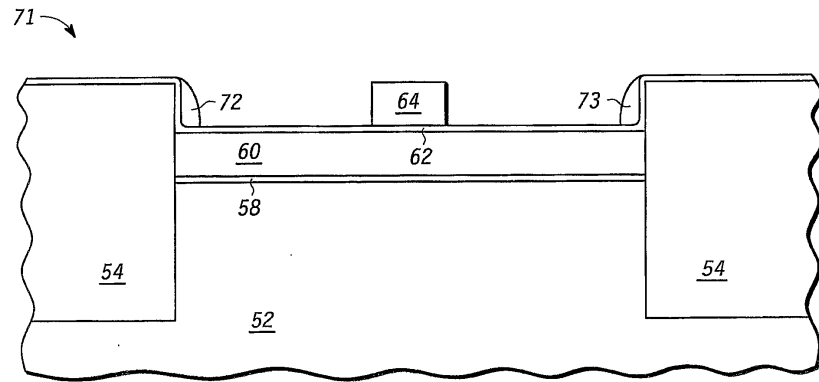
도면11



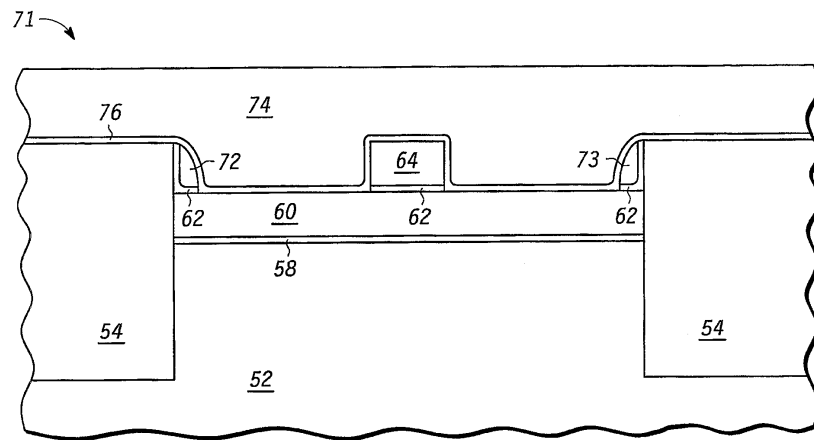
도면12



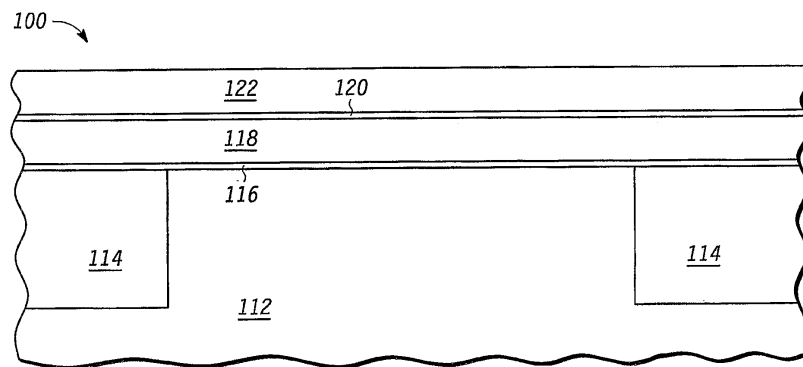
도면13



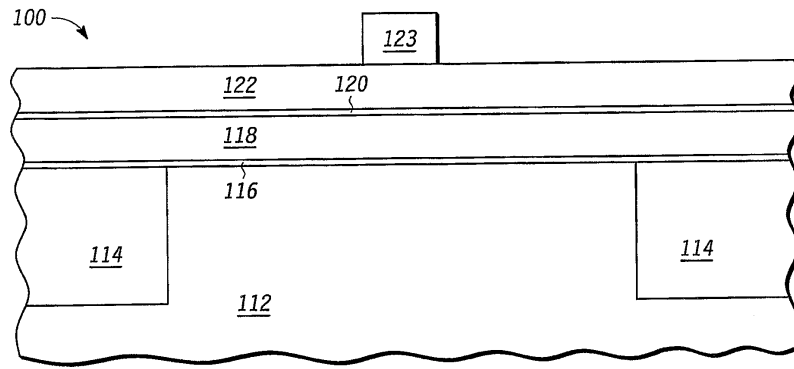
도면14



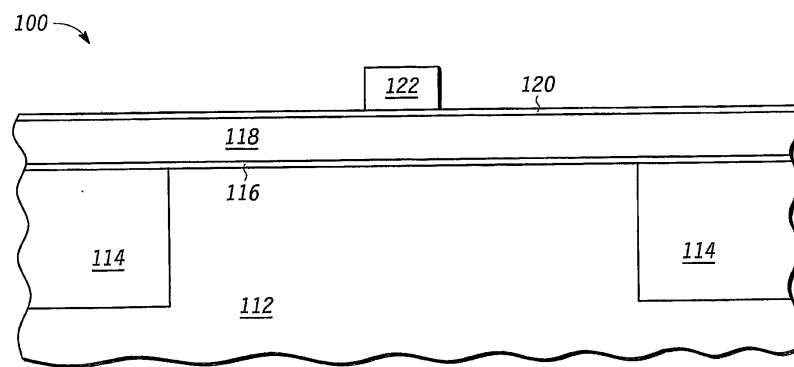
도면15



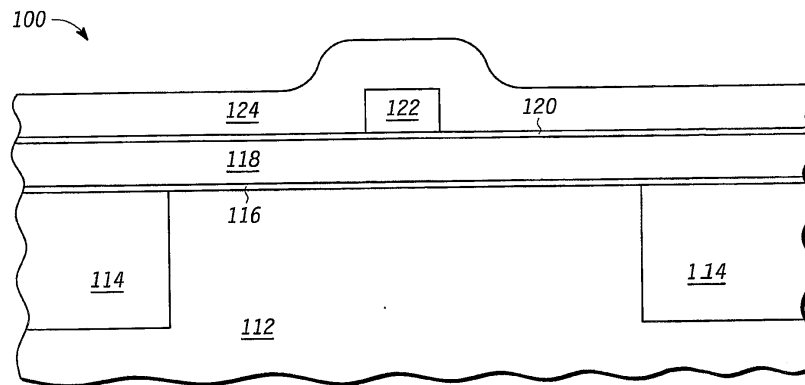
도면16



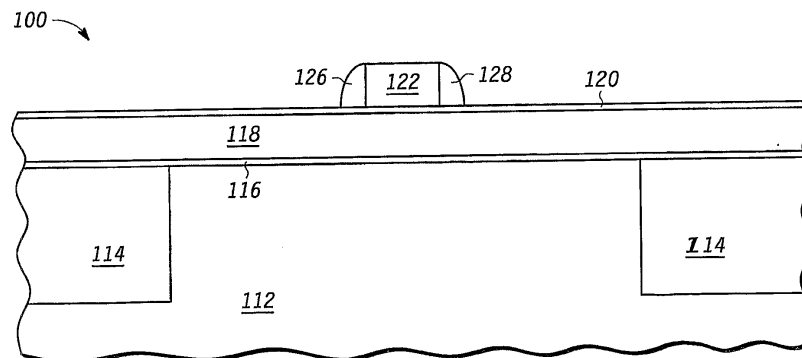
도면17



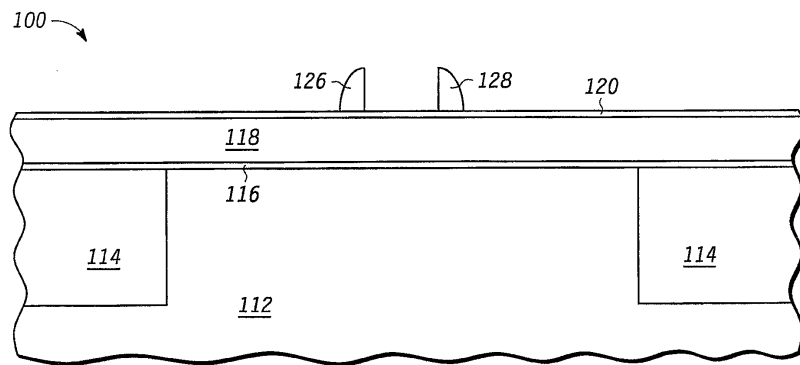
도면18



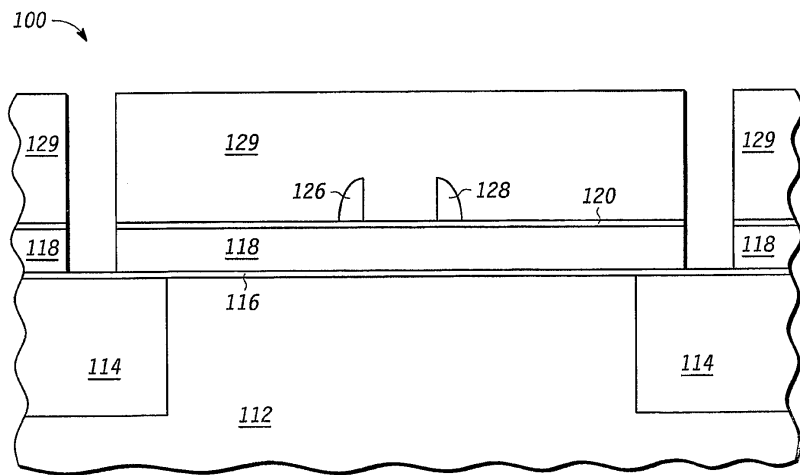
도면19



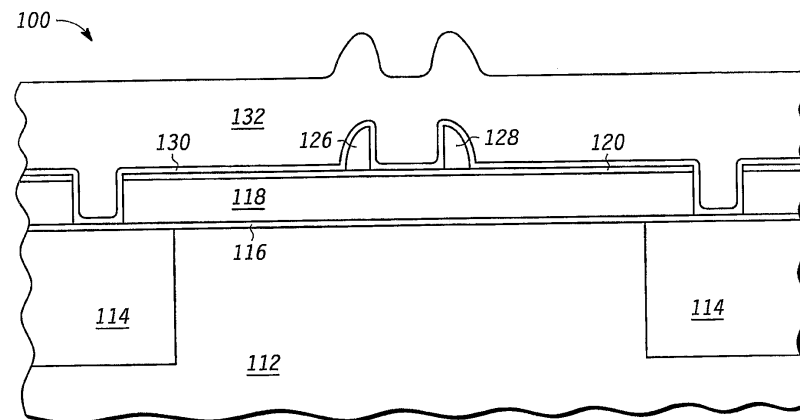
도면20



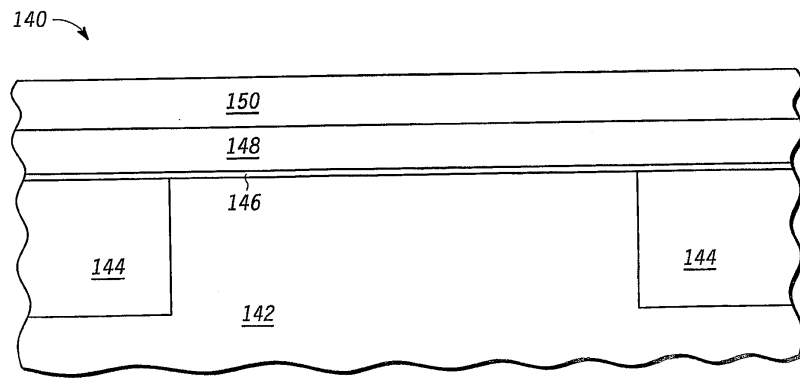
도면21



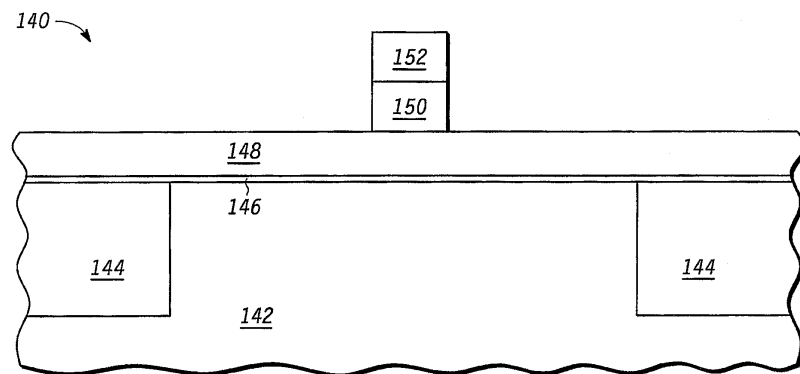
도면22



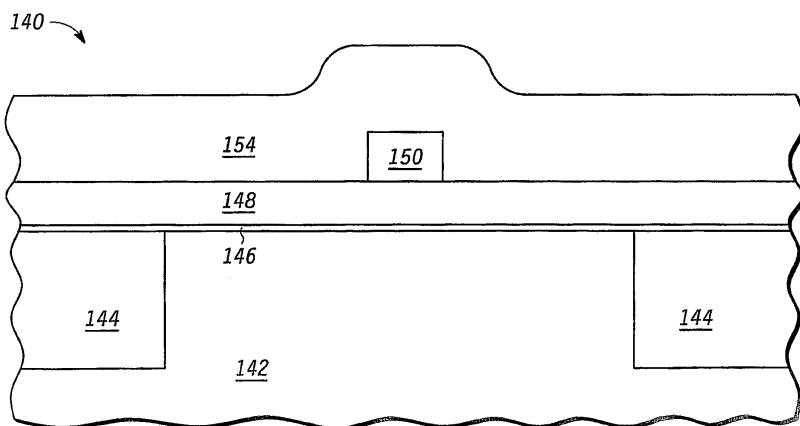
도면23



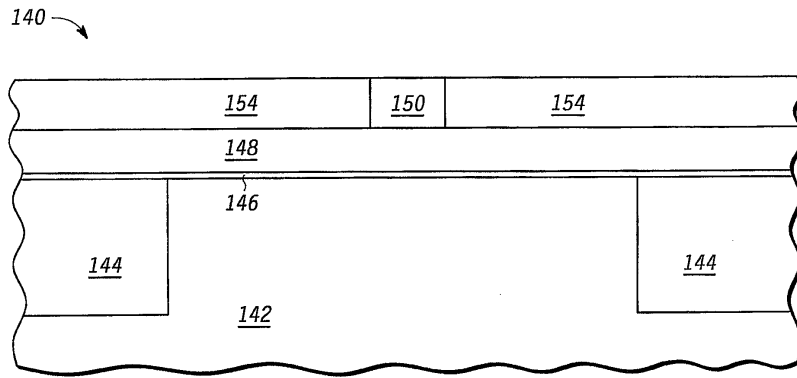
도면24



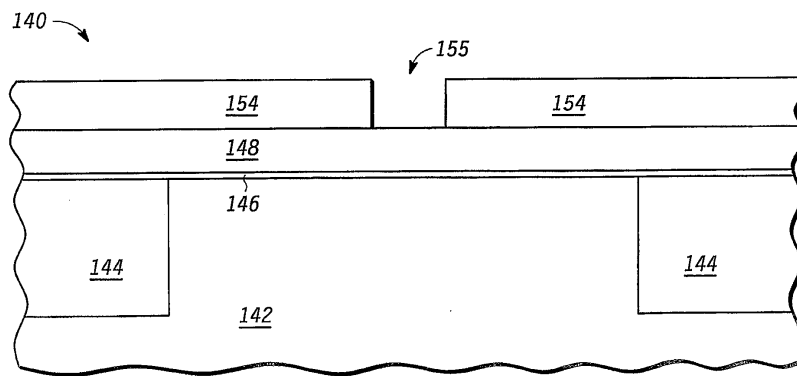
도면25



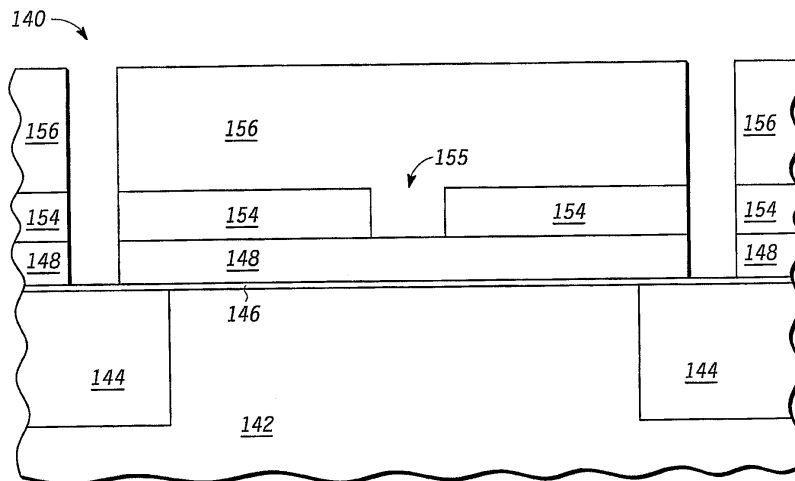
도면26



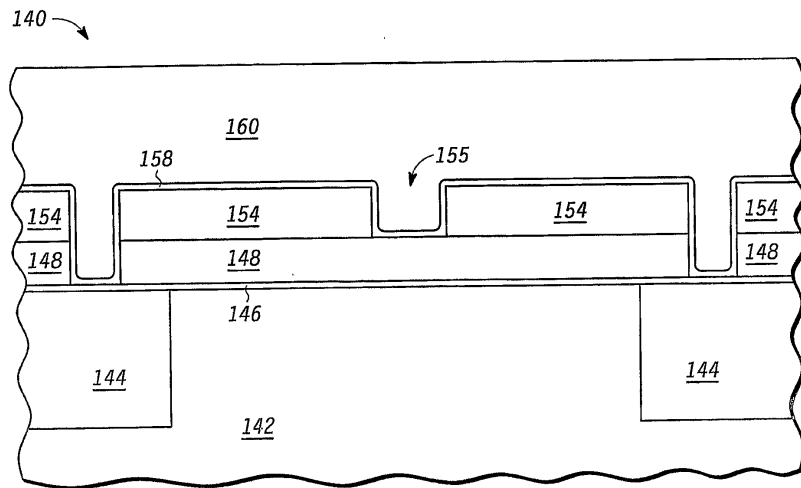
도면27



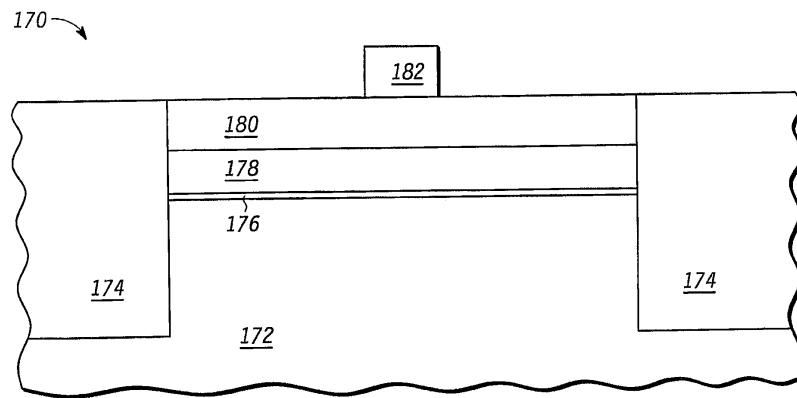
도면28



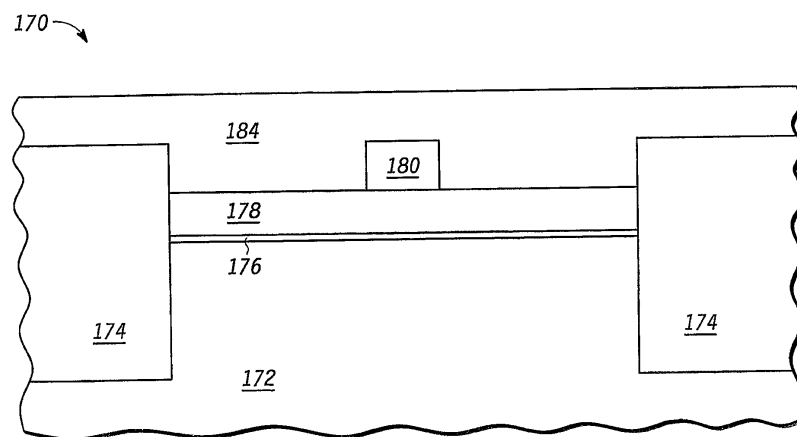
도면29



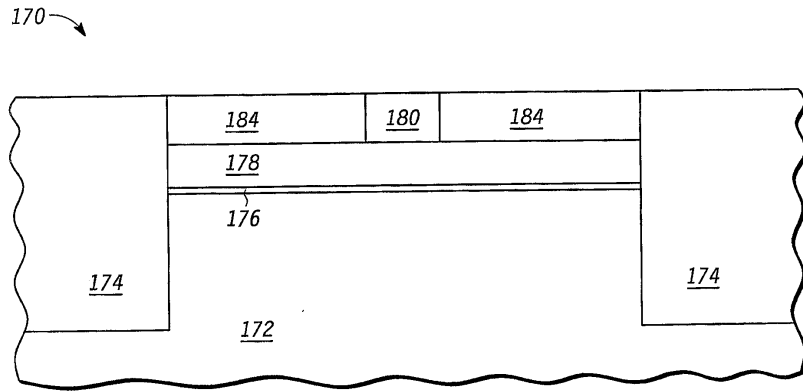
도면30



도면31



도면32



도면33

