



(12) 发明专利

(10) 授权公告号 CN 102473730 B

(45) 授权公告日 2015. 09. 16

(21) 申请号 201080031806. 7

H01L 21/336(2006. 01)

(22) 申请日 2010. 07. 27

H01L 29/417(2006. 01)

(30) 优先权数据

2009-174416 2009. 07. 27 JP

(56) 对比文件

US 2009184315 A1, 2009. 07. 23,

CN 101335203 A, 2008. 12. 31,

WO 2008096768 X, 2010. 05. 20,

WO 2009091004 A1, 2009. 07. 23,

WO 2008066030 A1, 2008. 06. 05,

US 2009184315 A1, 2009. 07. 23,

JP 2006201636 , 2006. 08. 03,

(85) PCT国际申请进入国家阶段日

2012. 01. 16

(86) PCT国际申请的申请数据

PCT/JP2010/062648 2010. 07. 27

(87) PCT国际申请的公布数据

W02011/013682 JA 2011. 02. 03

审查员 祁恒

(73) 专利权人 株式会社神户制钢所

地址 日本兵库县

(72) 发明人 后藤裕史 前田刚彰

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 樊建中

(51) Int. Cl.

H01L 29/786(2006. 01)

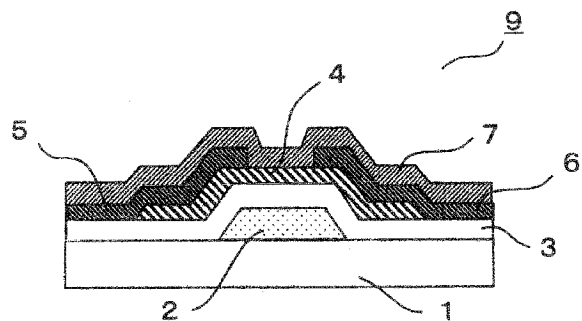
权利要求书1页 说明书13页 附图3页

(54) 发明名称

布线构造及其制造方法、以及具备布线构造的显示装置

(57) 摘要

本发明提供一种布线构造,其在有机 EL 显示器或液晶显示器等显示装置中,能够使半导体层与构成例如源极电极、漏极电极的 Al 系膜稳定地直接连接,并且在湿法工艺所使用的电解质液中,所述半导体层和 Al 系膜之间难以产生电化腐蚀,能够抑制 Al 系膜的剥离。布线构造在基板上从基板侧依次具备薄膜晶体管的半导体层、和与所述半导体层直接连接的 Al 合金膜,所述半导体层由氧化物半导体构成,所述 Al 合金膜包含 Ni 以及 Co 中的至少一种。



1. 一种布线构造,在基板上从基板侧依次具备薄膜晶体管的半导体层、和与所述半导体层直接连接的 Al 合金膜,  
所述半导体层由氧化物半导体构成,  
所述 Al 合金膜包含 Ni 以及 Co 中的至少一种,  
所述 Al 合金膜还包含 Cu 以及 Ge 中的至少一种,  
在所述半导体层和所述 Al 合金膜的界面,使 Ni 以及 Co 的至少一种的一部分浓化,形成浓化层。
2. 根据权利要求 1 所述的布线构造,其中,  
所述 Al 合金膜与构成像素电极的透明导电膜直接连接。
3. 根据权利要求 1 所述的布线构造,其中,  
所述 Al 合金膜包含 0.1 ~ 2 原子%的 Ni 以及 Co 中的至少一种。
4. 根据权利要求 1 所述的布线构造,其中,  
所述 Al 合金膜包含 0.05 ~ 2 原子%的 Cu 以及 Ge 中的至少一种。
5. 根据权利要求 1 所述的布线构造,其中,  
所述氧化物半导体由包含从 In、Ga、Zn、Ti 以及 Sn 构成的群中选择的至少一种元素的氧化物构成。
6. 根据权利要求 1 所述的布线构造,其中,  
所述 Al 合金膜还含有从 Nd、Y、Fe、Ti、V、Zr、Nb、Mo、Hf、Ta、Mg、Cr、Mn、Ru、Rh、Pd、Ir、Pt、La、Gd、Tb、Dy、Sr、Sm 以及 Bi 构成的群中选择的至少一种。
7. 根据权利要求 6 所述的布线构造,其中,  
所述 Al 合金膜含有从 Nd、La 以及 Gd 构成的群中选择的至少一种。
8. 根据权利要求 1 所述的布线构造,其中,  
薄膜晶体管的源极电极以及漏极电极的至少一个由所述 Al 合金膜构成。
9. 一种显示装置,具备权利要求 1 所述的布线构造。
10. 一种布线构造的制造方法,用于制造权利要求 1 所述的布线构造,  
包括使所述半导体层成膜的工序以及使所述 Al 合金膜成膜的工序,  
通过使所述 Al 合金膜的成膜时的基板温度为 200°C 以上、和 / 或  
在所述 Al 合金膜的成膜后用 200°C 以上的温度进行热处理,  
从而在所述半导体层和与该半导体层直接连接的所述 Al 合金膜的界面,使 Ni 以及 Co 的至少一种的一部分浓化。

## 布线构造及其制造方法、以及具备布线构造的显示装置

### 技术领域

[0001] 本发明涉及布线构造及其制造方法、以及具备布线构造的显示装置，其中布线构造从基板侧依次具备薄膜晶体管的半导体层、和与所述半导体层直接连接的 Al 合金膜，并且该半导体层由氧化物半导体所构成的氧化物半导体层构成。本发明的布线构造，代表性地用于诸如液晶显示器（液晶显示装置）、有机 EL 显示器等的平板显示器。以下，以液晶显示装置为代表来进行说明，但是并不限于此。

### 背景技术

[0002] 近年来，开发了在有机 EL 显示器、液晶显示器的半导体层（沟道层）使用氧化物半导体的显示器。例如在专利文献 1 中，作为半导体器件中的透明半导体层，采用了如下半导体：使用氧化锌（ZnO）、氧化镉（CdO）、在氧化锌（ZnO）中加入了 IIB 元素或 IIA 元素或 VIB 元素的化合物或者混合物中的任意一种，掺杂了 3d 过渡金属元素、稀土类元素、或者不使透明半导体的透明性丧失的情况下使其具有高电阻的杂质。

[0003] 氧化物半导体与以往作为半导体层的材料而使用的非晶硅相比，具有较高的载流子迁移率。而且，因为氧化物半导体可以利用溅射法进行成膜，所以与由上述非晶硅构成的层的形成相比，能够实现基板温度的低温化。其结果，能够使用耐热性低的树脂基板等，所以可以实现柔性显示器。

[0004] 作为将这种氧化物半导体用于半导体器件的示例，例如在专利文献 1 中使用了如下半导体：使用氧化锌（ZnO）、氧化镉（CdO）、在氧化锌（ZnO）中加入了 IIB 元素或 IIA 元素或 VIB 元素的化合物或者混合物中的任意一种，掺杂了 3d 过渡金属元素、稀土类元素、或者不使透明半导体的透明性丧失的情况下使其具有高电阻的杂质。即使在氧化物半导体中，包含从由 In、Ga、Zn、Sn 构成的群中选择的至少一种以上的元素的氧化物（IGOZO、ZTO、IZO、ITO、ZnO、AZTO、GZTO）具有非常高的载流子迁移率，所以优选采用。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献 1：日本国特开 2002-76356 号公报

### 发明内容

[0008] 发明要解决的问题

[0009] 在 TFT 基板中的栅极布线、源极 - 漏极布线等的布线材料中，由于电阻小、容易精细加工等理由，通常采用纯 Al 或者 Al-Nd 等的 Al 合金（以下，有时将这些统称为 Al 系）。

[0010] 但是，例如在底栅极型的 TFT 的半导体层中使用氧化物半导体、并且在源极电极、漏极电极中使用 Al 系膜的层叠构造的情况下，存在一旦氧化物半导体层与构成源极电极、漏极电极的 Al 系膜直接连接，在氧化物半导体层和 Al 系膜的界面就会形成高电阻的氧化铝从而连接电阻（触点电阻、接触电阻）上升、画面的显示品质降低的问题。

[0011] 此外，作为上述层叠构造的形成方法，可以考虑使用“剥离法”，即：在基板上通过

剥离抗蚀剂形成目的图案和逆图案之后,形成 Al 系膜,通过有机溶剂或剥离液将不要的部分和剥离抗蚀剂一起去除,从而得到目的图案。但是在该方法中,抑制被剥离的 Al 系金属片的再附着,而且形成均匀且成品率好的大面积的图案是非常困难的。因此,作为上述层叠构造的形成方法,考虑应用光刻法和湿法蚀刻工艺。但是,在光刻法的图案化时,存在如下问题:显影剂渗入构成源极电极、漏极电极的 Al 系膜与氧化物半导体层之间,由于电化腐蚀而导致上述 Al 系膜剥离的可能性较高。

[0012] 本发明着眼于这种情况而作,其目的在于提供一种布线构造及其制造方法、以及具备该布线构造的上述显示装置,关于该布线构造,能够在有机 EL 显示器、液晶显示器等显示装置中,使氧化物半导体层与构成诸如源极电极、漏极电极的 Al 系膜稳定地直接连接,并且在湿法工艺(例如上述光刻法)所用的电解质液(例如显影剂)中,氧化物半导体层与 Al 系膜之间难以产生电化腐蚀,能够抑制 Al 系膜的剥离。

[0013] 用于解决问题的方案

[0014] 本发明包括以下的方式。

[0015] (1) 一种布线构造,在基板上从基板侧起依次具备薄膜晶体管的半导体层、和与上述半导体层直接连接的 Al 合金膜,

[0016] 所述半导体层由氧化物半导体构成,

[0017] 所述 Al 合金膜包含 Ni 以及 Co 中的至少一种。

[0018] (2) 根据(1)中记载的布线构造,其中,所述 Al 合金膜与构成像素电极的透明导电膜直接连接。

[0019] (3) 根据(1)或(2)中记载的布线构造,其中,所述 Al 合金膜包含 0.1 ~ 2 原子%的 Ni 以及 Co 中的至少一种。

[0020] (4) 根据(1) ~ (3)中任意一项所记载的布线构造,其中,所述 Al 合金膜还包含 Cu 以及 Ge 中的至少一种。

[0021] (5) 根据(4)中记载的布线构造,其中,所述 Al 合金膜包含 0.05 ~ 2 原子%的 Cu 以及 Ge 中的至少一种。

[0022] (6) 根据(1) ~ (5)中任意一项所记载的布线构造,其中,所述氧化物半导体由包含从 In、Ga、Zn、Ti 以及 Sn 构成的群中选择的至少一种元素的氧化物构成。

[0023] (7) 根据(1) ~ (6)中任意一项所记载的布线构造,其中,所述 Al 合金膜还含有从 Nd、Y、Fe、Ti、V、Zr、Nb、Mo、Hf、Ta、Mg、Cr、Mn、Ru、Rh、Pd、Ir、Pt、La、Gd、Tb、Dy、Sr、Sm、Ge 以及 Bi 构成的群中选择的至少一种。

[0024] (8) 根据(7)中记载的布线构造,其中,所述 Al 合金膜含有从 Nd、La 以及 Gd 构成的群中选择的至少一种。

[0025] (9) 根据(1) ~ (8)中任意一项所记载的布线构造,其中,薄膜晶体管的源极电极以及漏极电极的至少一个由所述 Al 合金膜构成。

[0026] (10) 一种显示装置,其具备(1) ~ (9)中任意一项所记载的布线构造。

[0027] (11) 一种(1) ~ (9)中任意一项所记载的布线构造的制造方法,

[0028] 包括使所述半导体层成膜的工序以及使所述 Al 合金膜成膜的工序,

[0029] 通过使所述 Al 合金膜的成膜时的基板温度为 200°C 以上、和 / 或

[0030] 在所述 Al 合金膜的成膜后用 200°C 以上的温度进行热处理,

[0031] 从而在所述半导体层和与其直接连接的所述 Al 合金膜的界面,使 Ni 以及 Co 的至少一种的一部分析出和 / 或浓化。

[0032] 发明效果

[0033] 根据本发明,在有机 EL 显示器、液晶显示器等的显示装置中,能够将表现高迁移率的且可以由非晶 Si 或 poly-Si (多晶硅) 以低温成膜的氧化物半导体层、和构成诸如源极电极、漏极电极的 Al 系膜直接连接,并且在显示装置的制造工序中的湿法工艺中,因为在上述直接连接的部分难以产生电化腐蚀,所以能够用简便的工艺制造可靠性高的布线构造 (例如 TFT 基板)、以及包括该布线构造的显示装置。

#### 附图说明

[0034] 图 1 是表示本发明的实施方式 1 所涉及的布线构造 (TFT 基板) 的结构的概念剖面说明图。

[0035] 图 2 是表示本发明的实施方式 2 所涉及的布线构造 (TFT 基板) 的结构的概念剖面说明图。

[0036] 图 3(a) ~ (f) 是按顺序表示图 1 所示的布线构造的制造工序的一例的说明图。

[0037] 图 4(a) ~ (g) 是按顺序表示图 2 所示的布线构造的制造工序的一例的说明图。

#### 具体实施方式

[0038] 本发明人进行了用于解决所述课题的专心研究,其结果发现了若是从基板侧起依次包括薄膜晶体管的半导体层、和与所述半导体层直接连接的 Al 合金膜的布线构造,其中,所述半导体层由氧化物半导体构成,并且使所述 Al 合金膜为包含 Ni 和 / 或 Co 的合金膜,则能够使半导体层与构成诸如源极电极、漏极电极的所述 Al 合金膜稳定地直接连接,此外在湿法工艺所使用的显影剂等的电解质液中,在上述半导体层与 Al 合金膜之间难以产生电化腐蚀,能够抑制膜剥离。

[0039] 以下,参照附图来说明本发明所涉及的布线构造及其制造方法的优选实施方式,但是本发明不限于于此。

[0040] 图 1 是说明本发明所涉及的布线构造的优选实施方式 (实施方式 1) 的概念剖面说明图。图 1 所示的 TFT 基板 9 是底栅极型,具有从基板 1 侧依次层叠了栅极电极 2、栅极绝缘膜 3、半导体层 4、源极电极 5/ 漏极电极 6、保护层 7 的构造。

[0041] 此外图 2 是说明本发明所涉及的布线构造的另一优选实施方式 (实施方式 2) 的概念剖面说明图。图 2 所示的 TFT 基板 9' 也是底栅极型,具有从基板 1 侧依次层叠了栅极电极 2、栅极绝缘膜 3、半导体层 4、沟道保护层 8、源极电极 5/ 漏极电极 6、保护层 7 的构造。

[0042] 作为本发明中所使用的半导体层 4,只要是用于液晶显示装置等的氧化物半导体则没有特别限定,例如采用由包含从 In、Ga、Zn、Ti 以及 Sn 所构成的群中选择的至少一种元素的氧化物构成的半导体。具体而言,作为上述氧化物,可以列举 In 氧化物、In-Sn 氧化物、In-Zn 氧化物、In-Sn-Zn 氧化物、In-Ga 氧化物、Zn-Sn 氧化物、Zn-Ga 氧化物、In-Ga-Zn 氧化物、Zn 氧化物、Ti 氧化物等的透明氧化物以及在 Zn-Sn 氧化物中掺杂了 Al、Ga 的 AZTO、GZTO。

[0043] 与所述半导体层直接连接的 Al 合金膜 (实施方式 1、2 中的源极电极 5 和 / 或漏

极电极 6) 使用包含 Ni 和 / 或 Co 的合金膜。如此通过使其含有 Ni 和 / 或 Co, 能够使构成源极电极 5 和 / 或漏极电极 6 的 Al 合金膜与半导体层 4 的接触电阻降低。此外能够抑制上述的电化腐蚀, 能够抑制膜剥离。

[0044] 为了充分发挥这种效果, 优选使 Ni 和 / 或 Co 的含有量 (单独包含 Ni、Co 时是单独的含有量, 在包含两者时是合计量) 大致为 0.1 原子%以上。更优选为 0.2 原子%以上, 进一步优选为 0.5 原子%以上。另一方面, 若上述元素的含有量过多, 则 Al 合金膜的电阻率有可能上升, 所以优选使其上限为 2 原子%, 更优选为 1 原子%。

[0045] 作为本发明中所使用的上述 Al 合金膜, 包含上述量的 Ni 和 / 或 Co, 剩余部分是 Al 以及不可避免的杂质。

[0046] 在上述 Al 合金膜中还可以使其含有 0.05 ~ 2 原子%的 Cu 和 / 或 Ge。这些是对于触点电阻进一步降低的元素, 可以单独添加, 也可以一起添加双方。为了充分发挥这种效果, 优选使上述元素的含有量 (单独包含 Cu、Ge 时是单独的含有量, 在包含双方时是合计量) 大致为 0.05 原子%以上。更优选为 0.1 原子%以上, 进一步优选为 0.2 原子%以上。另一方面, 若上述元素的含有量过多, 则 Al 合金膜的电阻率有可能上升, 所以优选使其上限为 2 原子%, 更优选为 1 原子%。

[0047] 在上述 Al 合金膜中, 作为其他合金成分, 允许将提高耐热性的元素 (Nd、Y、Fe、Ti、V、Zr、Nb、Mo、Hf、Ta、Mg、Cr、Mn、Ru、Rh、Pd、Ir、Pt、La、Gd、Tb、Dy、Sr、Sm、Ge、Bi 的至少一种) 添加合计为 0.05 ~ 1 原子%, 优选为 0.1 ~ 0.5 原子%, 更优选为 0.2 ~ 0.35 原子%。

[0048] 作为所述提高耐热性的元素, 优选从 Nd、La 以及 Gd 构成的群中选择的至少一种。

[0049] 上述 Al 合金膜中的各合金元素的含有量能够通过例如 ICP 发光分析 (感应耦合等离子体发光分析) 法求出。

[0050] 在上述实施方式 1、2 中, 对于源极电极和 / 或漏极电极采用本发明的 Al 合金膜, 对于其他布线部 (例如栅极电极 2) 的成分组成没有特别限定, 但是栅极电极、扫描线 (未图示)、信号线中的漏极布线部 (未图示) 也可以由上述 Al 合金膜构成, 在该情况下, 能够使 TFT 基板中的 Al 合金布线全部为同一成分组成。

[0051] 此外, 本发明的布线构造不仅能够用于上述实施方式 1、2 那样的底栅极型基板, 在顶栅极型的 TFT 基板中也可以采用。

[0052] 对于基板 1, 只要是液晶显示装置等中所使用的基板则没有特别限定。代表性的是以玻璃基板等为代表的透明基板。对于玻璃基板的材料, 只要是用于显示装置的材料则没有特别限定, 例如可以列举: 无碱玻璃、高应变点玻璃、钠钙玻璃等。或者可以列举金属箔等的基板、亚胺树脂等的耐热性的树脂基板。

[0053] 作为栅极绝缘膜 3、保护层 7、沟道保护层 8, 可以列举有电介质 (例如 SiN、SiON、SiO<sub>2</sub>) 构成。优选是 SiO<sub>2</sub> 或者 SiON。但是, 因为氧化物半导体在还原气氛下其优异特性劣化, 所以推荐使用能够在氧化气氛下进行成膜的 SiO<sub>2</sub> 或者 SiON。

[0054] 作为构成像素电极的透明导电膜 (图 1、2 中未图示), 列举在液晶显示装置等中通常使用的氧化物导电膜, 代表性地例示非晶 ITO、poly-ITO、IZO、ZnO。

[0055] 此外, 构成像素电极的透明导电膜优选与上述 Al 合金膜直接连接。

[0056] 本发明优选如下方式: 在氧化物半导体层 4 和与其直接连接的上述 Al 合金膜 (例如源极电极 5 和 / 或漏极电极 6) 的界面

[0057] • 析出包含 Ni 和 / 或 Co 的析出物 ; 和 / 或

[0058] • 形成包含 Ni 和 / 或 Co 的浓化层。

[0059] 通过作为电阻低的区域而部分地或者全面地形成这种析出物、浓化层, 能够大幅降低半导体层 4 与构成源极电极 5 和 / 或漏极电极 6 的 Al 合金膜的接触电阻。

[0060] 上述 Ni 和 / 或 Co 的析出和 / 或浓化, 能够通过如下处理来实现 :

[0061] 使上述 Al 合金膜的成膜时的基板温度 ( 以下称为“成膜温度”) 为 200°C 以上 ; 和 / 或在所述 Al 合金膜的成膜后用 200°C 以上的温度进行热处理。

[0062] 优选使上述 Al 合金膜的成膜温度为 200°C 以上, 更优选使上述 Al 合金膜的成膜温度为 200°C 以上、并且在所述 Al 合金膜的成膜后用 200°C 以上的温度进行热处理。

[0063] 在任一种情况下都优选为 250°C 以上。另外, 即使进一步提高上述基板温度、加热温度, Ni 和 / 或 Co 的析出 / 浓化带来的触点电阻率的降低效果也会饱和。从基材的耐热温度等的观点出发, 优选使上述基板温度、加热温度为 300°C 以下。优选在 200°C 以上的加热时间为 5 分钟以上且 60 分钟以下。

[0064] 在所述 Al 合金膜的成膜后进行的加热 ( 热处理 ), 既可以是以所述析出 / 浓化为目的而进行的处理, 也可以是所述 Al 合金膜形成后的热历史 ( 例如, 使保护层成膜的工序) 满足所述温度 / 时间。

[0065] 在制造本发明的布线构造时, 除了满足本发明的规定, 并且使 Al 合金膜的成膜条件和 / 或热处理 / 热历史条件为上述推荐的条件以外, 没有特别限定, 可以采用显示装置的一般性的工序。

[0066] 以下, 参照图 3(a) ~ (f) 来说明所述图 1 所示的 TFT 基板的制造方法的一例。在图 3(a) ~ (f) 中, 标注与所述图 1 相同的参照符号。另外, 以下是作为制造方法的一例而说明的, 本发明不限于于此 ( 对于下述图 4 也相同)。

[0067] 首先, 在玻璃基板 1 上, 使用溅射法, 层叠膜厚 200nm 左右的 Al 合金膜 ( 例如 Al-2at% ( 原子% ) Ni-0.35at% La 合金膜)。通过对该 Al 合金膜进行图案化, 形成栅极电极 2 ( 参照图 3(a) )。此时, 在后述的图 3(b) 中, 为了使栅极绝缘膜 3 的覆盖率变好, 可以预先将构成栅极电极 2 的 Al 合金膜的边缘蚀刻为约 30° ~ 40° 的锥状。

[0068] 接下来, 作为栅极绝缘膜 3, 通过 CVD 法形成膜厚 300nm 左右的 SiN 膜。进而, 作为半导体层 4, 在 Ar 和 O<sub>2</sub> 的混合气体气氛 ( 氧含有量 1vol% ) 中, 在基板温度为室温的条件下, 使用组成例如为 In : Ga : Zn ( 原子比 ) = 1 : 1 : 1 的溅射靶, 进行反应性溅射, 从而形成由 a-IGZO 构成的氧化物半导体层 ( 膜厚 30nm 左右 ) ( 参照图 3(b) )。

[0069] 接下来, 进行光刻法, 使用草酸蚀刻 a-IGZO 膜, 形成半导体层 ( 氧化物半导体层 ) 4 ( 参照图 3(c) )。

[0070] 接下来进行 Ar 等离子体处理。该 Ar 等离子体处理能够得到半导体层 4 与后述的构成源极电极 5 / 漏极电极 6 的 Al 合金膜的欧姆接触, 能够改善半导体层 4 和上述 Al 合金膜的接触性。详细而言, 在使上述 Al 合金膜成膜之前, 通过在半导体层 4 和该 Al 合金膜的接触界面部分预先照射 Ar 等离子体, 从而在等离子体所被照射的部分产生氧欠缺, 能够提高导电性从而改善与上述 Al 合金膜的接触性。

[0071] 在进行了上述 Ar 等离子体处理后, 利用溅射法, 以成膜温度 200°C 以上, 形成膜厚 200nm 左右的 Al 合金膜 ( 例如 Al-2at% Ni-0.35at% La 合金膜)。或者在进行了上述 Ar

等离子体处理后,利用溅射法以例如成膜温度 150℃形成膜厚 200nm 左右的所述 Al 合金膜,之后,例如以 250℃进行 30 分钟的热处理(参照图 3(d))。

[0072] 通过对所述 Al 合金膜实施光刻法以及蚀刻,从而形成源极电极 5、漏极电极 6(参照图 3(e))。

[0073] 然后,可以利用 CVD 法形成由 SiO<sub>2</sub>构成的保护层 7 从而得到图 1 的 TFT 基板 9(参照图 3(f))。

[0074] 下面,参照图 4(a) ~ (g) 来说明所述图 2 所示的 TFT 基板的制造方法的一例。在图 4(a) ~ (g) 中标注了与所述图 2 相同的参照符号。

[0075] 首先,在玻璃基板 1 上,使用溅射法,层叠膜厚 200nm 左右的 Al 合金膜(例如 Al-2at% Ni-0.35at% La 合金膜)。通过对该 Al 合金膜进行图案化,形成栅极电极 2(参照图 4(a))。此时,在后述的图 4(b) 中,为了使栅极绝缘膜 3 的覆盖率变得良好,可以预先将构成栅极电极 2 的 Al 合金膜的边缘蚀刻为约 30° ~ 40° 的锥状。

[0076] 接下来,作为栅极绝缘膜 3,通过 CVD 法形成膜厚 300nm 左右的 SiN 膜。进而,作为半导体层 4,在 Ar 和 O<sub>2</sub>的混合气体气氛(氧含有量 1vol%)中,在基板温度为室温的条件下,使用组成例如为 In : Ga : Zn(原子比) = 1 : 1 : 1 的溅射靶,进行反应性溅射,从而形成由 a-IGZO 构成的氧化物半导体层(膜厚 30nm 左右)(参照图 4(b))。

[0077] 接下来,进行光刻法,使用草酸蚀刻 a-IGZO 膜,形成半导体层(氧化物半导体层)4(参照图 4(c))。

[0078] 接下来,利用 CVD 法形成膜厚 100nm 左右的 SiO<sub>2</sub>膜,将栅极电极作为掩膜,从玻璃基板背面(没有形成栅极电极等的面)进行曝光来进行光刻法,通过干法蚀刻形成沟道保护层 8(参照图 4(d))。

[0079] 在与所述实施方式 1 的情况同样地进行了 Ar 等离子体处理后,利用溅射法,以成膜温度 200℃以上,形成膜厚 200nm 左右的 Al 合金膜(例如 Al-2at% Ni-0.35at% La 合金膜)。或者在与所述实施方式 1 的情况同样地进行了 Ar 等离子体处理后,利用溅射法以例如成膜温度 150℃形成膜厚 200nm 左右的所述 Al 合金膜,之后,例如以 250℃进行 30 分钟的热处理(参照图 4(e))。

[0080] 通过对所述 Al 合金膜实施光刻法和蚀刻,从而形成源极电极 5、漏极电极 6(参照图 4(f))。

[0081] 然后,可以利用 CVD 法形成由 SiO<sub>2</sub>构成的保护层 7 从而得到图 2 的 TFT 基板 9'(参照图 4(g))。

[0082] 使用如此得到的 TFT 基板,例如,可以通过一般进行的方法来完成显示装置。

[0083] 实施例

[0084] 以下,列举实施例来更具体地说明本发明,但是本发明不受以下的实施例限制,当然可以在能够符合上述/下述的主旨的范围内适当地施加变更,那些都被包含在本发明的技术范围内。

[0085] (1) 关于金属膜的种类和触点电阻

[0086] 使用如下述那样制作的 TLM 元件,利用 TLM 法调查了纯 Al 膜、或者 Al-2at% Ni-0.35at% La 合金膜与氧化物半导体层之间的触点电阻。

[0087] 详细而言,首先,在玻璃基板(康宁(CORNING)公司制 Eagle2000)的表面,在



Ar 和 O<sub>2</sub>的混合气体氛围（氧含有量 1vol%）中，以基板温度为室温的条件，使用组成为 In : Ga : Zn（原子比）= 1 : 1 : 1 的溅射靶，进行溅射，从而形成由 a-I GZO 构成的氧化物半导体层（膜厚 30nm）。

[0088] 接下来，通过 CVD 法形成 200nm 的 SiO<sub>2</sub>膜，并且通过光刻法，进行与源极电极 / 漏极电极的接触部分的图案化，利用 RIE 蚀刻装置，通过 Ar/CHF<sub>3</sub>等离子体进行了接触孔蚀刻。

[0089] 接下来，进行灰化（ashing）去除抗蚀剂表面的反应层后，接着利用剥离液（东京应化工业（株）制的 TOK106）完全地剥离抗蚀剂。

[0090] 然后，作为源极电极 / 漏极电极，形成了膜厚 200nm 的纯 Al 膜、或者 Al-2at% Ni-0.35at% La 合金膜。此时的成膜条件都采用：气氛气体=氩气、压力= 2mTorr、基板温度=室温或者 200℃。此外，对于一部分样品，在成膜后还实施了 250℃、30 分钟的热处理。

[0091] 接下来，通过光刻法形成 TLM 元件的图案，将抗蚀剂作为掩膜，蚀刻上述纯 Al 膜、或者 Al-2at% Ni-0.35at% La 合金膜，通过剥离抗蚀剂，从而得到了包括多个电极、并且相连电极间的距离各种各样的 TLM 元件。上述 TLM 元件的图案，采用了间隙为 10 μm、20 μm、30 μm、40 μm、50 μm 分度（pitch）、150 μm 宽 × 300 μm 长的图案。

[0092] 使用如此获得的 TLM 元件，测量多个电极间的电流电压特性，求出了各电极间的电阻值。根据如此得到的各电极间的电阻值与电极间距离的关系，求出了触点电阻率（TLM 法）。

[0093] 对于上述测量，各金属膜制作 3 个 TLM 元件，测量上述触点电阻率求出平均值。表 1 中示出该结果。

[0094] [表 1]

[0095]

No.	膜的组成※	成膜时的基板温度(°C)	成膜后的热处理	触点电阻( $\Omega \cdot \text{cm}^2$ )			平均值
				TLM元件1	TLM元件2	TLM元件3	
1	纯Al	室温	无	$2.7 \times 10^{-5}$	$3.0 \times 10^{-5}$	$2.0 \times 10^{-5}$	$2.6 \times 10^{-5}$
2		室温	$250^\circ\text{C} \times 30\text{分}$	$9.9 \times 10^{-1}$	$1.5 \times 10^0$	$1.4 \times 10^{-2}$	
3	Al-2Ni-0.35La	室温	无	$3.6 \times 10^{-5}$	$6.2 \times 10^{-5}$	$1.0 \times 10^{-5}$	$3.6 \times 10^{-5}$
4		室温	$250^\circ\text{C} \times 30\text{分}$	$9.0 \times 10^{-2}$	$2.3 \times 10^{-1}$	$9.0 \times 10^{-3}$	
5	纯Al	$200^\circ\text{C}$	无	$1.7 \times 10^{-5}$	$1.9 \times 10^{-5}$	$3.1 \times 10^{-5}$	$2.2 \times 10^{-5}$
6		$200^\circ\text{C}$	$250^\circ\text{C} \times 30\text{分}$	$1.9 \times 10^0$	$6.6 \times 10^{-1}$	$8.0 \times 10^{-1}$	
7	Al-2Ni-0.35La	$200^\circ\text{C}$	无	$1.1 \times 10^{-5}$	$2.3 \times 10^{-5}$	$2.6 \times 10^{-5}$	$2.0 \times 10^{-5}$
8		$200^\circ\text{C}$	$250^\circ\text{C} \times 30\text{分}$	$1.5 \times 10^{-5}$	$3.0 \times 10^{-5}$	$3.3 \times 10^{-5}$	

※数值是Al合金膜中所占的比例(原子%)

[0096] 由表1能够如下地进行考察。即,可知:在纯Al膜的情况下,通过成膜后实施热处理(表1的No. 2,6),与没有实施热处理的情况(表1的No. 1,5)相比,触点电阻率大幅增加,表现出了高电阻率。

[0097] 与此相对,可知在Al-2at% Ni-0.35at% La合金膜的情况下,以基板温度 $200^\circ\text{C}$ 成膜并且实施了热处理的情况(表1的No. 8),触点电阻率平均为 $2.6 \times 10^{-5} \Omega \cdot \text{cm}^2$ ,十分小,并且偏差也得到抑制。

[0098] (2) 其次,为了调查Al合金膜的种类以及热处理条件与电化腐蚀耐性以及触点电阻的关系,进行了下述试验。

[0099] (2-1) 剥离试验(电化腐蚀耐性的评价)

[0100] 以如下方式进行了电化腐蚀耐性的评价。即,在与上述(1)同样地成膜的氧化物半导体(a-IGZO)层上,使成膜时的基板温度和成膜后的热处理温度如表2所示那样,此外与上述(1)同样地形成了纯Al膜或者表1所示的各种Al合金膜(膜厚都是200nm)。之后,涂敷抗蚀剂,用紫外线曝光,用含有TMAH2.38%的显影剂进行显影后,用丙酮去除抗蚀剂,通过光学显微镜观察,观察了分布在整个基板上的100 $\mu$ m方块的图案部有无剥离。

[0101] 详细而言,通过显微镜照片的图像处理,在图像上将网格(mesh)切为5 $\mu$ m的方块,将即使方块的一部分发生了剥离的部分也被计数为“剥离”,将全部方块数中的剥离部分的方块数的比例作为“剥离率”来数值化。

[0102] 然后,针对上述剥离率,如下所述地进行判断来评价电化腐蚀耐性。在表2中示出该结果。

[0103] A... 剥离率为0%

[0104] B... 剥离率为大于0%且20%以下

[0105] C... 剥离率为大于20%

[0106] (2-2) 触点电阻率的测量

[0107] 与上述(1)同样地制作TLM元件,通过TLM法测量了触点电阻率。针对上述触点电阻率,基于下述评价基准进行判断,评价了氧化物半导体层和Al合金膜的触点电阻。作为氧化物半导体层,除了由上述(1)使用的IGZO(In : Ga : Zn(原子比) = 1 : 1 : 1)以外,还使用IGZO(In : Ga : Zn(原子比) = 2 : 2 : 1)、ZTO(Zn : Sn(原子比) = 2 : 1)测量了触点电阻率。

[0108] 另外,IGZO(2 : 2 : 1)和ZTO(2 : 1)的成膜条件是:气氛气体=Ar气体、压力=5mTorr、基板温度=25 $^{\circ}$ C(室温)、膜厚=100nm。

[0109] 在表3中示出结果。

[0110] (触点电阻率评价基准)

[0111] A... 触点电阻率小于 $1 \times 10^{-2} \Omega \text{cm}^2$

[0112] B... 触点电阻率为 $1 \times 10^{-2} \Omega \text{cm}^2$ 以上 $1 \times 10^0 \Omega \text{cm}^2$ 以下

[0113] C... 触点电阻率大于 $1 \times 10^0 \Omega \text{cm}^2$

[0114] [表2]

[0115]

No.	膜的组成	成膜时的基板温度(°C)	成膜后的热处理温度(°C)	电化腐蚀耐性
1	纯 Al	室温	-	C
2		室温	200	C
3		室温	250	C
4		200	-	C
5		200	200	C
6		200	250	C
7	Al-0.2Ni-0.35La	室温	-	B
8		室温	200	A
9		200	-	A
10		200	200	A
11	Al-1Ni-0.5Cu-0.3La	200	250	A
12		室温	-	B
13		室温	200	A
14		200	-	A
15	Al-2Ni-0.35La	200	200	A
16		室温	-	B
17		室温	150	B
18		室温	200	A
19		室温	250	A
20		100	-	B
21		100	200	A
22		150	-	A
23		150	200	A
24		200	-	A
25		200	150	A
26		200	200	A
27	200	250	A	
28	Al-0.2Co-0.5Ge-0.2La	室温	-	B
29		室温	200	A
30		200	-	A
31		200	200	A
32	Al-1Co-0.35La	200	250	A
33		室温	-	B
34		室温	200	A
35		200	-	A
36	Al-0.1Ni-0.5Ge-0.27Nd	200	200	A
37		室温	-	B
38		室温	200	A
39		200	-	A
40		200	200	A
41	200	250	A	

[0116] ※ 数值是 Al 合金膜中所占的比例 (原子%)

[0117] [表 3]

[0118]

No.	与 IGZO(1 : 1 : 1) 的触点电阻	与 IGZO(2 : 2 : 1) 的触点电阻	与 ZTO 的触点电阻
1	A	A	A
2	B	B	B
3	C	C	C
4	A	A	A
5	C	C	C
6	C	C	C

7	A	A	A
8	B	B	B
9	A	A	A
10	A	A	A
11	A	A	A
12	A	A	A
13	B	B	B
14	A	A	A
15	A	A	A
16	A	A	A
17	B	B	B
18	B	B	B
19	B	B	B
20	A	A	A
21	B	B	B
22	A	A	A
23	B	B	B
24	A	A	A
25	A	A	A
26	A	A	A
27	A	A	A
28	A	A	A
29	B	B	B
30	A	A	A

31	A	A	A
32	A	A	A
33	A	A	A
34	B	B	B
35	A	A	A
36	A	A	A
37	A	A	A
38	B	B	B
39	A	A	A
40	A	A	A
41	A	A	A

[0119] 由表 2、表 3 可以如下地进行考察。即,可知为了抑制在光刻法的工序的 Al 合金膜的剥离,并且实现低触点电阻,优选采用包含 Ni 和 / 或 Co 的 Al 合金膜,并且使该 Al 合金膜的成膜时的基板温度为 200℃ 以上。另外,在成膜温度小于 200℃ 的情况下,若在成膜后以 200℃ 以上的温度实施热处理,则触点电阻率具有稍稍变高的倾向。与此相对,若如上所述地以基板温度为 200℃ 以上成膜,则即使在成膜后以 200℃ 以上的温度实施了热处理的情况下,也表现低触点电阻。

[0120] 尤其在对 Al-2at% Ni-0.35at% La 合金膜(表 2 的 No. 16 ~ 27) 进行考察时,如下所示。即,在成膜温度小于 200℃ 的情况下,之后不实施热处理(No. 16、20、22)、或者热处理温度小于 200℃ 时(No. 17),可以看出电化腐蚀耐性具有稍稍变差的倾向。

[0121] 此外,在成膜温度小于 200℃、并且实施了热处理的情况下(No. 17 ~ 19、21、23),可以看出触点电阻率具有  $1 \times 10^{-2} \Omega \cdot \text{cm}^2$  以上变高的倾向。

[0122] 与此相对,在成膜时的基板温度为 200℃ 以上、之后不实施热处理的情况下(No. 24),在光刻法下没有产生剥离。此外,触点电阻也表现  $6 \times 10^{-5} \Omega \cdot \text{cm}^2$  的低值。

[0123] 此外可知,在成膜时的基板温度为 200℃ 以上、之后又实施了热处理的情况下,可以实现低触点电阻(No. 25 ~ 27)。尤其通过使成膜时的基板温度为 200℃ 以上、并且以 200℃ 以上的温度实施热处理(No. 26、27),触点电阻率充分降低,为  $2 \times 10^{-5} \Omega \cdot \text{cm}^2$ 。如此通过以基板温度 200℃ 以上进行成膜,能够防止光刻法下的剥离、并且实现低触点电阻。此外可知,为了实现更低的触点电阻率,期望以基板温度 200℃ 以上成膜后,再用 200℃ 以上的温度实施热处理。

[0124] 另外,根据上述剥离法,纯 Al 膜与 a-IGZO 层的触点电阻,即使不实施热处理而低至  $3 \times 10^{-5} \Omega \cdot \text{cm}^2$ ,但是在进行光刻法时,有产生剥离的情况。进而若用 250℃ 以上的温度

实施热处理,则不仅产生剥离,而且触点电阻率也变高为  $1 \times 10^0 \Omega \cdot \text{cm}^2$  以上。

[0125] 此外针对 Al-0.1at % Ni-0.5at % Ge-0.27at % Nd 合金 (表 2 的 No. 37 ~ 41) 进行考察时如下所示。即,可以看出在成膜温度小于 200℃ 的情况下,之后不实施热处理 (No. 37) 时,电化腐蚀耐性具有稍稍变差的倾向。

[0126] 此外,在成膜温度小于 200℃、并且实施了热处理的情况下 (No. 38),可以看出触点电阻率具有稍稍变高的倾向。

[0127] 与此相对,在使成膜时的基板温度为 200℃ 以上、之后不实施热处理的情况下 (No. 39),没有产生在光刻法下的剥离。此外,触点电阻也表现低的值。

[0128] 此外可知,在使成膜时的基板温度为 200℃ 以上、之后再实施了热处理的情况下,也能够实现低触点电阻 (No. 40、41)。尤其通过使成膜时的基板温度为 200℃ 以上、并且用 200℃ 以上的温度实施热处理,触点电阻率表现出了十分低的值。如此,通过以基板温度 200℃ 以上进行成膜,能够防止光刻法下的剥离,并且实现低触点电阻。此外可知,为了实现更低的触点电阻率,期望在以基板温度 200℃ 以上成膜后,再用 200℃ 以上的温度实施热处理。

[0129] 详细地并且参照特定的实施方式说明了本申请,但是本领域的技术人员可知,在不脱离本发明的精神和范围的情况下可以实施各种变更、修正。

[0130] 本申请基于 2009 年 7 月 27 日申请的日本专利申请 (特愿 2009-174416),并且在此作为参考取入其内容。

[0131] 产业上的可利用性

[0132] 根据本发明,在有机 EL 显示器、液晶显示器等的显示装置中,能够将表现高迁移率、并且可以由非晶 Si 或 poly-Si 以低温成膜的氧化物半导体层、和构成诸如源极电极、漏极电极的 Al 系膜直接连接,并且在显示装置的制造工序中的湿法工艺中,因为在上述直接连接的部分难以产生电化腐蚀,所以能够用简便的工艺制造可靠性高的布线构造 (例如 TFT 基板)、以及包括该布线构造的显示装置。

[0133] 符号说明

[0134] 1 基板

[0135] 2 栅极电极

[0136] 3 栅极绝缘膜

[0137] 4 半导体层

[0138] 5 源极电极

[0139] 6 漏极电极

[0140] 7 保护层

[0141] 8 沟道保护层

[0142] 9、9' TFT 基板

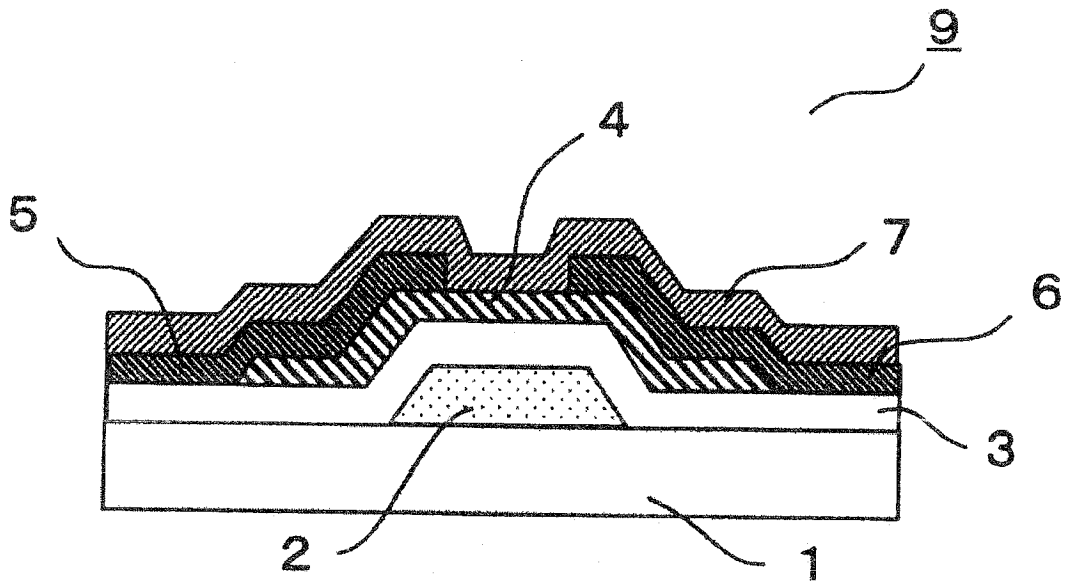


图 1

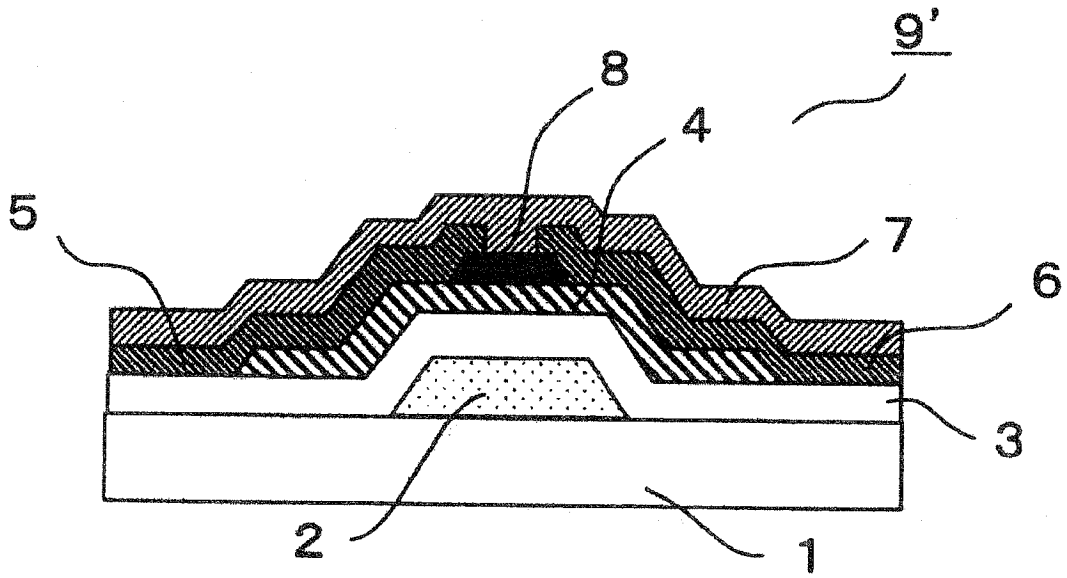


图 2



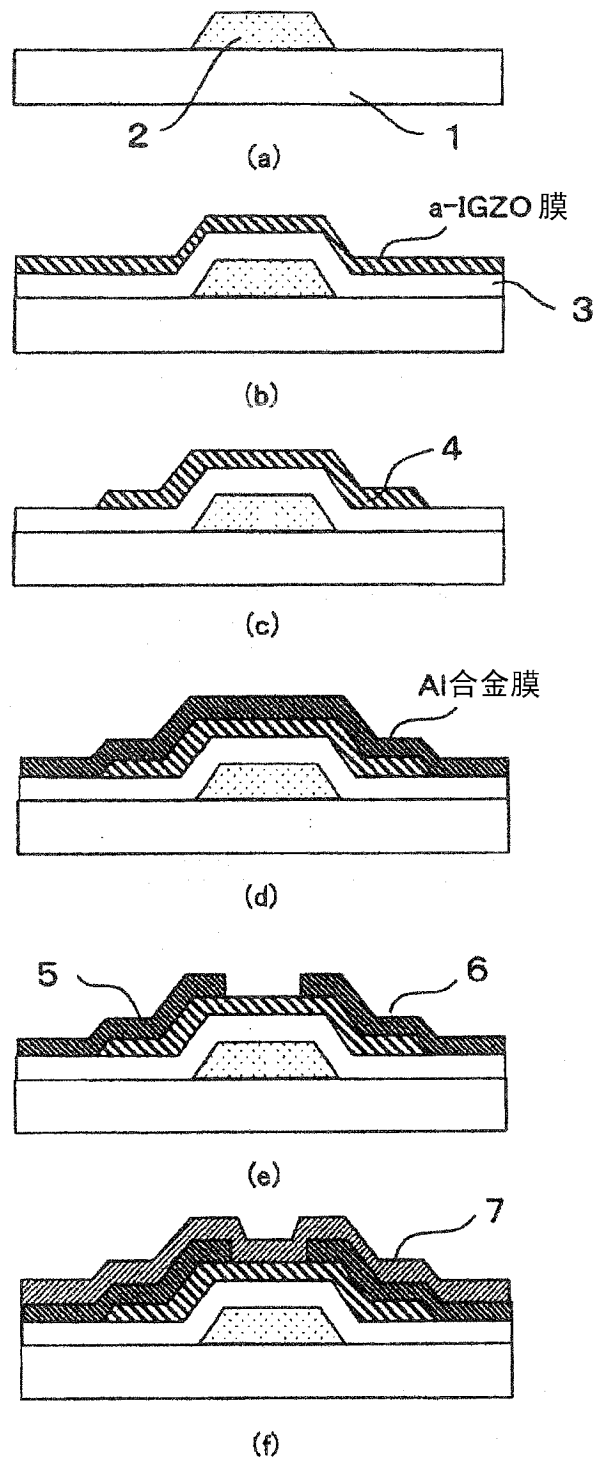


图 3

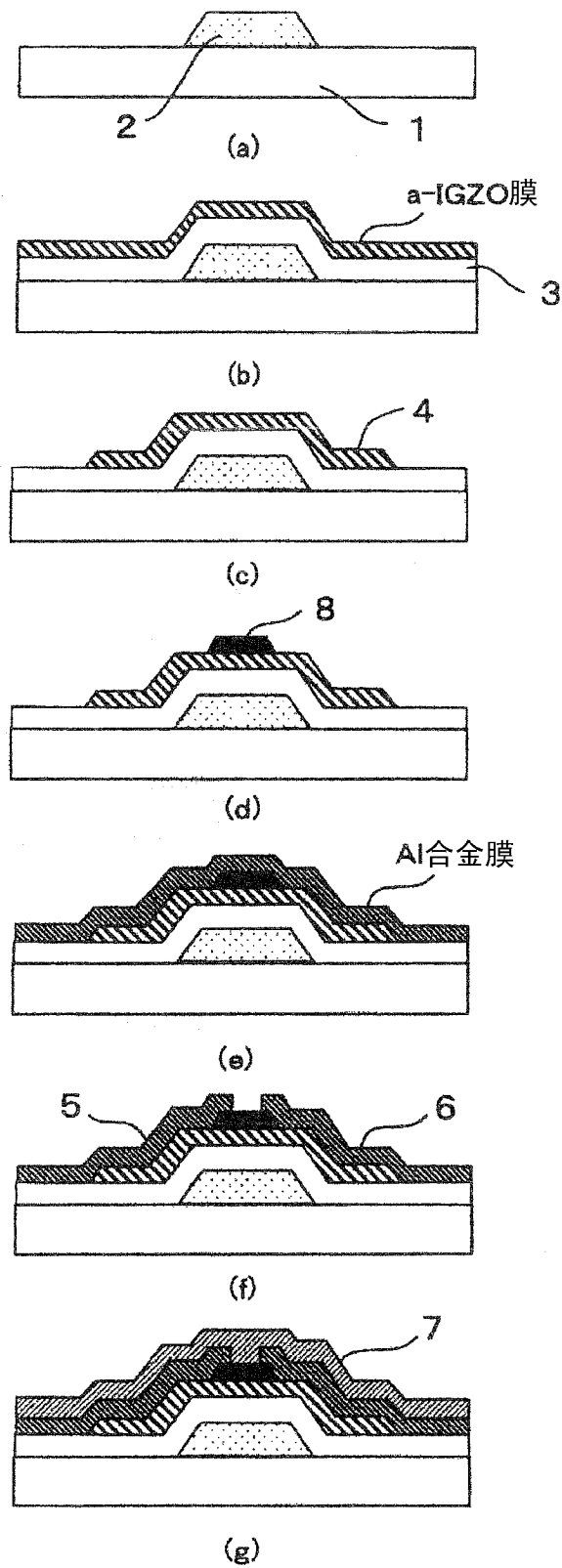


图 4