

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5370936号
(P5370936)

(45) 発行日 平成25年12月18日 (2013.12.18)

(24) 登録日 平成25年9月27日 (2013.9.27)

(51) Int.Cl.	F I
G06F 9/50 (2006.01)	G06F 9/46 462A
G06F 9/46 (2006.01)	G06F 9/46 350
G06F 12/14 (2006.01)	G06F 12/14 510D

請求項の数 7 (全 62 頁)

(21) 出願番号	特願2012-9677 (P2012-9677)	(73) 特許権者	000004237
(22) 出願日	平成24年1月20日 (2012.1.20)		日本電気株式会社
(62) 分割の表示	特願2008-545349 (P2008-545349) の分割		東京都港区芝五丁目7番1号
原出願日	平成19年11月1日 (2007.11.1)	(74) 代理人	100093595
(65) 公開番号	特開2012-104151 (P2012-104151A)		弁理士 松本 正夫
(43) 公開日	平成24年5月31日 (2012.5.31)	(72) 発明者	井上 浩明
審査請求日	平成24年1月20日 (2012.1.20)		東京都港区芝五丁目7番1号 日本電気株 式会社内
(31) 優先権主張番号	特願2006-299019 (P2006-299019)	(72) 発明者	酒井 淳嗣
(32) 優先日	平成18年11月2日 (2006.11.2)		東京都港区芝五丁目7番1号 日本電気株 式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	阿部 剛
(31) 優先権主張番号	特願2007-247491 (P2007-247491)		東京都港区芝五丁目7番1号 日本電気株 式会社内
(32) 優先日	平成19年9月25日 (2007.9.25)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 マルチプロセッサシステム、マルチプロセッサシステムにおけるシステム構成方法及びそのプログラム

(57) 【特許請求の範囲】

【請求項 1】

システムに予め搭載されている基本処理を行うための基本処理OSを実行する第1のCPU、及び、

前記基本処理OS又は前記システム上で追加される追加処理を行うための追加処理OSを実行する第2のCPUを含む複数のCPUと、

前記複数のCPUのそれぞれによって実行される前記基本処理OS及び追加処理OSを含む複数のOSと、

前記基本処理OS上で動作し、かつ、前記第2のCPUを前記基本処理OS又は前記追加処理OSへと割り当てる主制御手段を備える

ことを特徴とするマルチプロセッサシステム。

【請求項 2】

前記追加処理OS上で動作し、前記主制御手段からの通知により前記追加処理の実行を制御する副制御手段を備える

ことを特徴とする請求項1に記載のマルチプロセッサシステム。

【請求項 3】

前記基本処理OSの実行のための基本処理用実行環境と前記追加処理OSの実行のための追加処理用実行環境毎のメモリを含むシステムの共有資源に対する割り当て状態に基づいて、前記各実行環境による前記共有資源の利用を管理する実行環境管理手段を備え、

前記実行環境管理手段は、前記複数のCPUと前記共有資源との間に配置され、そして

、
前記主制御手段からのみ前記実行環境管理手段の保有情報を更新可能であることを特徴とする請求項 1 又は請求項 2 に記載のマルチプロセッサシステム。

【請求項 4】

前記実行環境管理手段は、

基本動作実行環境と前記追加処理用実行環境に割り当てられた前記複数の CPU のそれぞれ毎に、前記共有資源に対する前記実行環境の割り当て情報を、管理情報として保持することを特徴とする請求項 3 に記載のマルチプロセッサシステム。

【請求項 5】

前記管理情報が、各実行環境を構成する前記複数の CPU のそれぞれ毎に、前記共有資源としてのメモリの占有領域を設定した情報であり、

前記実行環境管理手段は、前記 CPU からの前記メモリへのアクセス要求に対して前記管理情報を参照し、前記 CPU に対して前記アクセス要求に対する可否を出力するフィルタ手段を備えることを特徴とする請求項 4 に記載のマルチプロセッサシステム。

【請求項 6】

基本処理を行うための基本処理 OS を実行する第 1 の CPU、及び、前記基本処理 OS 又はシステム上で追加される追加処理を行うための追加処理 OS を実行する第 2 の CPU を含む複数の CPU と、前記複数の CPU のそれぞれによって実行される前記基本処理 OS 及び追加処理 OS を含む複数の OS を備えるマルチプロセッサシステムにおけるシステム構成方法において、

前記基本処理 OS 上で動作し、かつ、前記第 2 の CPU を前記基本処理 OS 又は前記追加処理 OS へと割り当てて主制御ステップを有することを特徴とするマルチプロセッサシステムにおけるシステム構成方法。

【請求項 7】

基本処理を行うための基本処理 OS を実行する第 1 の CPU、及び、前記基本処理 OS 又はシステム上で追加される追加処理を行うための追加処理 OS を実行する第 2 の CPU を含む複数の CPU と、前記複数の CPU のそれぞれによって実行される前記基本処理 OS 及び追加処理 OS を含む複数の OS を備えるマルチプロセッサシステムにおける実行環境を構成するためのプログラムであって、

前記 CPU に、

前記基本処理 OS 上で動作し、かつ、前記第 2 の CPU を前記基本処理 OS 又は前記追加処理 OS へと割り当てて主制御処理を実行させることを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチプロセッサシステムに関し、特に、セキュリティレベルを考慮して処理単位の実行環境を構築することを可能にするマルチプロセッサシステム、マルチプロセッサシステムにおけるシステム構成方法及びそのプログラムに関するものである。

【背景技術】

【0002】

マルチプロセッサ上でマルチプロセッサ用の OS を動作させるマルチプロセッサシステムである、例えば、対称型マルチプロセッサ (SMP: Symmetric Multiple Processor) 上で対照型マルチプロセッサ OS (SMP OS) を実行するマルチプロセッサシステムにおいては、複数の CPU が互いに同等な立場でアプリケーションの処理を分担するといった構成がとられており、SMP OS の元で CPU の負荷状態に応じて実行する処理と CPU の組み合わせからなる実行環境の構成変更を行うことにより、効率的な処理を実現している。

【0003】

このようなマルチプロセッサシステムとしては、例えば、関連文献 1 (特開 2002-278778 号公報) に開示されるシステムが存在する。

【0004】

関連文献1のマルチプロセッサシステムでは、ある一定時間内に実行された全プロセス（処理）について、プロセスを特定の1個のCPUで実行すべきか否か決定し、プロセスを特定の1個のCPUで実行すべきであると決定されたプロセス数の、全プロセス数に対する割合が閾値を上回った場合、全てのプロセスについて全スレッドを特定の1個のCPUで実行すべきであると決定し、これにより、オーバーヘッドの原因である、スレッドの実行における順番の管理、各CPUが内蔵するキャッシュメモリと主記憶の同期合わせ、主記憶や入出力のための排他利用管理処理を解消するものである。

【先行技術文献】

【特許文献】

10

【0005】

【特許文献1】特開2002-278778号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述した関連のマルチプロセッサシステムにおいては、以下に述べるような問題点があった。

【0007】

まず、関連文献1等に記載されるシステムでは、複数のCPUが互いに同等な立場でアプリケーションの複数の処理を分担し、CPUの負荷状態を条件として実行環境（CPUと処理の組み合わせ）の構成変更を行うだけであるので、処理毎に安定性やセキュリティレベルを変えた実行環境を構築することができないといった問題があった。

20

【0008】

例えば、アプリケーションの本来の処理（基本処理）と、基本処理に伴って実行され、任意に追加又は削除される付随的な処理（追加処理）を実行する場合、基本処理を実行する実行環境と、追加処理を実行する実行環境とを安定性やセキュリティレベルを考慮して（基本処理の実行環境の安定性及びセキュリティレベルを高くして）構築するといったことが不可能であった。

【0009】

具体的には、安定性の要求度合いが異なる複数の処理を同時に実行する場合、高い安定性が要求される処理とそれ以外の処理とを異なる実行環境の下で実行するといった環境の構築ができないという不都合があった。

30

【0010】

なお、SMP OSを搭載するマルチプロセッサシステム以外のシステムにおいても上述した課題を同様に抱えている。

【0011】

本発明の目的は、上記課題を解決するためになされたものであり、安定性やセキュリティレベルを考慮して実行する処理内容に応じて実行環境を柔軟に構築することができるマルチプロセッサシステム、マルチプロセッサシステムにおけるシステム構成方法及びそのプログラムを提案することにある。

40

【0012】

また、本発明の他の目的は、各処理内容に応じた実行環境の切り替え（構成変更）を高速に実現することを可能にするマルチプロセッサシステム、マルチプロセッサシステムにおけるシステム構成方法及びそのプログラムを提案することにある。

【課題を解決するための手段】

【0013】

上記課題を解決するため本発明は、複数のCPUと、前記CPU上で実行される複数のOSを搭載し、前記CPUと前記OSを組み合わせた少なくとも一つの実行環境を、システム上で実行する処理に応じて形成する。

50

【発明の効果】

【0014】

本発明によれば、システム上で実行する処理毎に安定性やセキュリティレベルを変えた実行環境を構築することができるという効果が達成される。

【0015】

その理由は、複数のCPUと、当該CPU上で実行される複数のOSを搭載し、当該CPUと当該OSを組み合わせた少なくとも一つの実行環境を、システム上で実行する処理に応じて形成することで、処理に応じた多様な実行環境を形成することができるためである。

【図面の簡単な説明】

10

【0016】

【図1】図1は、本発明のマルチプロセッサシステムの概略を説明する遷移図である。

【図2】図2は、本発明の第1の実施の形態によるマルチプロセッサシステムの構成を示すブロック図である。

【図3】図3は、本発明の特徴的な構成である実行環境主制御手段、実行環境副制御手段、実行環境管理手段の相互関係の概略を示す図である。

【図4】図4は、第1の実施の形態による記憶装置の論理アドレスを説明する図である。

【図5】図5は、第1の実施の形態によるRAM上のCPUベースの実行環境情報を説明する図である。

【図6】図6は、第1の実施の形態によるRAM上の実行環境ベースの実行環境情報を説明する図である。

20

【図7】図7は、第1の実施の形態によるCPUのコンテキストの構成を示す図である。

【図8】図8は、第1の実施の形態による実行環境主制御手段の構成を示すブロック図である。

【図9】図9は、第1の実施の形態による実行環境副制御手段の構成を示すブロック図である。

【図10】図10は、第1の実施の形態による実行環境主制御手段と実行環境副制御手段との接続関係を示すブロック図である。

【図11】図11は、第1の実施の形態による実行環境管理手段の構成をCPUベースで説明するブロック図である。

30

【図12】図12は、第1の実施の形態によるCPU管理データの構成を説明する図である。

【図13】図13は、第1の実施の形態による実行環境管理手段のデータ更新機能を説明する図である。

【図14】図14は、第1の実施の形態による実行環境管理手段のアクセス許可機能を説明する図である。

【図15】図15は、第1の実施の形態による実行環境管理手段のアクセス拒否機能を説明する図である。

【図16】図16は、第1の実施の形態による実行環境管理手段の構成を実行環境ベースで説明するブロック図である。

40

【図17】図17は、第1の実施の形態による実行環境管理データ記憶装置の実行環境対応情報を説明する図である。

【図18】図18は、第1の実施の形態による実行環境管理データの構成を説明する図である。

【図19】図19は、第1の実施の形態による実行環境管理手段のデータ更新機能を説明する図である。

【図20】図20は、第1の実施の形態による実行環境管理手段のアクセス許可機能を説明する図である。

【図21】図21は、第1の実施の形態による実行環境管理手段のアクセス拒否機能を説明する図である。

50

【図 2 2】図 2 2 は、第 2 の実施の形態による切替え後のマルチプロセッサシステムの構成を示すブロック図である。

【図 2 3】図 2 3 は、本実施の形態によるマルチプロセッサシステムのハードウェア構成を示すブロック図である。

【図 2 4】図 2 4 は、第 1 の実施の形態による実行環境停止処理を共有メモリベース同期に基づいて説明する図である。

【図 2 5】図 2 5 は、第 1 の実施の形態による実行環境停止処理を割込みベース同期に基づいて説明する図である。

【図 2 6】図 2 6 は、第 1 の実施の形態による実行環境停止処理をバリア同期に基づいて説明する図である。

10

【図 2 7】図 2 7 は、第 1 の実施の形態による実行環境切替え処理を共有メモリベース同期に基づいて説明する図である。

【図 2 8】図 2 8 は、第 1 の実施の形態による実行環境切替え処理を割込みベース同期に基づいて説明する図である。

【図 2 9】図 2 9 は、第 1 の実施の形態による実行環境切替え処理をバリア同期に基づいて説明する図である。

【図 3 0】図 3 0 は、第 1 の実施の形態によるマルチプロセッサシステムの CPU 4-0 の動作概略を説明する図である。

【図 3 1】図 3 1 は、第 1 の実施の形態によるマルチプロセッサシステムの CPU 4-1 ~ 4-n の動作概略を説明する図である。

20

【図 3 2】図 3 2 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 3 3】図 3 3 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 3 4】図 3 4 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 3 5】図 3 5 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 3 6】図 3 6 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

30

【図 3 7】図 3 7 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 3 8】図 3 8 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 3 9】図 3 9 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 4 0】図 4 0 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 4 1】図 4 1 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

40

【図 4 2】図 4 2 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 4 3】図 4 3 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 4 4】図 4 4 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 4 5】図 4 5 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【図 4 6】図 4 6 は、第 1 の実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

50

【図４７】図４７は、第１の実施の形態による実行環境主制御手段の主実行環境内ＣＰＵ停止処理（自動切換え機能無し）を説明する図である。

【図４８】図４８は、第１の実施の形態による実行環境主制御手段の主実行環境内ＣＰＵ停止処理及びコンテキスト保存処理（自動切換え機能無し）を説明する図である。

【図４９】図４９は、第１の実施の形態による実行環境主制御手段の主実行環境内切替処理（自動切換え機能無し）を説明する図である。

【図５０】図５０は、第１の実施の形態による実行環境主制御手段の初期状態の主実行環境内のＣＰＵ追加処理（自動切換え機能無し）を説明する図である。

【図５１】図５１は、第１の実施の形態による実行環境主制御手段のコンテキスト設定付き主実行環境内のＣＰＵ追加処理（自動切換え機能無し）を説明する図である。

10

【図５２】図５２は、第１の実施の形態による実行環境主制御手段及び実行環境副制御手段の別ＣＰＵ上のＯＳ停止処理（自動切換え機能無し）を説明する図である。

【図５３】図５３は、第１の実施の形態による実行環境主制御手段及び実行環境副制御手段の別ＣＰＵ上のＯＳ停止処理及びコンテキスト保存処理（自動切換え機能無し）を説明する図である。

【図５４】図５４は、第１の実施の形態による実行環境主制御手段及び実行環境副制御手段の別ＣＰＵ上の実行環境切替処理（自動切換え機能無し）を説明する図である。

【図５５】図５５は、第１の実施の形態による実行環境主制御手段及び実行環境副制御手段の初期状態の別ＣＰＵ上のＯＳ起動処理（自動切換え機能無し）を説明する図である。

【図５６】図５６は、第１の実施の形態による実行環境主制御手段及び実行環境副制御手段のコンテキスト設定付き別ＣＰＵ上のＯＳ起動処理（自動切換え機能無し）を説明する図である。

20

【図５７】図５７は、第１の実施の形態による実行環境主制御手段及び実行環境副制御手段の実行環境副制御手段からの切替処理（自動切換え機能無し）を説明する図である。

【図５８】図５８は、第１の実施の形態による実行環境主制御手段の別ＣＰＵ上の実行環境副制御手段停止処理（自動切換え機能無し）を説明する図である。

【図５９】図５９は、第１の実施の形態による実行環境主制御手段の別ＣＰＵ上の実行環境副制御手段起動処理（自動切換え機能無し）を説明する図である。

【図６０】図６０は、本発明の第２の実施の形態による実行環境管理手段の構成をＣＰＵベースで説明するブロック図である。

30

【図６１】図６１は、第２の実施の形態による自動ＣＰＵ切替データの構成を説明する図である。

【図６２】図６２は、第２の実施の形態による実行環境管理手段のデータ更新機能を説明する図である。

【図６３】図６３は、第２の実施の形態による実行環境管理手段のリード（Ｒ）アクセスでの自動切替機能を説明する図である。

【図６４】図６４は、第２の実施の形態による実行環境管理手段のライト（Ｗ）アクセスでの自動切替機能を説明する図である。

【図６５】図６５は、第２の実施の形態による切替え後のＣＰＵ管理データの構成を説明する図である。

40

【図６６】図６６は、第２の実施の形態による実行環境管理手段の構成を実行環境ベースで説明するブロック図である。

【図６７】図６７は、第２の実施の形態による自動実行環境切替データの構成を説明する図である。

【図６８】図６８は、第２の実施の形態による実行環境管理手段のデータ更新機能を説明する図である。

【図６９】図６９は、第２の実施の形態による実行環境管理手段のリード（Ｒ）アクセスでの自動切替機能を説明する図である。

【図７０】図７０は、第２の実施の形態による実行環境管理手段のライト（Ｗ）アクセスでの自動切替機能を説明する図である。

50

【図 7 1】図 7 1 は、第 2 の実施の形態による実行環境切替え機能（自動切換え機能有り）を説明する図である。

【図 7 2】図 7 2 は、第 2 の実施の形態による実行環境主制御手段及び実行環境副制御手段の別 CPU 上の実行環境切替処理（自動切換え機能有り）を説明する図である。

【図 7 3】図 7 3 は、第 2 の実施の形態による切替え後のマルチプロセッサシステムの構成を示すブロック図である。

【図 7 4】図 7 4 は、本発明の第 3 の実施の形態による実行環境副制御手段の構成を示すブロック図である。

【図 7 5】図 7 5 は、第 3 の実施の形態による実行環境副制御手段の同一信頼度実行環境切替処理（自動切換え機能無し）を説明する図である。

10

【図 7 6】図 7 6 は、第 3 の実施の形態による実行環境主制御手段及び実行環境副制御手段の同一実行環境スケジュール手段からの切替処理（自動切換え機能無し）を説明する図である。

【図 7 7】図 7 7 は、本発明の第 4 の実施の形態によるマルチプロセッサシステムの構成を示すブロック図である。

【図 7 8】図 7 8 は、本発明の第 5 の実施の形態のマルチプロセッサシステムにおける一部の構成を示すブロック図である。

【図 7 9】図 7 9 は、本発明の第 5 の実施の形態のマルチプロセッサシステムにおける一部の構成を示すブロック図である。

【図 8 0】図 8 0 は、本発明の第 6 の実施の形態のマルチプロセッサシステムの構成を示すブロック図である。

20

【図 8 1】図 8 1 は、本発明の実施例 1 のマルチプロセッサシステムの具体的動作例を示すフローチャートである。

【図 8 2】図 8 2 は、本発明の一実施例による実行順序検査付き実行環境管理手段の構成を示す図である。

【図 8 3】図 8 3 は、本発明の一実施例による実行順序検査記憶手段の構成を示す図である。

【図 8 4】図 8 4 は、本発明の一実施例による実行順序検査付き実行環境管理手段の動作を説明する図である。

【図 8 5】図 8 5 は、本発明の一実施例による実行順序検査付き実行環境管理手段の動作を説明する図である。

30

【図 8 6】図 8 6 は、本発明の一実施例による実行順序検査付き実行環境管理手段の動作を説明する図である。

【図 8 7】図 8 7 は、本発明の一実施例による実行順序検査付き実行環境管理手段の動作を説明する図である。

【図 8 8】図 8 8 は、本発明の一実施例による実行順序検査付き実行環境管理手段の動作を説明する図である。

【図 8 9】図 8 9 は、本発明の一実施例による実行順序検査付き実行環境管理手段の動作を説明する図である。

【図 9 0】図 9 0 は、本発明の一実施例による実行順序検査付き実行環境管理手段の動作を説明する図である。

40

【発明を実施するための形態】

【0017】

まず、図 1 に本発明によるマルチプロセッサシステムによる実行環境の切り替え（状態遷移）の仕組みを示す。

【0018】

図 1 を参照すると、本発明のマルチプロセッサシステムによれば、実行環境主制御手段 10 を備える SMP OS 2 が CPU 4-0 及び CPU 4-1 上でアプリケーション（AP）8 において基本的な処理である基本処理 110 を実行させる基本処理用実行環境 100-0 のみの状態（構成）と、実行環境主制御手段 10 を備える SMP OS 2 が CPU

50

4-0上で基本処理110を実行させる基本処理用実行環境100-0及び実行環境副制御手段20を備えるOS3がCPU4-1上で新たなアプリケーション8における追加処理120を実行させる追加処理用実行環境100-1からなる状態（構成）との間で、各CPUの負荷、処理の安定性やセキュリティレベルに応じて構成状態を遷移させることを可能にする。

【0019】

なお、本実施の形態において、各基本処理110は、アプリケーション8において本来的（必須）に備えられる処理であり、信頼度（セキュリティレベル）が最も高い。各追加処理120は、アプリケーション8において基本処理110に付随して又は単独で追加又は削除される処理であり、信頼度（セキュリティレベル）は基本処理に比べると低いものである。このように各追加処理は、処理内容の違い、安定性やセキュリティなどの違いによって基本処理110と区別される。なお、セキュリティレベル（信頼度）とは、処理ごとに、あるセキュリティポリシーに従って段階ごとに付与されるものをいう。

10

【0020】

すなわち、図1は、基本処理のみ行う基本処理用実行環境100-0を構築した構成状態（状態A）と、基本処理を行う基本処理用実行環境100-0と追加処理を行う追加処理用実行環境100-1の複数の実行環境を構築した構成状態（状態B）との間の状態遷移を示している。

【0021】

なお、図1に示す状態遷移は、本発明によるマルチプロセッサシステムによる状態遷移のあくまで一例であって図示の内容に限定されないことは言うまでもない。

20

【0022】

（第1の実施の形態）

本発明の第1の実施の形態を図を用いて詳細に説明する。

【0023】

（第1の実施の形態の構成）

図2は、本発明の第1の実施の形態によるマルチプロセッサシステムの構成を示すブロック図である。

【0024】

図2を参照すると、本実施の形態によるマルチプロセッサシステムは、SMP OS2と、OS3と、実行環境主制御手段10と、実行環境副制御手段20a～20nと、CPU4-0～4-nと、実行環境管理手段30と、記憶装置5と、I/O（In/Out：入出力）装置6とを備える。SMP OS2は実行環境主制御手段10及び実行環境副制御手段20a～20nに接続し、OS3は実行環境副制御手段20a～20nに接続し、実行環境主制御手段10はCPU4-0～4-nに接続し、実行環境副制御手段20a～20nはCPU4-1～4-nに接続し、CPU4-0～4-n、共有資源である記憶装置5及びI/O装置6は実行環境管理手段30に接続する。

30

【0025】

すなわち、本実施の形態によるマルチプロセッサシステムは、実行環境主制御手段10が各CPU4-0～4-nを直接制御する。

40

【0026】

図3は、本願発明の特徴的な構成である実行環境主制御手段10、実行環境副制御手段20a～20n、実行環境管理手段30の相互関係の概略を示す図である。

【0027】

実行環境主制御手段10は、基本処理用実行環境を実行する機能と、追加処理用実行環境を制御する機能と、CPU4と実行環境の管理情報を実行環境管理手段30に対して設定する機能と、実行環境管理情報又はコンテキスト情報（コンテキスト90）を実行環境副制御手段20との間でやりとりする機能と、実行環境管理手段30によって実行環境同士が干渉されることを防止する機能とを有する。

【0028】

50

具体的には、実行環境主制御手段10は、入力情報として、アプリケーションやOS3からの起動／切替通知や、タイマや割込みといったイベント通知や、実行環境副制御手段20からの切替通知を入力し、基本処理110用のSMP OS2又はOS3と共に動作し、又は、実行環境のCPU割当てを決定し、又は、実行環境の起動・停止・切替を制御し、又は、実行環境副制御手段20及び実行環境管理手段30と連携して正しい制御を保障し、場合により出力情報として、実行環境副制御手段20に対して実行環境制御情報及びコンテキスト情報（コンテキスト90）を出力する。

【0029】

例えば、実行環境主制御手段10は、CPU割当ての決定に際し、追加処理の信頼度（セキュリティレベル）や、CPUの信頼度（セキュリティレベル）や性能の違い、基本処理と追加処理の関連性や適合性等に基づいてCPU割当てを判断する。

10

【0030】

すなわち、実行環境主制御手段10は、AP8やOS3からの起動／切替通知として、例えば、実行環境100-1を起動してほしいとの要求を受けると該当する実行環境100-1を起動し、例えば、実行環境100-3はもう必要ないとの通知を受けると、該当する実行環境100-3を停止し、例えば、実行環境100-2におけるあるアプリケーションと通信したいとの要求を受けると、該当する実行環境100-2が動作中なら何もせず、停止中なら該当する実行環境100-2を起動する。なお、起動する場合、CPU以上の実行環境が動作することになるならば、最も動作時間の長い実行環境と切替えて実行環境100-2を起動することが望ましい。

20

【0031】

さらに、実行環境主制御手段10は、自発的要求として、例えば、タイマ割込みを受けた際にCPU以上の実行環境動作中の場合、停止中の実行環境のうち、実行時間の少ない実行環境（実行時間の少ない実行環境を選択するポリシーは任意）へ動作中の実行環境を切替え、例えば、所定の外部割込みがきたら実行環境100-4を起動又は停止する場合、所定の外部割込みがきたら該当する実行環境100-4を起動又は停止する。なお、起動する場合、CPU以上の実行環境が動作中ならば、当該実行環境と切替えて実行環境100-4を起動することが望ましい。

【0032】

実行環境副制御手段20は、実行環境主制御手段10からの通知によって、追加処理用実行環境を制御する機能を有する。

30

【0033】

具体的には、実行環境副制御手段20は、入力情報として、実行環境主制御手段10からの実行環境制御情報及びコンテキスト情報（コンテキスト90）を入力し、実行環境主制御手段10の指示に従って、実行環境の起動・停止・切替を制御し、実行環境主制御手段10との同期をとる。実行環境主制御手段10との同期をとることによって切替前後の実行環境の分離が可能となる。また、実行環境副制御手段20は、場合により出力情報として、実行環境主制御手段10に対してエラー情報を出力する。

【0034】

実行環境管理手段30は、実行環境主制御手段10と実行環境副制御手段20a～20n又は、実行環境副制御手段20a～20nをそれぞれ分離する機能を有する。具体的には、実行環境管理手段30は、入力情報として、CPU4又は実行環境毎の共有資源（記憶装置5、I/O装置6）の管理情報や参照拒否情報を入力し、入力情報に基づいて各CPUからの参照に対し、何もしないか、又は拒絶してエラー情報を返す。

40

【0035】

共有資源は、各処理ごとに、例えばアドレスに従って割り当てられており、基本処理110用領域、追加処理120用実行環境100用領域、共有領域、実行環境情報領域ごとに予め決められたアドレスを有していてもよい。図4は、共有資源である記憶装置の論理アドレスを説明する図である。

【0036】

50

図4を参照すると、記憶装置5のROM51は、アドレス0x00000000~0x007FFFFFFFの基本処理110用領域と、アドレス0x00800000~0x00FFFFFFFの追加処理用実行環境100-1用領域と、アドレス0x01000000~0x017FFFFFFFの追加処理120用実行環境100-2用領域と、アドレス0x01800000~0x02000000の追加処理120用実行環境100-3用領域とを有し、また、記憶装置5のRAM52は、アドレス0x30000000~0x30FFFFFFFの基本処理110用領域と、アドレス0x31000000~0x31FFFFFFFの追加処理120用実行環境100-1用領域と、アドレス0x32000000~0x32FFFFFFFの追加処理120用実行環境100-2用領域と、アドレス0x33000000~0x33FFFFFFFの追加処理120用実行環境100-3用領域と、アドレス0x34000000~0x34FFFFFFFの共有領域と、アドレス0x35000000~0x36000000の実行環境情報領域とを有する。

10

【0037】

図5及び図6は、RAM上の実行環境情報を説明する図である。

【0038】

図5は、RAM上のCPUベースの実行環境情報を説明する図であり、図5(a)~図5(d)を参照すると、CPUベースの実行環境情報は、各実行環境100-0~100-3を構成するCPU用のコンテキスト及びCPU管理データによって実行環境毎の動作状態を格納する。

【0039】

20

図6は、RAM上の実行環境ベースの実行環境情報を説明する図であり、図6(a)~図6(d)を参照すると、実行環境ベースの実行環境情報は、各実行環境100-0~100-3を構成するCPU用のコンテキスト及び各実行環境用の実行環境情報によって実行環境毎の動作状態を格納する。

【0040】

図7は、CPU4-kのコンテキストの構成を示す図である。図7を参照すると、CPU4-kのコンテキスト90は、レジスタ#0~レジスタ#14、レジスタ#15(PC)、プロセッサ状態レジスタ及びプロセッサ制御レジスタを備え、例えば、動作中のCPU4-kのある指定された瞬間の記憶状態の全てが格納されている。

【0041】

30

ここで、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の構成を図を用いてさらに詳細に説明する。

【0042】

図8は、本実施の形態による実行環境主制御手段10の構成を示すブロック図である。

【0043】

図8を参照すると、本実施の形態による実行環境主制御手段10は、AP8/OS3及びRAMに接続する実行環境スケジュール手段13と、OS3、OS副連携手段21(後述)及び実行環境スケジュール手段13に接続するOS主連携手段11と、OS副連携手段21、実行環境副管理同期手段22、実行環境管理手段30及び実行環境スケジュール手段13に接続する実行環境主管理同期手段12とを備える。

40

【0044】

実行環境スケジュール手段13は、入力情報として、例えば、AP8/OS3から何らかの要求を受けると、RAM52上の実行環境情報を参照し、参照した実行環境情報に基づいて、OS主連携手段11に対し、実行環境スケジュール手段13自身が属する実行環境・そのCPU・そのOSの起動・停止・追加・切り替え等の制御命令や、実行環境スケジュール手段13自身が属さない実行環境・そのCPU・そのOSの起動・停止・追加・切り替え等の制御命令を通知する機能と、OS主連携手段11に対し、次に切り替わるべきコンテキストや前回のコンテキストの情報を通知する機能と、実行環境主管理同期手段12に対し、当該制御命令によってCPUなどが追加等された後の実行環境スケジュール手段13の設定情報を通知する機能と、RAM52上の実行環境情報を更新する機能等を

50

有する。

【0045】

OS主連携手段11は、実行環境スケジュール手段13から受けた制御命令を実行する機能及び当該制御命令をOS副連携手段21（後述）に通知する機能と、OS3に対して前回のコンテキストや切り替え先のコンテキストの情報を設定する機能と、動作中のOS3のコンテキストを取得して実行環境スケジュール手段13に対して渡す機能と、OS副連携手段21（後述）から受けた制御命令を実行する機能等を有する。

【0046】

実行環境主管理同期手段12は、実行環境スケジュール手段13が通知された設定情報を実行環境スケジュール手段13に対して設定する機能と、当該設定が終了したことを実行環境スケジュール手段13やOS主連携手段11に対して通知する機能と、実行環境副管理同期手段22（後述）との間で処理の同期をとる機能等を有する。

10

【0047】

図9は、本実施の形態による実行環境副制御手段20の構成を示すブロック図である。

【0048】

図9を参照すると、本実施の形態による実行環境副制御手段20は、OS3及びOS主連携手段11に接続するOS副連携手段21と、実行環境主管理同期手段12及びOS副連携手段21に接続する実行環境副管理同期手段22とを備える。

【0049】

OS副連携手段21は、OS主連携手段11から受けた制御命令を実行する機能と、命令が実行されたことを実行環境副管理同期手段22に通知する機能と、OS副連携手段21自身が属する実行環境のOSのコンテキストの情報を取得してOS主連携手段11に対して送付する機能と、OS主連携手段11から送付された前回のコンテキストや切り替え先のコンテキストの情報をOS副連携手段21自身が属する実行環境のOS3に対して設定する機能と、入力情報として、例えば、OS副連携手段21自身が属する実行環境のOS3から受けた何らかの要求をOS主連携手段11に対して通知する機能等を有する。

20

【0050】

実行環境副管理同期手段22は、命令が実行されたことをOS副連携手段21から通知されると、当該命令が実行されたことを実行環境主管理同期手段11に通知する等によって、実行環境主管理同期手段11との間で処理の同期をとる機能等を有する。

30

【0051】

図10は、本発明の第1の実施の形態による実行環境主制御手段10と実行環境副制御手段20との接続関係を示すブロック図である。

【0052】

ここで、本実施の形態による実行環境管理手段30の構成を、（a）CPUベース、（b）実行環境ベースによってさらに詳細に説明する。

【0053】

（（a）CPUベースの場合）

図11～図15は、本実施の形態による実行環境管理手段30の構成をCPUベースで説明する図である。

40

【0054】

図11は、本実施の形態による実行環境管理手段30の構成をCPUベースで説明するブロック図である。図11を参照すると、実行環境管理手段30は、システムバス及び周辺バスに接続するCPUフィルタ手段31と、システムバス及びCPUフィルタ手段31に接続するCPU管理データ記憶装置32とを備える。

【0055】

CPUフィルタ手段31は、システムバスを介してあるCPU4からのアクセス要求を受けると、CPU管理データ記憶装置32から読み出したCPU管理データ321（後述）に基づいて、当該アクセス要求の拒否を判定する機能を有する。

【0056】

50

CPU管理データ記憶装置32は、CPU管理データ321を格納し、CPU管理データ321の更新要求を実行する機能を有する。

【0057】

図12は、本実施の形態によるCPU管理データ321の構成を説明する図である。図12を参照すると、CPU管理データ321は、CPU4-0～4-4毎に、割当てられた記憶装置5領域の始点・終点と、リード処理(R)及びライト処理(W)のうち許可される処理を示す許可ビットとが記載されたエントリによって構成されている。

次いで、本実施の形態のCPUベースにおける実行環境管理手段30の機能を説明する。

【0058】

10

(データ更新機能)

図13は、本実施の形態による実行環境管理手段30のデータ更新機能を説明する図である。図13を参照すると、実行環境管理手段30のデータ更新機能は、ステップS1において、CPU管理データ321を更新する。なお、基本的には、基本処理実行中のCPUのみがCPU管理データ321に触ることができる。ただし、所定のエントリに関しては、追加処理実行中のCPUがCPU管理データ321に触ってもよい。

【0059】

(アクセス許可機能)

図14は、本実施の形態による実行環境管理手段30のアクセス許可機能を説明する図である。図14を参照すると、実行環境管理手段30のアクセス許可機能は、CPUフィルタ手段31が、ステップS1において、任意のCPUからのアクセスを受け取り、ステップS2において、CPU管理データ321を読み出し、ステップS3において、前記読み出したCPU管理データ321に基づいて、当該受け取ったアクセスの許可を判定し、当該受け取ったアクセスを許可する。

20

【0060】

(アクセス拒否機能)

図15は、本実施の形態による実行環境管理手段30のアクセス拒否機能を説明する図である。図15を参照すると、実行環境管理手段30のアクセス拒否機能は、CPUフィルタ手段31が、ステップS1において、任意のCPUからのアクセスを受け取り、ステップS2において、CPU管理データ321を読み出し、ステップS3において、前記読み出したCPU管理データ321に基づいて、当該受け取ったアクセスの許可を判定し、当該受け取ったアクセスを拒否する。タイミング制約が厳しい場合には、この回路で拒否するのではなく、あえてアクセスアドレスをシステムに存在しないアドレスに変換して、そして、別の回路でそのような拒否をさせてもよい。

30

【0061】

((b) 実行環境ベースの場合)

図16～図21は、本実施の形態による実行環境管理手段30の構成を実行環境ベースで説明する図である。

図16は、本実施の形態による実行環境管理手段30の構成を実行環境ベースで説明するブロック図である。図16を参照すると、実行環境管理手段30は、システムバス及び周辺バスに接続する実行環境フィルタ手段35と、システムバス及び実行環境フィルタ手段35に接続する実行環境管理データ記憶装置36とを備える。

40

【0062】

実行環境フィルタ手段35は、システムバスを介してあるCPU4からのアクセス要求を受けると、実行環境管理データ記憶装置36から読み出した実行環境管理データ361及び実行環境対応情報362(後述)に基づいて、当該アクセス要求の拒否を判定する機能を有する。

【0063】

実行環境管理データ記憶装置36は、実行環境管理データ361及び実行環境対応情報362を格納し、実行環境管理データ361及び実行環境対応情報362の更新要求を実

50

行する機能を有する。

【0064】

図17は、本実施の形態による実行環境管理データ記憶装置36の実行環境対応情報362を説明する図である。図17を参照すると、実行環境対応情報362は、CPU4-0~4-4毎に、実行環境番号で示される実行環境100-0~100-4が対応付けられている。より詳細には、CPU4-0、4-1に実行環境100-0が対応付けられ、CPU4-2に実行環境100-1が対応付けられ、CPU4-3に実行環境100-2が対応付けられ、CPU4-4に実行環境100-3が対応付けられている。

【0065】

図18は、本実施の形態による実行環境管理データ361の構成を説明する図である。図18を参照すると、実行環境管理データ361は、実行環境番号を示す実行環境100-0~100-4毎に、割当てられた記憶装置5領域の始点・終点と、リード処理(R)及びライト処理(W)のうち許可される処理を示す許可ビットとが記載されたエントリによって構成されている。

【0066】

次いで、本実施の形態の実行環境ベースにおける実行環境管理手段30の機能を説明する。

【0067】

(データ更新機能)

図19は、本実施の形態による実行環境管理手段30のデータ更新機能を説明する図である。図19を参照すると、実行環境管理手段30のデータ更新機能は、ステップS1において、実行環境管理データ361を更新する。なお、基本的には、基本処理実行中のCPUのみが実行環境管理データ361に触れる。ただし、所定のエントリに関しては、追加処理実行中のCPU4が実行環境管理データ361に触ってもよい。

【0068】

(アクセス許可機能)

図20は、本実施の形態による実行環境管理手段30のアクセス許可機能を説明する図である。図20を参照すると、実行環境管理手段30のアクセス許可機能は、実行環境フィルタ手段35が、ステップS1において、任意のCPUからのアクセスを受理し、ステップS2において、実行環境管理データ361を読み出し、ステップS3において、前記読み出した実行環境管理データ361に基づいて、当該受理したアクセスの許可を判定し、当該受理したアクセスを許可する。

【0069】

(アクセス拒否機能)

図21は、本実施の形態による実行環境管理手段30のアクセス拒否機能を説明する図である。図21を参照すると、実行環境管理手段30のアクセス拒否機能は、実行環境フィルタ手段35が、ステップS1において、任意のCPUからのアクセスを受理し、ステップS2において、実行環境管理データ361を読み出し、ステップS3において、前記読み出した実行環境管理データ361に基づいて、当該受理したアクセスの許可を判定し、当該受理したアクセスを拒否する。タイミング制約が厳しい場合には、この回路で拒否するのではなく、あえてアクセスアドレスをシステムに存在しないアドレスに変換して、そして、別の回路でそのような拒否をさせてもよい。

【0070】

本実施の形態のCPUベース又は実行環境ベースによる切り替え後のマルチプロセッサシステムの構成を図22に示す。

【0071】

ここで、マルチプロセッサシステムのハードウェア構成の説明をする。

【0072】

図23は、本実施の形態によるマルチプロセッサシステムのハードウェア構成を示すブロック図である。

【0073】

図23を参照すると、本発明によるマルチプロセッサシステムは、一般的なコンピュータ装置と同様のハードウェア構成によって実現することができ、CPU（Central Processing Unit）501、RAM（Random Access Memory）等のメインメモリであり、データの作業領域やデータの一時退避領域に用いられる主記憶部502、インターネット等を介してデータの送受信を行う通信制御部503、周辺機器と接続してデータの送受信を行うインタフェース部504、ROM（Read Only Memory）、磁気ディスク、半導体メモリ等の不揮発性メモリから構成されるハードディスク装置である補助記憶部505、本情報処理装置の上記各構成要素を相互に接続するシステムバス506等を備えている。

10

【0074】

本発明によるマルチプロセッサシステムは、その動作を、マルチプロセッサシステム内部にそのような機能を実現するプログラムを組み込んだ、LSI（Large Scale Integration）等のハードウェア部品からなる回路部品を実装してハードウェア的に実現することは勿論として、上記した各構成要素の各機能を提供するプログラムを、コンピュータ処理装置上のCPU501で実行することにより、ソフトウェア的に実現することができる。

【0075】

すなわち、CPU501（CPU4、CPU4-0～4-n、CPU4-k）は、補助記憶部505（記憶装置5）に格納されているプログラムを、主記憶部501（記憶装置5）にロードして実行し、マルチプロセッサシステムの動作を制御することにより、上述した各機能をソフトウェア的に実現する。

20

【0076】

（第1の実施の形態の動作）

図24～図59は、本発明の第1の実施の形態によるマルチプロセッサシステムの動作を説明する図である。

【0077】

まず、本実施の形態による実行環境停止処理及び実行環境切替え処理を、（a）共有メモリベース同期、（b）割込みベース同期、（c）バリア同期に基づいて詳細に説明する。

30

【0078】

（実行環境停止処理）

実行停止処理は、実行環境副管理同期手段22が属する実行環境を停止する処理である。

【0079】

（（a）共有メモリベース同期）

図24は、本実施の形態による実行環境停止処理を共有メモリベース同期に基づいて説明する図である。

【0080】

図24を参照すると、実行環境副管理同期手段22が共有メモリである記憶装置5にある値（例えば“A”）を書く（ステップS101）。実行環境主管理同期手段12は、実行環境副管理同期手段22によって共有メモリに値が書かれると、共有メモリの値が“A”であるか否かを判定し（ステップS102）、共有メモリの値が“A”である場合に実行環境管理手段30を設定して（ステップS105）処理を継続し（ステップS106）、実行環境副管理同期手段22が属する実行環境が停止する（ステップS107）。実行環境主管理同期手段12は、共有メモリの値が“A”でない場合において、共有メモリの値が“A”でない場合が閾値回数以上判定されたときに（ステップS103）相手を強制的にリセットし（ステップS104）、閾値回数に達しないときに（ステップS103）共有メモリの値が“A”であるか否かを再度判定する（ステップS102）。なお、実行環境副管理同期手段22がループしていてもよい。

40

50

【0081】

((b) 割込みベース同期)

図25は、本実施の形態による実行環境停止処理を割込みベース同期に基づいて説明する図である。

【0082】

図25を参照すると、実行環境副管理同期手段22が割込み要求を送信すると(ステップS201)、実行環境主管理同期手段12は、割込み要求の受信の有無を判定し(ステップS202)、割込み要求を受信した場合に実行環境管理手段30を設定して(ステップS205)処理を継続し(ステップS206)、実行環境副管理同期手段22が属する実行環境が停止する(ステップS207)。実行環境主管理同期手段12は、割込み要求を受信していない場合において、受信していない状態が閾値時間以上経過したときに(ステップS203)相手を強制的にリセットし(ステップS204)、閾値時間に達しないときに(ステップS203)割込み要求の受信の有無を再度判定する(ステップS202)。なお、実行環境副管理同期手段22がループしていてもよい。

10

【0083】

((c) バリア同期)

図26は、本実施の形態による実行環境停止処理をバリア同期に基づいて説明する図である。

【0084】

図26を参照すると、実行環境副管理同期手段22は、実行環境主管理同期手段12とバリア同期を行い(ステップS301)、バリア同期が達成されたか否かを判定し(ステップS302)、達成されていなければ再度判定し、達成されていれば実行環境を停止する(ステップS303)。実行環境主管理同期手段12は、実行環境副管理同期手段22とバリア同期を行い(ステップS311)、バリア同期が達成されたか否かを判定し(ステップS312)、達成されていれば実行環境管理手段30を設定し(ステップS313)、処理を継続する(ステップS314)。実行環境副管理同期手段22は、達成されていなければ、達成されていない状態が閾値時間以上経過しているか否かを判定し(ステップS315)、閾値時間以上経過しているときに相手を強制的にリセットし(ステップS316)、閾値時間に達しないときはバリア同期が達成されたか否かを再度判定する(ステップS312)。

20

30

【0085】

(実行環境切替え処理)

実行環境切替え処理は、実行環境主制御手段10または実行環境副制御手段20が属する実行環境を切り替える処理である。

【0086】

((a) 共有メモリベース同期)

図27は、本実施の形態による実行環境切替え処理を共有メモリベース同期に基づいて説明する図である。

【0087】

図27を参照すると、実行環境副管理同期手段22が共有メモリにある値(例えば“A”)を書く(ステップS401)。実行環境主管理同期手段12は、実行環境副管理同期手段22によって共有メモリに値が書かれると、共有メモリの値が“A”であるか否かを判定し(ステップS402)、共有メモリの値が“A”でない場合において、共有メモリの値が“A”でない場合が閾値回数以上判定されたときに(ステップS403)相手を強制的にリセットし(ステップS404)、閾値回数に達しないときに共有メモリの値が“A”であるか否かを再度判定し(ステップS402)、共有メモリの値が“A”である場合に実行環境管理手段30を設定し(ステップS405)、共有メモリにある値(例えば“B”)を書いて(ステップS406)処理を継続する(ステップS407)。実行環境副管理同期手段22は、実行環境主管理同期手段12によって共有メモリに値が書かれると、共有メモリの値が“B”であるか否かを判定し(ステップS408)、共有メモリの

40

50

値が“B”でない場合に共有メモリの値が“B”であるか否かを再度判定し（ステップS408）、共有メモリの値が“B”である場合に実行環境を切り替える（ステップS409）。なお、実行環境副管理同期手段22が先にループしていてもよい。

【0088】

（（b）割込みベース同期）

図28は、本実施の形態による実行環境切替え処理を割込みベース同期に基づいて説明する図である。

【0089】

図28を参照すると、実行環境副管理同期手段22が割込み要求を送信すると（ステップS501）、実行環境主管理同期手段12は、割込み要求の受信の有無を判定し（ステップS502）、割込み要求を受信していない場合において、閾値時間以上のときに（ステップS503）相手を強制的にリセットし（ステップS504）、閾値時間に達しないときに割込み要求の受信の有無を再度判定し（ステップS502）、割込み要求を受信した場合に実行環境管理手段30を設定して（ステップS505）割込み要求を送信して（ステップS506）処理を継続する（ステップS507）。実行環境副管理同期手段22は、割込み要求の受信の有無を判定し（ステップS508）、割込み要求を受信していない場合に割込み要求の受信の有無を再度判定し（ステップS508）、割込み要求を受信した場合に実行環境を切り替える（ステップS509）。なお、実行環境副管理同期手段22が先にループしていてもよい。

【0090】

（（c）バリア同期）

図29は、本実施の形態による実行環境切替え処理をバリア同期に基づいて説明する図である。

【0091】

図29を参照すると、実行環境副管理同期手段22は、実行環境主管理同期手段12とバリア同期を行い（ステップS601）、バリア同期が達成されたか否かを判定し（ステップS602）、達成されていなければ再度判定し（ステップS602）、達成されていれば再度実行環境主管理同期手段12とバリア同期を行い（ステップS603）、バリア同期が達成されたか否かを判定し（ステップS604）、達成されていなければ再度判定し（ステップS604）、達成されていれば実行環境を停止する（ステップS605）。実行環境主管理同期手段12は、実行環境副管理同期手段22とバリア同期を行い（ステップS611）、バリア同期が達成されたか否かを判定し（ステップS612）、達成されていなければ、達成されていない状態が閾値時間以上経過しているか否かを判定し（ステップS613）、閾値時間以上経過しているときに相手を強制的にリセットし（ステップS614）、閾値時間に達していなければバリア同期が達成されたか否かを再度判定する（ステップS612）。実行環境主管理同期手段12は、ステップS612においてバリア同期が達成されていれば、実行環境管理手段30を設定して（ステップS615）再度実行環境副管理同期手段22とバリア同期を行い（ステップS616）、バリア同期が達成されたか否かを判定し（ステップS617）、達成されていなければ、達成されていない状態が閾値時間以上経過しているか否かを判定し（ステップS618）、閾値時間以上経過しているときに相手を強制的にリセットし（ステップS614）、閾値時間に達していなければバリア同期が達成されたか否かを再度判定して（ステップS617）処理を継続する（ステップS619）。

【0092】

次いで、本実施の形態によるマルチプロセッサシステムの動作を、実行環境主制御手段10の動作を中心に詳細に説明する。なお、本実施の形態による実行環境主制御手段10は、少なくともCPU4-0を含む実行環境100-0上において動作する。

【0093】

図30は、本実施の形態によるマルチプロセッサシステムのCPU4-0の動作概略を説明する図であり、図31は、本実施の形態によるマルチプロセッサシステムのCPU4

10

20

30

40

50

－ 1 ～ 4 － n の動作概略を説明する図である。

【 0 0 9 4 】

図 3 0 を参照すると、C P U 4 － 0 は、初期状態における起動処理によって実行環境主制御手段 1 0 が起動する。また、C P U 4 － 0 は、実行環境主制御手段 1 0 のレジューム処理によって S M P O S 2 が起動し、サスペンド処理によって S M P O S 2 が停止する。また、C P U 4 － 0 は、S M P O S 2 又は実行環境主制御手段 1 0 の停止処理によって初期状態に戻る。

【 0 0 9 5 】

図 3 1 を参照すると、C P U 4 － 1 ～ 4 － n は、初期状態における実行環境主制御手段 1 0 起動処理によって実行環境主制御手段 1 0 が起動し、初期状態における実行環境副制御手段起動処理によって実行環境副制御手段 2 0 が起動し、切替え処理によって実行環境主制御手段 1 0 と実行環境副制御手段 2 0 とは切替え可能である。実行環境主制御手段 1 0 は、S M P O S 2 に対してレジューム処理及びサスペンド処理を行実行環境制御副主手段は、S M P O S 2 及びシングル O S 7 に対してレジューム処理及びサスペンド処理を行う。また、C P U 4 － 1 ～ 4 － n は、S M P O S 2、シングル O S 7、実行環境主制御手段 1 0 もしくは実行環境副制御手段 2 0 の停止処理によって初期状態に戻る。

10

【 0 0 9 6 】

また、図 3 2 ～ 図 4 6 は、本実施の形態によるマルチプロセッサシステムの状態の遷移を説明する図である。

【 0 0 9 7 】

20

(主実行環境内 C P U 停止処理 (自動切換え機能無し))

図 4 7 は、本実施の形態による実行環境主制御手段 1 0 の主実行環境内 C P U 停止処理 (自動切換え機能無し) を説明する図である。

【 0 0 9 8 】

図 4 7 を参照すると、本実施の形態による実行環境主制御手段 1 0 の主実行環境内 C P U 停止処理 (自動切換え機能無し) は、実行環境スケジュール手段 1 3 が、ステップ S 1 において、A P 8 / O S 3 から当該要求を受理し、ステップ S 2 において、R A M 5 2 上の実行環境情報 5 2 1 を読み出し、ステップ S 3 において、O S 主連携手段 1 1 に対して当該実行環境内の C P U 停止要求を通知し、また、実行環境主管理同期手段 1 2 に対して C P U 停止後の実行環境管理手段 3 0 の設定情報を通知する。

30

【 0 0 9 9 】

次いで、O S 主連携手段 1 1 が、ステップ S 4 において、O S 3 に対して上記 C P U の停止を要求し、ステップ S 5 において、O S 3 から、上記 C P U の停止完了の通知を受理し (これは、電源管理における C P U シャットダウン処理に近い)、ステップ S 6 において、実行環境主管理同期手段 1 2 に対して上記 C P U の停止が完了したことを通知する。

【 0 1 0 0 】

次いで、実行環境主管理同期手段 1 2 が、ステップ S 7 において、実行環境管理手段 3 0 に対して上記 C P U 停止後の実行環境管理手段 3 0 の設定情報を設定し、ステップ S 8 において、実行環境スケジュール手段 1 3 に対して当該処理の完了を通知する。

次いで、実行環境スケジュール手段 1 3 が、ステップ S 9 において、実行環境情報 5 2 1 を更新し、ステップ S 1 0 において、A P 8 / O S 3 に当該要求の完了を通知する。

40

【 0 1 0 1 】

(主実行環境内 C P U 停止処理及びコンテキスト保存処理 (自動切換え機能無し))

図 4 8 は、本実施の形態による実行環境主制御手段 1 0 の主実行環境内 C P U 停止処理及びコンテキスト保存処理 (自動切換え機能無し) を説明する図である。

【 0 1 0 2 】

図 4 8 を参照すると、本実施の形態による実行環境主制御手段 1 0 の主実行環境内 C P U 停止処理及びコンテキスト保存処理 (自動切換え機能無し) は、実行環境スケジュール手段 1 3 が、ステップ S 1 において、A P 8 / O S 3 から当該要求を受理し、ステップ S 2 において、R A M 5 2 上の実行環境情報 5 2 1 を読み出し、ステップ S 3 において、O

50

S主連携手段11に対して当該実行環境内のCPU停止及びコンテキスト保存要求を通知し、また、実行環境主管理同期手段12に対してCPU停止後の実行環境管理手段30の設定情報を通知する。

【0103】

次いで、OS主連携手段11が、ステップS4において、OS3に対して上記CPUの停止及びコンテキスト保存を要求し、ステップS5において、OS3から、上記CPUの停止完了の通知及び上記OS3のコンテキスト90を受理し（これは、電源管理におけるCPUサスペンド処理に近い）、ステップS6において、実行環境スケジュール手段13に対して上記OS3のコンテキスト90を渡し、ステップS7において、実行環境主管理同期手段12に対して上記CPUの停止が完了したことを通知する。

10

【0104】

次いで、実行環境主管理同期手段12が、ステップS8において、実行環境管理手段30に対して上記CPU停止後の実行環境管理手段30の設定情報を設定し、ステップS9において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0105】

次いで、実行環境スケジュール手段13が、ステップS10において、実行環境情報521を更新し、ステップS11において、AP8/OS3に当該要求の完了を通知する。

【0106】

上記主実行環境内CPU停止処理及びコンテキスト保存処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

20

【0107】

図32は、全てのCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させる状態であって、上記主実行環境内CPU停止処理前の状態を示し、図33は、1つのCPUを除いた残りの全てのCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させる状態であって、上記主実行環境内CPU停止処理後の状態を示す。すなわち、図32に示される状態が、上記主実行環境内CPU停止処理によって、主実行環境内で所定のCPUが停止した図33に示される状態に遷移する。

【0108】

（主実行環境内切替処理（自動切換え機能無し））

30

図49は、本実施の形態による実行環境主制御手段10の主実行環境内切替処理（自動切換え機能無し）を説明する図である。

【0109】

図49を参照すると、本実施の形態による実行環境主制御手段10の主実行環境内切替処理（自動切換え機能無し）は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して当該実行環境内の実行環境切替要求及び切替先のコンテキスト90を通知し、また、実行環境主管理同期手段12に対して切替後の実行環境管理手段30の設定情報を通知する。

【0110】

40

次いで、OS主連携手段11が、ステップS4において、OS3から、動作中のOS3のコンテキスト90を受理し、ステップS5において、実行環境スケジュール手段13に対して上記OS3のコンテキスト90を渡し、ステップS6において、実行環境主管理同期手段12に対して上記コンテキスト保存の完了を通知する。

【0111】

次いで、実行環境主管理同期手段12が、ステップS7において、実行環境管理手段30に対して切替後の実行環境管理手段30の設定情報を設定し、ステップS8において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0112】

次いで、実行環境スケジュール手段13が、ステップS9において、実行環境情報52

50

1を更新し、ステップS10において、AP8/OS3に当該要求の完了を通知する。

【0113】

次いで、ステップS11において、実行環境主管理同期手段12が、OS主連携手段11に対して当該処理の完了を通知し、ステップS12において、OS主連携手段11が、先に受理した切替先のコンテキスト90を設定する。

【0114】

上記主実行環境内切替処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

【0115】

図32は、全てのCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させる状態であって、上記主実行環境内切替処理前の状態を示し、図34は、1つのCPUを除いた残りの全てのCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、残りの1つのCPUによって構成される実行環境においてOS3が追加処理120を実行させる状態であって、上記主実行環境内切替処理後の状態を示す。すなわち、図32に示される状態が、上記主実行環境内切替処理によって、主実行環境内で切替えが行われた図34に示される状態に遷移する。

【0116】

また、同様にすれば、図35に示される複数のCPUによって構成される1つの実行環境においてSMP OS2が基本処理110を実行させる状態が、上記実行環境内切替処理によって、図36に示される1つのCPUによって構成される1つの実行環境においてSMP OS2が基本処理110を実行させ、残りのCPUの内複数のCPUによって構成される1つの実行環境においてSMP OS2が追加処理120を実行させる状態に遷移する。

【0117】

さらに、同様にすれば、図37に示される複数のCPUによって構成される1つの実行環境においてSMP OS2が基本処理110を実行させ、残りの全てのCPUによって構成される実行環境においてSMP OS2が追加処理120を実行させる状態が、上記実行環境内切替処理によって、図38に示される複数のCPUによって構成される1つの実行環境においてSMP OS2が基本処理110を実行させ、残りのCPUの内1つのCPUによって構成される1つの実行環境においてSMP OS2が追加処理120を実行させ、残りの各CPUによって構成される各実行環境においてOS3が追加処理120を実行させる状態に遷移する。

【0118】

（初期状態の主実行環境内のCPU追加処理（自動切換え機能無し））

図50は、本実施の形態による実行環境主制御手段10の初期状態の主実行環境内のCPU追加処理（自動切換え機能無し）を説明する図である。

【0119】

図50を参照すると、本実施の形態による実行環境主制御手段10の初期状態の主実行環境内のCPU追加処理（自動切換え機能無し）は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して当該実行環境外のCPU追加要求を通知し、また、実行環境主管理同期手段12に対してCPU追加後の実行環境管理手段30の設定情報を通知する。

【0120】

次いで、OS主連携手段11が、ステップS4において、実行環境管理手段30に対して上記CPU停止後の実行環境管理手段30の設定情報を設定し、ステップS5において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0121】

次いで、実行環境スケジュール手段13が、ステップS6において、実行環境情報521を更新し、ステップS7において、AP8/OS3に当該要求の完了を通知する。

【0122】

次いで、ステップS8において、実行環境主管理同期手段12が、OS主連携手段11に対して実行環境管理手段30の設定の完了を通知する。

【0123】

次いで、OS主連携手段11が、ステップS9において、OS3に対して上記CPUの追加を要求し、ステップS10において、OS3から、上記CPUの追加完了の通知を受理する（これは、電源管理におけるCPUパワーアップ処理に近い）。

【0124】

（コンテキスト設定処理付き主実行環境内のCPU追加処理（自動切換え機能無し））

図51は、本実施の形態による実行環境主制御手段10のコンテキスト設定処理付き主実行環境内のCPU追加処理（自動切換え機能無し）を説明する図である。

10

【0125】

図51を参照すると、本実施の形態による実行環境主制御手段10のコンテキスト設定処理付き主実行環境内のCPU追加処理（自動切換え機能無し）は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して当該実行環境外のCPU追加要求及び前回のコンテキスト90を通知し、また、実行環境主管理同期手段12に対してCPU追加後の実行環境管理手段30の設定情報を通知する。

【0126】

20

次いで、実行環境主管理同期手段12が、ステップS4において、実行環境管理手段30に対して上記CPU停止後の実行環境管理手段30の設定情報を設定し、ステップS5において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0127】

次いで、実行環境スケジュール手段13が、ステップS6において、実行環境情報521を更新し、ステップS7において、AP8/OS3に当該要求の完了を通知する。

【0128】

次いで、実行環境主管理同期手段12が、ステップS8において、OS主連携手段11に対して実行環境管理手段30の設定の完了を通知する。

【0129】

30

次いで、OS主連携手段11が、ステップS9において、OS3に対して上記CPUの追加及び前回のコンテキスト設定を要求し、ステップS10において、OS3から、上記CPUの追加完了の通知を受理する（これは、電源管理におけるCPUレジューム処理に近い）。

【0130】

次いで、本実施の形態による実行環境主制御手段10が実行環境副制御手段20と連携して行う動作を詳細に説明する。

【0131】

上記コンテキスト設定処理付き主実行環境内のCPU追加処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

40

【0132】

図39は、1つのCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、残りのCPUが停止している状態であって、上記CPU追加処理前の状態を示し、図40は、複数のCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、残りのCPUが停止している状態であって、上記CPU追加処理後の状態を示す。すなわち、図39に示される状態が、上記CPU追加処理によって、主実行環境内のCPUが追加された図40に示される状態に遷移する。

【0133】

（別CPU上のOS停止処理（自動切換え機能無し））

図52は、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の

50

別CPU上のOS停止処理（自動切換え機能無し）を説明する図である。

【0134】

図52を参照すると、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の別CPU上のOS停止処理（自動切換え機能無し）は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して別CPU上実行環境のOS停止要求を通知し、また、実行環境主管理同期手段12に対してOS停止後の実行環境管理手段30の設定情報を通知する。

【0135】

次いで、OS主連携手段11が、ステップS4において、別CPU上のOS副連携手段21に対してOS停止要求を通知し、ステップS5において、実行環境主管理同期手段12に対して上記CPUの停止完了待ちを通知する。

10

【0136】

次いで、上記通知を受けたOS副連携手段21が、ステップS6において、OS3に対して上記CPUの停止を要求し、ステップS7において、OS3から、上記CPUの停止完了の通知を受理し（これは、電源管理におけるCPUシャットダウン処理に近い）、ステップS8において、実行環境副管理同期手段22に対してOS停止完了を通知する。

【0137】

次いで、実行環境副管理同期手段22が、ステップS9において、実行環境主管理同期手段12に対して上記CPUの停止が完了したことを通知する。

20

【0138】

次いで、実行環境主管理同期手段12が、ステップS10において、実行環境管理手段30に対して上記CPU停止後の実行環境管理手段30の設定情報を設定し、ステップS11において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0139】

次いで、実行環境スケジュール手段13が、ステップS12において、実行環境情報521を更新し、ステップS13において、AP8/OS3に当該要求の完了を通知する。

【0140】

次いで、実行環境主管理同期手段12が、ステップS8において、OS主連携手段11に対して実行環境管理手段30の設定の完了を通知する。

30

【0141】

次いで、OS主連携手段11が、ステップS9において、OS3に対して上記CPUの追加及び前回のコンテキスト設定を要求し、ステップS10において、OS3から、上記CPUの追加完了の通知を受理する（これは、電源管理におけるCPUレジューム処理に近い）。

【0142】

（別CPU上のOS停止処理及びコンテキスト保存処理（自動切換え機能無し））

図53は、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の別CPU上のOS停止処理及びコンテキスト保存処理（自動切換え機能無し）を説明する図である。

40

【0143】

図53を参照すると、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の別CPU上のOS停止処理及びコンテキスト保存処理（自動切換え機能無し）は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して別CPU上実行環境のOS停止要求を通知し、また、実行環境主管理同期手段12に対してOS停止後の実行環境管理手段30の設定情報を通知する。

【0144】

次いで、OS主連携手段11が、ステップS4において、別CPU上のOS副連携手段

50

21に対してOS停止要求を通知し、ステップS5において、実行環境主管理同期手段12に対して上記CPUの停止完了待ちを通知する。

【0145】

次いで、上記通知を受けたOS副連携手段21が、ステップS6において、OS3に対して上記CPUの停止及びコンテキスト保存を要求し、ステップS7において、OS3から、上記CPUの停止完了の通知及び上記OS3のコンテキスト90を受理し（これは、電源管理におけるCPUサスペンド処理に近い）、ステップS8において、OS主連携手段11に対して上記OS3のコンテキスト90を送付する。

【0146】

次いで、OS主連携手段11が、ステップS9において、実行環境スケジュール手段13に対して上記OS3のコンテキスト90を渡す。

10

【0147】

次いで、OS副連携手段21が、ステップS10において、実行環境副管理同期手段22に対してOS停止完了を通知する。

【0148】

次いで、実行環境副管理同期手段22が、ステップS11において、実行環境主管理同期手段12に対して上記CPUの停止が完了したことを通知する。

【0149】

次いで、実行環境主管理同期手段12が、ステップS12において、実行環境管理手段30に対して上記OS停止後の実行環境管理手段30の設定情報を設定し、ステップS13において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

20

【0150】

次いで、実行環境スケジュール手段13が、ステップS14において、実行環境情報521を更新し、ステップS15において、AP8/OS3に当該要求の完了を通知する。

【0151】

上記別CPU上のOS停止処理及びコンテキスト保存処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

【0152】

図35は、複数のCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、1つのCPUによって構成される他の1つの実行環境においてOSが追加処理120を実行させる状態であって、上記OS停止処理前の状態を示し、図41は、複数のCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、1つのCPUによって構成される他の1つの実行環境において追加処理120を実行させるOSが停止した状態であって、上記OS停止処理後の状態を示す。すなわち、図35に示される状態が、上記OS停止処理によって、上記別CPU上のOS3が停止した図41に示される状態に遷移する。

30

【0153】

（別CPU上の実行環境切替処理（自動切換え機能無し））

図54は、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の別CPU上の実行環境切替処理（自動切換え機能無し）を説明する図である。

40

【0154】

図54を参照すると、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の別CPU上の実行環境切替処理（自動切換え機能無し）は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して別CPU上実行環境の実行環境切替要求及び切替先のコンテキスト90を通知し、また、実行環境主管理同期手段12に対して切替後の実行環境管理手段30の設定情報を通知する。

【0155】

次いで、OS主連携手段11が、ステップS4において、別CPU上のOS副連携手段

50

21に対して実行環境切替要求及び切替先のコンテキスト90を通知し、ステップS5において、実行環境主管理同期手段12に対して上記実行環境切替完了待ちを通知する。

【0156】

次いで、上記通知を受けたOS副連携手段21が、ステップS6において、動作中のOS3のコンテキスト90を受理し、ステップS7において、OS主連携手段11に対して上記OS3のコンテキスト90を送付する。

【0157】

次いで、OS主連携手段11が、ステップS8において、実行環境スケジュール手段13に対して上記OS3のコンテキスト90を渡す。

【0158】

次いで、OS副連携手段21が、ステップS9において、実行環境副管理同期手段22に対してコンテキスト抽出完了を通知する。

【0159】

次いで、実行環境副管理同期手段22が、ステップS10において、実行環境主管理同期手段12に対して上記コンテキスト抽出が完了したことを通知する。

【0160】

次いで、実行環境主管理同期手段12が、ステップS11において、実行環境管理手段30に対して上記CPU停止後の実行環境管理手段30の設定情報を設定し、ステップS12において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0161】

次いで、実行環境スケジュール手段13が、ステップS13において、実行環境情報521を更新し、ステップS14において、AP8/OS3に当該要求の完了を通知する。

【0162】

次いで、実行環境主管理同期手段12が、ステップS15において、実行環境副管理同期手段22に対して実行環境管理手段30の設定が完了したことを通知する。

【0163】

次いで、実行環境副管理同期手段22が、ステップS16において、OS副連携手段21に対して上記設定完了を通知する。

【0164】

次いで、OS副連携手段21が、ステップS17において、先に受理した切替先のコンテキスト90を設定する。

【0165】

図54に示す切替処理を行う際に、まず、図53に示す別CPU上のOS停止処理及びコンテキスト保存処理を行い、そして、当該別CPUのリセットないし電源オフをする。次に、リセット解除ないし電源オンによって、当該別CPUをクリアな状態から再起動させることで、別CPU上でOS副連携手段をまっさらな状態から起動する。その後、図56に示されるコンテキスト設定処理付き別CPU上のOS起動処理を行うことで、たとえば当該別CPU上のOS副連携手段が、ウィルス等に汚染されて正常な動作をしなくなっていたとしても、リセット及び電源オフを経由することによって、再度正しい状態なOS副連携手段を起動することができるので、遷移時間は長くなるものの、非常に安定・安全な、別CPU上での実行環境切替処理が実現できる。

【0166】

上記別CPU上の実行環境切替処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

【0167】

図42は、1つのCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、残りの各CPUによって構成される各実行環境において各OSがそれぞれ追加処理120を実行させる状態であって、上記実行環境切替処理前の状態を示し、図43は、1つのCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、残りの各CPUの内複数のCPUによって構成される1つ

10

20

30

40

50

の実行環境においてSMP OSが追加処理120を実行させ、残りの各CPUによって構成される各実行環境において各OSがそれぞれ追加処理120を実行させる状態であって、上記実行環境切替処理後の状態を示す。すなわち、図42に示される状態が、上記実行環境切替処理によって、別CPU上の実行環境で切替えが行われた図43に示される状態に遷移する。

【0168】

さらに、同様にして、上記図43に示される状態が、上記実行環境切替処理によって、1つのCPUによって構成される1つの実行環境においてSMP OS2が基本処理110を実行させ、残りの各CPUの内複数のCPUによって構成される1つの実行環境においてSMP OS2が追加処理120を実行させ、残りの全てのCPUによって構成される1つの実行環境においてSMP OS2が追加処理120を実行させる図44に示される状態に遷移する。

10

【0169】

(初期状態の別CPU上のOS起動処理(自動切換え機能無し))

図55は、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の初期状態の別CPU上のOS起動処理(自動切換え機能無し)を説明する図である。

【0170】

図55を参照すると、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の初期状態の別CPU上のOS起動処理(自動切換え機能無し)は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して当該別CPU上のCPU起動要求を通知し、また、実行環境主管理同期手段12に対してCPU起動後の実行環境管理手段30の設定情報を通知する。

20

【0171】

次いで、実行環境主管理同期手段12が、ステップS4において、実行環境管理手段30に対して上記CPU停止後の実行環境管理手段30の設定情報を設定し、ステップS5において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0172】

次いで、実行環境スケジュール手段13が、ステップS6において、実行環境情報521を更新し、ステップS7において、AP8/OS3に当該要求の完了を通知する。

30

【0173】

次いで、実行環境主管理同期手段12が、ステップS8において、OS主連携手段11に対して上記設定完了を通知する。

【0174】

次いで、OS主連携手段11が、ステップS9において、別CPU上のOS副連携手段21に対してCPU起動を要求する。

【0175】

次いで、OS副連携手段21が、ステップS10において、上記CPUの起動を行う(これは、電源管理におけるCPUパワーアップ処理に近い)。

40

【0176】

(コンテキスト設定処理付き別CPU上のOS起動処理(自動切換え機能無し))

図56は、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20のコンテキスト設定処理付き別CPU上のOS起動処理(自動切換え機能無し)を説明する図である。

【0177】

図56を参照すると、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20のコンテキスト設定処理付き別CPU上のOS起動処理(自動切換え機能無し)は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、

50

ステップ S 3 において、OS 主連携手段 1 1 に対して当該実行環境外の CPU 追加要求及び前回のコンテキスト 9 0 を通知し、また、実行環境主管理同期手段 1 2 に対して CPU 追加後の実行環境管理手段 3 0 の設定情報を通知する。

【0178】

次いで、実行環境主管理同期手段 1 2 が、ステップ S 4 において、実行環境管理手段 3 0 に対して上記 CPU 停止後の実行環境管理手段 3 0 の設定情報を設定し、ステップ S 5 において、実行環境スケジュール手段 1 3 に対して当該処理の完了を通知する。

【0179】

次いで、実行環境スケジュール手段 1 3 が、ステップ S 6 において、実行環境情報 5 2 1 を更新し、ステップ S 7 において、AP 8 / OS 3 に当該要求の完了を通知する。

10

【0180】

次いで、実行環境主管理同期手段 1 2 が、ステップ S 8 において、OS 主連携手段 1 1 に対して実行環境管理手段 3 0 の設定の完了を通知する。

【0181】

次いで、OS 主連携手段 1 1 が、ステップ S 9 において、別 CPU 上の OS 副連携手段 2 1 に対して CPU 起動及び前回のコンテキスト設定を要求する。

【0182】

次いで、OS 副連携手段 2 1 が、ステップ S 1 0 において、上記 CPU の起動及びコンテキスト設定を行う（これは、電源管理における CPU レジューム処理に近い）。

【0183】

20

上記コンテキスト設定処理付き別 CPU 上の OS 起動処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

【0184】

図 4 1 は、複数の CPU によって構成される 1 つの実行環境において SMP OS が基本処理 1 1 0 を実行させ、1 つの CPU によって構成される他の 1 つの実行環境において追加処理 1 2 0 を実行させる OS が停止した状態であって、上記 OS 起動処理前の状態を示し、図 3 5 は、複数の CPU によって構成される 1 つの実行環境において SMP OS が基本処理 1 1 0 を実行させ、1 つの CPU によって構成される他の 1 つの実行環境において OS が追加処理 1 2 0 を実行させる状態であって、上記 OS 起動処理後の状態を示す。すなわち、図 4 1 に示される状態が、上記 OS 起動処理によって、別 CPU 上の OS 3 が起動された図 3 5 に示される状態に遷移する。

30

【0185】

（実行環境副制御手段 2 0 からの切替処理（自動切換え機能無し））

図 5 7 は、本実施の形態による実行環境主制御手段 1 0 及び実行環境副制御手段 2 0 の実行環境副制御手段からの切替処理（自動切換え機能無し）を説明する図である。

【0186】

図 5 7 を参照すると、本実施の形態による実行環境主制御手段 1 0 及び実行環境副制御手段 2 0 の実行環境副制御手段 2 0 からの切替処理（自動切換え機能無し）は、OS 副連携手段 2 1 が、ステップ S 1 において、OS 3 から当該要求を受理し、ステップ S 2 において、OS 主連携手段 1 1 に対して当該要求を通知する。

40

【0187】

次いで、OS 主連携手段 1 1 が、ステップ S 3 において、実行環境スケジュール手段 1 3 に対して当該要求を通知する。

【0188】

（別 CPU 上の実行環境副制御手段停止処理（自動切換え機能無し））

図 5 8 は、本実施の形態による実行環境主制御手段 1 0 の別 CPU 上の実行環境副制御手段停止処理（自動切換え機能無し）を説明する図である。

【0189】

図 5 8 を参照すると、本実施の形態による実行環境主制御手段 1 0 の別 CPU 上の実行環境副制御手段停止処理（自動切換え機能無し）は、実行環境スケジュール手段 1 3 が、

50

ステップ S 1 において、A P 8 / O S 3 から当該要求を受理し、ステップ S 2 において、R A M 5 2 上の実行環境情報 5 2 1 を読み出し、ステップ S 3 において、O S 主連携手段 1 1 に対して別 C P U 上実行環境の実行環境副制御手段停止要求を通知し、また、実行環境主管理同期手段 1 2 に対して実行環境副制御手段停止後の実行環境管理手段 3 0 の設定情報を通知する。

【0190】

次いで、O S 主連携手段 1 1 が、ステップ S 4 において、実行環境主管理同期手段 1 2 に対して上記実行環境副制御手段停止後の実行環境管理手段 3 0 の設定を要求する。

【0191】

次いで、実行環境主管理同期手段 1 2 が、ステップ S 5 において、実行環境管理手段 3 0 に対して上記実行環境副制御手段停止後の実行環境管理手段 3 0 の設定情報を設定し、ステップ S 6 において、実行環境スケジュール手段 1 3 に対して当該処理の完了を通知する。

10

【0192】

次いで、実行環境スケジュール手段 1 3 が、ステップ S 7 において、実行環境情報 5 2 1 を更新し、ステップ S 8 において、A P 8 / O S 3 に当該要求の完了を通知する。

次いで、ステップ S 9 において、実行環境主管理同期手段 1 2 が O S 主連携手段 1 1 に対して実行環境管理手段 3 0 の設定の完了を通知し、O S 主連携手段 1 1 が当該 C P U を停止する。

【0193】

20

上記別 C P U 上の実行環境副制御手段停止処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

【0194】

図 4 1 は、複数の C P U によって構成される 1 つの実行環境において S M P O S が基本処理 1 1 0 を実行させ、残りの各 C P U によって構成される各実行環境において実行環境副制御手段が設定された状態であって、上記実行環境副制御手段停止処理前の状態を示し、図 4 5 は、複数の C P U によって構成される 1 つの実行環境において S M P O S が基本処理 1 1 0 を実行させ、残りの C P U の内 1 つの C P U によって構成される 1 つの実行環境において設定されていた実行環境副制御手段が停止した状態であって、上記実行環境副制御手段停止処理後の状態を示す。すなわち、図 4 1 に示される状態が、上記実行環境副制御手段停止処理によって、上記別 C P U 上の実行環境副制御手段 2 0 が停止した図 4 5 に示される状態に遷移する。

30

【0195】

さらに、同様にして、上記図 4 5 に示される状態が、上記実行環境副制御手段停止処理によって、複数の C P U によって構成される 1 つの実行環境において S M P O S 2 が基本処理 1 1 0 を実行させ、残りの各 C P U によって構成される各実行環境の全てにおいて実行環境副制御手段 2 0 が停止した図 4 6 に示される状態に遷移する。

【0196】

（別 C P U 上の実行環境副制御手段起動処理（自動切換え機能無し））

図 5 9 は、本実施の形態による実行環境主制御手段 1 0 の別 C P U 上の実行環境副制御手段起動処理（自動切換え機能無し）を説明する図である。

40

【0197】

図 5 9 を参照すると、本実施の形態による実行環境主制御手段 1 0 の別 C P U 上の実行環境副制御手段起動処理（自動切換え機能無し）は、実行環境スケジュール手段 1 3 が、ステップ S 1 において、A P 8 / O S 3 から当該要求を受理し、ステップ S 2 において、R A M 5 2 上の実行環境情報 5 2 1 を読み出し、ステップ S 3 において、O S 主連携手段 1 1 に対して別 C P U 上実行環境の実行環境副制御手段起動要求を通知し、また、実行環境主管理同期手段 1 2 に対して実行環境副制御手段起動後の実行環境管理手段 3 0 の設定情報を通知する。

【0198】

50

次いで、OS主連携手段11が、ステップS4において、実行環境主管理同期手段12に対して上記実行環境副制御手段起動後の実行環境管理手段30の設定を要求する。

【0199】

次いで、実行環境主管理同期手段12が、ステップS5において、実行環境管理手段30に対して上記実行環境副制御手段起動後の実行環境管理手段30の設定情報を設定し、ステップS6において、実行環境スケジュール手段13に対して当該処理の完了を通知する。

【0200】

次いで、実行環境スケジュール手段13が、ステップS7において、実行環境情報521を更新し、ステップS8において、AP8/OS3に当該要求の完了を通知する。

10

【0201】

次いで、ステップS9において、実行環境主管理同期手段12がOS主連携手段11に対して実行環境管理手段30の設定の完了を通知し、OS主連携手段11が当該CPU上の停止状態を解除する。

【0202】

上記別CPU上の実行環境副制御手段起動処理（自動切換え機能無し）によるマルチプロセッサシステムの状態の遷移を説明する。

【0203】

図45は、複数のCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、残りのCPUの内1つのCPU以外の各CPUによって構成される各実行環境において実行環境副制御手段が設定された状態であって、上記実行環境副制御手段起動処理前の状態を示し、図41は、複数のCPUによって構成される1つの実行環境においてSMP OSが基本処理110を実行させ、残りの各CPUによって構成される各実行環境において実行環境副制御手段が設定された状態であって、上記実行環境副制御手段起動処理後の状態を示す。すなわち、図45に示される状態が、上記実行環境副制御手段起動処理によって、上記別CPU上の実行環境副制御手段20が起動した図41に示される状態に遷移する。

20

【0204】

（第1の実施の形態の効果）

本実施の形態によれば、マルチプロセッサシステム上で実行する処理毎に安定性やセキュリティレベルを変えた実行環境100を構築することができる。

30

【0205】

例えば、アプリケーション8の本来の処理（基本処理110）と、基本処理110に伴って実行され、任意に追加又は削除される付随的な処理（追加処理120）を実行する場合、基本処理110を実行する実行環境100-0と、追加処理120を実行する実行環境100-nとを安定性やセキュリティレベルを考慮して（基本処理110の実行環境100-0の安定性及びセキュリティレベルを高くして）マルチプロセッサシステムを構築することができる。

【0206】

その理由は、複数のCPU4と、当該CPU4上で実行される複数のOS3を搭載し、当該CPU4と当該OS3を組み合わせたと少なくとも一つの実行環境100を、マルチプロセッサシステム上で実行する処理に応じて形成するからである。

40

【0207】

また、本実施の形態によれば、処理の高速化を図ることができる。

【0208】

その理由は、実行環境主制御手段10、実行環境副制御手段20及び実行環境管理手段30が連携して動作することにより仮想マシンを設ける必要がないため、アプリケーション8がCPU4上で直接動作するからである。

【0209】

また、本実施の形態によれば、CPUの処理負荷を軽減することができる。

50

【0210】

その理由は、マルチプロセッサシステム上で実行する処理に応じてCPU4とOS3を組み合わせた実行環境を多様に形成できるからである。

【0211】

また、本実施の形態によれば、SMP OS環境においても追加処理向け実行環境の生成が可能となるので、基本処理の安定性やセキュリティレベルが向上し、また、追加処理120向け実行環境100がCPU4上で直接動作するので、基本処理110及び追加処理120を非常に高速で処理できる。

【0212】

(第2の実施の形態)

10

(第2の実施の形態の構成)

本発明の第2の実施の形態による実行環境管理手段30の構成を、(a)CPUベース、(b)実行環境ベースによって詳細に説明する。本実施の形態による実行環境管理手段30は、CPU4又は実行環境100を自動で切替える自動切替機能を有する点で第1の実施の形態と相違する。従って、第1の実施の形態との相違点を中心に説明する。

【0213】

((a)CPUベースの場合)

図60～図64は、本実施の形態による実行環境管理手段30の構成をCPUベースで説明する図である。

【0214】

20

図60は、本実施の形態による実行環境管理手段30の構成をCPUベースで説明するブロック図である。図60を参照すると、本実施の形態による実行環境管理手段30は、周辺バス及びCPU管理データ記憶装置32に接続する自動CPU切替手段33と、システムバス、CPU管理データ記憶装置32及び自動CPU切替手段33に接続する自動CPU切替データ記憶装置34とをさらに備える点で、第1の実施の形態における実行環境管理手段30の構成と相違する。従って、第1の実施の形態との相違点を中心に説明する。

【0215】

自動CPU切替手段33は、CPUフィルタ手段31がシステムバスを介してあるCPU4からのアクセス要求を受けると、自動CPU切替データ記憶装置34から読み出した自動CPU切替データ341(後述)に基づいて、当該アクセス要求が切替制御を要求する条件である切替トリガであるか否かを判定する機能と、自動CPU切替データ341のトリガ条件に相当するエントリを更新する機能等を有する。

30

【0216】

自動CPU切替データ記憶装置34は、自動CPU切替データ341を格納し、自動CPU切替データ341の更新要求を実行する機能を有する。

【0217】

図61は、本実施の形態による自動CPU切替データの構成を説明する図である。図61を参照すると、自動CPU切替データ341は、CPU4-0～4-4毎に、トリガ条件と、切替後に割当てられるメモリ領域の始点・終点と、リード処理(R)及びライト処理(W)のうち切替後に許可される処理を示す許可ビットとが記載されたエントリによって構成されている。

40

【0218】

次いで、本実施の形態のCPUベースにおける実行環境管理手段30の機能を説明する。

【0219】

(データ更新機能)

図62は、本実施の形態による実行環境管理手段30のデータ更新機能を説明する図である。図62を参照すると、実行環境管理手段30のデータ更新機能は、ステップS1において、CPU管理データ321を更新する。なお、基本的には、基本処理実行中のCP

50

UのみがCPU管理データ321に触ることができる。ただし、所定のエントリに関しては、追加処理実行中のCPUがCPU管理データ321に触ってもよい。

【0220】

(リード(R)アクセスでの自動切替機能)

図63は、本実施の形態による実行環境管理手段30のリード(R)アクセスでの自動切替機能を説明する図である。

【0221】

図63を参照すると、本実施の形態による実行環境管理手段30のリードアクセスでの自動切替機能は、CPUフィルタ手段31が、ステップS1において、任意のCPUからのリードアクセスを受理し、ステップS2において、CPU管理データ321を読み出す。また、ステップS2において、自動CPU切替手段33が自動CPU切替データ341を読み出す。

10

【0222】

次いで、ステップS3において、CPUフィルタ手段31が、前記読み出したCPU管理データ321に基づいて、当該受理したリードアクセスの許可を判定し、当該受理したリードアクセスを許可し、また、自動CPU切替手段33が、当該受理したリードアクセスが切替トリガであることを認知する。

【0223】

次いで、ステップS4において、CPUフィルタ手段31が前記リードアクセスの応答を受理し、また、自動CPU切替手段33が前記リードアクセスの完了を認知する。

20

次いで、ステップS5において、CPUフィルタ手段31が前記リードアクセスの応答をCPUに返し、ステップS6において、自動CPU切替手段33がCPU管理データ321のトリガ条件に相当するエントリを更新する。

【0224】

(ライト(W)アクセスでの自動切替機能)

図64は、本実施の形態による実行環境管理手段30のライト(W)アクセスでの自動切替機能を説明する図である。

【0225】

図64を参照すると、本実施の形態による実行環境管理手段30のライトアクセスでの自動切替機能は、CPUフィルタ手段31が、ステップS1において、任意のCPUからのライトアクセスを受理し、ステップS2において、CPU管理データ321を読み出す。また、ステップS2において、自動CPU切替手段33が自動CPU切替データ341を読み出す。

30

【0226】

次いで、ステップS3において、CPUフィルタ手段31が、前記読み出したCPU管理データ記憶装置32に基づいて、当該受理したライトアクセスの許可を判定し、当該受理したライトアクセスを許可し、また、自動CPU切替手段33が、当該受理したライトアクセスが切替トリガであることを認知する。

次いで、ステップS4において、自動CPU切替手段33が、CPU管理データ321のトリガ条件に相当するエントリを更新する。

40

本実施の形態による切替え後のCPU管理データ記憶装置32の構成を図65に示す。

【0227】

((b) 実行環境ベースの場合)

図66～図71は、本実施の形態による実行環境管理手段30の構成を実行環境ベースで説明する図である。

【0228】

図66は、本実施の形態による実行環境管理手段30の構成を実行環境ベースで説明するブロック図である。図66を参照すると、本実施の形態による実行環境管理手段30は、周辺バス及び実行環境管理データ記憶装置36に接続する自動実行環境切替手段37と、システムバス、実行環境管理データ記憶装置36及び自動実行環境切替手段37に接続

50

する自動実行環境切替データ記憶装置 38 とをさらに備える点で、第 1 の実施の形態における実行環境管理手段 30 の構成と相違する。従って、第 1 の実施の形態との相違点を中心に説明する。

【0229】

自動実行環境切替手段 37 は、実行環境フィルタ手段 35 がシステムバスを介してある CPU 4 からのアクセス要求を受けると、自動実行環境切替データ記憶装置 38 から読み出した自動実行環境切替データ 381（後述）に基づいて、当該アクセス要求が切替制御を要求する条件である切替トリガであるか否かを判定する機能と、自動実行環境切替データ 381 のトリガ条件に相当するエントリを更新する機能等を有する。

【0230】

自動実行環境切替データ記憶装置 38 は、自動実行環境切替データ 381 を格納し、自動実行環境切替データ 381 の更新要求を実行する機能を有する。

【0231】

図 67 は、本実施の形態による自動実行環境切替データ 381 の構成を説明する図である。図 67 を参照すると、本実施の形態による自動実行環境切替データ 381 は、CPU 4-0~4-4 毎に、トリガ条件と、実行環境番号によって示される実行環境とが対応付けて記載されたエントリによって構成されている。より詳細には、CPU 4-0~4-2 には実行環境 100-0 が対応付けられ、CPU 4-3 には実行環境が対応付けられておらず、CPU 4-4 には実行環境 100-2 が対応付けられている。

【0232】

次いで、本実施の形態の実行環境ベースにおける実行環境管理手段 30 の機能を説明する。

【0233】

（データ更新機能）

図 68 は、本実施の形態による実行環境管理手段 30 のデータ更新機能を説明する図である。

【0234】

図 68 を参照すると、本実施の形態による実行環境管理手段 30 のデータ更新機能は、ステップ S1 において、自動実行環境切替データ 381 を更新する。なお、基本的には、基本処理実行中の CPU のみが自動実行環境切替データ 381 に触ることができる。ただし、所定のエントリに関しては、追加処理実行中の CPU が自動実行環境切替データ 381 に触ってもよい。

【0235】

（リード（R）アクセスでの自動切替機能）

図 69 は、本実施の形態による実行環境管理手段 30 のリード（R）アクセスでの自動切替機能を説明する図である。

【0236】

図 69 を参照すると、本実施の形態による実行環境管理手段 30 のリードアクセスでの自動切替機能は、実行環境フィルタ手段 35 が、ステップ S1 において、任意の CPU からのリードアクセスを受理し、ステップ S2 において、実行環境管理データ 361 を読み出す。また、ステップ S2 において、自動実行環境切替手段 37 が自動実行環境切替データ 381 を読み出す。

【0237】

次いで、ステップ S3 において、実行環境フィルタ手段 35 が、前記読み出した実行環境管理データ 361 に基づいて、当該受理したリードアクセスの許否を判定し、当該受理したリードアクセスを許可し、また、自動実行環境切替手段 37 が、当該受理したリードアクセスが切替トリガであることを認知する。

【0238】

次いで、ステップ S4 において、実行環境フィルタ手段 35 が前記リードアクセスの応答を受理し、また、自動実行環境切替手段 37 が前記リードアクセスの完了を認知する。

【0239】

次いで、ステップS5において、実行環境フィルタ手段35が前記リードアクセスの応答をCPUに返し、ステップS6において、自動実行環境切替手段37が実行環境管理データ361のトリガ条件に相当するエントリを更新する。

【0240】

(ライト(W)アクセスでの自動切替機能)

図70は、本実施の形態による実行環境管理手段30のライト(W)アクセスでの自動切替機能を説明する図である。

【0241】

図70を参照すると、本実施の形態による実行環境管理手段30のライトアクセスでの自動切替機能は、実行環境フィルタ手段35が、ステップS1において、任意のCPUからのライトアクセスを受理し、ステップS2において、実行環境管理データ361を読み出す。また、ステップS2において、自動実行環境切替手段37が自動実行環境切替データ381を読み出す。

10

【0242】

次いで、ステップS3において、実行環境フィルタ手段35が、前記読み出した実行環境管理データ361に基づいて、当該受理したライトアクセスの許否を判定し、当該受理したライトアクセスを許可し、また、自動実行環境切替手段37が、当該受理したライトアクセスが切替トリガであることを認知する。

【0243】

20

次いで、ステップS4において、自動実行環境切替手段37が、実行環境管理データ361のトリガ条件に相当するエントリを更新する。

【0244】

図71は、本実施の形態による実行環境切替え機能(自動切換え機能有り)を説明する図である。

【0245】

図71を参照すると、実行環境管理手段30に自動切換え機能を有する本実施の形態において、実行環境主制御手段10と実行環境副制御手段20とは互いに同期をとることなく、実行環境主制御手段10が処理を継続させ、実行環境副制御手段20が実行環境を切替える。

30

【0246】

(第2の実施の形態の動作)

本実施の形態による実行環境主制御手段10が実行環境副制御手段20と連携して行う動作を詳細に説明する。

【0247】

(別CPU上の実行環境切替処理(自動切換え機能有り))

図72は、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の別CPU上の実行環境切替処理(自動切換え機能有り)を説明する図である。

【0248】

図72を参照すると、本実施の形態による実行環境主制御手段10及び実行環境副制御手段20の別CPU上の実行環境切替処理(自動切換え機能有り)は、実行環境スケジュール手段13が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS主連携手段11に対して別CPU上実行環境の実行環境切替要求及び切替先のコンテキスト90を通知し、また、実行環境主管理同期手段12に対してCPU停止後の実行環境管理手段30の設定情報を通知する。

40

【0249】

次いで、OS主連携手段11が、ステップS4において、別CPU上のOS副連携手段21に対して実行環境切替要求及び切替先のコンテキスト90を通知する。

【0250】

50

次いで、上記通知を受けたOS副連携手段21が、ステップS5において、OS3から、動作中のOS3のコンテキスト90を受理し、ステップS6において、OS主連携手段11に対して上記OS3のコンテキスト90を送付する。

【0251】

次いで、OS主連携手段11が、ステップS7において、実行環境スケジュール手段13に対して上記OS3のコンテキスト90を渡す。

【0252】

次いで、実行環境スケジュール手段13が、ステップS8において、実行環境情報521を更新し、ステップS9において、AP8/OS3に当該要求の完了を通知する。

【0253】

次いで、OS副連携手段21が、ステップS10において、先に受理した切替先のコンテキスト90を設定する。

【0254】

本実施の形態による切替え後のマルチプロセッサシステムの構成を図734に示す。

【0255】

なお、本実施の形態における切替トリガは、システムバスを介して受信したあるCPU4からのアクセス要求がトリガ条件を満たすか否かによって判定されるが、これは、アクセス要求に限定されず、所定の時間の経過や所定の閾値以上のCPU負荷等によってトリガ条件が満たされ、対応する所定の切替制御を自動的に要求するものであってもよい。

【0256】

(第2の実施の形態の効果)

本実施の形態によれば、実行環境管理手段30は、CPUフィルタ手段31がシステムバスを介してあるCPU4からのアクセス要求を受けると、自動CPU切替データ記憶装置34から読み出した自動CPU切替データ341(後述)に基づいて、当該アクセス要求が切替制御を要求する条件である切替トリガであるか否かを判定し、切替トリガである場合には自動的に切替制御を要求する自動CPU切替手段33を備えるため、実行環境主制御手段10の処理負担を軽減することができる。

【0257】

また、本実施の形態によれば、アクセス要求に限定されず、所定の時間の経過や所定の閾値以上のCPU負荷等によってトリガ条件が満たされ、対応する所定の切替制御を自動的に要求するため、より多様な切替制御が可能となる。

【0258】

(第3の実施の形態)

(第3の実施の形態の構成)

図74は、本発明の第3の実施の形態による実行環境副制御手段20の構成を示すブロック図である。図74を参照すると、本実施の形態による実行環境副制御手段20は、実行環境スケジュール手段13と同様の機能(スケジュール機能)を有し、AP8/OS3、RAM、OS副連携手段21及び実行環境副管理同期手段22に接続する同一実行環境スケジュール手段23をさらに備える点で、第1の実施の形態における実行環境副制御手段20の構成と相違する。従って、第1の実施の形態との相違点を中心に説明する。

【0259】

(第3の実施の形態の動作)

(同一信頼度(セキュリティレベル)実行環境切替処理(自動切換え機能無し))

図75は、本実施の形態による実行環境副制御手段20の同一信頼度実行環境切替処理(自動切換え機能無し)を説明する図である。

【0260】

図75を参照すると、本実施の形態による実行環境副制御手段20の同一信頼度実行環境切替処理(自動切換え機能無し)は、同一実行環境スケジュール手段23が、ステップS1において、AP8/OS3から当該要求を受理し、ステップS2において、RAM52上の実行環境情報521を読み出し、ステップS3において、OS副連携手段21に対

10

20

30

40

50

して当該実行環境内の実行環境切替要求及び切替先のコンテキスト 90 を通知し、また、実行環境副管理同期手段 22 に対して切替後の実行環境管理手段 30 の設定情報を通知する。

【0261】

次いで、OS 副連携手段 21 が、ステップ S4 において、OS 3 から、動作中の OS 3 のコンテキスト 90 を受理し、ステップ S5 において、同一実行環境スケジュール手段 23 に対して上記 OS 3 のコンテキスト 90 を渡し、ステップ S6 において、実行環境副管理同期手段 22 に対して上記コンテキスト 90 保存の完了を通知する。

【0262】

次いで、実行環境副管理同期手段 22 が、ステップ S7 において、実行環境管理手段 30 に対して切替後の実行環境管理手段 30 の設定情報を設定し、ステップ S8 において、同一実行環境スケジュール手段 23 に対して当該処理の完了を通知する。

10

【0263】

次いで、同一実行環境スケジュール手段 23 が、ステップ S9 において、実行環境情報 521 を更新し、ステップ S10 において、AP8 / OS 3 に当該要求の完了を通知する。

【0264】

次いで、ステップ S11 において、実行環境副管理同期手段 22 が、OS 副連携手段 21 に対して当該処理の完了を通知し、ステップ S12 において、OS 副連携手段 21 が、先に受理した切替先のコンテキスト 90 を設定する。

20

【0265】

また、図 76 は、本実施の形態による実行環境主制御手段 10 及び実行環境副制御手段 20 の同一実行環境スケジュール手段からの切替処理（自動切換え機能無し）を説明する図である。

【0266】

図 76 を参照すると、本実施の形態による実行環境主制御手段 10 及び実行環境副制御手段 20 の同一実行環境スケジュール手段 23 からの切替処理（自動切換え機能無し）は、同一実行環境スケジュール手段 23 が、ステップ S1 において、AP8 / OS 3 から当該要求を受理し、ステップ S2 において、RAM 52 上の実行環境情報 521 を読み出し、ステップ S3 において、自身にてスケジューリングできないと判断し、該要求を OS 副連携手段 21 に対して通知する。

30

【0267】

次いで、ステップ S4 において、OS 副連携手段 21 が OS 主連携手段 11 に対して当該要求を通知し、ステップ S5 において、OS 主連携手段 11 が実行環境スケジュール手段 13 に対して当該要求を通知する。

【0268】

次いで、実行環境副管理同期手段 22 が、ステップ S7 において、実行環境管理手段 30 に対して切替後の実行環境管理手段 30 の設定情報を設定し、ステップ S8 において、同一実行環境スケジュール手段 23 に対して当該処理の完了を通知する。

【0269】

40

次いで、同一実行環境スケジュール手段 23 が、ステップ S9 において、実行環境情報 521 を更新し、ステップ S10 において、AP8 / OS 3 に当該要求の完了を通知する。

【0270】

次いで、ステップ S11 において、実行環境副管理同期手段 22 が、OS 副連携手段 21 に対して当該処理の完了を通知し、ステップ S12 において、OS 副連携手段 21 が、先に受理した切替先のコンテキスト 90 を設定する。

【0271】

（第 3 の実施の形態の効果）

本実施の形態によれば、実行環境副制御手段 20 が、実行環境スケジュール手段 13 と

50

同様の機能（スケジュール機能）を有する同一実行環境スケジュール手段 23 を備えるので、実行環境スケジュール手段 13 を備える実行環境主制御手段 10 だけでなく、実行環境副制御手段 20 においても、他の実行環境副制御手段 20 に対する実行環境の切り替え制御命令を単独で生成できる。

【0272】

また、本実施の形態によれば、実行環境副制御手段 20 においても、他の実行環境副制御手段 20 に対する実行環境の切り替え制御命令を単独で生成できるので、実行環境主制御手段 10 の処理負担を軽減し、処理の高速化、さらには、実行環境主制御手段 10 の安定性及びセキュリティレベルの向上を図ることができる。

【0273】

（第 4 の実施の形態）

図 77 は、本発明の第 4 の実施の形態によるマルチプロセッサシステムの構成を示すブロック図である。

【0274】

図 77 を参照すると、本実施の形態によるマルチプロセッサシステムの構成は、実行環境副制御手段 20 が CPU 4-1 ~ 4-n だけでなく CPU 4-0 にも接続する点で、図 2 に示す第 1 の実施の形態によるマルチプロセッサシステムの構成と相違する。従って、本実施の形態によるマルチプロセッサシステムは、実行環境主制御手段 10 が動作する CPU 4 を固定するのではなく、当該 CPU を実行環境主制御手段 10 によって追加された CPU 4 のいずれの CPU 4 へも移動可能とする点で第 1 の実施の形態と相違する。

【0275】

（第 5 の実施の形態）

図 78 及び図 79 は、本発明の第 5 の実施の形態のマルチプロセッサシステムにおける一部の構成を示すブロック図である。

【0276】

図 78 及び図 79 を参照すると、本実施の形態のマルチプロセッサシステムは、CPU 4 が、ユーザ・スーパバイザ 41 モードと、ユーザ・スーパバイザより優先度の高いハイパーバイザ 42 モードと、記憶装置管理ユニット 43 を備える点で上記第 1 ~ 第 4 の実施の形態と相違する。

【0277】

本実施の形態によれば、図 78 に示すような、SMP OS 2 が CPU 4 上で実行環境主制御手段 10 によって制御されて基本処理 110 を実行させる状態が、図 79 に示すような、OS 3 が CPU 4 上で実行環境副制御手段 20 によって制御されてそれぞれ追加処理 120 を実行させる状態に遷移可能である。

【0278】

（第 6 の実施の形態）

図 80 は、本発明の第 6 の実施の形態のマルチプロセッサシステムの構成を示すブロック図である。

【0279】

図 80 を参照すると、本実施の形態のマルチプロセッサシステムは、上記第 1 ~ 第 5 の何れかの実施の形態のマルチプロセッサシステム 300-1 ~ 300-n を並列して複数備えた構成に、実行環境管理手段 30、記憶装置 5 及び I/O 装置 6 からなる構成を階層的に備える点で、上記第 1 ~ 第 5 の実施の形態と相違する。

【0280】

本実施の形態によれば、上記第 1 ~ 第 5 の何れかの実施の形態のマルチプロセッサシステムを並列して複数備えた構成に、実行環境管理手段 30、記憶装置 5 及び I/O 装置 6 からなる構成を階層的に備えるので、より多様な実行環境の分離、切り替え、拡大、縮退等が可能になるため、基本処理 110 や追加処理 120 のセキュリティレベルや CPU 負荷並びに OS 3 の種類等に応じてより詳細に実行環境を制御することができる。

【0281】

(実施例 1)

本発明の実施例 1 は、第 1 の実施の形態のマルチプロセッサシステムの具体的動作例である。本実施例を、上記図 3 4、図 3 7 及び図 8 1 を用いて説明する。図 8 1 は、本実施例のマルチプロセッサシステムの具体的動作例を示すフローチャートである。

【0282】

ステップ S 9 0 1 において、基本処理用の S M P O S 2 が、1 つの実行環境を構成する 5 つの C P U 上で動作している。

【0283】

ステップ S 9 0 2 において、ユーザがゲームを実行したいとのイベントを入力する。

【0284】

ステップ S 9 0 3 において、そのイベントに対応して、ゲーム実行環境の起動を実行環境主制御手段 1 0 に対して通知する。

【0285】

ステップ S 9 0 4 において、実行環境主制御手段 1 0 は、ゲーム実行環境が一度実行済みか否かを判定する。もしゲーム実行環境が一度実行済みの場合、ステップ S 9 0 9 へ。

【0286】

ステップ S 9 0 5 において、実行環境主制御手段 1 0 は、ゲーム実行環境が実行済みでない場合、5 つの C P U のうち、1 つの C P U をゲーム実行環境に割当ててことを決定する。

【0287】

ステップ S 9 0 6 において、実行環境主制御手段 1 0 は、主実行環境内 C P U 停止処理により、その C P U を停止する。

【0288】

ステップ S 9 0 7 において、実行環境主制御手段 1 0 は、別 C P U 上の実行環境副制御手段起動処理により、実行環境副制御手段 2 0 を起動する。

【0289】

ステップ S 9 0 8 において、実行環境主制御手段 1 0 は、別 C P U 上の O S 起動処理（初期状態）により、ゲーム実行環境を起動し、処理を終了する。

【0290】

ステップ S 9 0 9 において、実行環境主制御手段 1 0 は、主実行環境内の切替処理により、ゲーム実行環境を起動し、処理を終了する。

【0291】

図 8 2 は、本発明の一実施例による実行順序検査付き実行環境管理手段 5 0 の構成を示す図である。図 8 2 を参照すると、実行環境管理手段 3 0 と並列に、実行順序検査手段 5 1 と、実行順序検査記憶手段 5 2 とを備える。すなわち、実行順序検査付き実行環境管理手段 5 0 は、図 3 等に示される実行環境管理手段 3 0 へ置換可能であり、さらに、これにより、以下で述べる実行順序検査機能を利用することができるため、より高い安全性を実現可能である。

【0292】

実行順序検査手段 5 1 は、実行順序検査記憶手段 5 2 の情報に基づいて、観測対象の C P U が正しい順序で命令をフェッチしているか、すなわち、正しい実行順序を保持しているかどうかを検査する機能を有する。これにより、実行環境副制御手段を実行する C P U の動作を、実行環境主制御手段を実行する C P U から監視することが可能となる。また、この実行順序検査手段 5 1 は、観測対象の C P U が指定された範囲の命令をフェッチしている状態にあるかないかといった状態をも保持している。この状態は、実行環境主制御手段を実行する C P U から読出し、ないし、状態リセットが可能である。

【0293】

図 8 3 は、本発明の一実施例による実行順序検査記憶装置 5 2 の構成を示す図である。図 8 3 を参照すると、実行順序検査記憶装置 5 2 は、どの C P U を観測対象とし、かつ、その観測範囲が記述される。ここで、S t a r t とは、観測対象の C P U が最初の命令フ

10

20

30

40

50

ェッチを許可する物理アドレスを意味し、そして、E n dとは物理アドレスを表し、S t a r tからE n dまでの間の範囲での、最初の命令フェッチを許可しないことを意味している。すなわち、図では、観測対象のC P U # 3は、0 x 0 e 0 0 0 0 0 0と0 x 0 e 0 0 1 0 0 0で挟まれた物理アドレスにおいて、0 x 0 e 0 0 0 0 0 0からのみ命令をフェッチすることが可能であることを意味している。それ以外のアドレスに関する命令フェッチにおいては、C P Uに対して何の影響も及ぼさない。なお、この実行順序検査記憶装置52は、実行環境主制御手段を実行するC P Uからのみ書き換えが可能である。

【0294】

図84は、図82の実行順序検査付き実行環境管理手段50の動作の一例を説明するための図である。図84において、矢印脇のSと数字からなる符合は、ステップ番号を表している。この例では、観測対象のC P Uが、一番最初に、実行順序検査記憶装置52で許可された物理アドレスの先頭（以降では物理アドレスAと呼ぶ）の命令をフェッチする場合について説明する。

10

【0295】

ステップS1： 観測対象のC P Uが物理アドレスAの命令をフェッチ要求をだし、実行順序検査手段51と実行環境管理手段50が受理する。

【0296】

ステップS2： 実行順序検査手段51は、実行順序検査記憶装置52の情報を読出し、当該物理アドレスAの命令フェッチが許可されていることを判断し、その結果、その動作を中断する。

20

【0297】

図85は、図82の実行順序検査付き実行環境管理手段50の動作の一例を説明するための図である。図85において、矢印脇のSと数字からなる符合は、ステップ番号を表している。この例では、図84での命令フェッチの後、観測対象のC P Uが、引き続いて、実行順序検査記憶装置52で記述された範囲の物理アドレス（以降では物理アドレスBと呼ぶ）の命令をフェッチする場合について説明する。

【0298】

ステップS1： 観測対象のC P Uが物理アドレスBの命令をフェッチ要求をだし、実行順序検査手段51と実行環境管理手段50が受理する。

【0299】

ステップS2： 実行順序検査手段51は、実行順序検査記憶装置52の情報を読出し、既に物理アドレスAの命令フェッチが許可されていることから、当該物理アドレスBの命令フェッチも許可されることを判断し、その結果、その動作を中断する。

30

【0300】

図86は、図82の実行順序検査付き実行環境管理手段50の動作の一例を説明するための図である。図86において、矢印脇のSと数字からなる符合は、ステップ番号を表している。この例では、観測対象のC P Uが、一番最初に、実行順序検査記憶装置52で記述された範囲の物理アドレス（以降では物理アドレスBと呼ぶ）の命令をフェッチする場合について説明する。

【0301】

ステップS1： 観測対象のC P Uが物理アドレスBの命令をフェッチ要求をだし、実行順序検査手段51と実行環境管理手段50が受理する。

40

【0302】

ステップS2： 実行順序検査手段51は、実行順序検査記憶装置52の情報を読出し、物理アドレスAの命令フェッチが行われていないことから、当該物理アドレスBの命令フェッチを許可しない。

【0303】

ステップS3： 実行順序検査手段51は、実行環境管理手段30へ命令フェッチを許可しないことを通知する。

【0304】

50

ステップS4： 実行環境管理手段30はアクセス処理を中断し、当該CPUへエラーを返す。

【0305】

図87は、図82の実行順序検査付き実行環境管理手段50の動作の一例を説明するための図である。図87において、矢印脇のSと数字からなる符合は、ステップ番号を表している。この例では、実行環境主制御手段を実行するCPUから実行順序検査記憶装置52を書き換える場合について説明する。

【0306】

ステップS1： 実行環境主制御手段を実行するCPUが実行順序検査記憶装置52を更新する。

10

【0307】

図88は、図82の実行順序検査付き実行環境管理手段50の動作の一例を説明するための図である。図88において、矢印脇のSと数字からなる符合は、ステップ番号を表している。この例では、実行環境主制御手段を実行するCPUから実行順序検査手段51の状態を読み出す場合について説明する。

【0308】

ステップS1： 実行環境主制御手段を実行するCPUは、実行順序検査手段51の状態を読み出す。もし該当するエントリのCPUが指定された範囲内の命令をフェッチしていれば、検査状態にあることを返し、逆に、フェッチしていなければ、検査状態にないことを返す。

20

【0309】

これにより、観測対象のCPUがどの範囲の命令を現在実行しているかを、実行環境主制御手段を実行するCPUから把握することができるので、実行環境主制御手段と実行環境副制御手段との同期等のシステム状態の変更の際に、ウィルスの侵入などを防ぐため、信頼できないコードの排除を実現することが可能である。

【0310】

図89は、図82の実行順序検査付き実行環境管理手段50の動作の一例を説明するための図である。図89において、矢印脇のSと数字からなる符合は、ステップ番号を表している。この例では、実行環境主制御手段を実行するCPUから実行順序検査手段51の状態をクリアする場合について説明する。

30

【0311】

ステップS1： 実行環境主制御手段を実行するCPUは、実行順序検査手段51の状態をクリアする。これ以降、観測対象のCPUは指定された物理アドレスの先頭からのみしか再度アクセスが許可されなくなる。

【0312】

これにより、実行環境主制御手段を実行するCPUから、任意の時点で、観測対象のCPUの動作を再び観測可能にできる。

【0313】

図90は、図82の実行順序検査付き実行環境管理手段50の動作の一例を説明するための図である。図90において、矢印脇のSと数字からなる符合は、ステップ番号を表している。この例では、実行順序検査手段51と実行環境管理手段30が協調した動作をする場合について説明する。

40

【0314】

ステップS1： 観測対象のCPUがある物理アドレスの命令をフェッチ要求をだし、実行順序検査手段51と実行環境管理手段50が受理する。

【0315】

ステップS2： 実行順序検査手段51は、実行順序検査記憶装置52の情報を読出し、その物理アドレスの命令フェッチを許可する。

【0316】

ステップS3： 実行環境管理手段30は、ある物理アドレスへのデータアクセスを受

50

理する。

【0317】

実行順序検査手段51は、実行環境管理手段30へ命令フェッチを許可しないことを通知する。

【0318】

ステップS4： 実行環境管理手段30は、当該アクセスが当該CPUの検査状態によって許可・不許可が判断されるアクセスと判断し、その結果、実行順序検査手段51から現在当該アクセスを発行したCPUの検査状態について情報を取得する。

【0319】

ステップS5： 実行環境管理手段30は、当該アクセスが検査状態のCPUからアクセスが許可されていない領域と判断し、その結果、当該CPUへエラーを返す。

10

【0320】

ここで、当該CPUだけでなく、実行環境主制御手段を実行するCPUへもエラー通知をすることで、エラーを起こした当該CPUのリセット等のリカバリーを行ってもよい。

【0321】

以上、実行順序検査手段51と実行環境管理手段30との協調によって、データアクセスのみに依存していた安全性について、観測対象のCPUのプログラムの実行状況に応じて、そのデータアクセスを柔軟に制限することができるので、さらなる高い安全性を実現できる。

【0322】

20

以上好ましい実施の形態及び実施例をあげて本発明を説明したが、本発明は必ずしも、上記実施の形態及び実施例に限定されるものでなく、その技術的思想の範囲内において様々に変形して実施することができる。

【0323】

この出願は、2006年11月2日に出願された日本出願特願2006-299019号と2007年9月25日に出願された日本出願特願2007-247491号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

【符号の説明】

【0324】

- 2：SMP OS
- 3、3A～3n：OS
- 4、4-0～4-n、4-k：CPU
- 41：ユーザ・スーパーバイザ
- 42：ハイパーバイザ
- 43：記憶装置管理ユニット
- 5：記憶装置
- 51：ROM
- 52：RAM
- 521：
- 6：I/O装置
- 7：シングルOS
- 8：アプリケーション
- 10：実行環境主制御手段
- 11：OS主連携手段
- 12：実行環境主管理同期手段
- 13：実行環境スケジュール手段
- 20：実行環境副制御手段
- 21：OS副連携手段
- 22：実行環境管理同期副手段
- 23：同一実行環境スケジュール手段

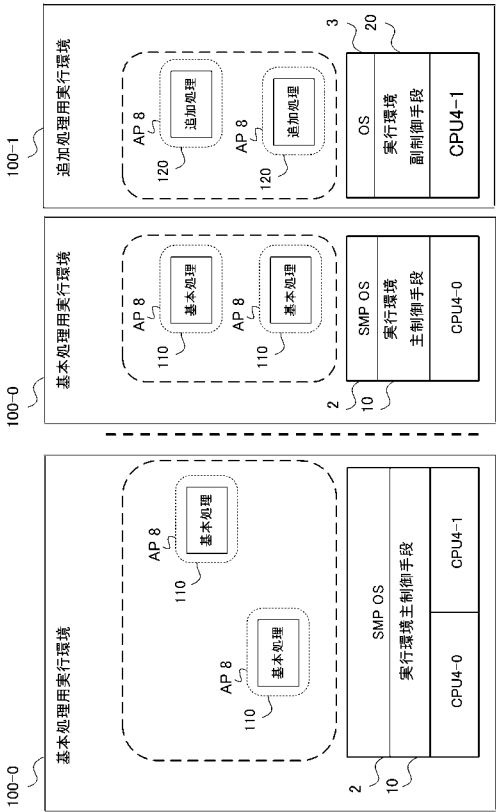
30

40

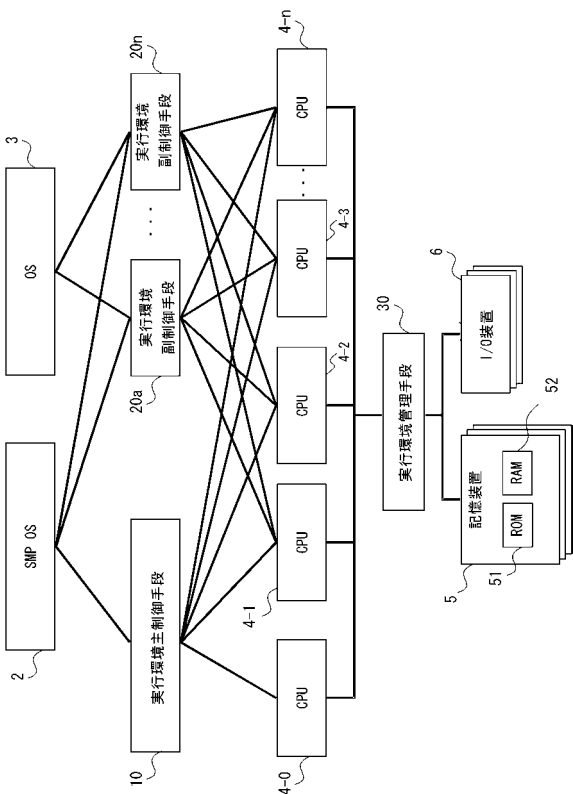
50

30：実行環境管理手段	
31：CPUフィルタ手段	
32：CPU管理データ記憶装置	
321：CPU管理データ	
33：自動CPU切替手段	
34：自動CPU切替データ記憶装置	
341：自動CPU切替データ	
35：実行環境フィルタ手段	
36：実行環境管理データ記憶装置	
361：実行環境管理データ	10
362：実行環境対応情報	
37：自動実行環境切替手段	
38：自動実行環境切替データ	
90：コンテキスト	
100、100-1～100-n：実行環境	
110：基本処理	
120：追加処理	
300-1～300-n：マルチプロセッサシステム	
501：CPU	
502：主記憶部	20
503：通信制御部	
504：インタフェース部	
505：補助記憶部	
506：システムバス	
50：実行順序検査付き実行環境管理手段	
51：実行順序検査手段	
52：実行順序検査記憶装置	

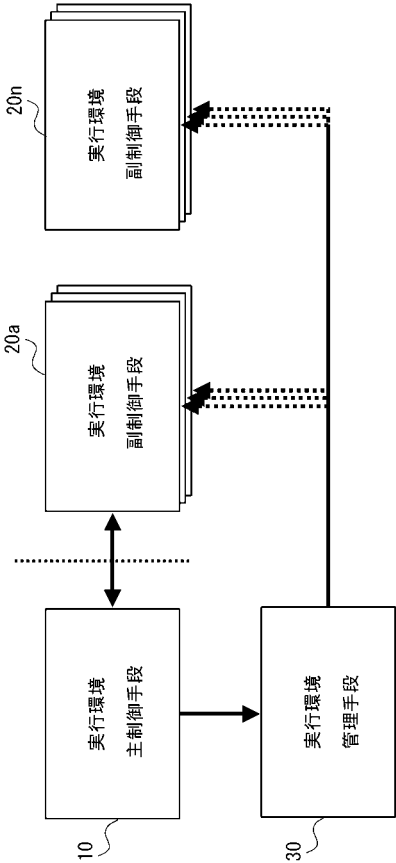
【図 1】



【図 2】



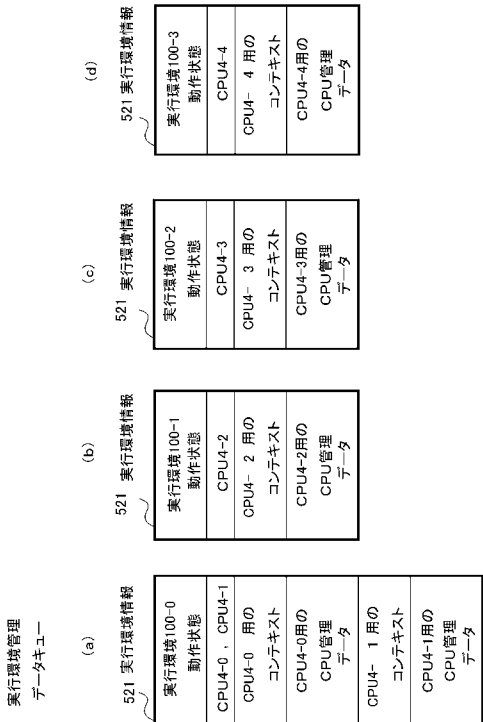
【図 3】



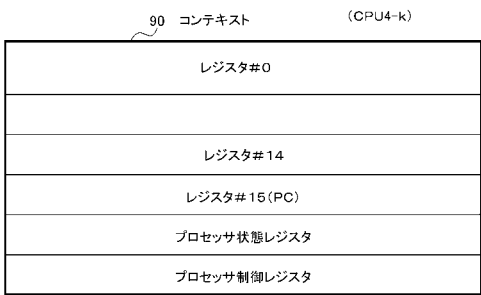
【図 4】

51 ROM	52 RAM
基本処理110用領域 0x00000000	基本処理110用領域 0x30000000
追加処理120用 実行環境100-1用領域 0x00800000	追加処理120用 実行環境100-1領域 0x31000000
追加処理120用 実行環境100-2領域 0x01000000	追加処理120用 実行環境100-2領域 0x32000000
追加処理120用 実行環境100-3領域 0x01800000	追加処理120用 実行環境100-3領域 0x33000000
0x02000000	共有領域 0x34000000
	実行環境情報領域 0x35000000
	0x36000000

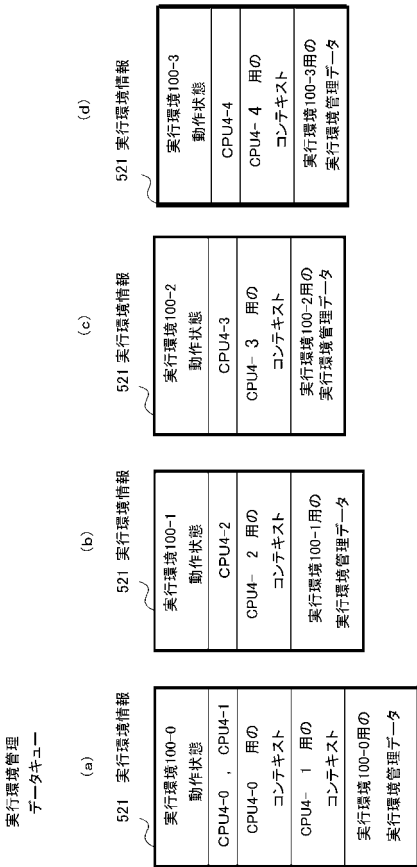
【図 5】



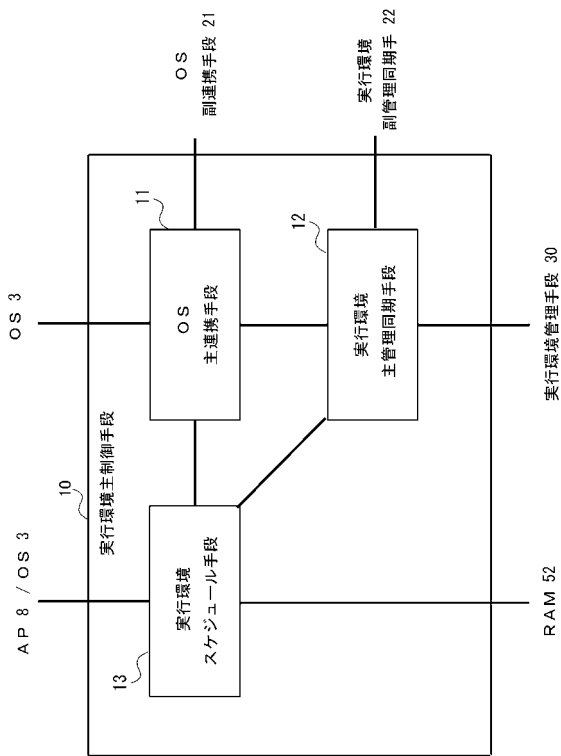
【図 7】



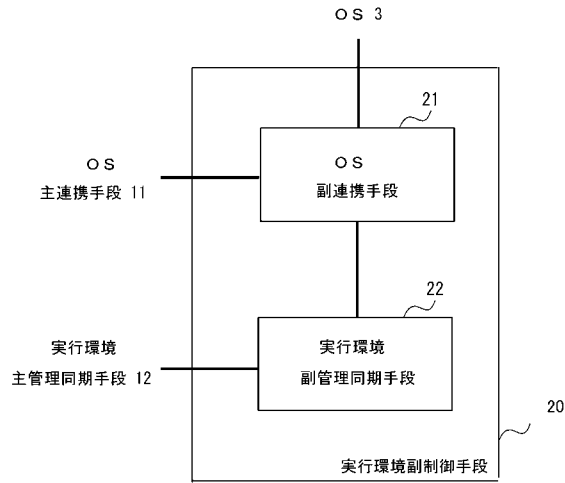
【図 6】



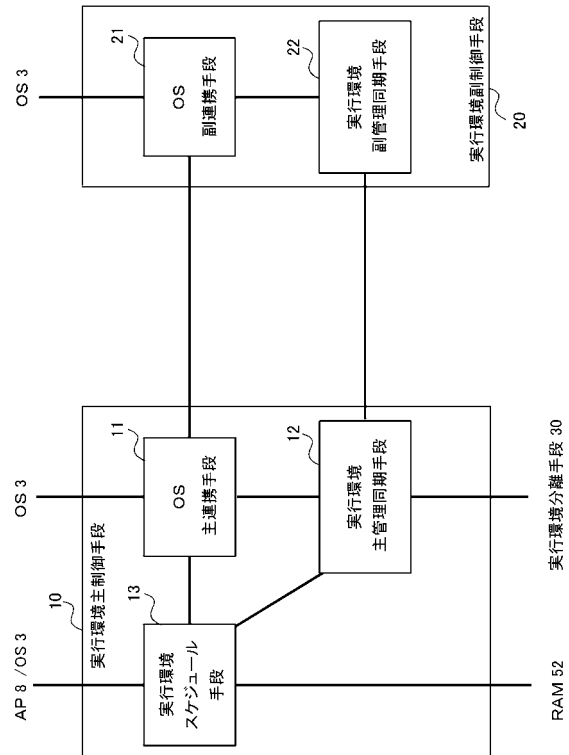
【図 8】



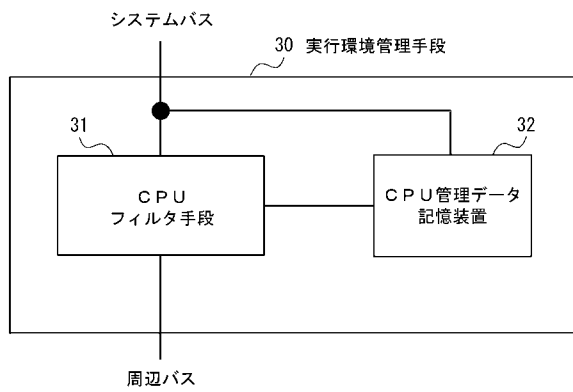
【図 9】



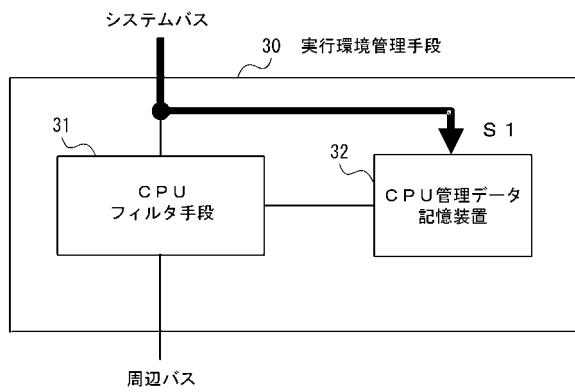
【図 10】



【図 1 1】



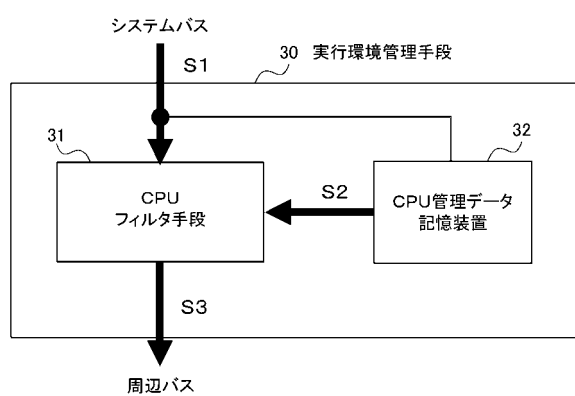
【图 13】



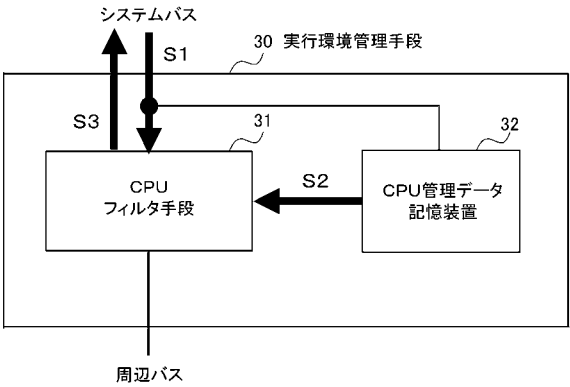
【図 1 2】

CPU	始点	終点	許可ビット
CPU4-0	0x30000000	0x30FFFFFF	R・W
	0x00000000	0x007FFFFFFF	R
CPU4-1	0x30000000	0x30FFFFFF	R・W
	0x00000000	0x007FFFFFFF	R
CPU4-2	0x31000000	0x31FFFFFF	R・W
	0x00800000	0x00FFFFFF	R
CPU4-3	0x33000000	0x33FFFFFF	R・W
	0x01800000	0x01FFFFFF	R
CPU4-4	0x32000000	0x32FFFFFF	R・W
	0x01000000	0x017FFFFFFF	R

【図 14】



【図 1 5】



【図 1 7】

362 実行環境対応情報

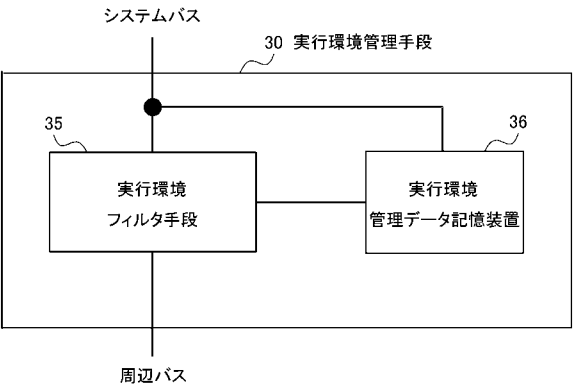
CPU	実行環境番号
CPU4-0	実行環境100-0
CPU4-1	実行環境100-0
CPU4-2	実行環境100-1
CPU4-3	実行環境100-2
CPU4-4	実行環境100-3

【図 1 8】

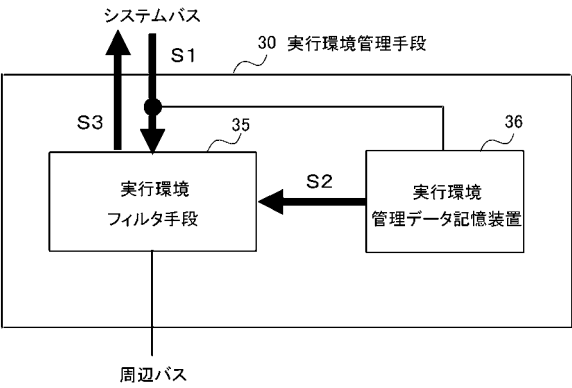
361 実行環境管理データ

実行環境番号	始点	終点	許可ビット
実行環境100-0	0x30000000	0x30FFFFFF	R・W
	0x00000000	0x007FFFFFFF	R
実行環境100-1	0x31000000	0x31FFFFFF	R・W
	0x00800000	0x00FFFFFF	R
実行環境100-2	0x33000000	0x33FFFFFF	R・W
	0x01800000	0x01FFFFFF	R
実行環境100-3	0x32000000	0x32FFFFFF	R・W
	0x01000000	0x017FFFFFFF	R

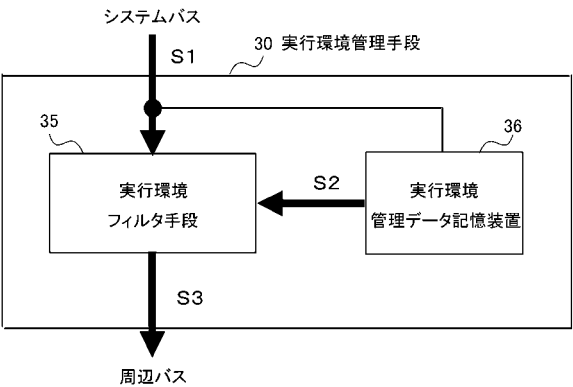
【図 1 6】



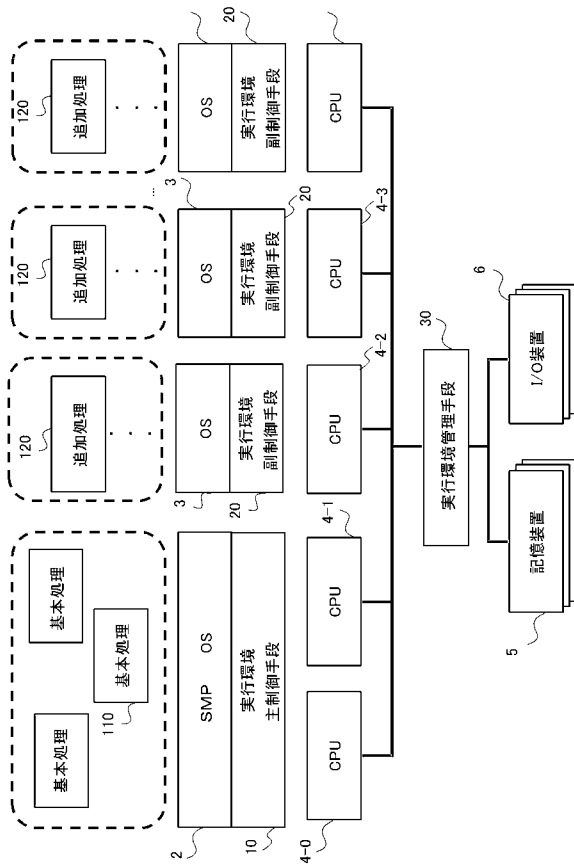
【図 2 1】



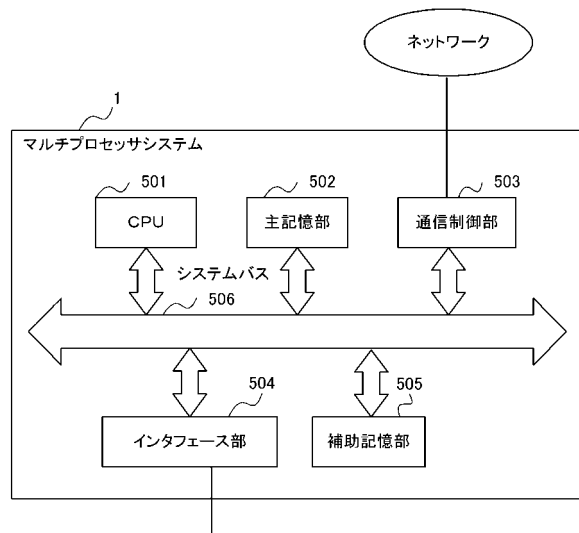
【図 2 0】



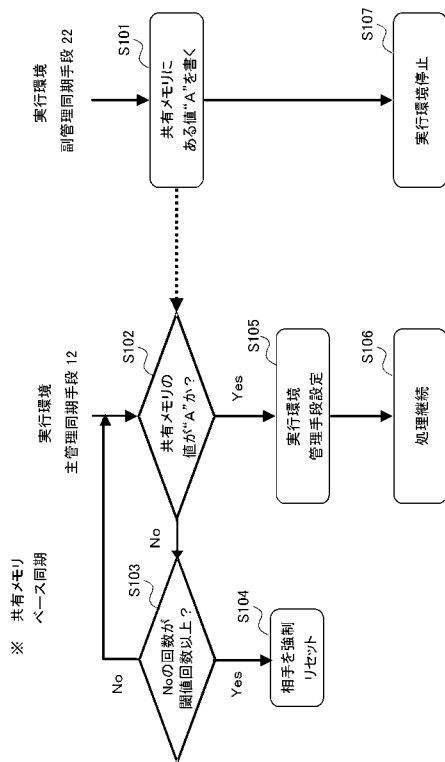
【図 2 2】



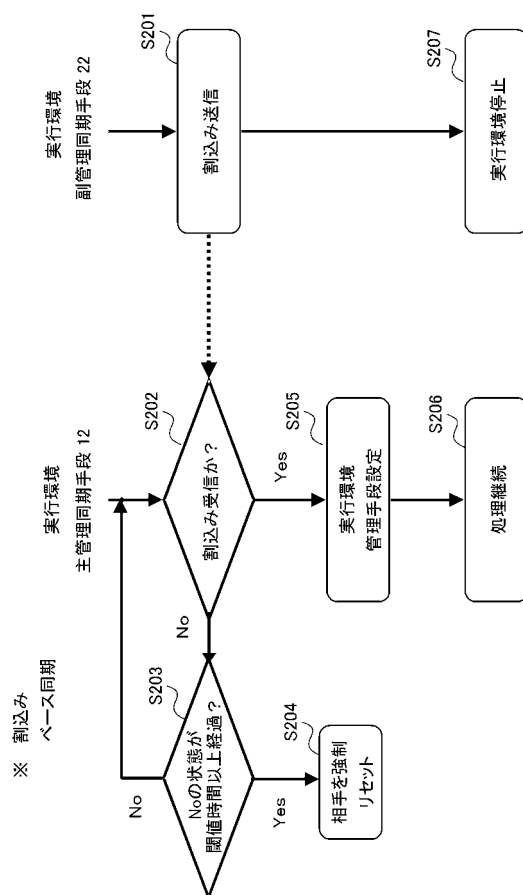
【図 2 3】



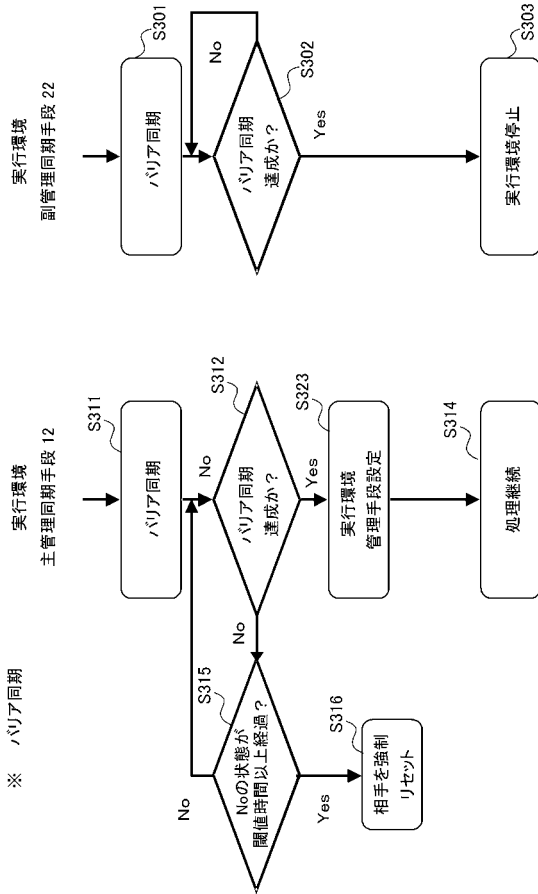
【図 2 4】



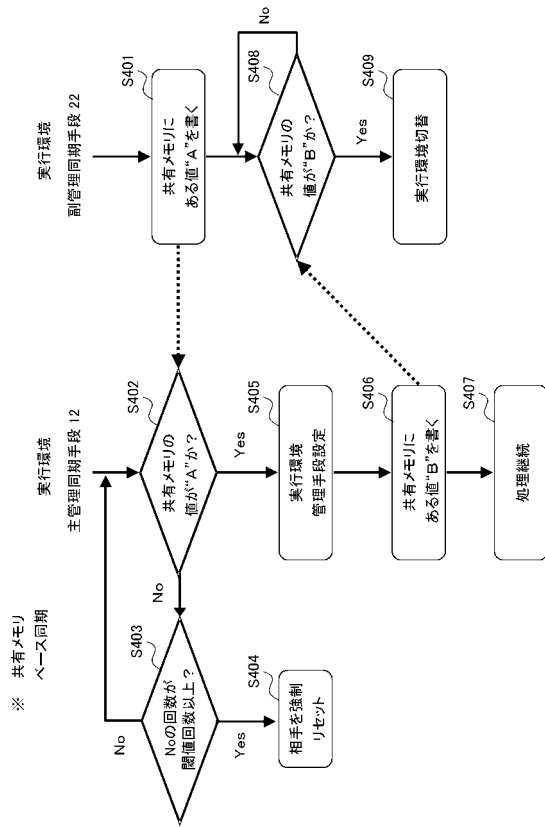
【図 2 5】



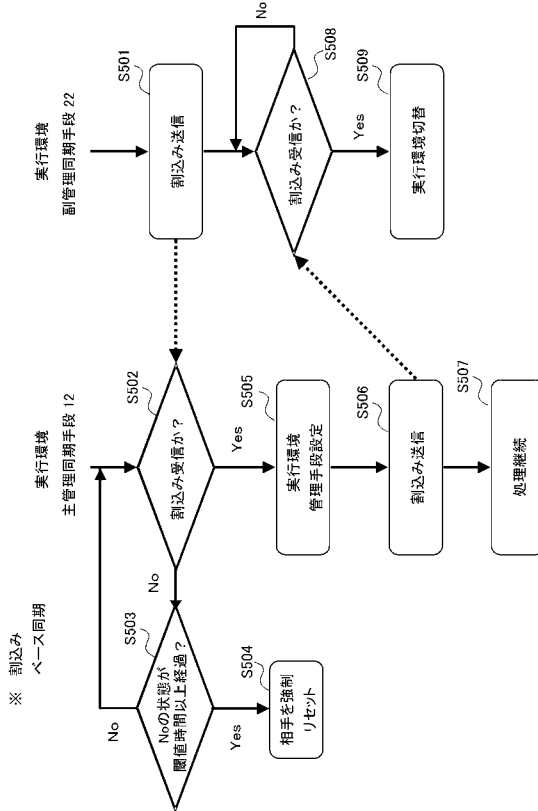
【図 26】



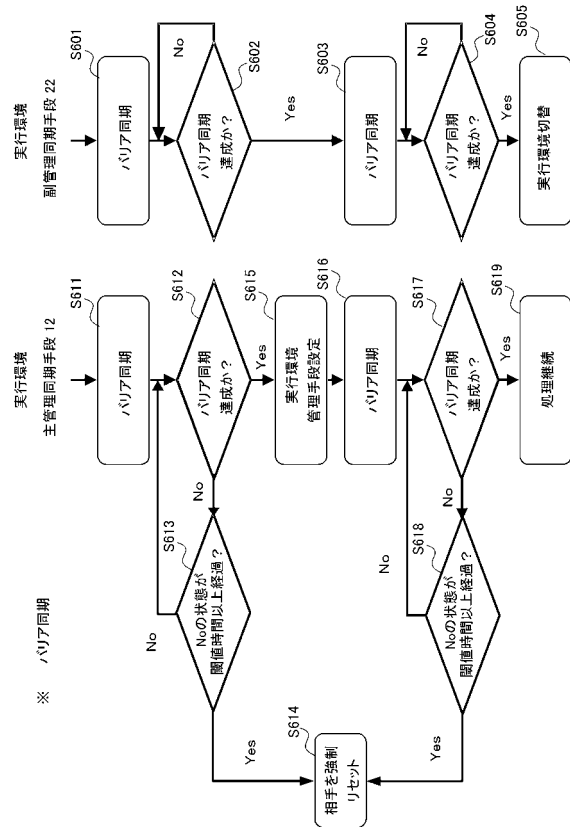
【図 27】



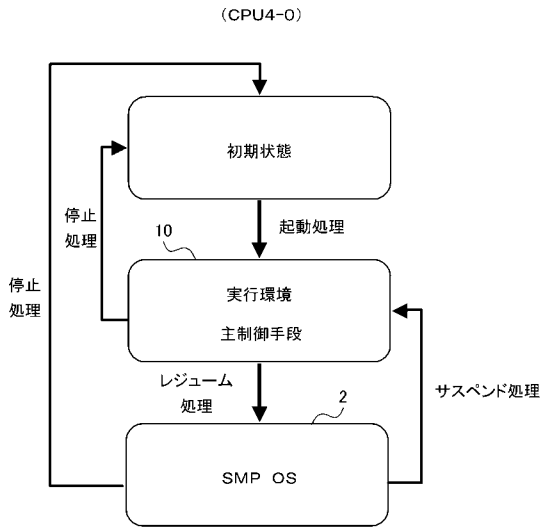
【図 28】



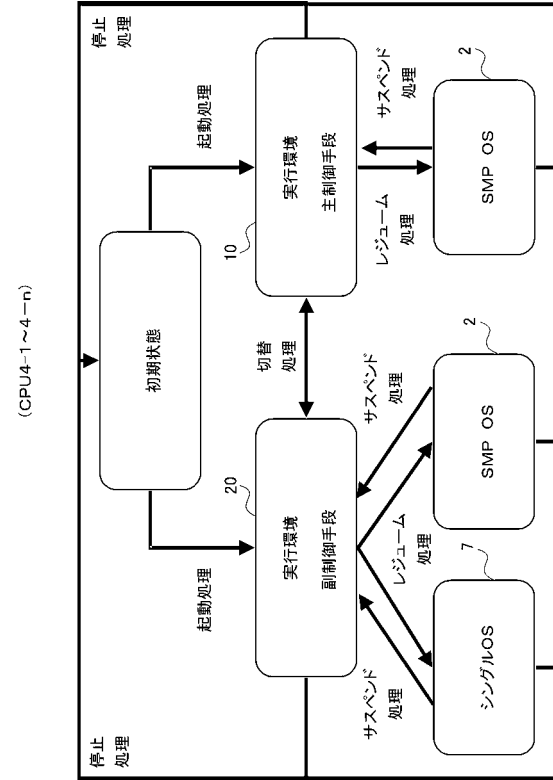
【図 29】



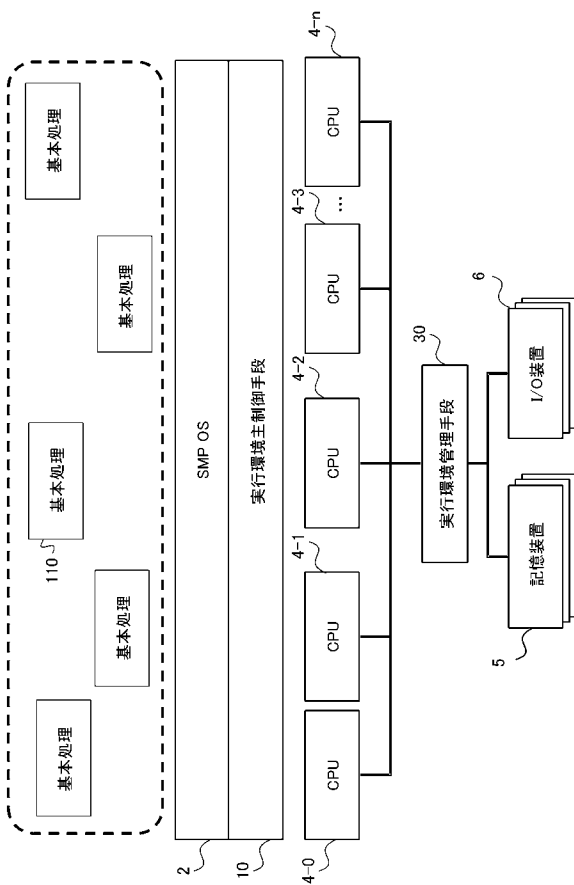
【図 30】



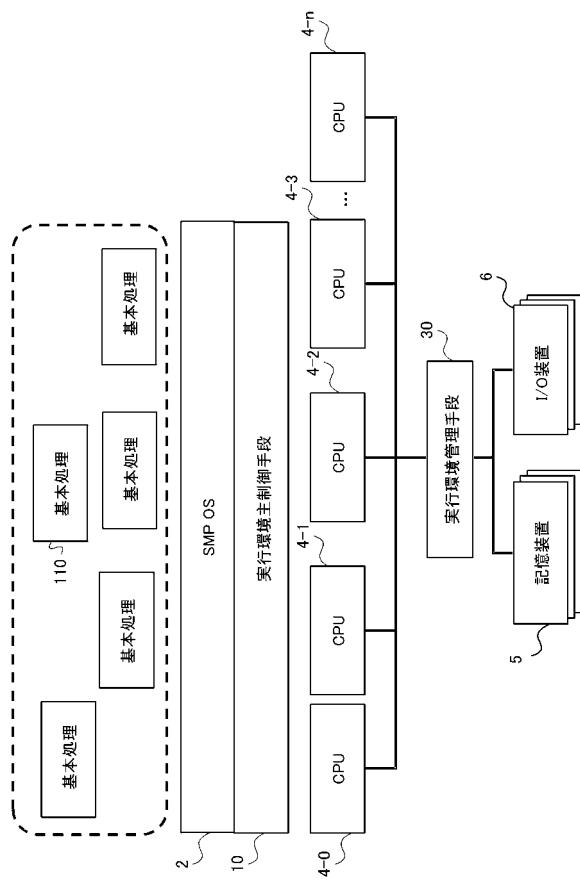
【図 31】



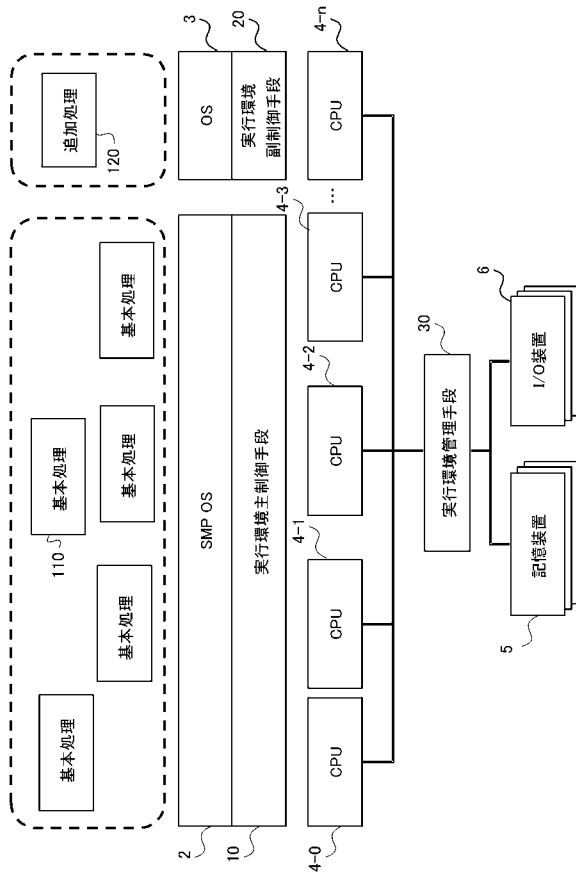
【図 32】



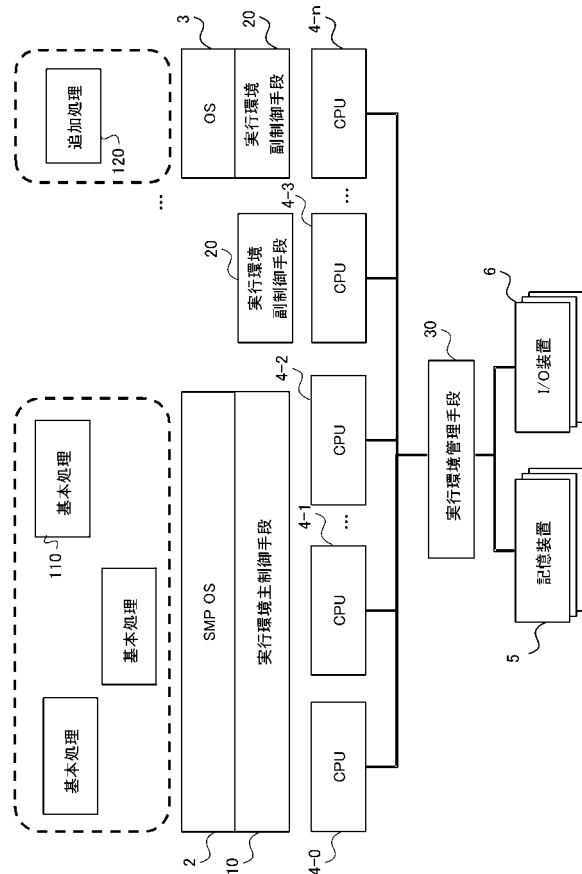
【図 33】



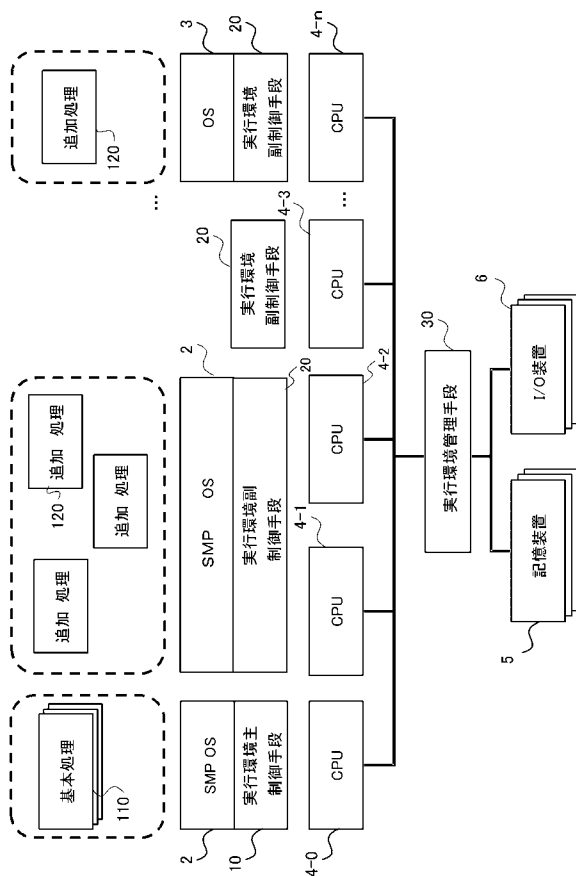
【図 3 4】



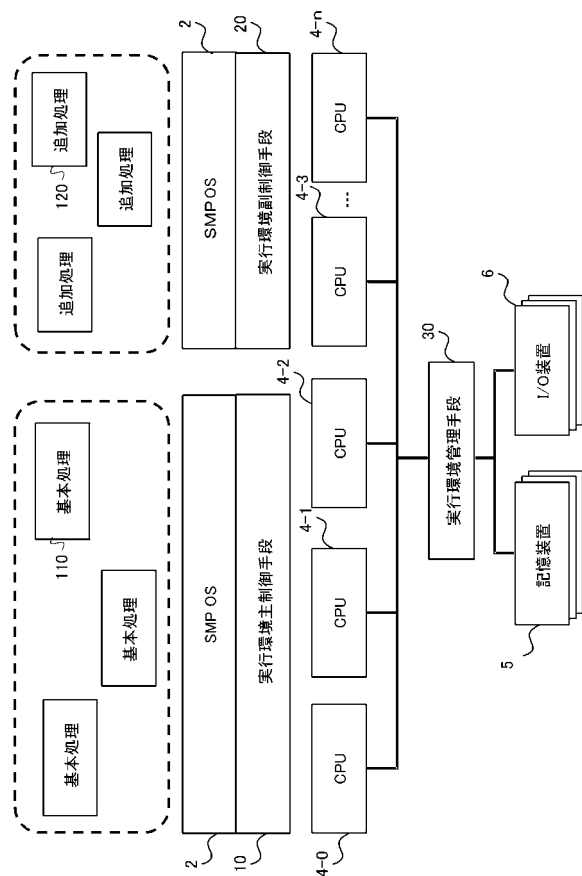
【図 3 5】



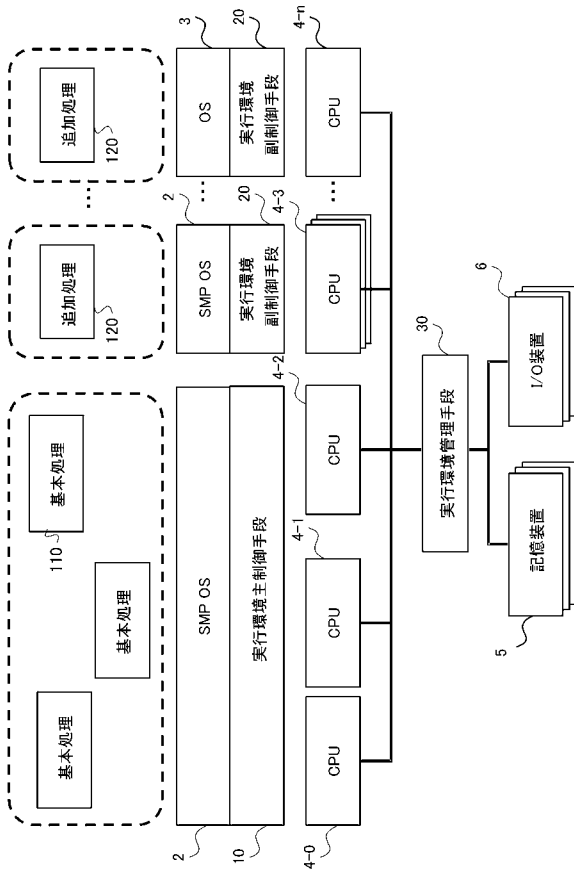
【図 3 6】



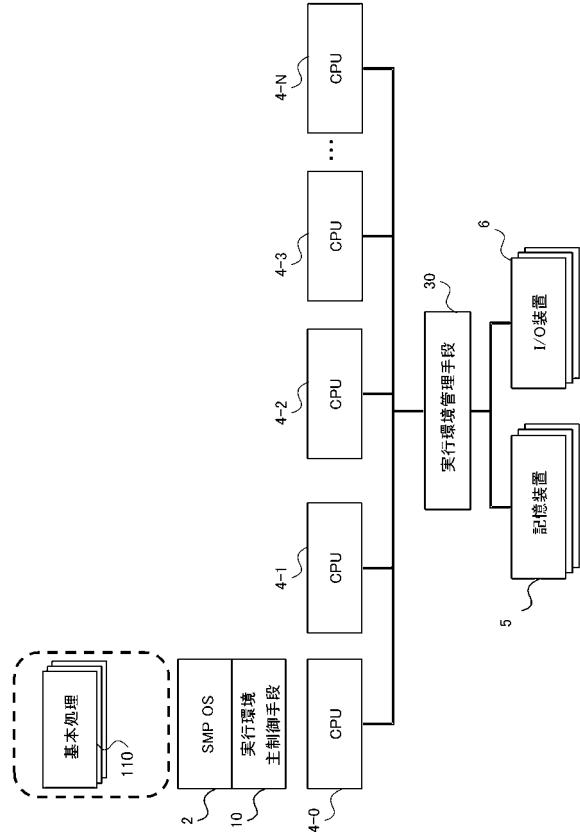
【図 3 7】



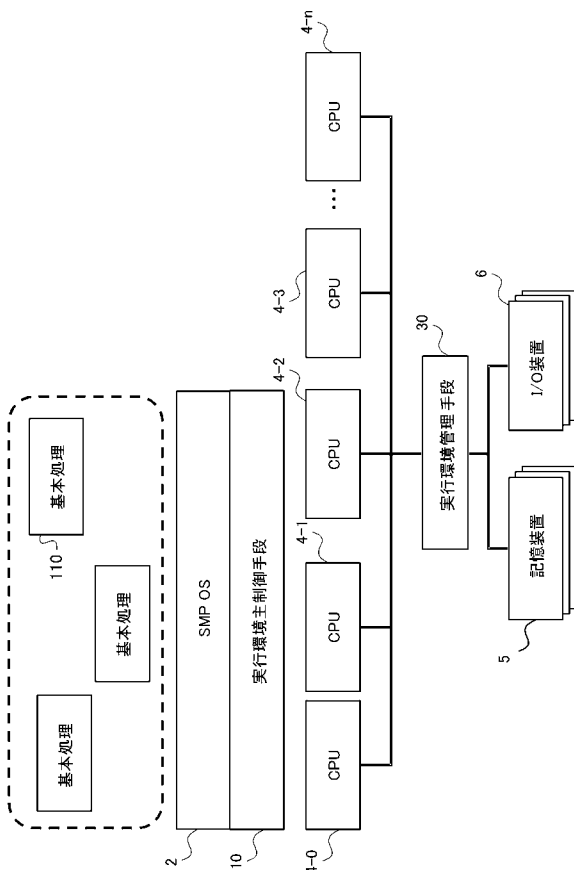
【図 38】



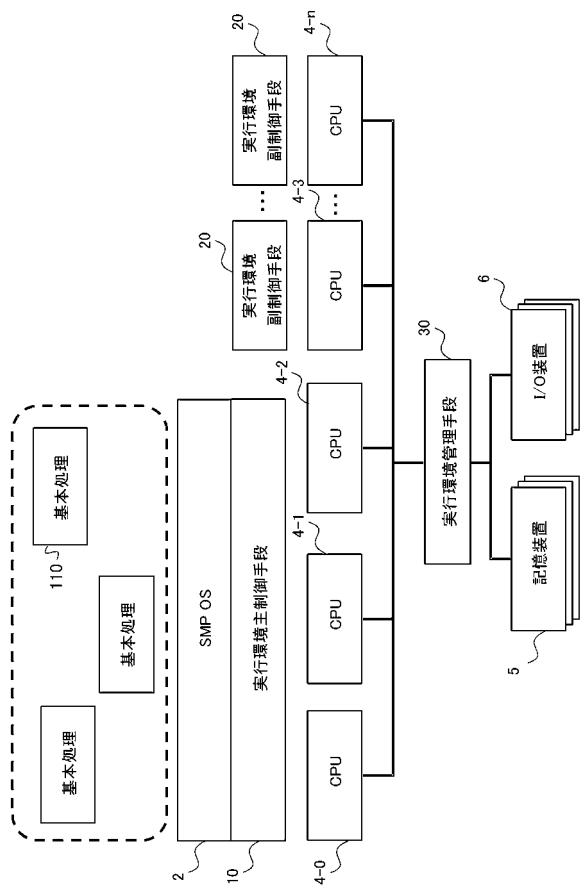
【図 39】



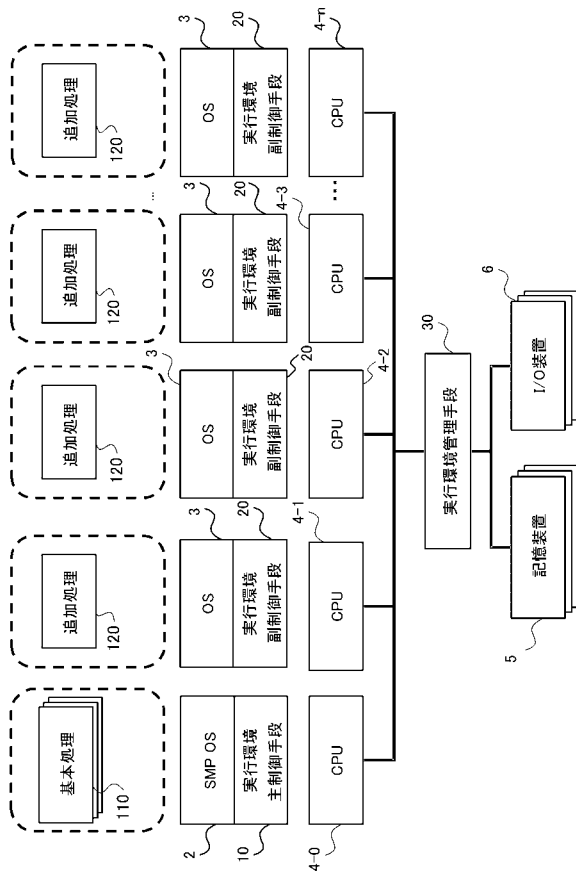
【図 40】



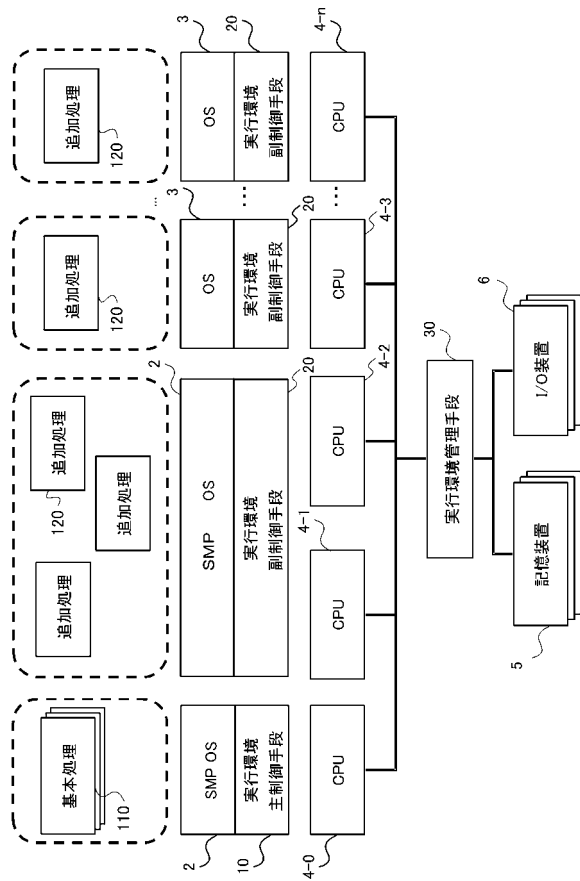
【図 41】



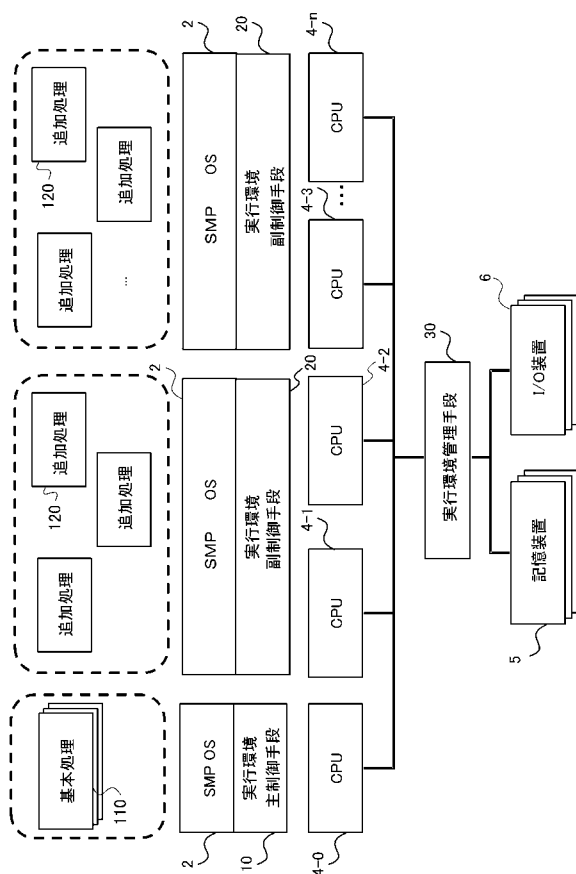
【図 4 2】



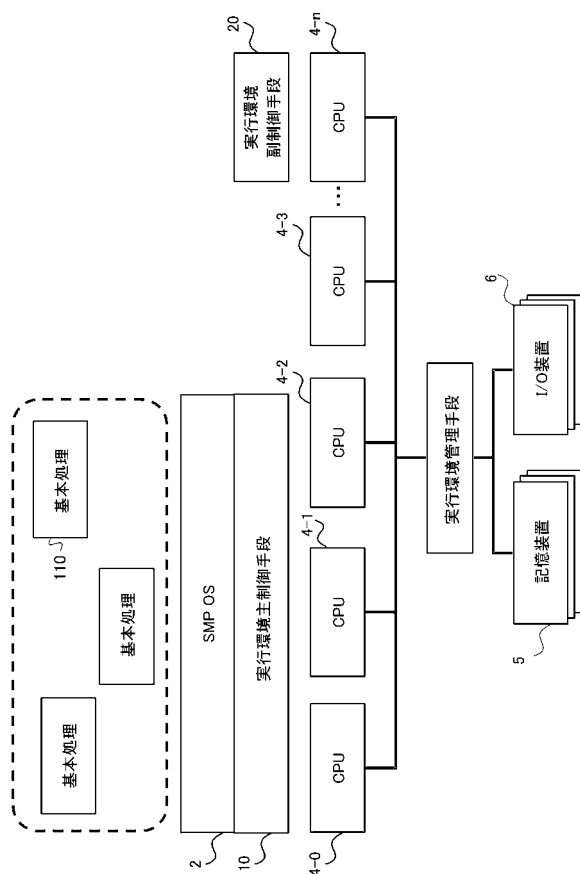
【図 4 3】



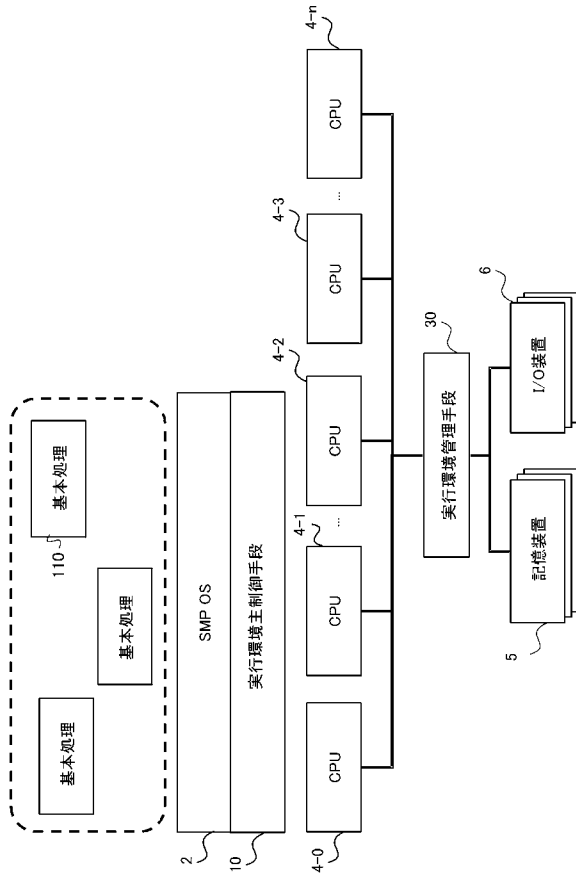
【図 4 4】



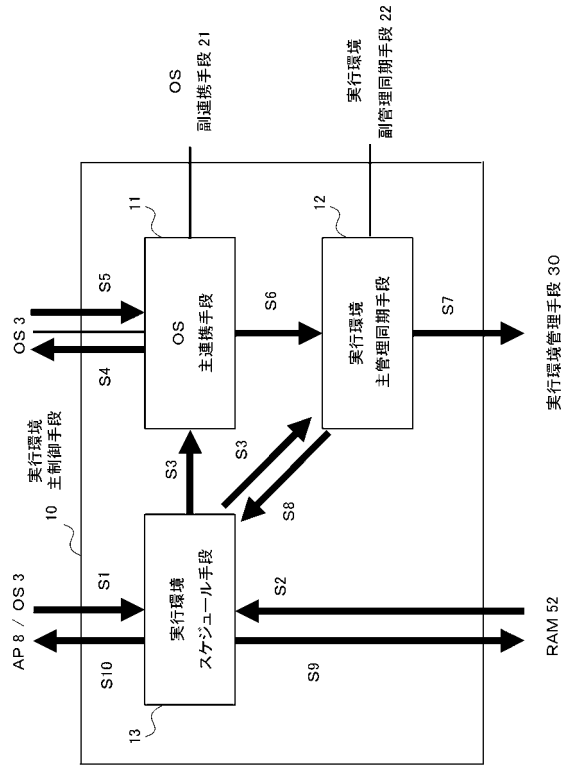
【図 4 5】



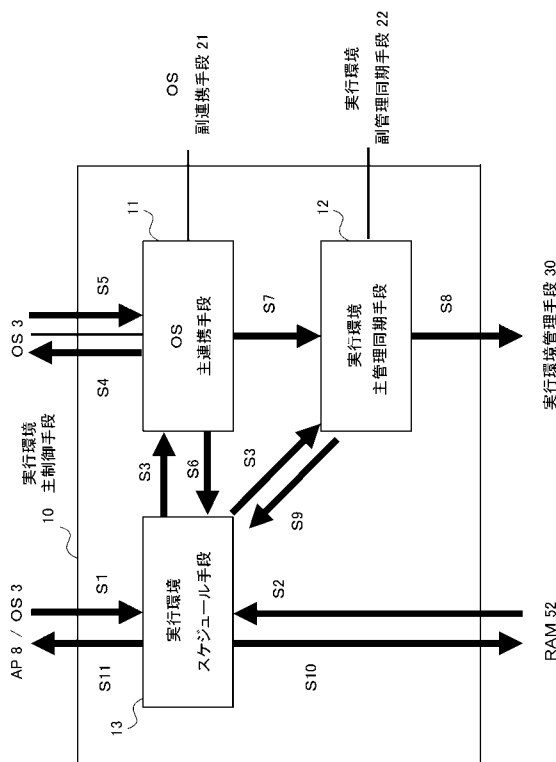
【図 4 6】



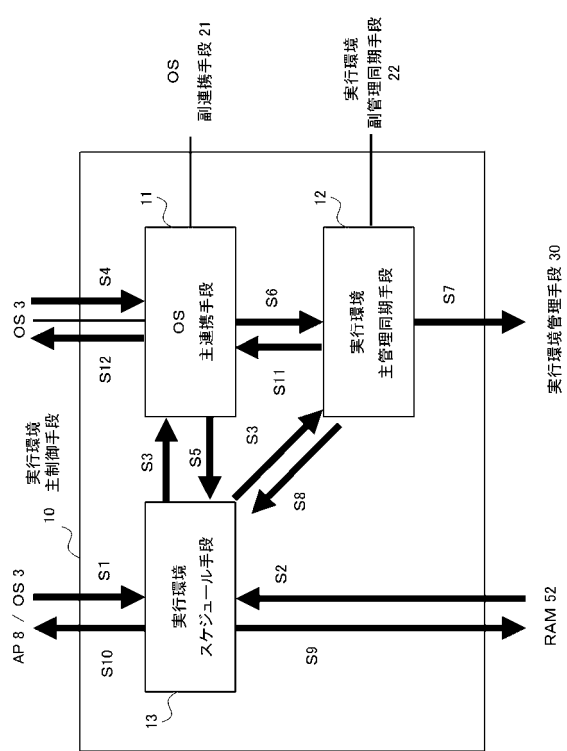
【図 4 7】



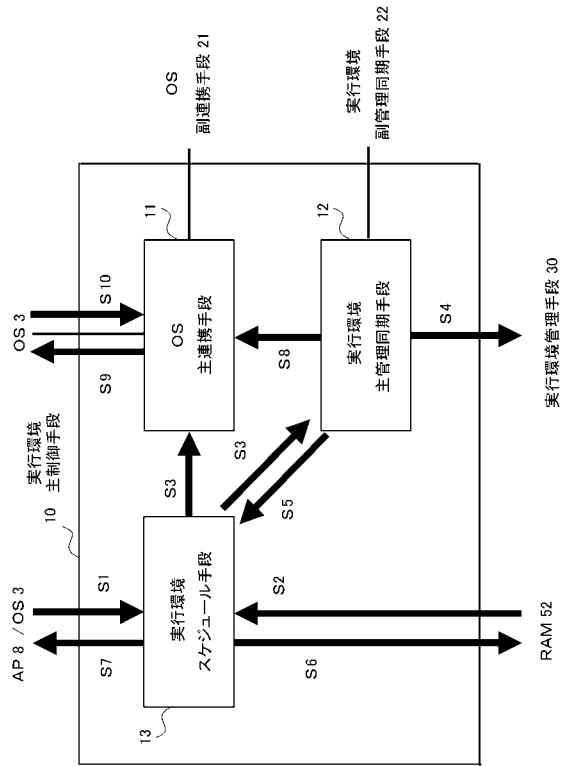
【図 4 8】



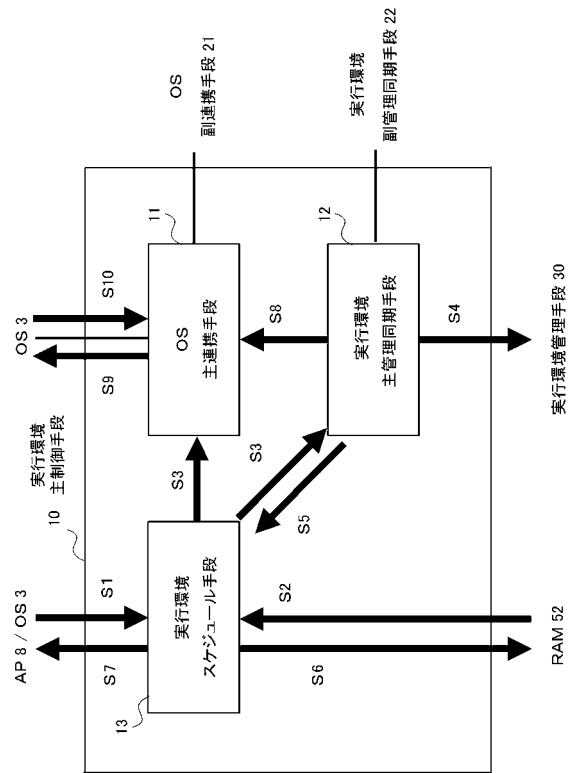
【図 4 9】



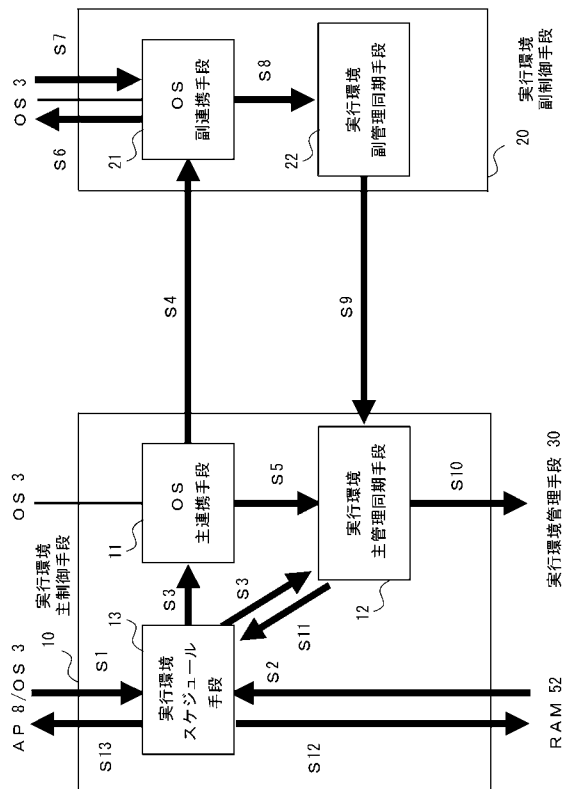
【図 50】



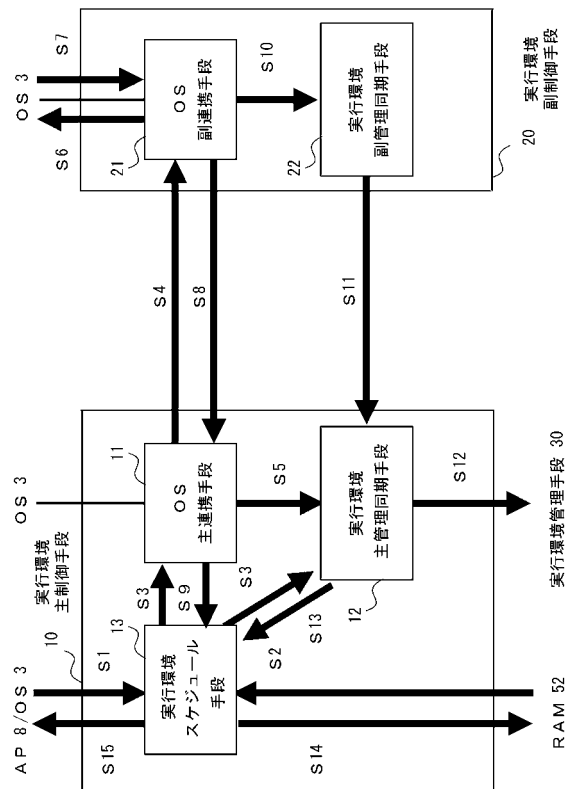
【図 51】



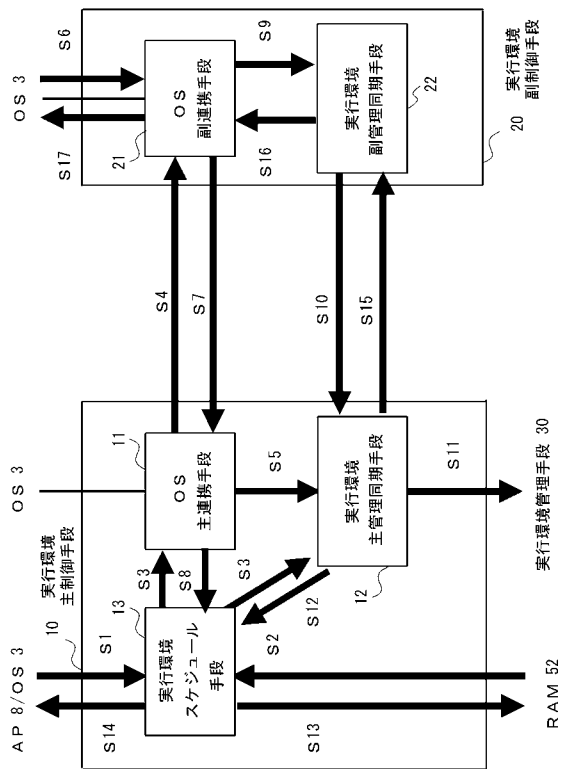
【図 52】



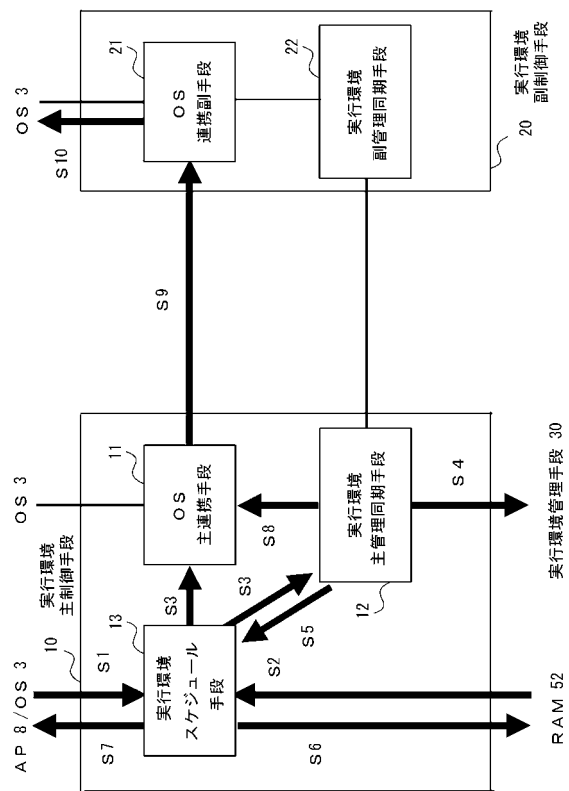
【図 53】



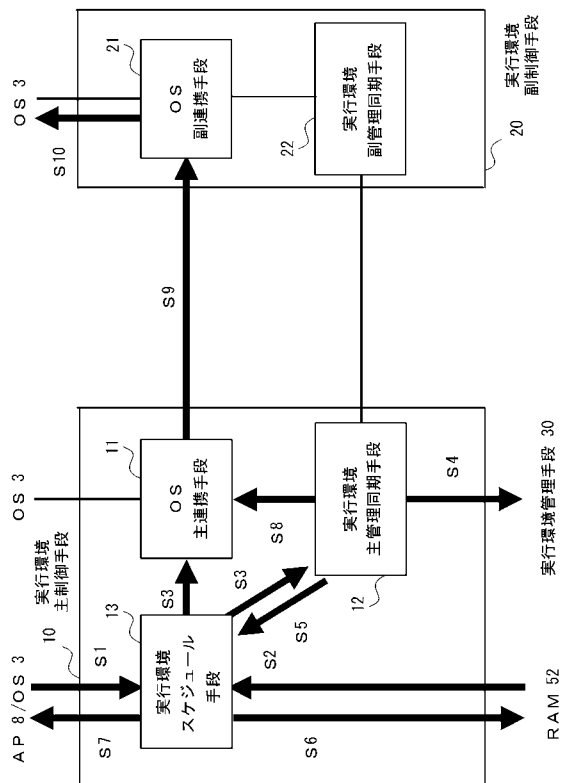
【図 5 4】



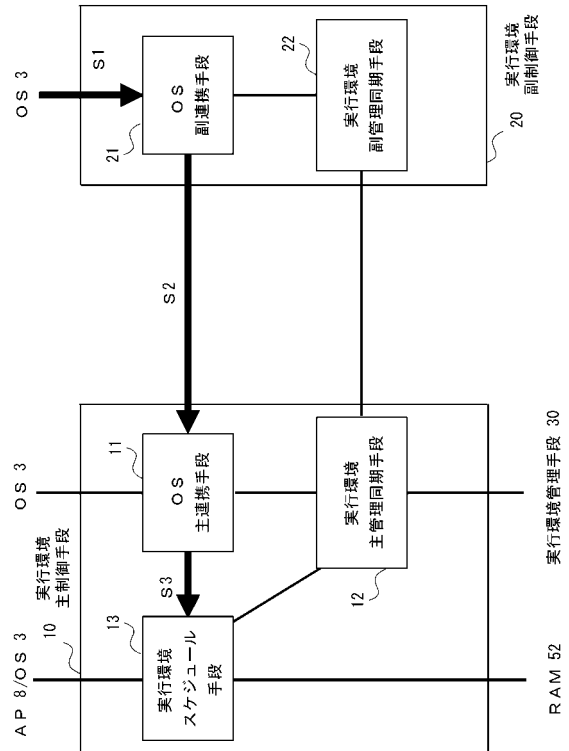
【図 5 5】



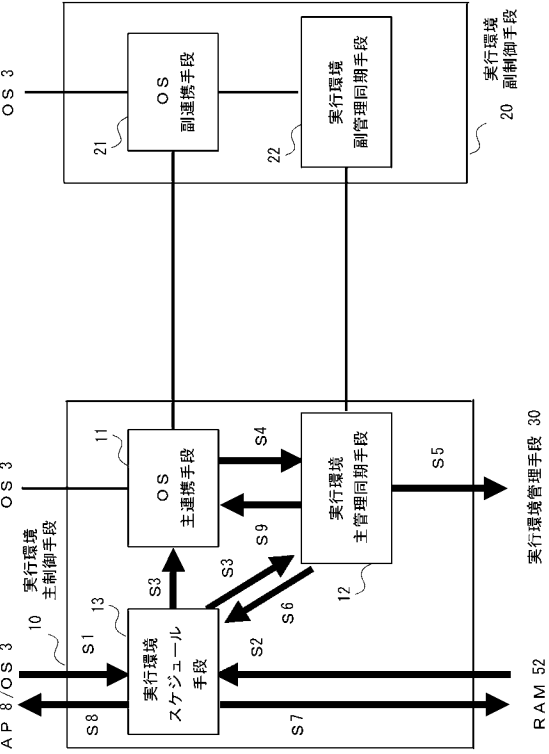
【図 5 6】



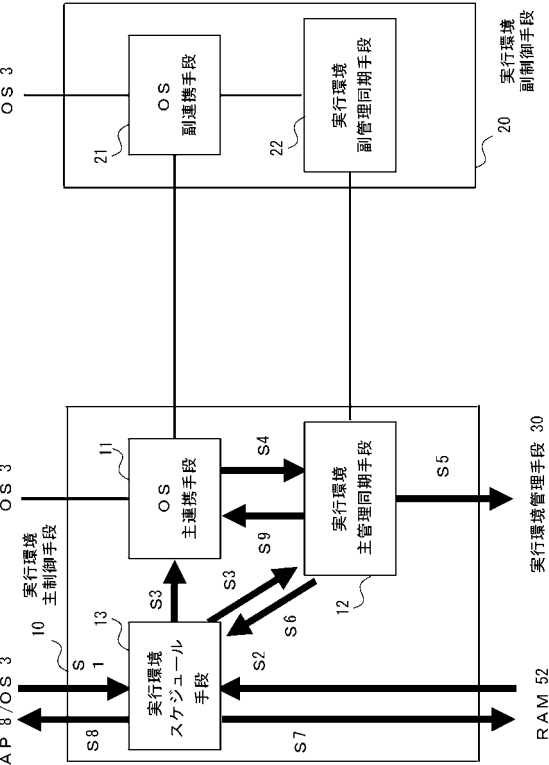
【図 5 7】



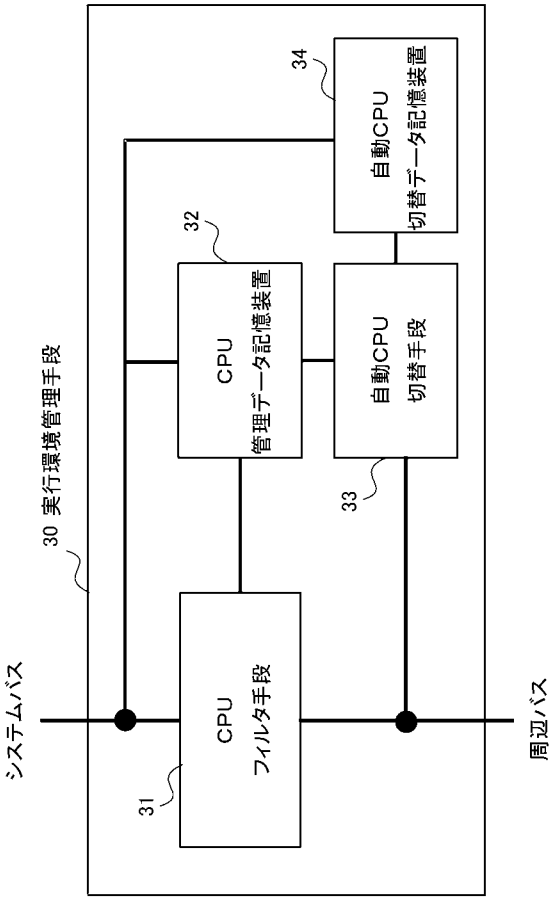
【図 58】



【図 59】



【図 60】

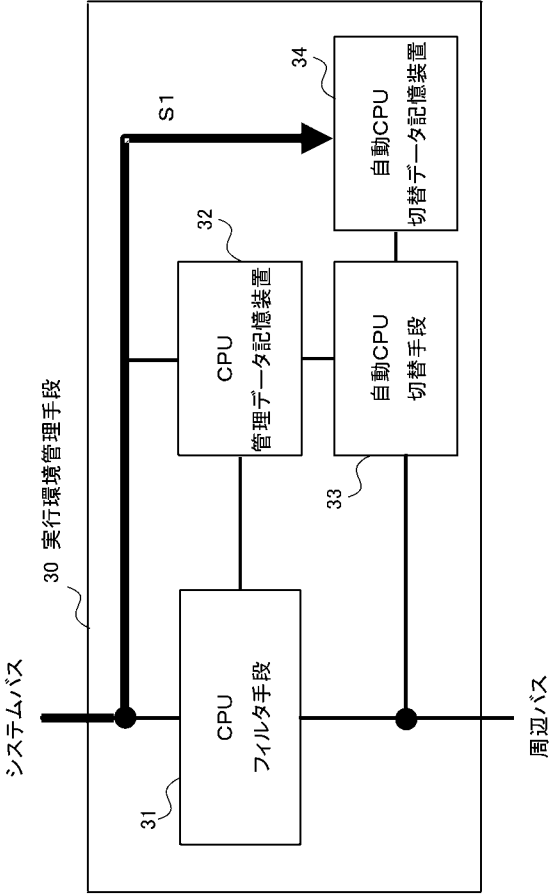


【図 61】

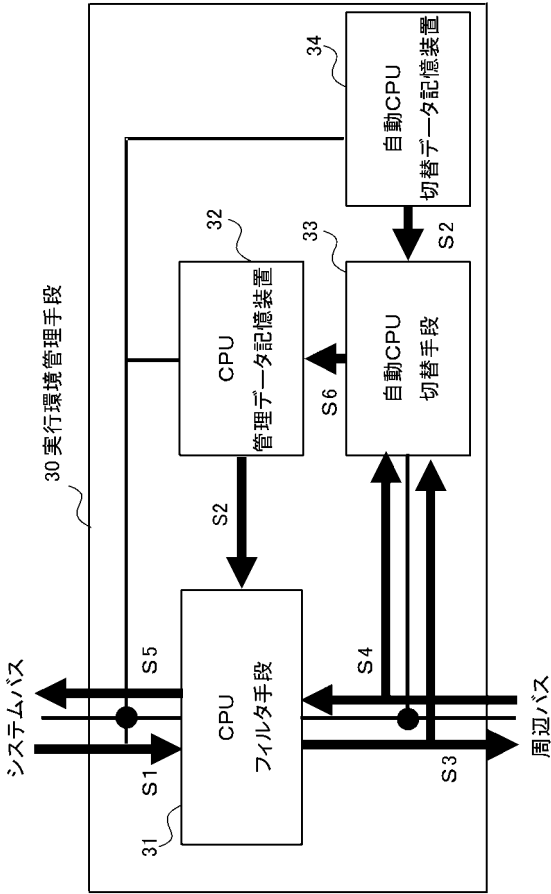
341 自動CPU切替データ

CPU	トリガ条件	次の始点	次の終点	次の許可ビット
CPU4-0	—	0x30000000	0x30FFFFFF	R・W
	—	0x00000000	0x007FFFFFF	R
CPU4-1	—	0x33000000	0x30FFFFFF	R・W
	—	0x00000000	0x007FFFFFF	R
CPU4-2	0x34002000	0x33000000	0x30FFFFFF	R・W
	0x34002000	0x00000000	0x007FFFFFF	R
CPU4-3	0x34003000	—	—	—
	0x34003000	—	—	—
CPU4-4	0x34004000	0x33000000	0x33FFFFFF	R・W
	0x34004000	0x01800000	0x01FFFFFF	R

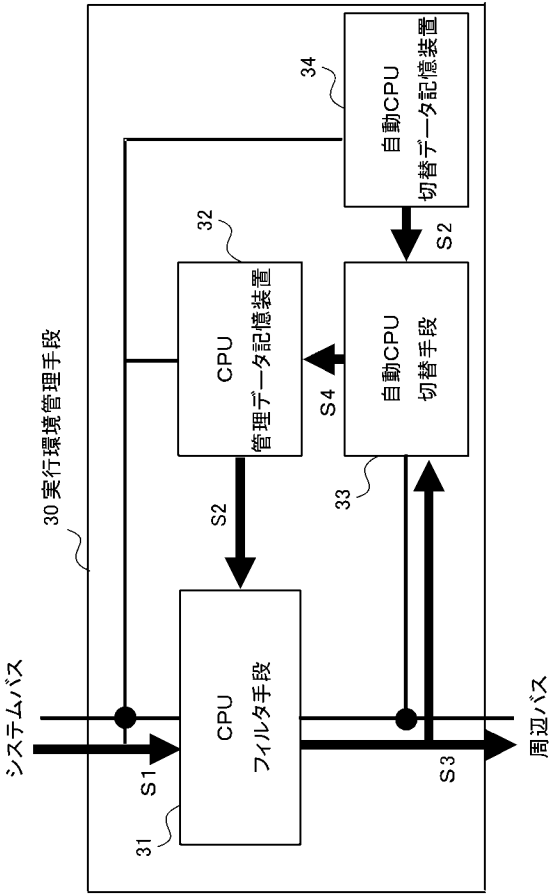
【図 6 2】



【図 6 3】



【図 6 4】

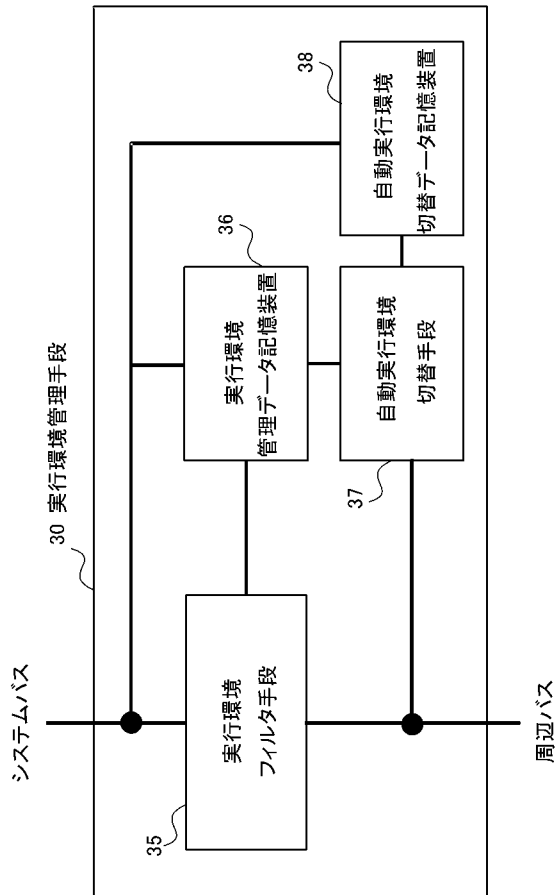


【図 6 5】

321 CPU 管理データ

物理CPU	始点	終点	許可ビット
CPU4-0	0x30000000	0x30FFFFFF	R・W
	0x00000000	0x007FFFFFF	R
CPU4-1	0x30000000	0x30FFFFFF	R・W
	0x00000000	0x007FFFFFF	R
CPU4-2	0x30000000	0x30FFFFFF	R・W
	0x00000000	0x007FFFFFF	R
CPU4-3	-	-	-
	-	-	-
CPU4-4	0x33000000	0x33FFFFFF	R・W
	0x01800000	0x01FFFFFF	R

【図 6 6】

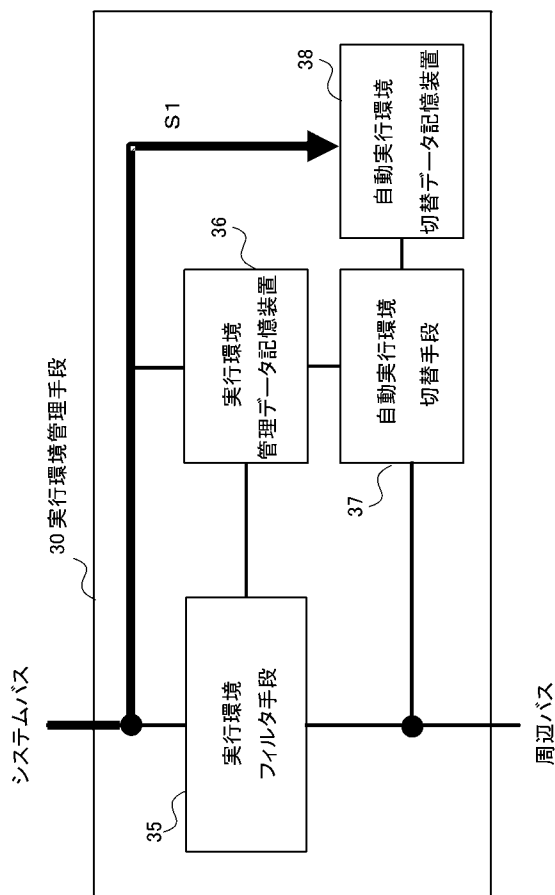


【図 6 7】

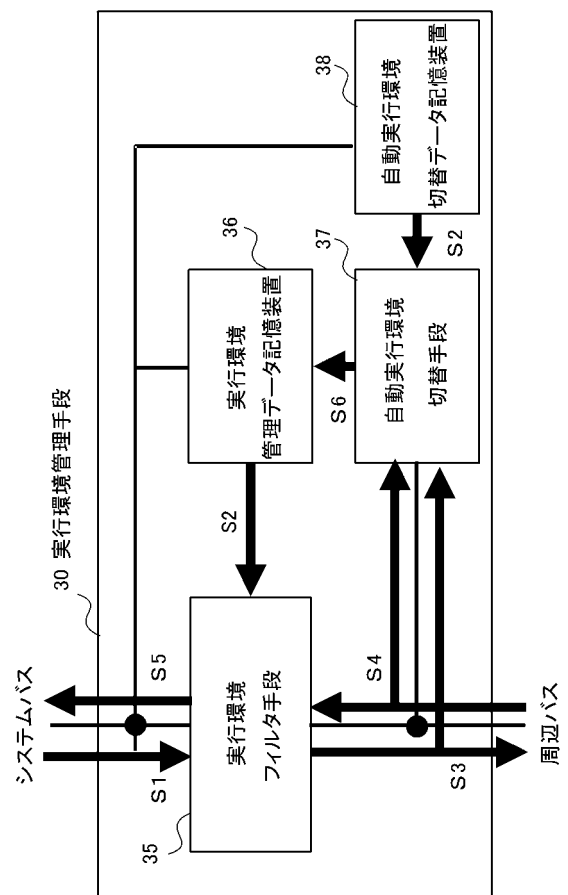
381 自動実行環境切替データ

CPU	トリガ条件	実行環境番号
CPU4-0	—	実行環境#0
CPU4-1	—	実行環境#0
CPU4-2	0 x34002000	実行環境#0
CPU4-3	0 x34003000	無し
CPU4-4	0 x34004000	実行環境#2

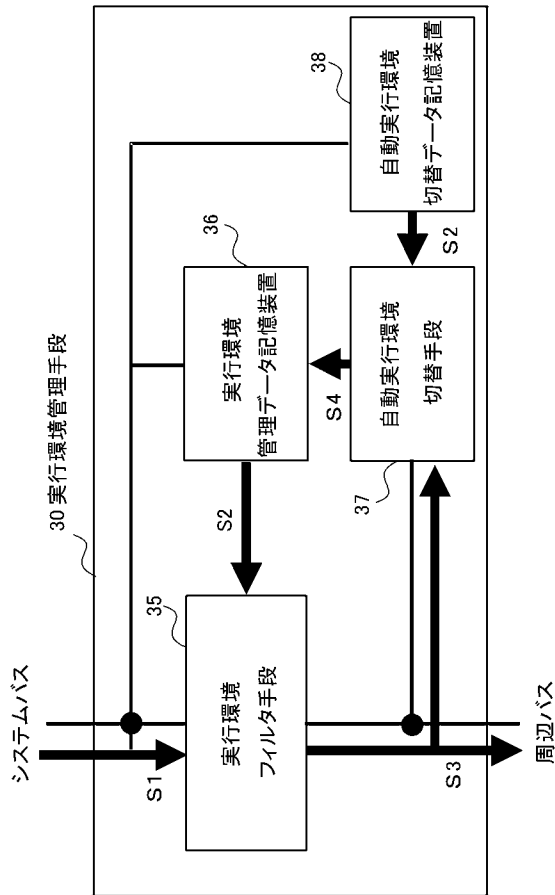
【図 6 8】



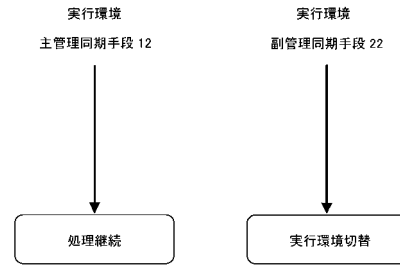
【図 6 9】



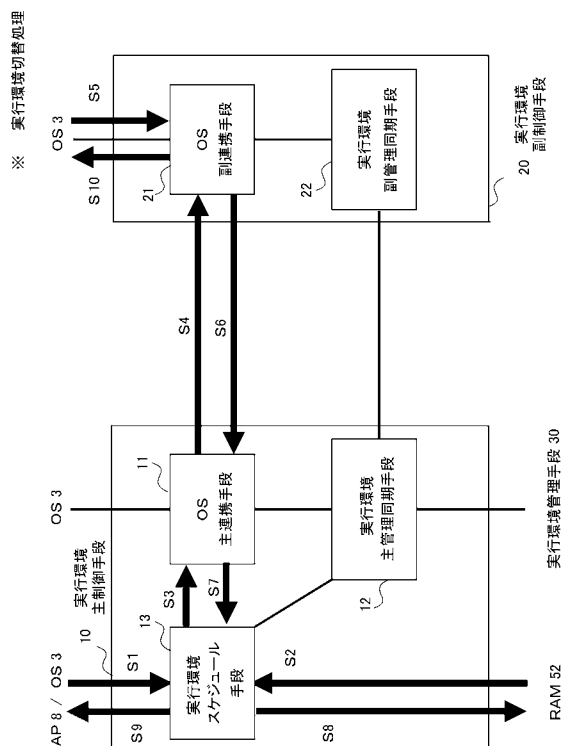
【図 70】



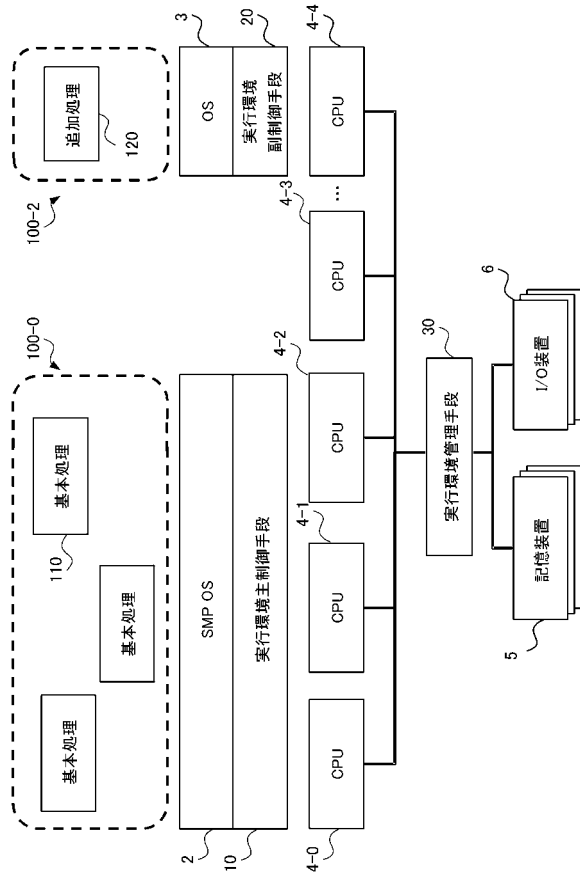
【図 71】



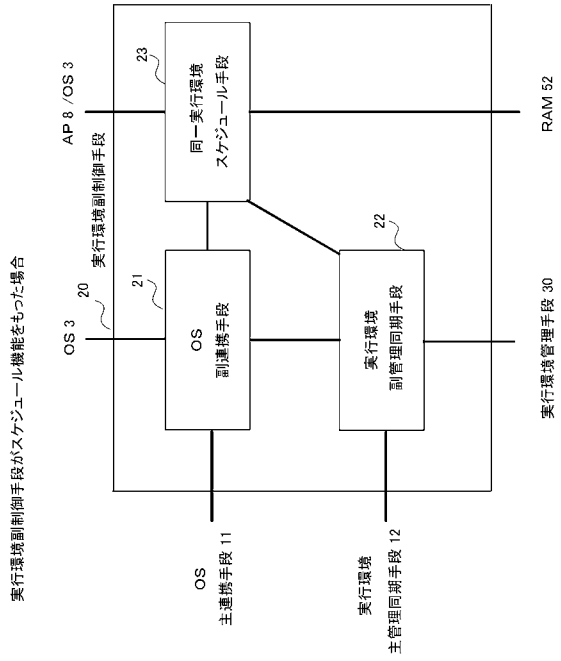
【図 72】



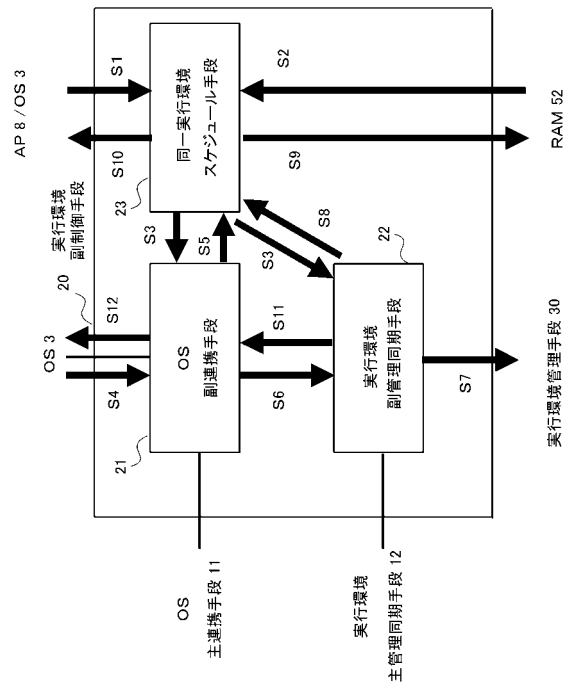
【図 73】



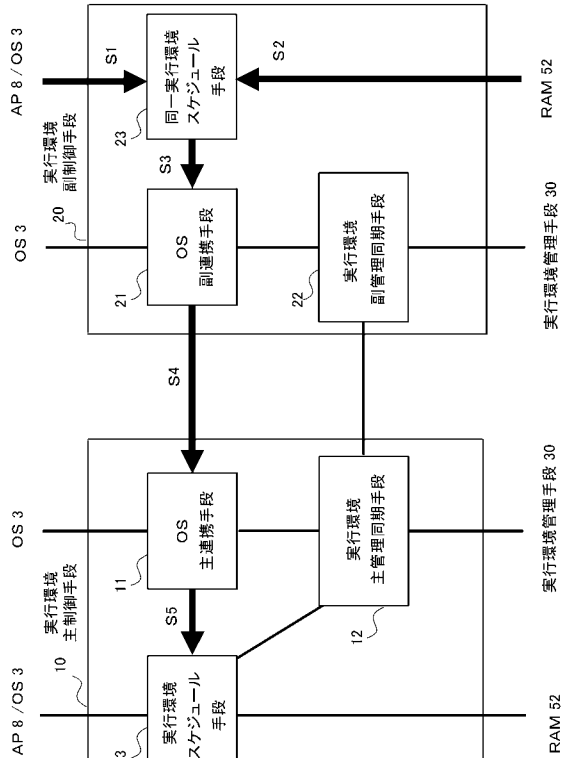
【図 7 4】



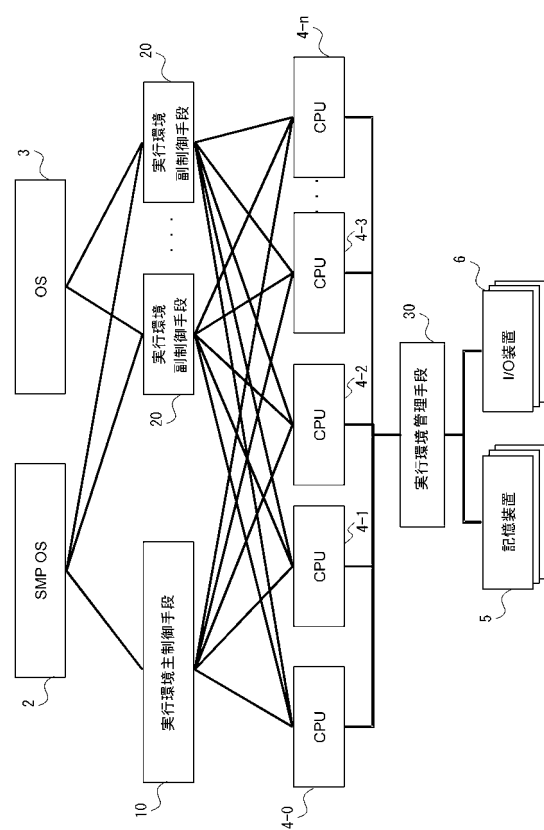
【图 7 5】



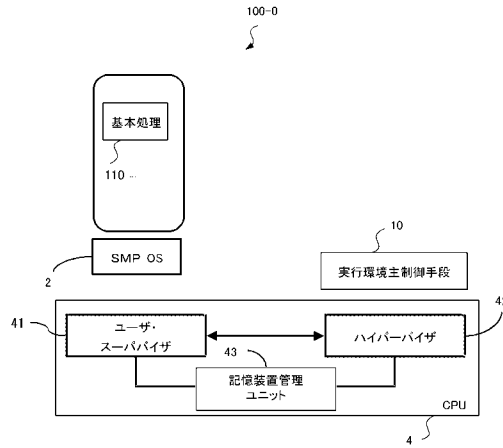
【図 7 6】



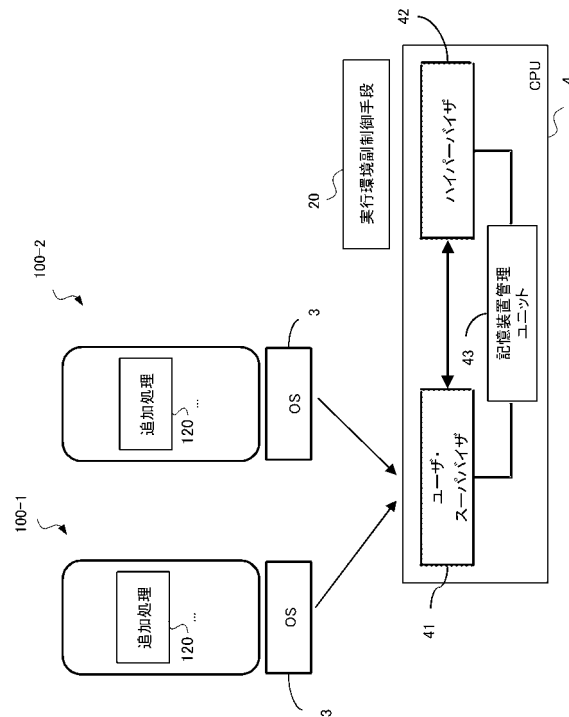
【图 7 7】



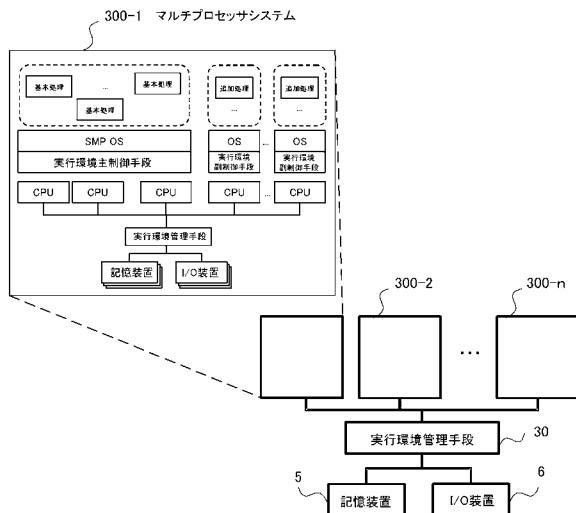
【図 78】



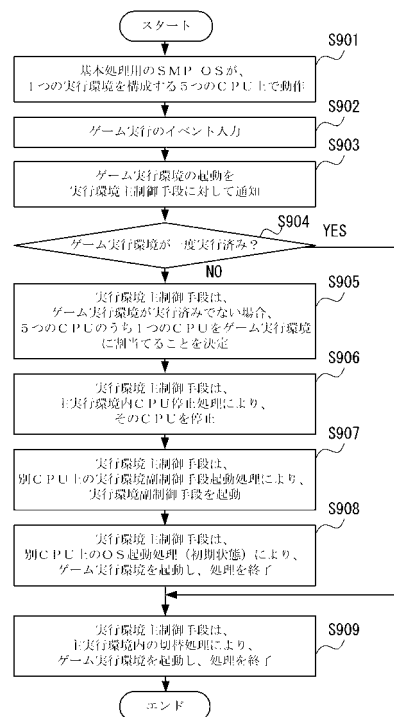
【図 79】



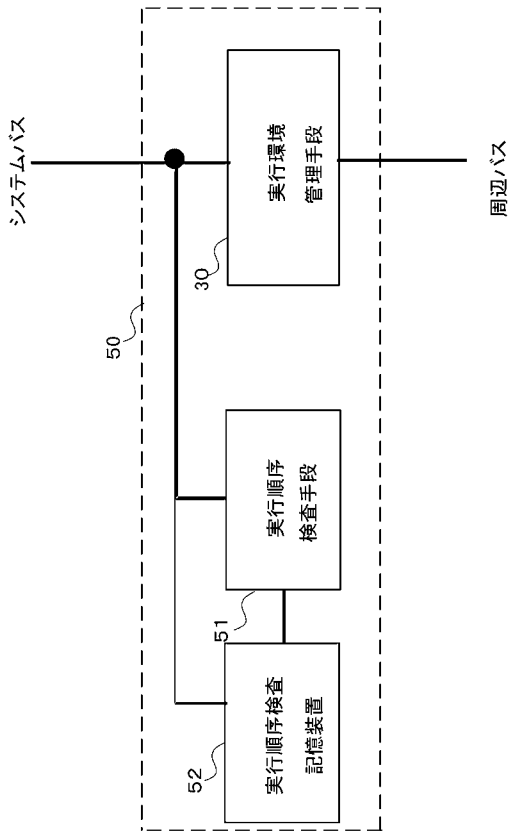
【図 80】



【図 81】



【図 8 2】

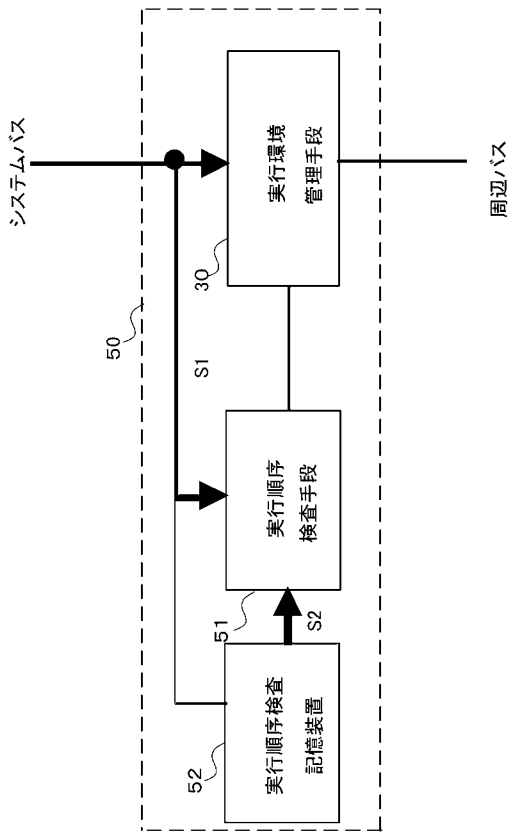


【図 8 3】

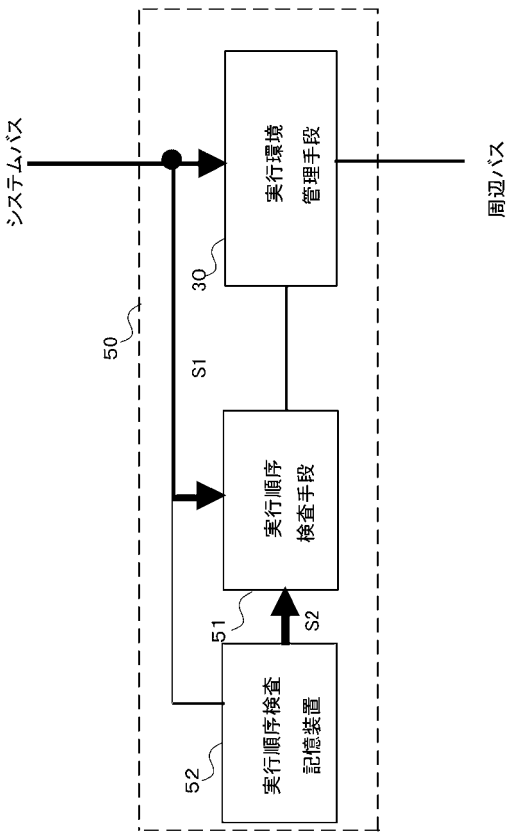
52

CPU	Start	End
CPU#3	0 x0e000000	0 x0e000000
...	...	...

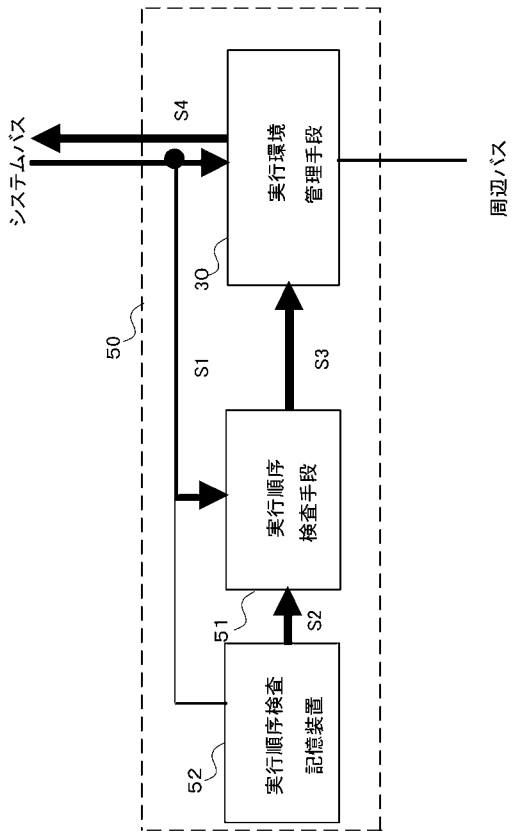
【図 8 4】



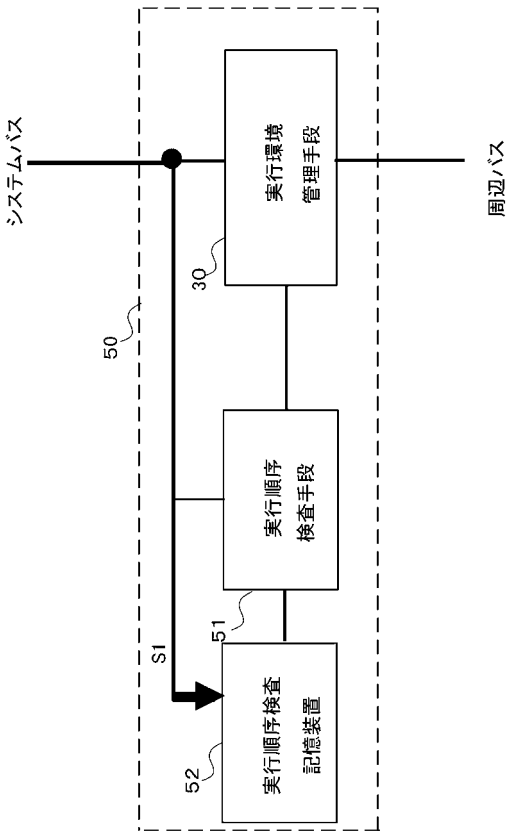
【図 8 5】



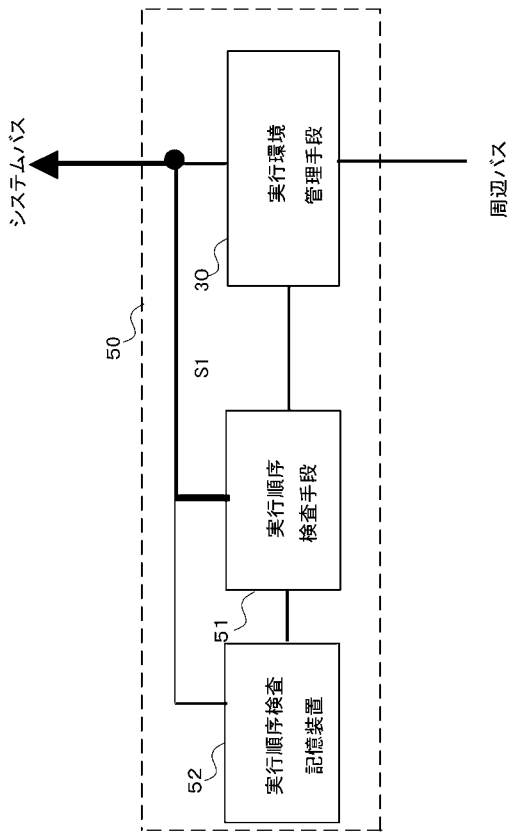
【図 8 6】



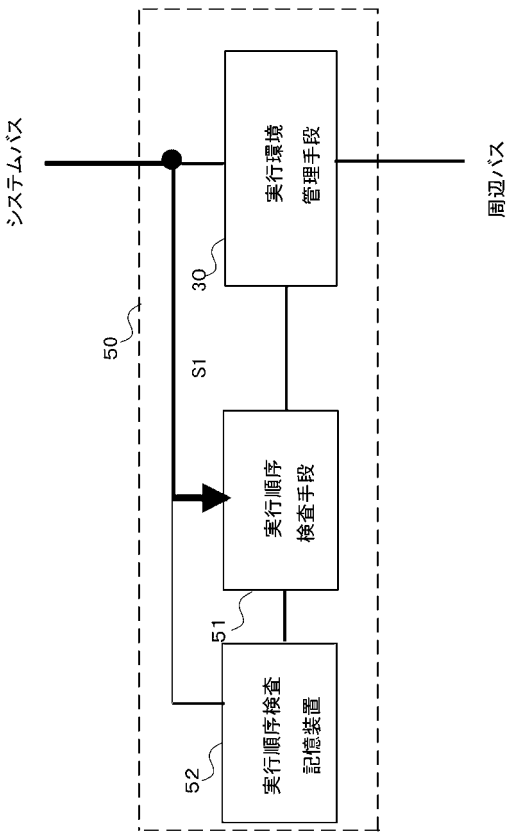
【図 8 7】



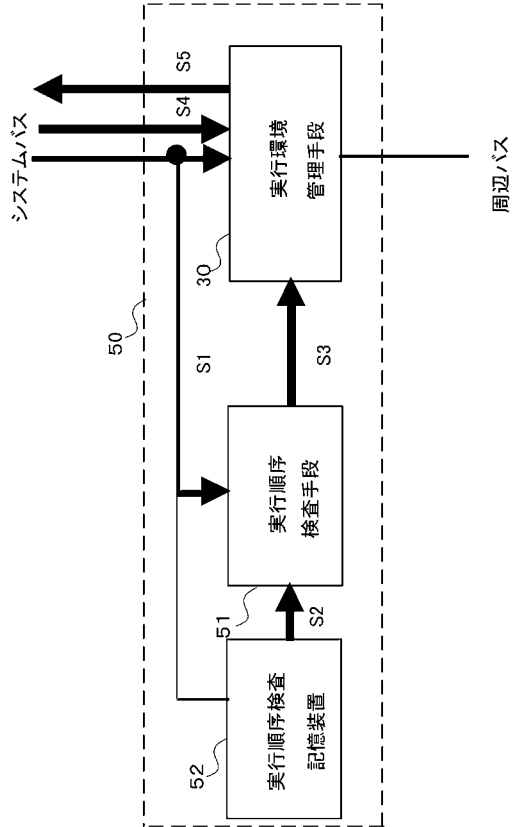
【図 8 8】



【図 8 9】



【図 90】



フロントページの続き

(72)発明者 枝廣 正人
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 和田 財太

(56)参考文献 枝廣 正人（外8名），マルチコア向けソフトウェア・プラットフォームを開発し携帯電話機に適用，日経エレクトロニクス，日本，日経BP社，2005年 3月28日，No. 896，p. 125-p.136
酒井 淳嗣，マルチコアプロセッサを用いた組み込み向け並列処理，電子情報通信学会技術研究報告，日本，社団法人電子情報通信学会，2006年 1月20日，Vol. 105，No. 570，p. 23-p. 28

(58)調査した分野(Int.Cl., DB名)
G06F 9/46
G06F 9/50
G06F 12/14