



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0001455
(43) 공개일자 2019년01월04일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/28* (2006.01)
H01L 29/51 (2006.01)
- (52) CPC특허분류
H01L 29/78391 (2015.01)
H01L 21/28291 (2013.01)
- (21) 출원번호 10-2017-0081465
(22) 출원일자 2017년06월27일
심사청구일자 없음

- (71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
- (72) 발명자
유향근
경기도 이천시 부발읍 경충대로 2091
- (74) 대리인
특허법인아주

전체 청구항 수 : 총 20 항

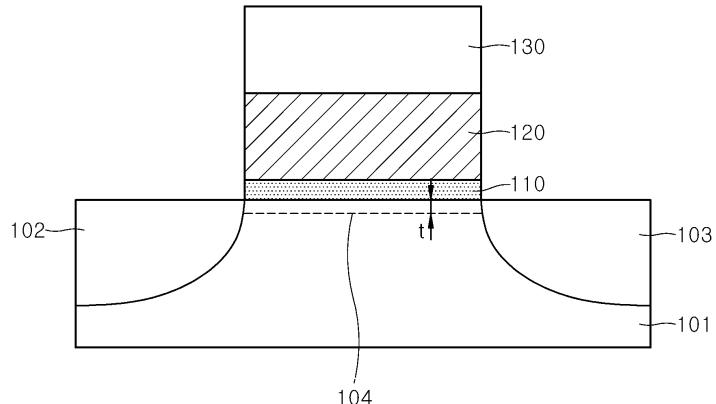
(54) 발명의 명칭 강유전성 메모리 장치

(57) 요 약

일 실시 예에 있어서, 강유전성 메모리 장치는 소스 전극 및 드레인 전극을 구비하는 기판, 상기 기판 상에 배치되고, 반강유전성을 가지는 제1 계면 유전층, 상기 제1 계면 유전층 상에 배치되고 강유전성을 가지는 게이트 유전층, 및 상기 게이트 유전층 상에 배치되는 게이트 전극층을 포함한다. 상기 제1 계면 유전층은 상기 강유전성 게이트 유전층의 내부에 탈분극 전계가 발생하는 것을 억제한다.

대 표 도 - 도1

1



(52) CPC특허분류

H01L 27/11585 (2013.01)

H01L 29/516 (2013.01)

명세서

청구범위

청구항 1

소스 전극 및 드레인 전극을 구비하는 기판;
상기 기판 상에 배치되는 반강유전성 제1 계면 유전층;
상기 계면 유전층 상에 배치되는 강유전성 게이트 유전층; 및
상기 강유전성 게이트 유전층 상에 배치되는 게이트 전극층을 포함하고,
상기 제1 계면 유전층은 상기 강유전성 게이트 유전층의 내부에 틸분극 전계가 발생하는 것을 억제하는
강유전성 메모리 장치.

청구항 2

제1 항에 있어서,
상기 반강유전성 제1 계면 유전층과 상기 강유전성 게이트 유전층은 결정 격자 상수 차이가 3% 이하인
강유전성 메모리 장치.

청구항 3

제1 항에 있어서,
상기 반강유전성 제1 계면 유전층은 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물 중 적어도 하나를 포함하는
강유전성 메모리 장치.

청구항 4

제1 항에 있어서,
상기 강유전성 게이트 유전층은 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물 중 적어도 하나를 포함하는
강유전성 메모리 장치.

청구항 5

제1 항에 있어서,
상기 강유전성 게이트 유전층은 탄소(C), 실리콘(Si), 마그네슘(Mg), 알루미늄(Al), 이트륨(Y), 질소(N), 게르마늄(Ge), 주석(Sn), 스트론튬(Sr), 납(Pb), 칼슘(Ca), 바륨(Ba), 티타늄(Ti), 지르코늄(Zr), 가돌리늄(Gd) 및 란타넘(La) 중에서 선택된 적어도 하나의 도펀트를 포함하는
강유전성 메모리 장치.

청구항 6

제1 항에 있어서,

상기 기판과 상기 반강유전성 제1 계면 유전층 사이에 배치되는 절연층을 더 포함하고,

상기 절연층은 실리콘 산화물, 실리콘 질화물, 실리콘산질화물 및 알루미늄 산화물 중에서 선택되는 적어도 하나를 포함하는

장유전성 메모리 장치.

청구항 7

제1 항에 있어서,

상기 게이트 전극층은

텅스텐(W), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 백금(Pt), 이리듐(Ir), 루테늄(Ru), 텡스텐 질화물, 티타늄질화물, 탄탈륨질화물, 이리듐 산화물, 루테늄 산화물, 텡스텐카바이드, 티타늄카바이드, 텡스텐실리사이드, 티타늄실리사이드, 및 탄탈륨실리사이드 중 적어도 하나를 포함하는

장유전성 메모리 장치.

청구항 8

제1 항에 있어서,

상기 강유전성 게이트 유전층 및 상기 게이트 전극층 사이에 배치되며, 상유전성 또는 반강유전성의 금속 산화물을 구비하는 제2 계면 유전층을 더 포함하는

장유전성 메모리 장치.

청구항 9

제8 항에 있어서,

상기 제2 계면 유전층은 상기 강유전성 게이트 유전층보다 밴드갭 에너지가 큰 장유전성 메모리 장치.

청구항 10

제8 항에 있어서,

상기 강유전성 게이트 유전층과 상기 제2 계면 유전층 사이에 배치되는 제3 계면 유전층을 더 포함하되,

상기 제3 계면 절연층은 상기 강유전성 게이트 유전층과의 결정 격자 상수 차이가 3% 이하를 가지는

장유전성 메모리 장치.

청구항 11

반도체 기판;

상기 반도체 기판 상에 배치되는 절연층;

상기 절연층 상에 배치되는 반강유전성 제1 계면 유전층;

상기 반강유전성 제1 계면 유전층 상에 배치되는 장유전성 게이트 유전층; 및

상기 강유전성 게이트 유전층 상에 배치되는 게이트 전극층을 포함하고,
상기 반강유전성 제1 계면 유전층은 상기 절연층보다 유전율이 높으며,
상기 반강유전성 제1 계면 유전층은 상기 강유전성 게이트 유전층과의 결정 격자 상수 차이가 3% 이하인
강유전성 메모리 장치.

청구항 12

제11 항에 있어서,

상기 절연층은 실리콘 산화물, 실리콘 질화물, 실리콘산질화물 및 알루미늄 산화물 중에서 선택되는 적어도 하나를 포함하는

강유전성 메모리 장치.

청구항 13

제11 항에 있어서,

상기 반강유전성 제1 계면 유전층은 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물 중 적어도 하나를 포함하는

강유전성 메모리 장치.

청구항 14

제11 항에 있어서,

상기 강유전성 게이트 유전층은 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물 중 적어도 하나를 포함하는

강유전성 메모리 장치.

청구항 15

제11 항에 있어서,

상기 강유전성 게이트 유전층과 상기 게이트 전극층 사이에 배치되는 상유전성 또는 반강유전성을 가지는 제2 및 제3 계면 유전층을 포함하는

강유전성 메모리 장치.

청구항 16

제15 항에 있어서,

상기 제2 계면 유전층은 상기 강유전성 게이트 유전층보다 밴드갭 에너지가 큰
강유전성 메모리 장치.

청구항 17

제16 항에 있어서,

상기 제3 계면 유전층은 상기 강유전성 게이트 유전층과 상기 제2 계면 유전층 사이에 배치되며,
상기 제3 계면 유전층은 상기 강유전성 게이트 유전층과의 결정 격자 상수 차이가 3% 이하를 가지는
강유전성 메모리 장치.

청구항 18

제11 항에 있어서,
상기 게이트 전극층은
텅스텐(W), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 백금(Pt), 이리듐(Ir), 루테늄(Ru), 텡스텐 질화물, 티타늄질화물, 탄탈륨질화물, 이리듐 산화물, 루테늄 산화물, 텡스텐카바이드, 티타늄카바이드, 텡스텐실리사이드, 티타늄실리사이드, 및 탄탈륨실리사이드 중 적어도 하나를 포함하는
강유전성 메모리 장치.

청구항 19

제11 항에 있어서,
상기 절연층 하부의 상기 반도체 기판 영역에 형성되는 채널 영역; 및
상기 채널 영역의 양쪽 단부에 형성되는 소스 전극 및 드레인 전극을 더 포함하는
강유전성 메모리 장치.

청구항 20

제19 항에 있어서,
상기 소스 전극 및 상기 드레인 전극은
상기 반도체 기판이 도핑되는 경우, 상기 기판의 도핑 타입과 반대인 도핑 타입으로 도핑된 영역인
강유전성 메모리 장치.

발명의 설명

기술 분야

[0001]

본 개시(disclosure)는 대체로(generally) 강유전성 메모리 장치에 관한 것이다.

배경 기술

[0002]

일반적으로, 강유전성 물질은 외부 전계가 인가되지 않은 상태에서, 자발적인 전기적 분극을 가지는 물질을 의미한다. 구체적으로, 강유전성 물질은 두 개의 잔류 분극 상태 중 어느 하나를 유지할 수 있다. 상기 잔류 분극 상태는 외부 전계의 인가에 의해, 제어 가능할 수 있다.

[0003]

최근에, 외부 전계의 인가에 의해 상기 잔류 분극 상태가 변화하는 특성을 이용하여, 상기 강유전성 물질을 비휘발성 메모리 장치에 적용하려는 연구가 진행되고 있다. 즉, 상기 외부 전계가 제거된 후에 메모리 셀 내부의 강유전성 물질이 가지는 잔류 분극 상태는, "0" 또는 "1"의 디지털 정보를 비휘발적으로 저장하는데 적용될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 일 실시 예는, 분극 배향의 스위칭 동작을 신뢰성 있게 수행하는 강유전성 게이트 유전층을 구비하는 강유전성 메모리 장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0005] 본 개시의 일 측면에 따르는 강유전성 메모리 장치가 개시된다. 상기 강유전성 메모리 장치는 소스 전극 및 드레인 전극을 구비하는 기판, 상기 기판 상에 배치되고, 반강유전성을 가지는 제1 계면 유전층, 상기 제1 계면 유전층 상에 배치되고 강유전성을 가지는 게이트 유전층, 및 상기 게이트 유전층 상에 배치되는 게이트 전극층을 포함한다. 상기 제1 계면 유전층은 상기 강유전성 게이트 유전층의 내부에 탈분극 전계가 발생하는 것을 억제한다.

[0006] 본 개시의 다른 측면에 따르는 강유전성 메모리 장치가 개시된다. 상기 강유전성 메모리 장치는 반도체 기판, 상기 반도체 기판 상에 배치되는 제1 계면 절연층, 상기 제1 계면 절연층 상에 배치되고 반강유전성을 가지는 계면 유전층, 상기 계면 유전층 상에 배치되고 강유전성을 가지는 게이트 유전층, 및 상기 게이트 유전층 상에 배치되는 게이트 전극층을 포함한다. 상기 계면 유전층은 상기 제1 계면 절연층보다 유전율이 높으며, 상기 계면 유전층은 상기 계면 유전층과의 결정 격자 상수 차이가 3% 이하이다.

[0007] 본 개시의 또 다른 측면에 따르는 강유전성 메모리 장치가 개시된다. 상기 강유전성 메모리 장치는, 소스 전극 및 드레인 전극을 구비하는 실리콘 기판, 상기 실리콘 기판 상에 배치되는 실리콘 산화물을 포함하는 제1 계면 절연층, 상기 제1 계면 절연층 상에 배치되고 반강유전성을 가지는 계면 유전층, 상기 계면 유전층 상에 배치되고 강유전성 하프늄 산화물층, 상기 하프늄 산화물층 상에 배치되고 상유전성 또는 반강유전성의 지르코늄산화물을 포함하는 제2 계면 절연층, 상기 제2 계면 절연층 상에 배치되고 알루미늄 산화물을 포함하는 제3 계면 절연층, 및 상기 제3 계면 절연층 상에 배치되는 게이트 전극층을 포함한다. 상기 계면 유전층은 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물 중 적어도 하나를 포함한다.

발명의 효과

[0008] 상술한 본 개시의 실시 예에 따르면, 강유전성 메모리 장치는, 기판과 강유전성 게이트 유전층 사이에, 반강유전성을 가지는 계면 유전층을 구비한다. 상기 계면 유전층은, 강유전성 물질층이 이종의 물질층과 계면을 이루 때 상기 계면 인근의 강유전성 물질층 내의 생성되는, 탈분극 전계를 상쇄시킬 수 있다. 기판과 게이트 전극층 사이에 전압이 인가될 때, 상기 반강유전성의 계면 유전층이 고유전율을 가짐으로써, 상기 계면 유전층 및 상기 강유전성 게이트 유전층의 적층 구조에서, 상기 계면 유전층에 분배되는 전압의 크기를 감소시킬 수 있다. 상기 계면 유전층에 분배되는 전압의 크기가 감소함에 따라, 상기 계면 유전층을 터널링하여 기판과 게이트 전극 사이를 전자 또는 홀이 전도하는 것을 억제할 수 있다. 이에 따라, 상기 전자 또는 홀에 의한 누설 전류를 감소시킬 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 개시의 일 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다.

도 2a는 본 개시의 일 실시 예에 따르는 강유전성 물질의 분극 이력 곡선이며, 도 2b는 본 개시의 일 실시 예에 따르는 반강유전성 물질의 분극 이력 곡선이다.

도 3a는 본 개시의 일 비교 예에 따르는 강유전성 메모리 장치의 에너지 밴드 다이어그램을 개략적으로 나타내는 단면도이다.

도 3b는 본 개시의 일 실시 예에 따르는 강유전성 메모리 장치의 에너지 밴드 다이어그램을 개략적으로 나타내는 단면도이다.

도 4는 본 개시의 다른 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다.

도 5는 본 개시의 또 다른 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다.

도 6은 본 개시의 또 다른 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부한 도면들을 참조하여, 본 출원의 실시 예들을 보다 상세하게 설명하고자 한다. 도면에서는 각 장치

의 구성요소를 명확하게 표현하기 위하여 상기 구성요소의 폭이나 두께 등의 크기를 다소 확대하여 나타내었다. 전체적으로 보면 설명시 관찰자 시점에서 설명하였고, 일 요소가 다른 요소 위에 위치하는 것으로 언급되는 경우, 이는 상기 일 요소가 다른 요소 위에 바로 위치하거나 또는 그들 요소들 사이에 추가적인 요소가 개재될 수 있다는 의미를 모두 포함한다. 복수의 도면들 상에서 동일 부호는 실질적으로 서로 동일한 요소를 지칭한다.

[0011] 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, '포함하다' 또는 '가지다' 등의 용어는 기술되는 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 방법 또는 제조 방법을 수행함에 있어서, 상기 방법을 이루는 각 과정들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 과정들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0013] 도 1은 본 개시의 일 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다. 도 2a는 본 개시의 일 실시 예에 따르는 강유전성 물질의 분극 이력 곡선이며, 도 2b는 본 개시의 일 실시 예에 따르는 반강유전성 물질의 분극 이력 곡선이다.

[0014] 도 1을 참조하면, 강유전성 메모리 장치(1)는 소스 전극(102) 및 드레인 전극(103)을 구비하는 기판(101)을 구비한다. 또한, 강유전성 메모리 장치(1)는 기판(101) 상에 배치되는 계면 유전층(110), 강유전성 게이트 유전층(120) 및 게이트 전극층(130)을 포함한다.

[0015] 본 실시예의 강유전성 메모리 장치(1)에서, 게이트 전극층(130)에 인가되는 전압의 극성 또는 크기에 따라, 강유전성 게이트 유전층(120) 내에 서로 다른 배향을 가지는 잔류 분극이 형성될 수 있다. 상기 잔류 분극은 기판(101)의 채널 영역(104)에 전자 또는 홀과 같이 전하를 가지는 캐리어를 유도할 수 있다. 채널 영역(104)이란, 강유전성 게이트 유전층(120)의 하부에 위치하는 기판(101)의 영역으로서, 소스 전극(102)과 드레인 전극(103) 사이에 동작 전압이 인가될 때, 전도성 캐리어가 전도하는 경로인 채널이 형성되는 영역을 의미한다.

[0016] 이때, 상기 잔류 분극의 배향에 따라, 기판(101)의 채널 영역(104)에 유도되는 상기 캐리어의 밀도가 변화할 수 있다. 또한, 상기 유도되는 캐리어의 밀도에 따라, 전기적 전도성을 가지는 채널 영역(104)의 두께(t)가 결정될 수 있다. 일 예로서, 상기 강유전성 게이트 유전층(120) 내의 잔류 분극이 채널 영역(104)으로 전자를 유도할 수 있는 제1 배향을 가질 때, 상기 유도되는 전자에 의해 채널 영역(104)의 두께(t)가 증가할 수 있다. 이에 따라, 채널 영역(104)을 경유하여 소스 전극(102) 및 드레인 전극(130) 사이를 이동하는, 전자 캐리어의 채널 저항이 감소할 수 있다. 다른 예로서, 상기 강유전성 게이트 유전층(120) 내의 잔류 분극이, 채널 영역(104)에서 전자를 축출할 수 있는 제2 배향을 가질 때, 상기 전자 밀도의 감소에 의해 채널 영역(104)의 두께가 감소할 수 있다. 이에 따라, 채널 영역(104)을 경유하여 소스 전극(102) 및 드레인 전극(130) 사이를 이동하는, 전자 캐리어의 채널 저항이 증가할 수 있다. 결과적으로, 강유전성 게이트 유전층(120)의 잔류 분극의 배향을 제어함으로써, 서로 다른 신호 정보를 비휘발적으로 저장할 수 있다.

[0017] 도 1을 참조하면, 기판(101)은 일 예로서, 반도체 물질을 포함할 수 있다. 기판(101)은 일 예로서, 실리콘(Si) 기판, 갈륨비소(GaAs) 기판, 인듐인(InP, indium phosphide) 기판, 게르마늄(Ge) 기판, 또는 실리콘 게르마늄(SiGe) 기판일 수 있다. 기판(101)은 n형 또는 p형으로 도핑되어 전도성을 가질 수 있다.

[0018] 소스 전극(102) 및 드레인 전극(103)은 게이트 전극(130)의 양단에 배치될 수 있다. 일 실시 예로서, 소스 전극(101) 및 드레인 전극(103)은 반도체 기판(101) 내에서 도편트로 도핑된 영역일 수 있다. 소스 전극(101) 및 드레인 전극(103)은 반도체 기판(101)의 도핑 타입과 반대인 도핑 타입으로 도핑된 영역일 수 있다. 일 예로서, 기판(101)이 p형으로 도핑된 경우, 소스 전극(102) 및 드레인 전극(103)은 n형으로 도핑되어 소정의 전도성을 가질 수 있다. 다른 실시 예로서, 소스 전극(101) 및 드레인 전극(103)은 기판(101) 내부 또는 기판(101) 상에 배치되는 전도성 패턴층일 수 있다. 상기 전도성 패턴층은 일 예로서, 금속, 전도성 금속 질화물, 전도성 실리사이드, 도핑된 반도체를 포함할 수 있다.

[0019] 기판(101) 상에는 계면 유전층(110) 및 강유전성 게이트 유전층(120)이 순차적으로 배치될 수 있다. 계면 유전층(110) 및 강유전성 게이트 유전층(120)은 결정질일 수 있으며, 계면 유전층(110) 및 강유전성 게이트 유전층(120)의 결정 격자 상수 차이가 3% 이하일 수 있다.

[0020] 계면 유전층(110)은 반강유전성(antiferroelectric) 물질을 포함할 수 있다. 계면 유전층(110)은 일 예로서, 하

프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물, 또는 이들의 둘 이상의 조합을 포함할 수 있다. 계면 유전층(110)은 일 예로서, 입방정계(cubic) 또는 정방정계(tetragonal)의 결정 구조를 가질 수 있다. 계면 유전층(110)은 일 예로서, 2 nm 내지 5 nm의 두께를 가질 수 있다.

[0021] 강유전성 게이트 유전층(120)은 강유전성 물질을 포함할 수 있다. 일 예로서, 상기 강유전성 물질은 금속 산화물 일 수 있다. 일 예로서, 강유전성 게이트 유전층(120)은 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물, 또는 이들의 둘 이상의 조합을 포함할 수 있다. 강유전성 게이트 유전층(120)은 일 예로서, 사방정계(orthorhombic)의 결정 구조를 가질 수 있다. 강유전성 게이트 유전층(120)은 일 예로서, 5 nm 내지 10 nm의 두께를 가질 수 있다.

[0022] 일 실시 예에 있어서, 강유전성 게이트 유전층(120)은 도편트를 포함할 수 있다. 상기 도편트는 일 예로서, 탄소(C), 실리콘(Si), 마그네슘(Mg), 알루미늄(Al), 이트륨(Y), 질소(N), 게르마늄(Ge), 주석(Sn), 스트론튬(Sr), 납(Pb), 칼슘(Ca), 바륨(Ba), 티타늄(Ti), 지르코늄(Zr), 가돌리늄(Gd), 란타넘(La), 또는 이들의 둘 이상의 조합을 포함할 수 있다.

[0023] 게이트 전극층(130)은 일 예로서, 금속, 전도성 금속 질화물, 전도성 금속 산화물, 또는 전도성 금속 실리사이드를 포함할 수 있다. 일 예로서, 게이트 전극층(130)은 텉스텐(W), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 백금(Pt), 이리듐(Ir), 루테늄(Ru), 텉스텐 질화물, 티타늄질화물, 탄탈륨질화물, 이리듐 산화물, 루테늄 산화물, 텉스텐카바이드, 티타늄카바이드, 텉스텐실리사이드, 티타늄실리사이드, 탄탈륨실리사이드, 또는 이들의 둘 이상의 조합을 포함할 수 있다.

[0024] 일 실시 예에 있어서, 기판(101)은 실리콘 기판이며, 강유전성 게이트 유전층(120)이 강유전성 하프늄 산화물층인 경우, 반강유전성 계면 유전층(110)은 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물, 또는 이들의 조합을 포함할 수 있다. 구체적인 예에서, 반강유전성 계면 유전층(110)은 지르코늄 산화물층일 수 있다.

[0025] 한편, 강유전성 게이트 유전층(120)과 이종의 물질층이 계면을 형성하는 경우, 상기 계면으로부터 강유전성 게이트 유전층(120) 내부로 탈분극 전계(depolarization electric field)가 형성될 수 있다. 상기 탈분극 전계는 강유전성 게이트 유전층(120)의 분극 배향의 정렬도를 저하시킴으로써, 강유전성 게이트 유전층(120)의 강유전성을 감소시킬 수 있다.

[0026] 반드시 하나의 이론에 의해 설명되는 것은 아니지만, 상기 탈분극 전계 형성의 다양한 이론 중의 일 예에 따르면, 상기 계면에서는 강유전성 게이트 유전층(120) 내부 물질간 화학 결합의 연속성이 단절될 수 있다. 이어서, 상기 계면에서 강유전성 게이트 유전층(120)과 이종의 물질층이 서로 접합할 때, 서로의 격자 상수 차이에 기인하여, 상기 계면으로부터 강유전성 게이트 유전층(120) 내부로 격자 변형(strain)에 의한 응력이 발생할 수 있다. 상기 응력의 구배에 기인하여, 강유전성 게이트 유전층(120) 내부로 탈분극 전계가 발생할 수 있다.

[0027] 상기 탈분극 전계 형성의 다양한 이론 중의 다른 예에 따르면, 강유전성 게이트 유전층(120)이 금속 산화물을 포함하는 경우, 상기 계면 인근의 영역에서 상기 금속 산화물의 화학 결합의 완결성이 저하될 수 있다. 이에 따라, 상기 계면 인근의 상기 금속 산화물 내에 양의 전하를 가진 산소 공공(oxygen vacancy)이 생성될 수 있다. 상기 산소 공공은 상기 계면 인근 영역으로부터 내부 영역으로 상기 양의 전하의 농도 구배를 발생시키고, 상기 농도 구배는 강유전성 게이트 유전층(120) 내부에 탈분극 전계를 형성할 수 있다.

[0028] 상술한 다양한 이론에 따르면, 강유전성 게이트 유전층(120) 내에 형성된 상기 탈분극 전계는 강유전성 게이트 유전층(120)의 분극 배향의 정렬도를 저하시킬 수 있다. 이에 따라, 강유전성 게이트 유전층(120) 내에 저장되는 신호 정보의 신뢰성이 낮아질 수 있다.

[0029] 본 개시의 일 실시 예에 따르면, 기판(101)과 강유전성 게이트 유전층(120) 사이에 배치되는 반강유전성을 가지는 계면 유전층(110)은 상기 탈분극 전계가 형성되는 것을 억제할 수 있다. 계면 유전층(110) 및 강유전성 게이트 유전층은 각각 금속 산화물을 포함할 수 있으며, 계면 유전층(110)과 강유전성 게이트 유전층(120)의 결정 격자 상수 차이는 3% 이하일 수 있다. 이에 따라, 계면 유전층(110)과 강유전성 게이트 유전층(120) 사이에는 결정 격자 상수 차이에 의한 변형(strain)의 발생 또는 화학 결합의 단절에 따른 산소 공공의 발생이 억제될 수 있다. 결과적으로, 강유전성 게이트 유전층(120) 내에 탈분극 전계가 형성되는 것이 억제될 수 있다. 이때, 강유전성 게이트 유전층(120)은 5 내지 10 nm의 두께를 가질 수 있으며, 계면 유전층(110)은 2 내지 5nm의 두께를 가질 수 있다.

[0030] 도 2a 및 도 2b는 각각 강유전성 게이트 유전층(120) 및 계면 유전층(110)에 적용되는 강유전성 물질 및 반강유전성 물질의 분극 이력 곡선(polarization hysteresis curve)를 나타낸다. 도 2a를 참조하면, 상기 강유전성

물질은, 외부에서 상기 강유전성 물질에 전계가 인가될 때, 분극 이력 곡선 상의 1 내지 4의 경로를 따라, 변화하는 분극 값을 가질 수 있다. 상기 강유전성 물질은 도 2a의 분극 이력 곡선 상에서 제1 및 제2 보자력장(Coercive field, E_{C1} , E_{C2})과 제1 및 제2 잔류 분극(Pr_1 , Pr_2)를 가질 수 있다. 또한, 도 2b를 참조하면, 상기 반강유전성 물질은. 외부에서 상기 반강유전성 물질에 전계가 인가될 때, 분극 이력 곡선 상의 1 내지 4의 경로를 따라, 변화하는 분극 값을 가질 수 있다. 상기 반강유전성 물질은 도 2b의 분극 이력 곡선 상에서, 제1 및 제2 보자력장(Coercive field, E_{C3} , E_{C4})을 가질 수 있다. 이때, 제1 및 제2 보자력장(E_{C3} , E_{C4})의 절대치 이상의 절대치를 가지는 외부 전계가 상기 반강유전성 물질에 인가되는 경우, 상기 반강유전성 물질은 강유전 특성을 가지며, 상기 외부 전계가 제거되는 경우, 상기 반강유전성 물질은 강유전 특성을 가지지 않을 수 있다.

[0031] 강유전성 메모리 장치(1)의 쓰기 동작 중에, 도 2b에 도시되는 계면 유전층(110)의 제1 또는 제2 보자력장(E_{C3} , E_{C4}) 이상의 절대치를 가지는 전계가 외부로부터 인가되는 경우, 반강유전성을 가지는 계면 유전층(110)에 형성되는 강유전성 분극 배향이, 강유전성 게이트 유전층(120)의 분극 배향의 정렬도를 향상시키도록 유도할 수 있다. 이에 따라, 외부 전계가 제거된 후에, 강유전성 게이트 유전층(120)에 위치하는 잔류 분극의 배향 정렬도가 향상될 수 있다. 상기 외부 전계가 제거된 후에, 계면 유전층(110)에 형성된 강유전성 분극 배향은 소멸할 수 있다.

[0032] 도 3a는 본 개시의 일 비교 예에 따르는 강유전성 메모리 장치의 에너지 밴드 다이어그램을 개략적으로 나타내는 단면도이다. 도 3b는 본 개시의 일 실시 예에 따르는 강유전성 메모리 장치의 에너지 밴드 다이어그램을 개략적으로 나타내는 단면도이다. 도 3a의 강유전성 메모리 장치의 계면 유전층(105)은 종래의 실리콘 산화물, 또는 실리콘 질화물을 포함하고, 도 3b의 강유전성 메모리 장치(12)의 계면 유전층(110)은 반강유전성 물질을 포함할 수 있다. 본 실시 예에서, 계면 유전층(110)은 반강유전성 물질로서, 하프늄산화물, 지르코늄산화물, 하프늄지르코늄산화물, 또는 이들의 둘이상의 조합을 포함할 수 있다. 이에 따라, 본 실시 예의 계면 유전층(110)의 유전 상수가 비교 예의 계면 유전층(105)의 유전 상수보다 클 수 있다.

[0033] 도 1에 도시되는 강유전성 메모리 장치(10)의 경우, 기판(101)과 게이트 전극층(130) 사이에서, 계면 유전층(110)과 강유전성 게이트 유전층(120)이 전기적으로 직렬 배치될 수 있다. 따라서, 외부 전압(V_{tot})이 인가될 때, 계면 유전층(110)과 강유전성 게이트 유전층(120)에 각각 충전되는 전하의 양은 동일할 수 있다. 이에 따라, 계면 유전층(110)의 캐패시턴스(C_{110})와 계면 유전층(110)에 배분되는 전압(V_{110})의 곱($C_{110} \cdot V_{110}$)은, 강유전성 게이트 유전층(120)의 캐패시턴스(C_{120})와 강유전성 게이트 유전층(120)에 분배되는 전압(V_{120})의 곱($C_{120} \cdot V_{120}$)과 동일할 수 있다.

[0034] 이에 따라, 계면 유전층(110)의 캐패시턴스(C_{110})에 대한 강유전성 게이트 유전층(120)의 캐패시턴스(C_{120})의 비가 커질수록, 계면 유전층(110)에 분배되는 전압(V_{110})이 증가할 수 있다. 도 1에 개시된 소자 구조에서, 강유전성 게이트 유전층(120) 및 계면 유전층(110)의 캐패시턴스(C_{120} , C_{110})는 강유전성 게이트 유전층(120) 및 계면 절연층(110)의 유전 상수에 각각 비례할 수 있다. 따라서, 계면 절연층(110)의 유전 상수 대비 강유전성 게이트 유전층(120)의 유전 상수의 비가 커질수록, 계면 유전층(110)에 분배되는 전압(V_{110})이 증가할 수 있다.

[0035] 도 3a에 도시되는 일 비교 예에서는, 계면 유전층(105)에 분배되는 전압(V_{105})에 의해 에너지 밴드의 굽힘(bending)이 발생하며, 상기 굽힘에 의해 계면 유전층(105) 양단에 제1 장벽 에너지(E_a)을 가지는 장벽이 생성될 수 있다. 또한, 도 3b에 도시되는 일 실시 예에서는, 계면 절연층(110)에 분배되는 전압(V_{110})에 의해, 계면 절연층(110) 양단에 제2 장벽 에너지(E_b)를 가지는 장벽이 생성될 수 있다. 한편, 도 3a의 일 비교예와 도 3b의 일 실시 예를 비교하면, 도 3a의 계면 유전층(105)의 유전 상수가 도 3b의 계면 절연층(110)의 유전 상수보다 작으므로, 계면 유전층(105)에 인가되는 전압은 계면 유전층(110)에 인가되는 전압보다 상대적으로 크다. 따라서, 제1 장벽 에너지(E_a)는 제2 장벽 에너지(E_b)보다 클 수 있다. 이때, 도 3a의 경우 제1 장벽 에너지(E_a)에 의한 굽힘 현상에 의해, 전자 또는 홀이 계면 유전층(105)을 통과하는 실질적 경로가 감소되어, 전자 또는 홀의 터널링 확률이 상대적으로 높아진다. 일 예로서, 도 3a의 제1 장벽 에너지(E_a)에 의해 발생하는 굽힘 정도가, 도 3b의 제1 장벽 에너지(E_b)에 의해 발생하는 굽힘 정도보다 크므로, 전자 또는 홀이 상기 감소된 경로를 따라 FN 터널링(Fowler-Nordheim tunneling)할 수 있는 가능성이 상대적으로 증가할 수 있다. 상기 터널링하는 전자 또는 홀은 누설 전류를 발생시킬 수 있다. 반면에, 도 3b의 일 실시 예의 경우, 계면 유전층(110)을 통과하는

전자 또는 홀에 의한 누설 전류가 상대적으로 억제될 수 있다.

[0036] 또한, 도 3b에 도시되는 일 실시 예에서는, 계면 유전층(110)의 유전 상수가 일 비교예의 계면 유전층(105)의 유전 상수보다 클 수 있다. 따라서, 계면 유전층(105, 110)의 캐페시턴스를 소정의 목적값으로 설계하는 경우, 일 실시 예의 계면 유전층(110)의 두께(t_{110})를 일 비교예의 계면 유전층(105)의 두께(t_{105})보다 크게 할 수 있다. 이에 따라, 상대적으로 큰 두께를 가지는 일 실시 예의 계면 유전층(110)이 상기 터널링에 의한 누설 전류를 상대적으로 효과적으로 억제할 수 있다.

[0038] 도 4는 본 개시의 다른 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다. 도 4를 참조하면, 강유전성 메모리 장치(2)는 기판(101)과 계면 유전층(110) 사이에 절연층(115)을 더 구비하는 것을 제외하고는 도 1과 관련하여 상술한 강유전성 메모리 장치(1)와 그 구성이 실질적으로 동일하다. 본 실시 예에서는, 강유전성 게이트 유전층(120)의 하부의 계면 구조물로서, 절연층(115) 및 반강유전성 계면 유전층(110)의 적층 구조물을 가질 수 있다.

[0039] 절연층(115)은 기판(101) 상에 배치된다. 제1 계면 절연층(115)은 일 예로서, 실리콘 산화물, 실리콘 질화물, 실리콘질화물, 알루미늄 산화물 또는 이들의 둘이상의 조합을 포함할 수 있다. 일 실시 예에 있어서, 기판(101)이 실리콘 기판일 때, 절연층(115)은 실리콘 산화물층일 수 있다. 절연층(115)은 0 초과 1 nm 이하의 두께를 가질 수 있다. 절연층(115)은 기판(101)으로부터 게이트 전극층(130)으로 전자 또는 홀이 전도하는 것을 추가적으로 억제할 수 있다. 절연층(115) 상에 반강유전성 계면 유전층(110), 강유전성 게이트 유전층(120) 및 게이트 전극층(130)이 순차적으로 배치될 수 있다.

[0041] 도 5는 본 개시의 또다른 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다. 도 5를 참조하면, 강유전성 메모리 장치(3)는, 도 1의 강유전성 메모리 장치(1)와 비교할 때, 강유전성 게이트 유전층(120)과 게이트 전극층(130) 사이에 계면 유전층(122)을 추가적으로 구비한다. 이에 따라, 강유전성 메모리 장치(3)는 기판(104)과 강유전성 게이트 유전층(120) 사이에 배치되는 제1 계면 유전층(110)과, 강유전성 게이트 유전층(120)과 게이트 전극층(130) 사이에 배치되는 제2 계면 유전층(122)을 구비한다.

[0042] 제2 계면 유전층(122)은 상유전성 또는 반강유전성을 가질 수 있다. 제2 계면 유전층(122)은 강유전성 게이트 유전층(120) 보다 밴드갭 에너지가 클 수 있다. 이에 따라, 제2 계면 유전층(122)과 게이트 전극층(130) 사이의 계면 에너지 장벽을 증가시킬 수 있다. 그 결과, 강유전성 게이트 유전층(120)과 게이트 전극층(130) 사이의 누설 전류를 감소시킬 수 있다.

[0043] 제2 계면 유전층(122)은 금속 산화물을 포함할 수 있다. 일 예로서, 상기 금속 산화물은 실리콘 산화물, 마그네슘 산화물, 칼슘산화물, 스트론튬산화물, 바륨산화물, 알루미늄산화물, 갈륨산화물, 이트륨산화물, 스칸듐산화물, 탄탈륨산화물, 지르코늄산화물, 하프늄지르코늄산화물, 티타늄산화물, 란타늄산화물, 가돌리늄산화물, 지르코늄실리콘산화물, 하프늄실리콘산화물, 티타늄실리콘산화물, 또는 이들의 둘 이상의 조합을 포함할 수 있다. 제2 계면 유전층(122)은 일 예로서, 0 초과 1 nm 이하의 두께를 가질 수 있다. 이 때, 게이트 전극층(130)은 텅스텐(W), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 백금(Pt), 이리듐(Ir), 루테늄(Ru), 텅스텐 질화물, 티타늄질화물, 탄탈륨질화물, 이리듐 산화물, 루테늄 산화물, 텅스텐카바이드, 티타늄카바이드, 텅스텐실리사이드, 티타늄실리사이드, 탄탈륨실리사이드 또는 이들의 둘 이상의 조합을 포함할 수 있다.

[0044] 본 실시 예에서는 강유전성 게이트 유전층(120)과 게이트 전극층(130) 사이에서 발생하는 누설전류를 추가적으로 억제하는 제2 계면 유전층(122)을, 강유전성 메모리 장치(3)에 제공할 수 있다.

[0045] 몇몇 다른 실시 예에 있어서, 도시되지는 않았지만, 기판(101)과 제1 계면 유전층(110) 사이에, 절연층이 추가적으로 배치될 수 있다. 상기 절연층은 도 4와 관련하여 상술한 절연층(115)과 그 구성이 실질적으로 동일할 수 있다.

[0047] 도 6은 본 개시의 또다른 실시 예에 따르는 강유전성 메모리 장치를 개략적으로 나타내는 단면도이다. 도 6을 참조하면, 강유전성 메모리 장치(4)는, 도 5의 강유전성 메모리 장치(3)와 비교할 때, 제2 계면 유전층(122)과 강유전성 게이트 유전층(120) 사이에, 제3 계면 유전층(124)을 추가적으로 구비한다. 즉, 강유전성 메모리 장치

(4)는 제1 내지 제3 계면 유전층(110, 122, 124)를 구비할 수 있다.

[0048] 제3 계면 유전층(124)은 상유전성 또는 반강유전성을 가질 수 있다. 제3 계면 유전층(124)은 일 예로서, 하프늄 산화물, 지르코늄산화물, 하프늄지르코늄산화물, 또는 이들의 둘 이상의 조합을 포함할 수 있다. 제3 계면 유전층(124)은 강유전성 게이트 유전층(120)과의 결정 격자 상수 차이가 3% 이하일 수 있다. 제3 계면 절연층(124)은 일 예로서, 0 초과 1 nm이하의 두께를 가질 수 있다.

[0049] 본 실시 예에서, 제2 계면 유전층(122)은 강유전성 게이트 유전층(120)과 게이트 전극층(130) 사이의 누설 전류를 감소시키는 역할을 수행하며, 제3 계면 유전층(124)은 강유전성 게이트 유전층(120)과 제2 계면 유전층(122) 사이의 격자 상수 차이를 감소시키는 베퍼층으로서의 역할을 수행할 수 있다.

[0050] 일 실시 예에 있어서, 강유전성 게이트 유전층(120)이 강유전성 하프늄 산화물층일 때, 제3 계면 유전층(124)은 지르코늄 산화물을 포함할 수 있다. 이때, 제2 계면 유전층(122)은 알루미늄 산화물을 포함하고, 게이트 전극층(130)은 텅스텐(W), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 백금(Pt), 이리듐(Ir), 루테늄(Ru), 텅스텐 질화물, 티타늄질화물, 탄탈륨질화물, 이리듐 산화물, 루테늄 산화물, 텅스텐카바이드, 티타늄카바이드, 텅스텐실리사이드, 티타늄실리사이드, 탄탈륨실리사이드 또는 이들의 둘 이상의 조합을 포함할 수 있다. 지르코늄 산화물을 포함하는 제3 계면 유전층(124)은 상기 강유전성 하프늄 산화물층과 상기 알루미늄 산화물을 포함하는 제2 계면 유전층(122) 사이에서, 격자 상수 차이를 완화시키는 베퍼층으로서의 기능을 수행할 수 있다.

[0051] 몇몇 다른 실시 예에 있어서, 도시되지는 않았지만, 기판(101)과 제1 계면 유전층(110) 사이에, 절연층이 추가적으로 배치될 수 있다. 상기 절연층은 도 4와 관련하여 상술한 절연층(115)과 그 구성이 실질적으로 동일할 수 있다.

[0053] 이상에서는 도면 및 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 출원의 기술적 사상으로부터 벗어나지 않는 범위 내에서 본 출원에 개시된 실시예들을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0054] 1 2 3 4: 강유전성 메모리 장치,

101: 기판, 102: 소스 전극, 103: 드레인 전극,

104: 채널 영역, 105, 110: 계면 유전층,

115: 절연층, 120: 강유전성 게이트 유전층,

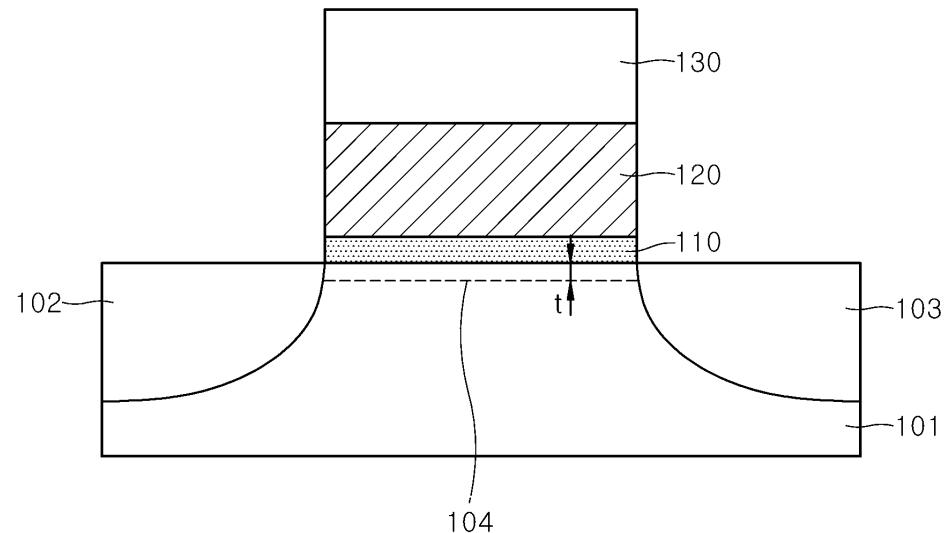
122: 제2 계면 유전층, 124: 제3 계면 유전층,

130: 게이트 전극층.

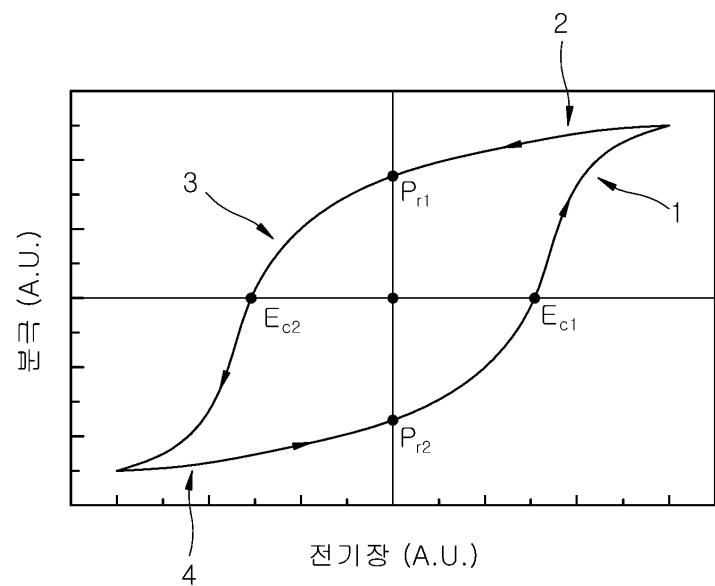
도면

도면1

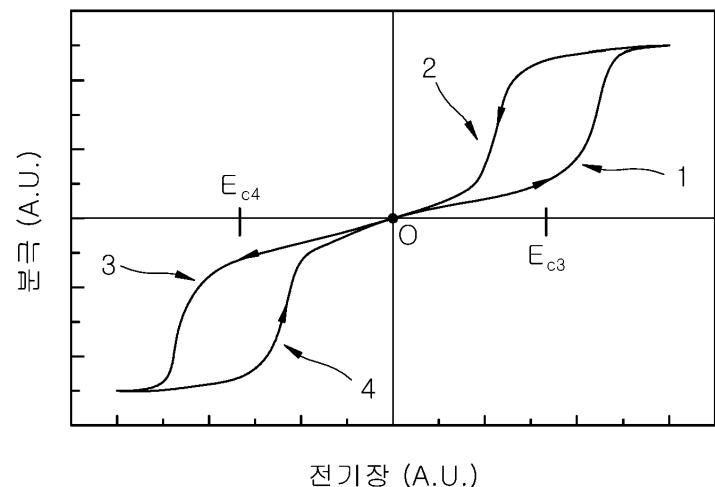
1



도면2a

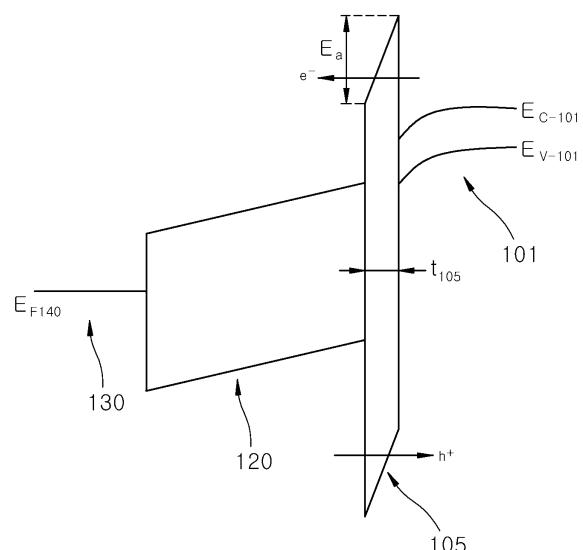


도면2b

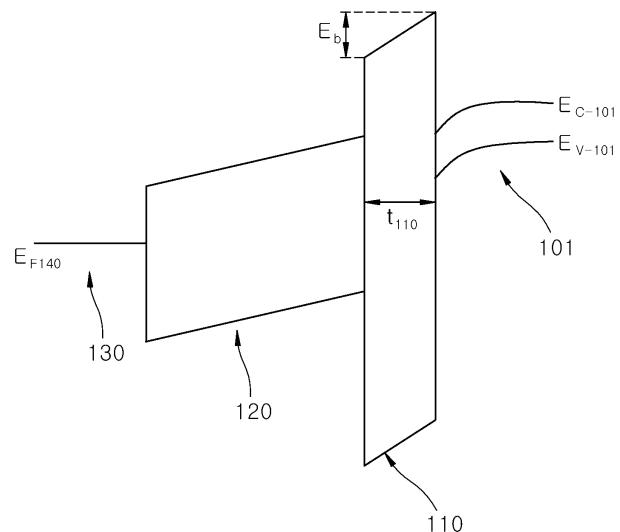


도면3a

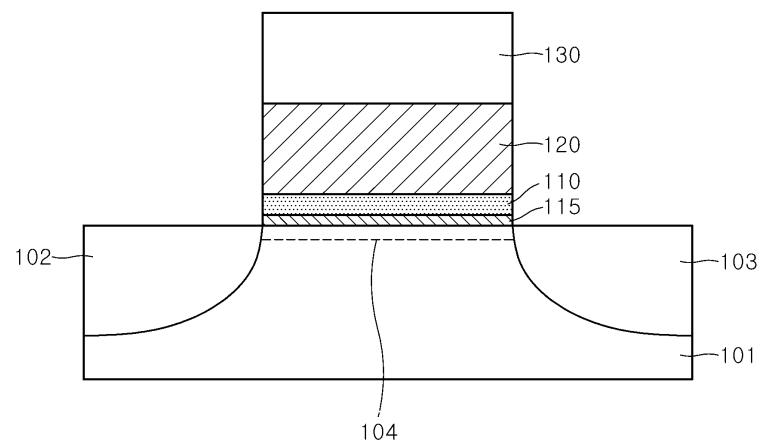
11



도면3b

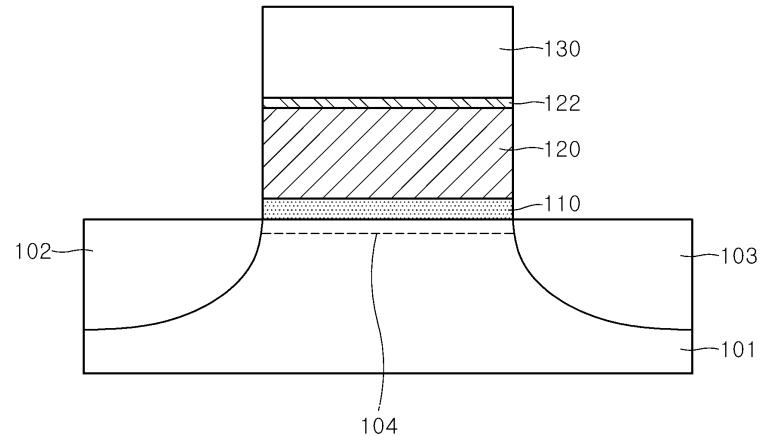
12

도면4

2

도면5

3



도면6

4

