

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 4 月 10 日 (2014.4.10)

【公表番号】特表 2013-520789 (P2013-520789A)

【公表日】平成 25 年 6 月 6 日 (2013.6.6)

【年通号数】公開・登録公報 2013-028

【出願番号】特願 2012-553345 (P2012-553345)

【国際特許分類】

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 29/74 (2006.01)

H 0 1 L 21/8222 (2006.01)

H 0 1 L 21/8248 (2006.01)

H 0 1 L 21/8249 (2006.01)

【F I】

H 0 1 L 27/06 1 0 1 P

H 0 1 L 27/04 H

H 0 1 L 27/06 3 1 1 C

H 0 1 L 29/74 F

H 0 1 L 29/74 G

H 0 1 L 27/06 1 0 1 U

H 0 1 L 27/06 3 2 1 B

【手続補正書】

【提出日】平成 26 年 2 月 21 日 (2014.2.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

静電放電 (E S D) 保護回路であって、
 第 1 の導電型の第 1 の低ドープウェルと、
 第 2 の導電型の第 2 の低ドープウェルと、
 前記第 1 の低ドープウェル内に形成された前記第 1 の導電型の第 1 の高ドープ領域と、
 前記第 1 の低ドープウェル内に形成された前記第 2 の導電型の第 2 の高ドープ領域と、
 前記第 2 の低ドープウェル内に形成された前記第 1 の導電型の第 3 の高ドープ領域であ
って、前記第 2 の高ドープ領域が前記 E S D 保護回路のカソード及びアノードの一方とし
て機能し、前記第 3 の高ドープ領域が前記アノード及び前記カソードの他方として機能す
る、第 3 の高ドープ領域と、
 前記第 2 の低ドープウェル内に形成された前記第 2 の導電型の第 4 の高ドープ領域と、
 前記第 2 の高ドープ領域と前記第 2 の低ドープウェルとの間にある前記第 1 の低ドープ
 ウェル内に形成された前記第 1 の導電型の第 5 の高ドープ領域と、
 前記第 2 の高ドープ領域と前記第 2 の低ドープウェルとの間にある前記第 1 の低ドープ
 ウェル内に形成された前記第 2 の導電型の第 6 の高ドープ領域と、
 E S D 事象中、前記 E S D 保護回路をオンにするトリガ回路とを備え、
 前記トリガ回路が、前記第 1 の高ドープ領域、前記第 2 の高ドープ領域、前記第 3 の高

ドープ領域、前記第 4 の高ドープ領域、前記第 5 の高ドープ領域及び前記第 6 の高ドープ領域の任意の 2 つの間に電氣的に結合され、

第 1 のトランジスタが、前記第 3 の高ドープ領域を含むエミッタ、前記第 2 の低ドープウェルを含むベース、及び前記第 1 の低ドープウェルを含むコレクタにより形成され、

第 2 のトランジスタが、前記第 2 の高ドープ領域を含むエミッタ、前記第 1 の低ドープウェルを含むベース、及び前記第 2 の低ドープウェルを含むコレクタにより形成され、

第 3 のトランジスタが、前記第 2 の高ドープ領域を含むエミッタ、前記第 1 の低ドープウェルを含むベース、及び前記第 6 の高ドープ領域を含むコレクタにより形成される、 E S D 保護回路。

【請求項 2】

前記第 1 の高ドープ領域と前記第 2 の高ドープ領域との間に電氣的に結合された第 1 の外部レジスタと、

前記第 3 の高ドープ領域と前記第 4 の高ドープ領域との間に電氣的に結合された第 2 の外部レジスタとをさらに備える、請求項 1 に記載の E S D 保護回路。

【請求項 3】

前記第 5 の高ドープ領域が、前記第 6 の高ドープ領域に電氣的に直接接続され、前記第 5 の高ドープ領域及び前記第 6 の高ドープ領域に他の高ドープ領域は電氣的に直接接続されない、請求項 1 に記載の E S D 保護回路。

【請求項 4】

前記トリガ回路が、

前記第 4 の高ドープ領域と前記第 2 の高ドープ領域との間に電氣的に結合された第 1 のトリガ回路、

前記第 3 の高ドープ領域と前記第 1 の高ドープ領域との間に電氣的に結合された第 2 のトリガ回路、

前記第 5 の高ドープ領域が前記第 6 の高ドープ領域に電氣的に接続され、前記第 3 のトリガ回路が、第 3 の高ドープ領域と前記第 5 の高ドープ領域との間に電氣的に結合される、第 3 のトリガ回路、

前記第 4 の高ドープ領域と前記第 1 の高ドープ領域との間に電氣的に結合された第 4 のトリガ回路、および

前記第 5 の高ドープ領域が前記第 6 の高ドープ領域に電氣的に接続され、第 5 のトリガ回路が、前記第 4 の高ドープ領域と前記第 5 の高ドープ領域との間に電氣的に結合される、第 5 のトリガ回路のうちの少なくとも 1 つを備え、

前記第 1、第 2、第 3、第 4 および第 5 のトリガ回路の任意のものが、E S D 事象中に、前記 E S D 保護回路をオンにするように構成される、請求項 1 に記載の E S D 保護回路。

【請求項 5】

前記第 6 の高ドープ領域が、前記第 2 の高ドープ領域と前記第 5 の高ドープ領域との間に形成される、請求項 1 に記載の E S D 保護回路。

【請求項 6】

前記第 5 の高ドープ領域と前記第 2 の低ドープウェルとの間に高ドープ領域が形成されず、

前記第 5 の高ドープ領域と前記第 6 の高ドープ領域との間に高ドープ領域が形成されず、

前記第 6 の高ドープ領域と前記第 2 の高ドープ領域との間に高ドープ領域が形成されない、請求項 1 に記載の E S D 保護回路。

【請求項 7】

前記第 5 の高ドープ領域が、接続要素によって前記第 6 の高ドープ領域に電氣的に結合され、

前記接続要素が、金属接続、金属コンタクト、パイア、金属線、レジスタ、キャパシタ、ダイオード、金属酸化膜半導体 (M O S) デバイス、バイポーラトランジスタおよび制

御回路の少なくとも１つを含む、請求項１に記載のＥＳＤ保護回路。

【請求項８】

前記接続要素が、半導体デバイスの通常動作中に前記第５の高ドープ領域を前記第６の高ドープ領域から切り離すように構成され、前記接続要素が、ＥＳＤ事象の第１の期間中に前記第５の高ドープ領域と前記第６の高ドープ領域とを短絡するように構成される、請求項７に記載のＥＳＤ保護回路。

【請求項９】

前記接続要素が、前記ＥＳＤ事象の前記第１の期間の後に前記第５の高ドープ領域を前記第６の高ドープ領域から切り離すように構成される、請求項８に記載のＥＳＤ保護回路。

【請求項１０】

前記第６の高ドープ領域と前記第２の高ドープ領域との間に形成された前記第１の導電型の第７の高ドープ領域と、

前記第２の高ドープ領域と前記第３の高ドープ領域との間の前記第１の低ドープウェル内に形成された前記第２の導電型の第８の領域とをさらに備え、

前記第８の領域が、前記第６の高ドープ領域および前記第７の高ドープ領域を少なくとも部分的に取り囲む、請求項１に記載のＥＳＤ保護回路。

【請求項１１】

前記第６の高ドープ領域を少なくとも部分的に取り囲む前記第２の導電型の第７の領域をさらに備える、請求項１に記載のＥＳＤ保護回路。

【請求項１２】

前記第７の領域のドーパントレベルが、前記第２の低ドープウェルのドーパントレベルより高く、前記第７の領域のドーパントレベルが、前記第６の高ドープ領域のドーパントレベルより低い、請求項１１に記載のＥＳＤ保護回路。

【請求項１３】

前記第５の高ドープ領域を少なくとも部分的に取り囲む前記第１の導電型の第７の領域をさらに備える、請求項１に記載のＥＳＤ保護回路。

【請求項１４】

前記第７の領域のドーパントレベルが、前記第１の低ドープウェルのドーパントレベルより高く、前記第７の領域のドーパントレベルが、前記第５の高ドープ領域のドーパントレベルより低い、請求項１３に記載のＥＳＤ保護回路。

【請求項１５】

前記第１の低ドープウェルおよび前記第２の低ドープウェルを取り囲む前記第２の導電型の第３の低ドープウェルをさらに備える、請求項１に記載のＥＳＤ保護回路。

【請求項１６】

前記第２の導電型の第３の低ドープウェルと、

前記第１の低ドープウェルの下方に位置し、前記第２の低ドープウェルおよび前記第３の低ドープウェルの下方に少なくとも部分的に位置する前記第２の導電型の第４の低ドープウェルとをさらに備え、

前記第２の低ドープウェル、前記第３の低ドープウェルおよび前記第４の低ドープウェルの組み合わせが、前記第１の低ドープウェルを少なくとも部分的に取り囲む、請求項１に記載のＥＳＤ保護回路。

【請求項１７】

前記第２の導電型の第３の低ドープウェルと、

前記第１の低ドープウェル、前記第２の低ドープウェルおよび前記第３の低ドープウェルの下方に位置する前記第２の導電型の第４の低ドープウェルと、

前記第４の低ドープウェルと前記第２の低ドープウェルとの間に位置付けられた前記第１の導電型の第５の低ドープウェルとをさらに備え、

前記第３の低ドープウェルおよび前記第４の低ドープウェルの組み合わせが、前記第１の低ドープウェル、前記第２の低ドープウェルおよび前記第５の低ドープウェルを少なく

【請求項 18】

【請求項 19】

【請求項 20】

【手續補正2】

【補正対象書類名】図面

【補正対象項目名】図 2 1

【補正方法】変更

【補正の内容】

【 ㊦ 2 1 】

