



(12)发明专利

(10)授权公告号 CN 104464595 B

(45)授权公告日 2017.02.01

(21)申请号 201410806187.4

审查员 刘占军

(22)申请日 2014.12.19

(65)同一申请的已公布的文献号

申请公布号 CN 104464595 A

(43)申请公布日 2015.03.25

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 孙拓

(74)专利代理机构 北京路浩知识产权代理有限公司

公司 11002

代理人 李相雨

(51)Int.Cl.

G09G 3/20(2006.01)

G09G 3/3266(2016.01)

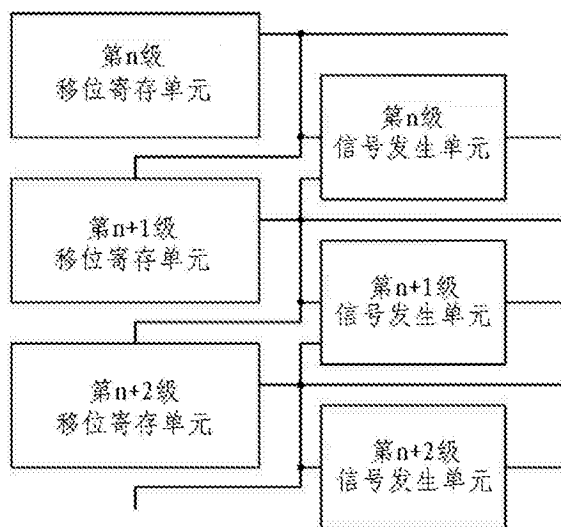
权利要求书2页 说明书7页 附图3页

(54)发明名称

扫描驱动电路及显示装置

(57)摘要

本发明涉及显示技术领域,公开了一种扫描驱动电路及显示装置,该扫描驱动电路包括用于在时钟信号的控制下按级输出扫描信号的多级移位寄存单元,所述移位寄存单元包括用于输出所述扫描信号的输出端,该扫描驱动电路还包括多级信号发生单元,其中,第n级信号发生单元分别连接第n级移位寄存单元的输出端和第n+j级移位寄存单元的输出端,第n级信号发生单元用于在由第n级移位寄存单元所输出的扫描信号的触发下将输出的第一电平转为第二电平,并在由第n+j级移位寄存单元所输出的扫描信号的触发下将输出的第二电平转为第一电平;所述n和j均为正整数。本发明可以减少时钟信号线的布线面积。



1. 一种扫描驱动电路,包括用于在时钟信号的控制下按级输出扫描信号的多级移位寄存单元,所述移位寄存单元包括用于输出所述扫描信号的输出端,其特征在于,该扫描驱动电路还包括多级信号发生单元,其中,第 n 级信号发生单元分别连接第 n 级移位寄存单元的输出端和第 $n+j$ 级移位寄存单元的输出端,第 n 级信号发生单元用于在由第 n 级移位寄存单元所输出的扫描信号的触发下将输出的第一电平转为第二电平,并在由第 $n+j$ 级移位寄存单元所输出的扫描信号的触发下将输出的第二电平转为第一电平;所述 n 和 j 均为正整数;

其中,所述信号发生单元由数字逻辑单元、数字逻辑单元组合或由薄膜晶体管作为基本元件的电路实现。

2. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第 n 级信号发生单元包括上升沿有效或者下降沿有效的边沿触发器。

3. 根据权利要求2所述的扫描驱动电路,其特征在于,所述第 n 级信号发生单元包括第一边沿触发器和第二边沿触发器;所述第一边沿触发器的触发信号输入端与第 n 级移位寄存单元的输出端相连;所述第二边沿触发器的触发信号输入端与第 $n+j$ 级移位寄存单元的输出端相连。

4. 根据权利要求3所述的扫描驱动电路,其特征在于,所述第 n 级信号发生单元中,所述第一边沿触发器用于在触发信号的上升沿或下降沿到达时将所述第二电平接至所述第 n 级信号发生单元的输出端,所述第二边沿触发器用于在触发信号的上升沿或下降沿到达时将所述第一电平接至所述第 n 级信号发生单元的输出端。

5. 根据权利要求1至4中任意一项所述的扫描驱动电路,其特征在于,所述时钟信号包括连接于第一时钟信号线的第一时钟信号和连接于第二时钟信号线的第二时钟信号,所述第一时钟信号与所述第二时钟信号的相位相反。

6. 根据权利要求5所述的扫描驱动电路,其特征在于,所述第 n 级信号发生单元包括:

第一开关元件,所述第一开关元件的控制端与所述第二时钟信号线相连、第一端与所述第 n 级移位寄存单元的输出端相连;

第二开关元件,所述第二开关元件的控制端与所述第一开关元件的第二端相连、第一端与高电平电压线相连;

第三开关元件,所述第三开关元件的控制端与所述第 $n+j$ 级移位寄存单元的输出端相连、第一端与所述第二开关元件的第二端相连、第二端与低电平电压线相连;

第四开关元件,所述第四开关元件的控制端与所述第二开关元件的第二端相连、第二端与低电平电压线相连;

第五开关元件,所述第五开关元件的控制端与所述第一开关元件的第二端相连、第一端与高电平电压线相连、第二端与所述第四开关元件的第一端相连;

第一电容,所述第一电容的第一端与高电平电压线相连、第二端与所述第一开关元件的第二端相连;

第二电容,所述第二电容的第一端与所述第五开关元件的第二端相连、第二端与所述第二开关元件的第二端相连;

用于输出所述第一电平或所述第二电平的输出端,所述输出端与所述第五开关元件的第二端相连。

7. 根据权利要求6所述的扫描驱动电路,其特征在于,所述移位寄存单元还包括输入

端;除第一级移位寄存单元的输入端与起始扫描信号线相连外,任意一级移位寄存单元的输入端与上一级移位寄存单元的输出端相连。

8. 根据权利要求7所述的扫描驱动电路,其特征在于,所述第n级移位寄存单元包括:

第六开关元件,所述第六开关元件的第一端与所述第n级移位寄存单元的所述输入端相连;

第七开关元件,所述第七开关元件的控制端与所述第六开关元件的第二端相连;

第八开关元件,所述第八开关元件的第一端与所述第七开关元件的第二端相连、第二端与低电平电压线相连;

第九开关元件,所述第九开关元件的控制端与所述第七开关元件的第二端相连、第一端与高电平电压线相连;

第十开关元件,所述第十开关元件的控制端与所述第六开关元件的第二端相连、第一端与所述第九开关元件的第二端相连;

第三电容,所述第三电容的第一端与高电平电压线相连、第二端与所述第七开关元件的第二端相连;

第四电容,所述第四电容的第一端与所述第九开关元件的第二端相连、第二端与所述第六开关元件的第二端相连;

所述第n级移位寄存单元的所述输出端与所述第九开关元件的第二端相连;

相邻级的两个移位寄存单元中,其中一级移位寄存单元中的所述第六开关元件的控制端、第七开关元件的第一端及所述第八开关元件的控制端与所述第一时钟信号线相连、所述第十开关元件的第二端与所述第二时钟信号线相连,另外一级移位寄存单元中的所述第六开关元件的控制端、第七开关元件的第一端及所述第八开关元件的控制端与所述第二时钟信号线相连、所述第十开关元件的第二端与所述第一时钟信号线相连。

9. 根据权利要求8所述的扫描驱动电路,其特征在于,所述开关元件为薄膜晶体管。

10. 一种显示装置,其特征在于,该显示装置包括如权利要求1至9中任意一项所述的扫描驱动电路。

11. 根据权利要求10所述的显示装置,其特征在于,所述显示装置为有机发光二极管显示装置。

扫描驱动电路及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种扫描驱动电路及显示装置。

背景技术

[0002] 常用显示装置的GOA(Gate driver on Array)电路,或称扫描驱动电路需要同时提供多种脉冲波形的扫描信号,例如一种AMOLED(Active Matrix/Organic Light Emitting Diode,有源矩阵有机发光二极管)显示装置中的每个像素需要由如图1所示的 R_n 、 G_n 、 E_n 三种扫描信号共同驱动(其中 n 代表移位寄存单元的级数或像素行数)。然而,为了同时对每行像素提供不同脉冲波形的扫描信号,传统的做法是分别以不同的时钟信号线控制不同的GOA电路单元,相对独立地生成每一种脉冲波形的扫描信号。但是随着业界对高分辨率和窄边框需求的提升,现有的相互独立的时钟信号线(通常至少有两组时钟信号线)的宽度已大大影响了相应布线区面积的缩小。例如,如图1所示的三种扫描信号通常至少需要2个不同的GOA电路单元(比如取 R_{n+1} 作为 G_n ,并单独生成 E_n),这使得1在布线区域中仅两组时钟信号线就占据了全部宽度的近1/3,大大制约了边框宽度的减小。

发明内容

[0003] 针对现有技术中的缺陷,本发明提供一种扫描驱动电路及显示装置,可以减少时钟信号线的布线面积。

[0004] 第一方面,本发明提供了一种扫描驱动电路,包括用于在时钟信号的控制下按级输出扫描信号的多级移位寄存单元,所述移位寄存单元包括用于输出所述扫描信号的输出端,其特征在于,该扫描驱动电路还包括多级信号发生单元,其中,第 n 级信号发生单元分别连接第 n 级移位寄存单元的输出端和第 $n+j$ 级移位寄存单元的输出端,第 n 级信号发生单元用于在由第 n 级移位寄存单元所输出的扫描信号的触发下将输出的第一电平转为第二电平,并在由第 $n+j$ 级移位寄存单元所输出的扫描信号的触发下将输出的第二电平转为第一电平;所述 n 和 j 均为正整数。

[0005] 优选地,所述第 n 级信号发生单元包括上升沿有效或者下降沿有效的边沿触发器。

[0006] 优选地,所述第 n 级信号发生单元包括第一边沿触发器和第二边沿触发器;所述第一边沿触发器的触发信号输入端与第 n 级移位寄存单元的输出端相连;所述第二边沿触发器的触发信号输入端与第 $n+j$ 级移位寄存单元的输出端相连。

[0007] 优选地,所述第 n 级信号发生单元中,所述第一边沿触发器用于在触发信号的上升沿或下降沿到达时将所述第二电平接至所述第 n 级信号发生单元的输出端,所述第二边沿触发器用于在触发信号的上升沿或下降沿到达时将所述第一电平接至所述第 n 级信号发生单元的输出端。

[0008] 优选地,所述时钟信号包括连接于第一时钟信号线的第一时钟信号和连接于第二时钟信号线的第二时钟信号,所述第一时钟信号与所述第二时钟信号的相位相反。

[0009] 优选地,所述第 n 级信号发生单元包括:

- [0010] 第一开关元件,所述第一开关元件的控制端与所述第二时钟信号线相连、第一端与所述第n级移位寄存单元的输出端相连;
- [0011] 第二开关元件,所述第二开关元件的控制端与所述第一开关元件的第二端相连、第一端与高电平电压线相连;
- [0012] 第三开关元件,所述第三开关元件的控制端与所述第n+j级移位寄存单元的输出端相连、第一端与所述第二开关元件的第二端相连、第二端与低电平电压线相连;
- [0013] 第四开关元件,所述第四开关元件的控制端与所述第二开关元件的第二端相连、第二端与低电平电压线相连;
- [0014] 第五开关元件,所述第五开关元件的控制端与所述第一开关元件的第二端相连、第一端与高电平电压线相连、第二端与所述第四开关元件的第一端相连;
- [0015] 第一电容,所述第一电容的第一端与高电平电压线相连、第二端与所述第一开关元件的第二端相连;
- [0016] 第二电容,所述第二电容的第一端与所述第五开关元件的第二端相连、第二端与所述第二开关元件的第二端相连;
- [0017] 用于输出所述第一电平或所述第二电平的输出端,所述输出端与所述第五开关元件的第二端相连。
- [0018] 优选地,所述移位寄存单元还包括输入端;除第一级移位寄存单元的输入端与起始扫描信号线相连外,任意一级移位寄存单元的输入端与上一级移位寄存单元的输出端相连。
- [0019] 优选地,所述第n级移位寄存单元包括:
- [0020] 第六开关元件,所述第六开关元件的第一端与所述第n级移位寄存单元的所述输入端相连;
- [0021] 第七开关元件,所述第七开关元件的控制端与所述第六开关元件的第二端相连;
- [0022] 第八开关元件,所述第八开关元件的第一端与所述第七开关元件的第二端相连、第二端与低电平电压线相连;
- [0023] 第九开关元件,所述第九开关元件的控制端与所述第七开关元件的第二端相连、第一端与高电平电压线相连;
- [0024] 第十开关元件,所述第十开关元件的控制端与所述第六开关元件的第二端相连、第一端与所述第九开关元件的第二端相连;
- [0025] 第三电容,所述第三电容的第一端与高电平电压线相连、第二端与所述第七开关元件的第二端相连;
- [0026] 第四电容,所述第四电容的第一端与所述第九开关元件的第二端相连、第二端与所述第六开关元件的第二端相连;
- [0027] 所述第n级移位寄存单元的所述输出端与所述第九开关元件的第二端相连;
- [0028] 相邻级的两个移位寄存单元中,其中一级移位寄存单元中的所述第六开关元件的控制端、第七开关元件的第一端及所述第八开关元件的控制端与所述第一时钟信号线相连、所述第十开关元件的第二端与所述第二时钟信号线相连,另外一级移位寄存单元中的所述第六开关元件的控制端、第七开关元件的第一端及所述第八开关元件的控制端与所述第二时钟信号线相连、所述第十开关元件的第二端与所述第一时钟信号线相连。

[0029] 优选地,所述开关元件为薄膜晶体管。

[0030] 第二方面,本发明还提供了一种显示装置,包括上述任意一种扫描驱动电路。

[0031] 优选地,所述显示装置为有机发光二极管显示装置。

[0032] 由上述技术方案可知,本发明通过设置信号发生单元,将第 n 级扫描信号与第 $n+j$ 级扫描信号作为另一种脉冲波形的扫描信号的触发,使得这种扫描信号在触发时转换电平(比如低电平转为高电平或高电平转为低电平),从而可以通过改变 j 的大小来设定该扫描信号的脉冲宽度。例如,若要通过图1中的扫描信号 R_n 得到扫描信号 E_n ,只需在 R_n 由高电平转为低电平时使得 E_n 由低电平转为高电平,并在 R_{n+2} 由高电平转为低电平时使得 E_n 由高电平转为低电平,即可通过 $j=2$ 的第 n 级信号发生单元生成了扫描信号 E_n 。也就是说,本发明可以根据一种扫描信号得到另一种扫描信号,也就是以包括一组时钟信号线的扫描驱动电路实现了通常需要至少两组时钟信号线的扫描驱动电路才能实现的功能,节约了布线面积、减少了逻辑单元的所需数量,有利于显示装置分辨率的提升、良率的提升以及边框宽度的减小。

附图说明

[0033] 图1是一种AMOLED显示装置中驱动每个像素所需的三种扫描信号的时序图;

[0034] 图2是本发明一个实施例中一种扫描驱动电路的结构框图;

[0035] 图3是本发明一个实施例中一种扫描驱动电路的局部电路图;

[0036] 图4是本发明一个实施例中一种扫描驱动电路的电路时序图。

具体实施方式

[0037] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0038] 图2示出了本发明一个实施例中一种扫描驱动电路的结构框图,该扫描驱动电路包括用于在时钟信号的控制下按级输出扫描信号的多级移位寄存单元,上述移位寄存单元包括输入端(与图2中移位寄存单元上侧的线条相连)和用于输出上述扫描信号的输出端(与图2中移位寄存单元右侧的线条相连)。在图2中,具体使除第一级移位寄存单元的输入端与起始扫描信号线相连外,任意一级移位寄存单元的输入端与上一级移位寄存单元的输出端相连,从而使得扫描信号可以在时钟信号的控制或触发下在各级移位寄存单元依次按级传递,并在每级移位寄存单元的输出端处输出。上述移位寄存单元的具体实现可以参见现有技术中的移位寄存器的电路结构。当然,移位寄存单元之间还可以以其他方式级联,本发明对此不做限制。

[0039] 该扫描驱动电路还包括多级信号发生单元,其中,第 n 级信号发生单元分别连接第 n 级移位寄存单元的输出端和第 $n+j$ 级移位寄存单元的输出端,第 n 级信号发生单元用于在由第 n 级移位寄存单元所输出的扫描信号的触发下将输出的第一电平转为第二电平,并在由第 $n+j$ 级移位寄存单元所输出的扫描信号的触发下将输出的第二电平转为第一电平;上述 n 和 j 均为正整数。图2中,具体以 $j=1$ 的为例展示了信号发生单元的连接方式,当然 j 也可以是其他正整数。

[0040] 其中需要说明的是,上述扫描信号的触发方式可以有多种,比如高电平触发、低电

平触发、上升沿有效的边沿触发或下降沿有效的边缘触发等等。在满足特定的触发条件时，信号发生单元可将输出的第一电平转为第二电平、或者将输出的第二电平转为第一电平。其中，第一电平与第二电平可分别为高电平与低电平中的一种。本文所说的高电平与低电位的电位均是整体或局部数字逻辑单元中统一规定的数值，在此不再赘述。可见，上述信号发生单元可由数字逻辑单元或其组合实现，也可由TFT(Thin Film Transistor, 薄膜晶体管)作为基本元件的电路实现。

[0041] 可见，本发明实施例通过上述信号发生单元的设置，将第 n 级扫描信号与第 $n+j$ 级扫描信号作为另一种脉冲波形的扫描信号(即信号发生单元输出的信号)的触发，使得这种扫描信号在触发时转换电平(比如低电平转为高电平或高电平转为低电平)，从而可以通过改变 j 的大小来设定该扫描信号的脉冲宽度。例如，若要通过图1中的扫描信号 R_n 得到扫描信号 E_n ，只需在 R_n 由高电平转为低电平时使得 E_n 由低电平转为高电平，并在 R_{n+2} 由高电平转为低电平时使得 E_n 由高电平转为低电平，即可通过 $j=2$ 的第 n 级信号发生单元生成了扫描信号 E_n 。而且，可以看出上例中采用的触发方式为下降沿有效的边缘触发，同理地通过将这一触发方式改变为其他触发方式，还可以实现上述信号发生单元所输出信号的相位的设定。

[0042] 也就是说，上例中的多级信号发生单元中，第 n 级信号发生单元包括下降沿有效的边沿触发器。上述第 n 级信号发生单元包括第一边沿触发器和第二边沿触发器；上述第一边沿触发器的触发信号输入端与第 n 级移位寄存单元的输出端相连；上述第二边沿触发器的触发信号输入端与第 $n+2$ 级移位寄存单元的输出端相连。上述第 n 级信号发生单元中，上述第一边沿触发器用于在触发信号的下降沿到达时将高电平接至上述第 n 级信号发生单元的输出端，上述第二边沿触发器用于在触发信号的下降沿到达时将低电平接至上述第 n 级信号发生单元的输出端。可见，采用两个下降沿有效的边沿触发器即可实现上述信号发生单元的功能，当然也可以参照上例改变边沿触发器的数量、连接关系或具体结构以得到更佳的输出信号质量，其显然不脱离本发明实施例的精神和范围。

[0043] 另外需要说明的是，在上述扫描驱动电路中的最后几级移位寄存单元处，信号发生单元可能会有不同的连接方式或设置方式，也有可能被其他具有类似功能的单元所代替，其属于扫描驱动电路尾部部分的特殊设计，本领域技术人员可以根据本发明实施例参照现有技术进行适应性的调整，其显然不脱离本发明实施例的精神和范围。

[0044] 由此可见，相比较分别以独立的GOA电路单元生成不同脉冲形状的扫描信号的技术方案，本发明可以根据一种扫描信号得到另一种扫描信号，也就是以一组时钟信号驱动的扫描驱动电路实现了通常需要两组时钟信号才能实现的功能，节约了布线面积、减少了逻辑单元的所需数量，有利于显示装置分辨率的提升、良率的提升以及边框宽度的减小。

[0045] 为了进一步说明本发明的技术方案，下面给出一种优选的扫描驱动电路的电路结构。

[0046] 参见图3所示出的一种扫描驱动电路的局部电路图，其中仅示出了第 n 级移位寄存单元、第 $n+1$ 级移位寄存单元和第 n 级信号发生单元，该扫描驱动电路的其他部分与这一部分电路的结构相近，而且，这里同样地仍以 $j=1$ 的情形为例。另外：

[0047] 上述时钟信号包括连接于第一时钟信号线的第一时钟信号CKR和连接于第二时钟信号线的第二时钟信号CKRB，所述第一时钟信号CKR与所述第二时钟信号CKRB的相位相反，

可见该扫描驱动电路仅需要一对时钟信号线。

[0048] 上述第n级信号发生单元包括：

[0049] 第一开关元件Ta,第一开关元件Ta的控制端与第二时钟信号线(图3中的CKRB)相连、第一端与第n级移位寄存单元的输出端(图3中右侧的Rn处)相连；

[0050] 第二开关元件Tb,第二开关元件Tb的控制端与第一开关元件Ta的第二端相连、第一端与高电平电压线VGH相连；

[0051] 第三开关元件Tc,第三开关元件Tc的控制端与第n+1级移位寄存单元的输出端(图3中的Rn+1处)相连、第一端与第二开关元件Tb的第二端相连、第二端与低电平电压线VGL相连；

[0052] 第四开关元件Td,第四开关元件Td的控制端与第二开关元件Tb的第二端相连、第二端与低电平电压线VGL相连；

[0053] 第五开关元件Te,第五开关元件Te的控制端与第一开关元件Ta的第二端相连、第一端与高电平电压线VGH相连、第二端与第四开关元件Td的第一端相连；

[0054] 第一电容Ca,第一电容Ca的第一端与高电平电压线VGH相连、第二端与第一开关元件Ta的第二端相连；

[0055] 第二电容Cb,第二电容Cb的第一端与第五开关元件Te的第二端相连、第二端与第二开关元件Tb的第二端相连；

[0056] 用于输出上述第一电平(这里具体为低电平)或第二电平(这里具体为高电平)的输出端,输出端与第五开关元件Te的第二端相连。

[0057] 上述第n级移位寄存单元包括：

[0058] 第六开关元件T11,第六开关元件T11的第一端与第n级移位寄存单元的输入端(图3中的Rn-1处)相连；

[0059] 第七开关元件T12,第七开关元件T12的控制端与第六开关元件T11的第二端相连；

[0060] 第八开关元件T13,第八开关元件T13的第一端与第七开关元件T12的第二端相连、第二端与低电平电压线VGL相连；

[0061] 第九开关元件T14,第九开关元件T14的控制端与第七开关元件T12的第二端相连、第一端与高电平电压线VGH相连；

[0062] 第十开关元件T15,第十开关元件T15的控制端与第六开关元件T11的第二端相连、第一端与第九开关元件T14的第二端相连；

[0063] 第三电容C11,第三电容C11的第一端与高电平电压线VGH相连、第二端与第七开关元件T12的第二端相连；

[0064] 第四电容C12,第四电容C12的第一端与第九开关元件T14的第二端相连、第二端与第六开关元件T11的第二端相连；

[0065] 第n级移位寄存单元的输出端(图3中右侧的Rn处)与第九开关元件T14的第二端相连。

[0066] 图3中第n+1级移位寄存单元的结构与第n级移位寄存单元的结构相同(附图标记不同),包括:第六开关元件T21、第七开关元件T22、第八开关元件T23、第九开关元件T24、第十开关元件T25、第三电容C21、第四电容C22、输入端(图3中左侧的Rn处)、输出端(图3中Rn+1处)。

[0067] 而且,相邻级的两个移位寄存单元中,其中一级移位寄存单元(例如图3中的第n级移位寄存单元)中的第六开关元件T11的控制端、第七开关元件T12的第一端及第八开关元件T13的控制端与第一时钟信号线(图3中的CKR)相连、第十开关元件T15的第二端与第二时钟信号线(图3中的CKRB)相连,另外一级移位寄存单元(例如图3中的第n+1级移位寄存单元)中的第六开关元件T21的控制端、第七开关元件T22的第一端、及第八开关元件T23的控制端与第二时钟信号线(图3中的CKRB)相连、第十开关元件T25的第二端与第一时钟信号线(图3中的CKR)相连。

[0068] 上述开关元件是一种在控制端的控制下导通或断开第一端与第二端之间电连接的电子元器件(导通或断开以通过电流大小界定,且可以有多种界定方式)。在本发明实施例中,上述开关元件为P沟道的薄膜晶体管(TFT),且开关元件的第一端为TFT的源极、第二端为TFT的漏极、控制端为TFT的栅极。

[0069] 上述扫描驱动电路的电路时序图如图4所示,其中:

[0070] 以第n级移位寄存单元为例,阶段I中:前一级移位寄存单元的输出信号 R_{n-1} 由高电平转为低电平,同时CKR为低电平而T11、T13处于打开状态,因而T12、T15的栅极电位置低,使得T12、T15打开;从而T14的栅极电位也被置低,C12存入低电位,从而T14打开使得本级输出信号 R_n 被置为高电位。阶段II中:CKR转为高电平,T11、T13关闭,由于C12的电位保持作用T12、T15维持打开状态,而C11存入高电位、C14关闭,从而本级输出信号 R_n 被置为低电位。阶段III中:CKR又转回低电平、T11与T13打开,而由于 R_{n-1} 此时为高电平,T12、T15关闭,C11存入低电位,因而T14的栅极电位被置低、T14打开,本级输出信号 R_n 被置为高电位。由此,在第一时钟信号CKR和第二时钟信号CKRB的控制(或者说驱动、触发)下,多级移位寄存单元会按照上述过程完成扫描信号的逐级输出,如图4中的 R_{n-1} 、 R_n 和 R_{n+1} 所示。

[0071] 第n级信号发生单元中:当 R_n 为低电平时,CKBR也为低电平, R_{n+1} 为高电平,因而 T_a 打开、 T_c 关闭。此时 T_b 栅极为低电平, T_b 、 T_e 打开而 T_d 关闭, E_n 输出VGH的高电平。当 R_n 与 R_{n+1} 均被置为高电平时,则由于电容 C_a 与 C_b 的保持作用, E_n 的输出状态会被保持。当 R_{n+1} 被置为低电平时, T_a 、 T_c 打开, T_b 栅极处于高电位,此时 T_d 打开而 T_b 、 T_e 关闭, E_n 输出VGL的低电平。由此,上述结构实现了下降沿有效的两个边沿触发器的等效结构, E_n 的脉冲形状如图4中的 E_n 所示。

[0072] 在本发明实施例中,上述一个或多个P沟道的薄膜晶体管也可以采用N沟道的薄膜晶体管代替,为了不改变上述各个单元的功能,此时需要进行以下的适应性调整:调换对应开关元件的第一端与第二端(及源极和漏极接线互换)、翻转特定信号的高低电平,这对于本领域技术人员来说是熟知的,在此不再赘述。

[0073] 当然,根据本发明实施例本领域技术人员还可以改变j的值来调整 E_n 的脉冲宽度、改变触发方式以调整 E_n 的相位、使用具有其他结构的移位寄存单元或信号发生单元、改变移位寄存单元的级联关系、改变局部移位寄存单元与信号发生单元的连接关系、或者设计可在局部替代信号发生单元的结构等等,其只有利用上述信号发生单元或其等同结构根据一种扫描信号得到另一种扫描信号,就显然不脱离本发明实施例的精神和范围。

[0074] 本发明还提供了一种显示装置,该显示装置包括上述任意一种扫描驱动电路,该显示装置可以为:显示面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。优选地,该显示装置可以为有机发光二极管显示装

置,在OLED面板中的像素单元通常需要多种脉冲形状的扫描信号同时驱动,所以其可以利用上述任意一种扫描驱动电路节约布线面积、减少逻辑单元的所需数量,以提升显示装置的分辨率、良率并减小边框的宽度。

[0075] 在本发明的描述中需要说明的是,术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0076] 还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0077] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。

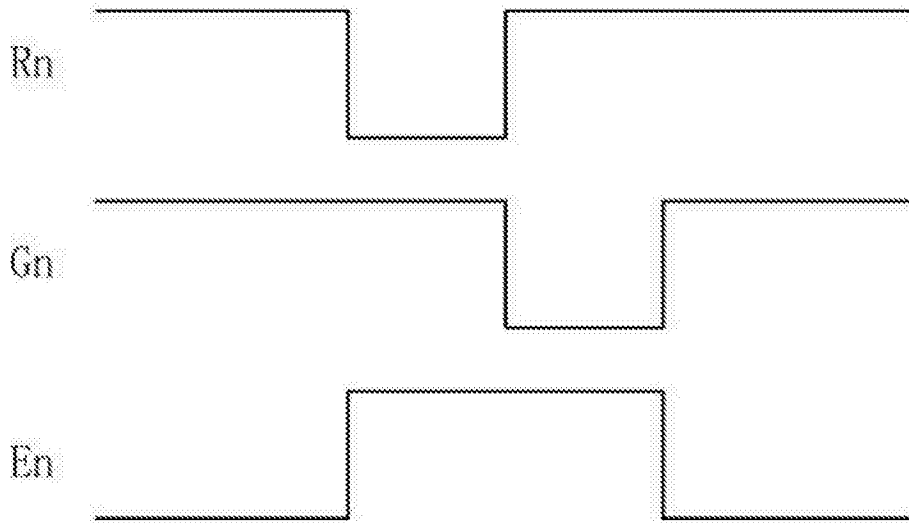


图1

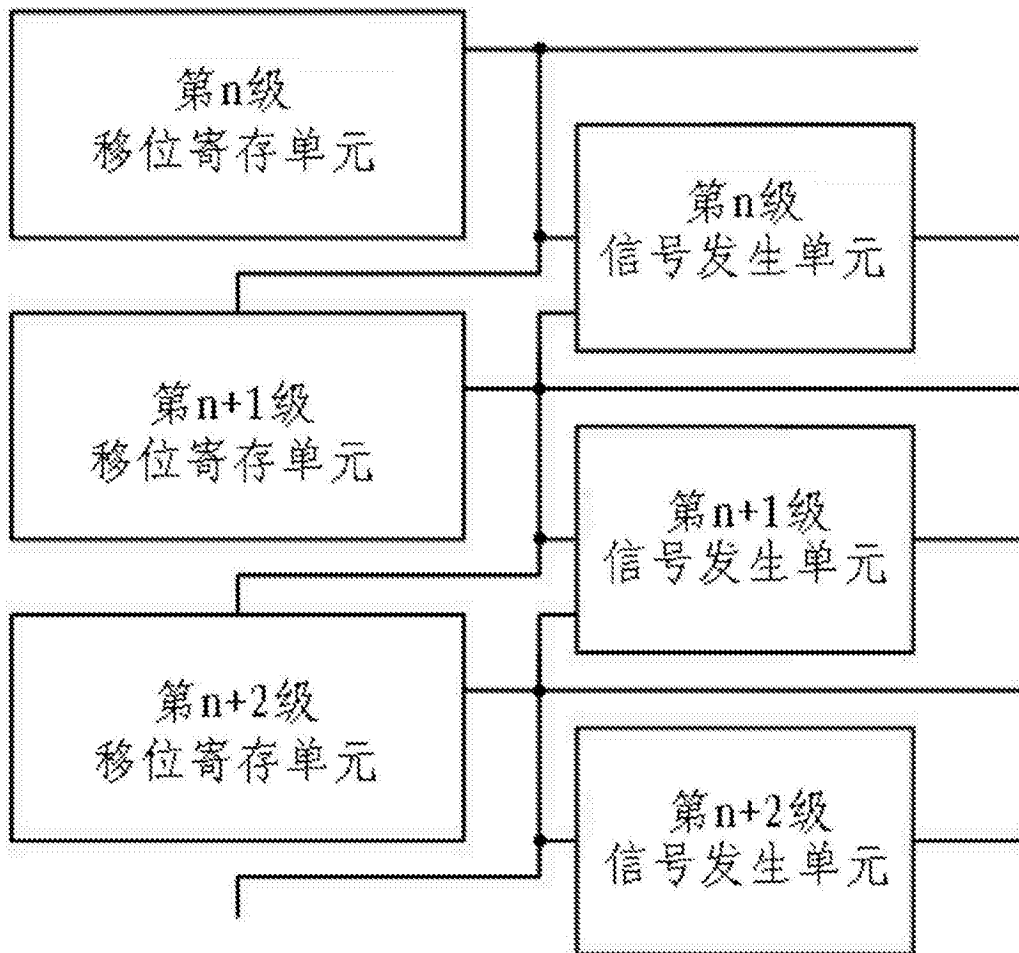


图2

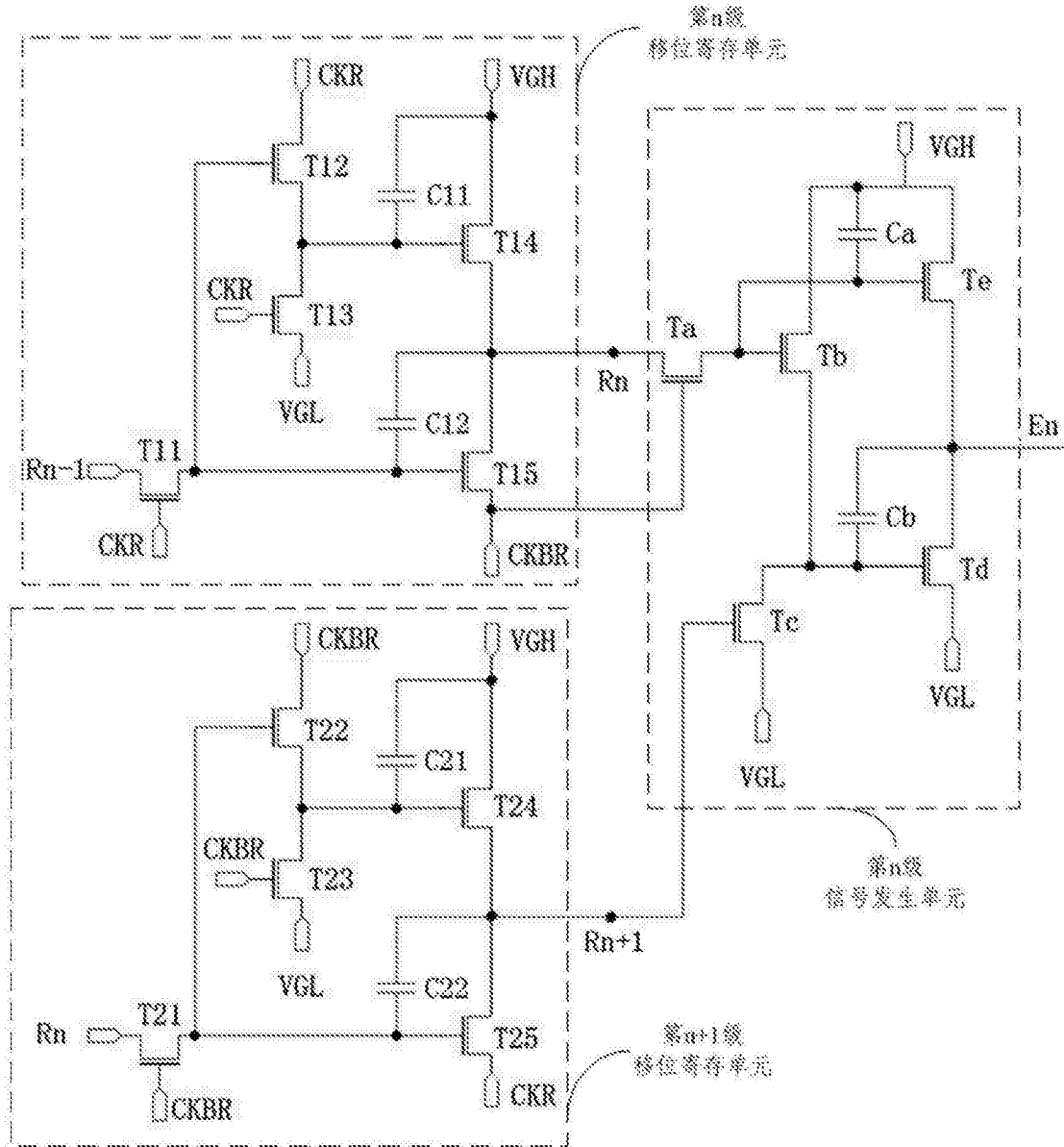


图3

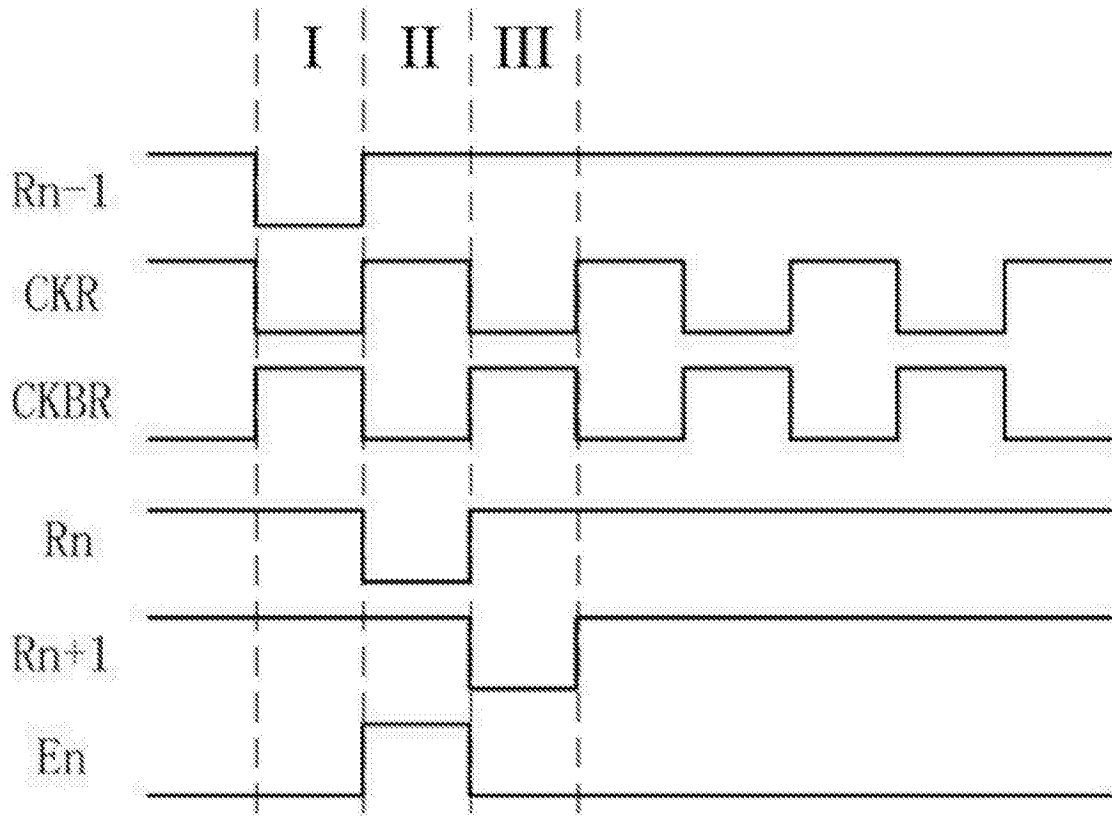


图4