



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0079839  
(43) 공개일자 2012년07월13일

- (51) 국제특허분류(Int. C1.)  
*G01R 1/04* (2006.01) *G01R 1/067* (2006.01)  
*G01R 31/26* (2006.01) *G01R 31/28* (2006.01)
- (21) 출원번호 10-2012-7010603
- (22) 출원일자(국제) 2010년09월21일  
심사청구일자 없음
- (85) 번역문제출일자 2012년04월25일
- (86) 국제출원번호 PCT/US2010/049559
- (87) 국제공개번호 WO 2011/041158  
국제공개일자 2011년04월07일
- (30) 우선권주장  
JP-P-2009-224929 2009년09월29일 일본(JP)

- (71) 출원인  
쓰리엠 이노베이티브 프로퍼티즈 컴파니  
미국 55133-3427 미네소타주 세인트 폴 피.오.박  
스 33427 쓰리엠 센터
- (72) 발명자  
쯔바끼 유이찌  
일본 158-8583 도쿄도 세파가야구 다마가와다이  
2-초메 1 33
- (74) 대리인  
김영, 양영준

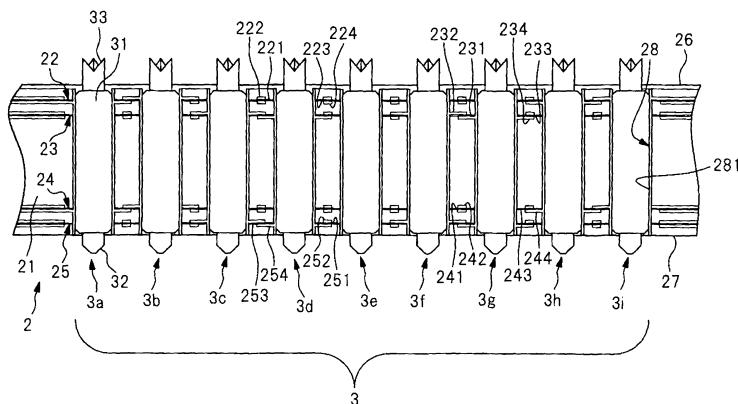
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 IC 소자 시험 소켓

### (57) 요 약

접촉 펈의 교체 작업성을 열화시키지 않고서 IC 소자의 시험 동안에 신호 전송 효율을 향상시킬 수 있는 IC 소자 시험 소켓을 제공한다. 기판(2)은 유리 에폭시와 같은 유전성 재료에 의해 구성되는 기재(21)에 매립된 유전성 층(22 내지 25)을 갖는다. 각각의 유전성 층은 양측에 형성된 구리와 같은 전도성 층을 갖는다. 접촉 펈(3)들 각각은 기판(2)의 표면(26, 27)들에 대체로 수직으로 연장되어, 기판(2)을 관통한다. 각각의 접촉 펈이 내부로 압입될 수 있는 관통 구멍(28)이 기판(2)의 기재(21), 각각의 고 유전성 층 및 전도성 층에 형성된다. 구리와 같은 전도성 재료(281)가 각각의 관통 구멍(28)의 내측 표면 상에 형성된다.

### 대 표 도 - 도3



## 특허청구의 범위

### 청구항 1

기판(substrate); 및

기판에 제공된 관통 구멍 내에서 마찰력에 의해 각각 유지되는 복수의 전도성 접촉 핀을 포함하며,

기판은

기재(base material),

기재 상에 적층되고 기재의 유전상수(dielectric constant)보다 더 높은 유전상수를 갖는 적어도 하나의 유전성 층, 및

기재 상에 적층되고 유전성 층의 양측에 제공되는 전도성 층들을 포함하고,

복수의 전도성 접촉 핀 중 적어도 하나는 전도성 층들 중 적어도 하나에 전기적으로 접속되는 IC 소자 시험 소켓.

### 청구항 2

제1항에 있어서, 관통 구멍의 내측 표면 상에 전도성 재료가 제공되고, 전도성 재료는 전도성 층들 중 적어도 하나에 전기적으로 접속되는 IC 소자 시험 소켓.

### 청구항 3

제1항 또는 제2항에 있어서, 유전성 층은 기판의 전방측 표면 근처에 위치되는 IC 소자 시험 소켓.

### 청구항 4

제3항에 있어서, 기판은 기판의 후방측 표면 근처에 위치되는 유전성 층을 추가로 포함하는 IC 소자 시험 소켓.

### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 전도성 접촉 핀은 기판의 관통 구멍 내로 압입되는 핀 몸체, 및 핀 몸체의 각각의 단부로부터 돌출하는 접촉부를 가지며, 핀 몸체의 종방향 길이는 기판의 두께와 대체로 동일한 IC 소자 시험 소켓.

### 청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 기판을 지지하도록 구성된 안내체를 추가로 포함하며,

안내체는

시험될 IC 소자를 기판 상의 미리 결정된 위치에 위치시키는 안내부, 및

IC 소자 시험 소켓을, IC 소자를 시험하는 시험 소자의 미리 결정된 위치에 위치시키는 위치결정부를 포함하는 IC 소자 시험 소켓.

### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 전도성 층들은 전원 층 및 접지 층을 포함하며,

복수의 전도성 접촉 핀은

전원 층에 전기적으로 접속되는 전원 핀,

접지 층에 전기적으로 접속되는 접지 핀, 및

전원 층 및 접지 층 중 어디에도 전기적으로 접속되지 않는 신호 핀을 포함하는 IC 소자 시험 소켓.

## 청구항 8

제1항 내지 제7항 중 어느 한 항에 따른 IC 소자 시험 소켓을 포함하는 시험 소자.

## 명세서

### 기술 분야

[0001] 본 발명은 CPU 또는 메모리 소자(memory device)와 같은 반도체 집적 회로(이하, "IC"라 함) 소자를 시험하는데 사용되는 소켓에 관한 것으로, 특히 반도체 패키지를 시험하기 위한 커패시터(capacitor) 기능을 갖는 IC 소자 시험 소켓에 관한 것이다.

### 배경기술

[0002] BGA(볼 그리드 어레이(ball grid array)) 소자와 같은 IC 소자의 신호 전송 특성 등의 평가 시험을 실행함에 있어서, IC 소자의 각각의 단자에 각각 접속 가능한 접점을 갖는 IC 소켓이 사용된다. 최근에는, IC 소자의 처리 속도가 더 높아짐에 따라, IC 소자에 사용되는 신호의 주파수가 더 높아지고 있다. 그러한 고속 신호에 대응하여, IC 소켓은 고속 신호를 전송할 것이 요구된다.

[0003] 고속 신호를 전송하기 위하여, IC 소켓에 포함되는 접촉 펈의 자체 인덕턴스(self-inductance)가 낮은 것이 바람직하다. 따라서, 일반적으로, 접촉 펈이 짧은 길이 및 큰 직경을 갖는 것이 바람직하다.

[0004] 고속 신호에 대응하는 다른 방법이 특히 문헌 1에 기술되어 있다. 특히 문헌 1에는, "본 발명의 LSI 소켓(101)은 인쇄 보드(102), POGO 펈(103) 및 POGO 펈 지지 케이스(104)로 구성된다. 인쇄 보드(102)는 POGO 펈(103)이 삽입되는 복수의 관통 구멍(109)을 갖는다. POGO 펈(103)은 제1 전원 펈(105), 제1 전력 펈과는 상이한 인가 전압을 갖는 제2 전원 펈(106), GND 펈(107), 및 신호 펈(108)을 포함한다. 신호 펈(108)용 관통 구멍 외에 각각의 관통 구멍(109)의 내측 표면에는, 도금 층(116)이 형성된다."고 기술되어 있다.

[0005] 특히 문헌 2에는, "일반적으로, 전원 프로브용 바이패스 칩 커패시터는 시험 소켓의 하부측의 인쇄 보드에서 소자에 가능한 전기적으로 근접하여 있는 배선 패턴 상에 장착된다." 그리고, "시험될 소자 바로 아래에 있는 시험 소켓의 상부 부분 상에 칩 커패시터를 장착할 필요가 있다."고 기술되어 있다.

### 선행기술문헌

#### 특허문헌

[0006] (특허문헌 0001) [PTL1] 국제특허공개 WO 2005/006003호

(특허문헌 0002) [PTL2] 일본 특허 공개 공보 제2009-85948호

### 발명의 내용

[0007] 전술된 바와 같이, 접촉 펈은 두껍고 짧을 것이 요구된다. 그러나, 접촉 펈의 두께 또는 직경을 증가시키는데에 있어서, IC 소자의 각각의 단자 사이의 피치가 더 좁아지기 때문에 한계가 있다. 한편, 접촉 펈은 일반적으로 고가이기 때문에, 접촉 펈은 보통은 접촉 펈이 반복적으로 사용되고 접촉 펈의 신뢰성이 열화된 후에 다른 것으로 교체된다. 따라서, 접촉 펈의 교체 작업성의 관점에서, 접촉 펈이 소정의 최소 길이를 가질 것이 필요하다.

[0008] 그렇지 않으면, 고주파 신호를 따르도록, IC 소켓에 통합된 접촉 펈 또는 IC 소켓의 케이싱에 커패시터가 직접 접속될 수 있다. 그러나, 커패시터가 IC 소켓의 접촉 펈 또는 케이싱에 직접 접속되는 경우, IC 소켓의 체적이 커지게 되며, 이에 의해 IC 소켓의 복수의 접촉 펈은 고밀도로 배열될 수 없다. 그러나, 커패시터가 IC 소켓의 보드 근처 또는 케이싱 상에 위치되거나 케이싱에 접속될 수 있는 경우에도, 커패시터는 접촉 펈으로부터 수 밀리미터 초과만큼 떨어진 장소에만 위치되거나 그에 접속될 수 있다. 그러한 경우에, 커패시터로부터 접촉 펈까지의 와이어의 길이로 인해, 커패시터의 기능은 효과적으로 발휘될 수 없다.

[0009] 따라서, 본 발명은, 접촉 펈을 교체하는 능력을 열화시키지 않고서, IC 소자의 시험 동안에 신호 전송 효율을 향상시킬 수 있는 IC 소자 시험 소켓을 제공한다.

[0010] 전술된 본 발명의 목적을 달성하기 위해, 본 발명은 기판; 및 기판에 제공된 관통 구멍 내에서 마찰력에 의해 각각 유지되는 복수의 전도성 접촉 핀을 포함하며, 기판이 기재(base material), 기재 상에 적층되고 기재의 유전상수(dielectric constant)보다 더 높은 유전상수를 갖는 적어도 하나의 유전성 층, 및 기재 상에 적층되고 유전성 층의 양측에 제공되는 전도성 층들을 포함하고, 복수의 전도성 접촉 핀 중 적어도 하나가 전도성 층들 중 적어도 하나에 전기적으로 접속되는 IC 소자 시험 소켓을 제공한다.

[0011] 본 발명에 따른 IC 소자 시험 소켓에 있어서, 실질적으로 일체형인 기판은 상호 작용식으로 커패시터를 구성하는 고 유전성 층 및 전도성 층, 및 커패시터를 포함하는 기재에 의해 형성될 수 있고, 이에 의해 접촉 핀과 커패시터 사이의 거리가 상당히 작아질 수 있어서 IC 소켓의 성능이 향상될 수 있다. 또한, 각각의 접촉 핀이 기판 내로 압입되어 기판에 의해 유지되기 때문에, 기판은 각각의 접촉 핀의 지지부로서 또한 기능할 수 있으며, 이에 의해 접촉 핀을 지지하기 위한 다른 부재가 필요하지 않다.

### 도면의 간단한 설명

[0012] <도 1>

도 1은 본 발명의 일 실시예에 따른 IC 소켓의 사시도.

<도 2>

도 2는 도 1의 II-II 선에 따른 단면도.

<도 3>

도 3은 도 2의 III 부분의 확대도.

### 발명을 실시하기 위한 구체적인 내용

[0013] 도 1은 본 발명의 일 실시예에 따른 IC 소자 시험 소켓(이하, IC 소켓이라 함)(1)의 사시도이며, 도 2는 도 1의 II-II 선에 따른 단면도이다. IC 소켓(1)은 기판(2), 기판(2)에 의해 유지되는(예를 들어, 기판 내로 압입되는) 복수의 전도성 접촉 핀(3), 및 기판(2)을 지지하는 안내체(4)를 갖는다. 안내체(4)는 시험될 IC 소자(도시되지 않음)를 기판(2) 상의 미리 결정된 위치에 배치하기 위한 안내 표면(41)을 갖는다. 안내체(4)는 IC 소자를 시험하는 시험 소자(도시되지 않음)의 미리 결정된 위치에 IC 소켓(1)을 배치하기 위한 위치결정 부재(도 2에 도시된 바와 같은 위치결정 핀(42))를 추가로 갖는다. 안내체(4)는 필요한 경우, IC 소켓에 통합될 수 있다. 기판(2)은 위치결정 부재와 상호작용식으로 위치결정 기구를 구성할 수 있는 구멍 또는 노치를 가질 수 있다.

[0014] 도 2의 부분 III의 확대도를 나타내는 도 3에 도시된 바와 같이, 기판(2)은 유리 에폭시와 같은 유전성 재료로 구성되는 기재(base material)(21) 상에 적층된 (바람직하게는, 매립된) 적어도 하나(본 실시예에서는 4개)의 유전성 층(22 내지 25)을 갖는다. 각각의 유전성 층은 구리와 같은 전도성 층이 유전성 층의 양측에 제공된다. 따라서, 각각의 유전성 층 및 그 양측의 전도성 층은 상호작용식으로 커패시터를 구성한다. 다시 말하면, 기판(2)은 기재(21), 전도성 층 및 유전성 층을 적층함으로써 구성된다. 커패시터의 용량(capacitance)을 증가시키기 위하여, 각각의 유전성 층의 유전상수가 가능한 높은 것이 바람직하다. 또한, 각각의 유전성 층이 기재(21)의 유전상수보다 더 높은 유전상수를 갖는 고 유전성 부재인 것이 바람직하다. 고 유전성 재료로서, 쓰리엠 컴퍼니(3M Company)로부터 입수가능한 "매립형 커패시터 재료(Embedded Capacitor Material(ECM))"가 사용될 수 있다. ECM은 고 유전성 재료로부터 가요성 시트로서 제공된다. 그러한 기판은 인쇄 회로 보드의 제조 방법에 의해 제조될 수 있다.

[0015] 기판(2)을 구성하는 재료는 유리 섬유 대신 종이를 포함할 수 있으며, 에폭시 수지를 대신하여 폐놀 수지 또는 폴리아미드 수지를 포함할 수 있다. 전도성 층을 구성하는 재료로서, 구리를 대신하여 은 또는 금이 사용될 수 있다. 유전성 층은 중합체를 포함할 수 있다. 바람직하게는, 유전성 층은 중합체 및 복수의 입자를 포함한다. 구체적으로, 유전성 층은 수지와 입자를 혼합함으로써 제조될 수 있다. 바람직한 수지에는 에폭시, 폴리이미드, 폴리비닐리덴-플루오라이드, 시아노에틸 폴루란, 벤조사이클로부텐, 폴리노르보르넨, 폴리테트라플루오로-에틸렌, 아크릴레이트 및 이들의 혼합물이 포함될 수 있다. 입자에는 유전성(절연) 입자, 예를 들어, 티탄산바륨, 티탄산바륨스트론튬, 산화티타늄, 티탄산납지르코늄, 및 이들의 혼합물을 포함할 수 있다.

[0016] 예를 들어, 각각의 유전성 층의 두께는  $0.5\mu\text{m}$  이상일 수 있다. 각각의 유전성 층의 두께는  $20\mu\text{m}$  이하일 수 있다. 두께가 작을수록, 커패시터의 정전 용량은 커진다. 예를 들어, 두께는  $15\mu\text{m}$  또는  $10\mu\text{m}$  이하일 수 있

다. 한편, 두께가 클수록, 접착 강도가 강해진다. 예를 들어, 두께는  $1\mu m$  이상일 수 있다.

[0017] 유전성 층의 상대 유전율(permittivity)은 가능한 높은 것이 바람직하다. 예를 들어, 상대 유전율은 10 또는 12 이상일 수 있다. 상대 유전율의 상한은 없지만, 상대 유전율은 30, 20 또는 16 이하일 수 있다.

[0018] 유전성 층으로서 고 유전성 재료가 사용되는 경우, 이웃하는 커패시터들 사이의 거리가 유리하게 감소될 수 있다. 2개의 커패시터들이 서로 근접하여 위치되는 경우, 하나의 커패시터의 전원 층과 이웃하는 다른 커패시터의 접지(GND) 층 사이에서 정전 커패시턴스(electrostatic capacitance)가 또한 얻어질 수 있다. 전도성 층들 사이에 고 유전성 재료가 사용되고 이에 의해 정전 커패시턴스가 얻어져야 하는 경우에, 하나의 커패시터의 전도성 층들 사이의 거리 및 2개의 이웃하는 커패시터들 사이의 거리가 서로 동일한 때에도, 각각의 커패시터의 정전 커패시턴스는 증가될 수 있다. 따라서, 이웃하는 커패시터들 사이의 거리가 비교적 작아질 수 있고, 이에 의해 보드의 두께가 감소될 수 있다.

[0019] 각각의 고 유전성 층의 양측에 형성된 전도성 층들 중에, 하나의 전도성 층은 IC 소켓의 전원 편에 전기적으로 접속되는 전원 층을 구성하고, 다른 전도성 층은 IC 소켓의 접지 편에 전기적으로 접속되는 접지(GND) 층을 구성한다. 상세하게, 기판(2)의 IC 소자측 표면(도 3의 상단 표면)(26)에 가장 근접한 제1 유전성 층(21)의 상부 표면(221) 상에 제1 전원 층(222)이 형성된다. 또한, 제1 유전성 층(21)의 하부 표면(223) 상에 제1 GND 층(224)이 형성된다. 유사하게, 제1 유전성 층(21) 바로 아래의 제2 유전성 층(22)의 상부 표면(231) 상에 제2 전원 층(232)이 형성된다. 또한, 제2 유전성 층(22)의 하부 표면(233) 상에 제2 GND 층(234)이 형성된다. 기판(2)의 시험 소자측 표면(도 3의 바닥 표면)(27)에 가장 근접한 제4 유전성 층(25)의 상부 표면(251) 상에 제4 전원 층(252)이 형성된다. 또한, 제4 유전성 층(25)의 하부 표면(253) 상에 제4 GND 층(254)이 형성된다. 유사하게, 제4 유전성 층(25) 바로 위의 제3 유전성 층(24)의 상부 표면(241) 상에 제3 전원 층(242)이 형성된다. 또한, 제3 유전성 층(24)의 하부 표면(243) 상에 제3 GND 층(244)이 형성된다. 이와 관련하여, 제1 및 제3 전원 층(222, 242)들은 실질적으로 동일 전위이고, 제2 및 제4 전원 층(232, 252)들은 실질적으로 동일 전위이다. 유사하게, 제1 및 제3 GND 층(224, 244)들은 실질적으로 동일 전위이고, 제2 및 제4 GND 층(234, 254)들은 실질적으로 동일 전위이다.

[0020] 각각의 고 유전성 층 및 그 양측의 전도성 층들이 기판(2) 상에 제공된다. 따라서, 이렇게 형성된 커패시터의 면적은 기판(2)의 면적과 대체로 동일할 수 있다.

[0021] 각각의 접촉 편(3)은 기판(2)의 표면(26, 27)들에 대체로 수직으로 연장되어, 기판(2)을 관통한다. 상세하게, 각각의 접촉 편이 내부로 압입될 수 있는 관통 구멍(28)이 기판(2)의 기재(21), 각각의 고 유전성 층 및 전도성 층에 형성된다. 구리, 은 또는 금과 같은 전도성 재료(281)가 도금 등에 의해 각각의 관통 구멍(28)의 내측 표면에 제공된다. 전도성 재료(281)를 전도성 층들 중 하나에 전기적으로 접속시킴으로써, 접촉 편이 신호 편인 것을 제외하고는, 접촉 편(3)의 편 몸체(31)는 전도성 재료(281)를 통해 전도성 층들 중 하나에 전기적으로 접속된다. 신호 편을 위한 관통 구멍의 내측 표면 상에 전도성 재료(281)를 형성하는 것은 선택적이다.

[0022] 각각의 관통 구멍(28)의 치수는, IC 소켓(1)이 시험 소자의 보드 상에 위치될 때, 관통 구멍 내로 삽입되어 이에 의해 유지되는 접촉 편(3)이 접촉 편에 통합되어 있는 스프링의 반발력으로 인해 빠지지 않도록 결정된다. 예를 들어, 접촉 편의 유지력은 0.1 N 이상인 것이 바람직하다. 또한, 각각의 관통 구멍(28)의 치수는, 접촉 편이 수리 또는 교체되어야 할 때, 접촉 편이 관통 구멍으로부터 용이하게 빼내지도록 결정된다. 예를 들어, 접촉 편의 유지력은 2.0 N 이하인 것이 바람직하다.

[0023] 각각의 접촉 편(3)은 기판(2) 내로 압입되어 기판에 의해 유지되는 대체로 원통형인 편 몸체(31), 편 몸체(31)의 일단부(본 실시예에서는 하단부)로부터 돌출하고 시험 소자에 전기적으로 접촉하는 제1 접촉부(32), 및 편 몸체(31)의 타단부(본 실시예에서는 상단부)로부터 돌출하고 IC 소자에 전기적으로 접촉하는 제2 접촉부(33)를 갖는다. 접촉 편은 여러 유형의 형상을 가질 수 있다. 2개의 접촉부(32, 33)가 스프링 등(도시되지 않음)에 의해 편 몸체(31)에 대해 변위될 수 있는 POGO 편 유형이 바람직하다.

[0024] 접촉 편(3)의 편 몸체(31)는 원통형인 것이 바람직하다. 그러한 접촉 편에서, 편 몸체(31)의 외측 표면은 관통 구멍(28)의 내측 표면과 넓은 면적에서 접촉할 수 있으며, 이에 의해 접촉 편은 관통 구멍(28)과 동축으로 정렬될 수 있다. 또한, 전도성 재료(281)와 접촉 편 사이의 넓은 접촉 영역으로 인해, 이들 사이의 전기적 접속은 안정될 수 있다.

[0025] 접촉 편(3)들은 전원 층에 전기적으로 접속되는 전원 편, GND 층에 전기적으로 접속되는 접지(GND) 편, 및 이

들 중 중 어디에도 접속되지 않는 신호 핀으로 분류될 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 제1 및 제3 전원 층(222, 242)들에 접속된 접촉 핀(3b, 3i)들 각각은 제1 전원 핀으로서 기능한다. 제2 및 제4 전원 층(232, 252)에 접속된 접촉 핀(3c, 3f)들 각각은 제2 전원 핀으로서 기능한다. 유사하게, 제1 및 제3 GND 층(224, 244)들에 접속된 접촉 핀(3a, 3h)들 각각은 제1 GND 핀으로서 기능한다. 제2 및 제4 GND 층(234, 254)들에 접속된 접촉 핀(3d, 3g)들 각각은 제2 GND 핀으로서 기능한다. 이들 중 중 어디에도 접속되지 않는 접촉 핀(3e)은 신호 핀으로서 기능한다.

[0026] 본 발명의 일 실시예에서, 커패시터를 구성하는 고 유전성 층 및 전도성 층, 및 커패시터가 매립되는 기재로 인해, 기판은 실질적으로 일체로 형성될 수 있다. 따라서, 접촉 핀과 커패시터 사이의 거리는 상당히 짧을 수 있으며, 이에 의해 IC 소켓의 성능이 향상될 수 있다. 각각의 접촉 핀이 마찰력에 의해 기판에 의해 유지(바람직하게는, 기판 내로 압입)되기 때문에, 기판은 접촉 핀에 대한 지지부로서 기능할 수 있으며, 이에 의해 접촉 핀을 지지하기 위한 추가적인 부재가 필요치 않다. 다시 말하면, 각각의 접촉 핀은 기판만으로 유지 및 위치결정될 수 있다.

[0027] 또한, 고 유전성 재료를 사용함으로써, 기판의 두께는 상당히 감소될 수 있다.

[0028] 도 3에 도시된 바와 같이, 전원 층과 GND 층에 의해 사이에 개재된 고 유전성 층을 갖는, 기판(2) 내의 커패시터는 기판(2)의 상단 표면(26) 또는 바닥 표면(27)에 가능한 근접하여 위치되는 것이 바람직하다. 이는 기판(2)의 표면과 전도성 층 사이의 거리가 작을수록, IC 소자를 시험하는 동안 신호 전송 특성이 더 향상될 수 있기 때문이다. 구체적으로, 기판(2)의 상단 표면(26)과 고 유전성 층(22 또는 23) 사이의 거리가 작을수록, 시험될 IC 소자의 입력 감도가 더 향상되고, 기판(2)의 바닥 표면(27)과 고 유전성 층(24 또는 25) 사이의 거리가 작을수록, 시험될 IC 소자의 출력 감도가 더 향상된다. 본 발명에서, 전원 층과 GND 층에 의해 사이에 개재된 고 유전성 층을 포함하는 기판은 실질적으로 일체로 형성되고, 커패시터는 기판의 표면에 근접하여 용이하게 위치될 수 있으며, 이에 의해 IC 소자의 시험은 고도의 정확성을 가지고 실행될 수 있다.

[0029] 전술된 바와 같이, 접촉 핀이 실질적으로 기판만으로 유지되기 때문에, 커패시터는 임의의 위치에 배치될 수 있다. 기판은, 고 유전성 층 및 그 양측에 형성된 전도성 층들을 갖는 추가적인 커패시터를, 기판의 두께 방향에 대해 대체로 중간 위치에서 포함할 수 있다.

[0030] 신호 전송 특성의 관점에서, 접촉 핀의 길이가 가능한 작은 것이 바람직하다. 그러나, 접촉 핀의 길이가 작을수록, 접촉 핀의 교체 또는 조립이 더 어렵게 된다. 본 발명에 따르면, 기판(2)의 구성으로 인해, 비교적 짧은 POGO 핀이 사용되는 경우와 동일한 효과가 신호 전송 특성과 관련하여 얻어질 수 있다. 따라서, 비교적 긴 접촉 핀이 사용되는 경우에도, IC 소켓의 성능은 열화될 수 없다.

[0031] 핀 몸체(31)의 길이가 기판(2)의 두께보다 큰 경우, 신호 전송 특성은 그에 따른 긴 접촉 핀으로 인해 열화될 수 있다. 한편, 핀 몸체(31)의 길이가 기판(2)의 두께보다 작고, 핀 몸체(31)의 단부의 위치가 기판의 두께 방향에 대해 전도성 층들 중 하나보다 기판의 중심에 더 근접하는 경우, IC 소켓의 성능은 접촉 핀으로부터 전도성 층으로의 복잡한 경로로 인해 열화될 수 있다. 따라서, 각각의 접촉 핀(3)의 핀 몸체(31)의 축방향 길이는 기판(2)의 두께와 대체로 동일한 것이 바람직하다.

## 부호의 설명

[0032] 1 IC 소켓

2 기판

21 기재

22-25 고 유전성 재료

222, 232, 242, 252 전원 층

224, 234, 244, 254 GND 층

28 관통 구멍

3 접촉 핀

31 핀 몸체

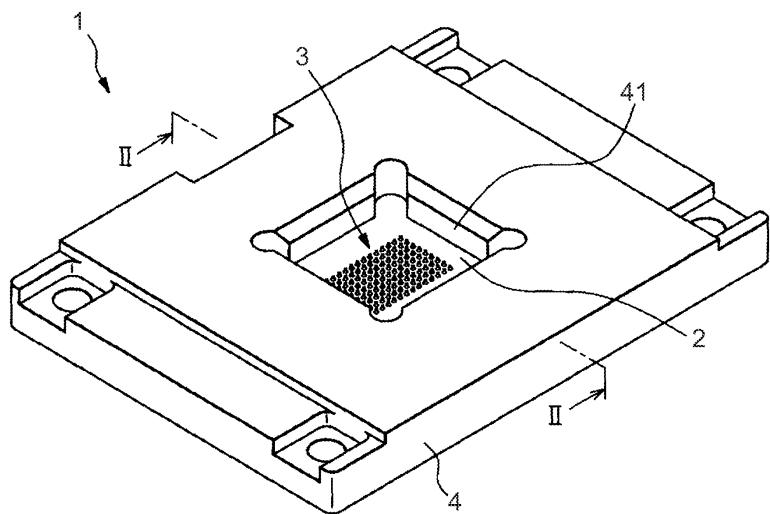
32 제1 접촉부

33 제2 접촉부

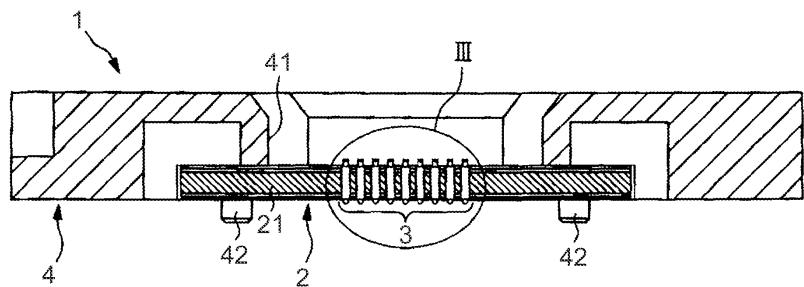
4 안내체

### 도면

#### 도면1



#### 도면2



도면3

