

[19]中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/76

[12] 发明专利申请公开说明书

[21] 申请号 00104671.3

[43]公开日 2000 年 10 月 4 日

[11]公开号 CN 1268770A

[22]申请日 2000.3.24 [21]申请号 00104671.3

[30] 优先权

[32]1999.3.25 [33]US [31]09/276,269

[71]申请人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 张海雷 李勇杰·汤姆 菲乌米·恩古延
穆萨米·布特 吴伟·艾德温

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务
所

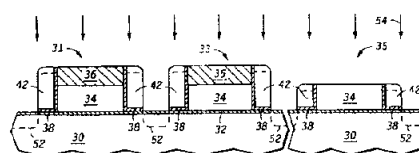
代理人 杜目新

权利要求书 3 页 说明书 8 页 附图页数 3 页

[54]发明名称 形成半导体器件的工艺过程

[57]摘要

形成半导体器件的工艺过程,包括在衬底内或在衬底上形成大体上垂直的边缘;在衬底上并沿垂直的边缘形成层(39);和蚀刻层(39)形成隔离层。进行蚀刻可以在(i)蚀刻化学物内的每种含氟蚀刻物质具有每其他原子至少5个氟原子的比率;(ii)在压力低于大约500毫千时进行蚀刻;或者在功率密度低于大约0.75瓦特/厘米²时进行蚀刻。在形成叠层邻接的隔离层而叠层高度不同时,或在形成与隔离层邻接的导电结构时该工艺特别有用。



ISSN 1008-4274

知识产权出版社出版

权 利 要 求 书

1. 一种用于形成半导体器件的工艺过程，其特征在于：
在衬底（30）内或在衬底（30）上形成大体上垂直的边缘；
在衬底（30）上并沿大体上垂直的边缘形成第一层（39）；
蚀刻第一层（39）以形成隔离层（42），其中在下列的至少二个参数情况下进行蚀刻：

在蚀刻化学物内的每种含氟蚀刻物质具有每其他的原子至少五个氟原子的比率；

在压力低于大约 500 毫毛时进行蚀刻；和

在功率密度低于大约 0.75 瓦特/厘米²时进行蚀刻。

2. 一种用于形成半导体器件的工艺过程，其特征在于：
在衬底（30）上形成第一叠层（33）和第二叠层（35），其中：
第一和第二叠层（33 和 35）具有相对的侧面；和
第一薄层（36）至少是第一叠层（33）的部分而不是第二叠层（35）的部分；

在第一和第二叠层（33 和 35）上形成第二层（39）；和

蚀刻第二层（39）以致沿第一和第二叠层的相对的侧面形成隔离层（42），其中在下列至少一个参数的情况下进行蚀刻：

在蚀刻化学物内的每种含氟蚀刻物质具有每其他的原子至少五个氟原子的比率；

在压力低于大约 500 毫毛时进行蚀刻；和

在功率密度低于大约 0.75 瓦特/厘米²时进行蚀刻。

3. 根据权利要求 2 的工艺过程，其中：

第一叠层（33）具有第一高度；

第二叠层（35）具有第二高度；和

第一高度基本高于第二高度。

4. 根据权利要求 3 的工艺过程，其中：

半导体器件包括存储器阵列和在存储器阵列外面的周边区域；

在存储器阵列内第一叠层 (33) 是第一栅极叠层; 和
在周边区域内第二叠层 (35) 是第二栅极叠层。

5. 根据权利要求 2 的工艺过程, 其中:

形成第一和第二叠层 (33 和 35) 时也形成具有相对的侧面的第三叠层 (31);

第一、第二和第三叠层 (31、33 和 35) 中的每个叠层包括导电层 (34);

形成第二层 (39) 时也在第三叠层上形成第二层 (39);

蚀刻第二层 (39) 时也沿相对的侧面形成隔离层 (42);

衬底 (30) 包括在衬底 (30) 内和一部分在隔离层下面在第一和第三叠层 (31 和 33) 之间的导电区 (62); 和

形成连接导电区 (62) 和在第一和第三叠层 (31 和 33) 之间的隔离层 (42) 的导电结构 (73), 其中导电结构 (73) 不与在第一和第三叠层 (31 和 33) 内的任何一层导电层 (34) 电连接。

6. 根据权利要求 2 的工艺过程, 其中:

第一叠层 (33) 具有第一高度;

隔离层 (42) 包括第一侧壁隔离层;

第一侧壁隔离层具有在第一叠层的底部附近测量的第一宽度;

第一侧壁隔离层具有在大约第一高度的一半的位置上的第二宽度; 和

第二宽度至少为第一宽度的十分之九。

7. 根据权利要求 1-6 中的任一权利要求所确定的工艺过程, 其中采用所有的所述参数来进行蚀刻。

8. 根据权利要求 1-6 中任一权利要求所确定的工艺过程, 其中:

SF_6 是在蚀刻化学物内仅有的含氟物质;

压力是在大约 40-200 毫毛的范围内; 和

功率密度是在大约 0.15-0.75 瓦特/厘米² 范围内。

9. 根据权利要求 1-6 中的任一权利要求所确定的工艺过程, 其中:

蚀刻化学物包括另一种分子物质;

另一种分子物质不包含任何氟原子;

另一种分子物质是在蚀刻化学物中的大约 11 - 20 体积百分比的范围内。

10. 一种形成半导体器件的工艺过程, 其特征在于:

在衬底 (30) 上形成第一栅极叠层 (33) 和第二栅极叠层 (35), 其中:

第一和第二栅极叠层 (33 和 35) 具有相对的侧面;

至少第一层 (36) 是第一栅极叠层 (33) 的部分而不是第二栅极叠层的部分;

第一栅极叠层 (33) 具有第一高度;

第二栅极叠层 (35) 具有第二高度; 和

第一高度基本大于第二高度;

在第一和第二栅极叠层 (33 和 35) 上形成氮化物层 (39); 和

蚀刻氮化物层 (39) 以沿第一和第二栅极叠层 (33 和 35) 的相对的侧面形成隔离层 (42), 其中进行蚀刻:

采用一种蚀刻化学物, 其中:

SF_6 是蚀刻化学物内仅有的含氟物质;

从包括 HBr 、 HCl 、 BBr_3 、 BCl_3 、 Br_2 、 Cl_2 、 O_2 、和 N_2 的一类物质中挑选另一种分子物质; 和

另一种分子物质是在蚀刻化学物中的大约 11 - 20 体积百分比的范围内;

在压力在大约 40 - 200 毫毛的范围内进行蚀刻; 和

以功率密度低于大约 0.2 - 0.4 瓦特/厘米²进行蚀刻。

形成半导体器件的工艺过程

本发明一般地涉及形成半导体器件的工艺过程，而更详细地涉及形成具有隔离层的半导体器件的工艺过程。

由于许多不同的原因在半导体器件中使用隔离层（体）。随着几何结构紧缩和集成工艺过程越复杂，形成能够经受得起处理工序的隔离层越困难。图 1 包含描绘被查出一些问题的半导体器件的说明。在半导体衬底 100 上形成栅绝缘层 112、栅极层 114 和绝缘覆盖层 116。如图 1 所示，去除最右面的晶体管上的绝缘覆盖层 116。进行后续工艺过程以使栅极层和绝缘覆盖层 114 和 116 构成图形。在图 1 所示的衬底和栅极叠层上形成薄的氧化物层 118 和氮化物层。

蚀刻氮化物层，形成隔离层 120。在各向异性蚀刻期间较快地蚀刻露出的氮化物层的“拐角”。这种在氮化物层拐角处较快的蚀刻速度是造成每个隔离层 120 的大体上成三角形形状的主要原因。在中央和最左面的晶体管的隔离层 120 的底部上的宽度有“W1”表示，而在最右面的晶体管的隔离层 120 的底部上的宽度用“W2”表示。改进形状（更成直角和更一致的宽度）的尝试并不是十分成功的。

在形成隔离层 120 以后形成掺杂区 102。因为 W2 小于 W1，所以对最右面的晶体管来说，掺杂剂在栅极层 114 下面扩散得更深。这样的差异导致晶体管之间不同的电特性。中央和最左面的晶体管的沟道长度（在栅极层 114 的相对侧面附近掺杂区 102 之间的距离）大于最右面的晶体管的沟道长度。具有较长沟道长度的晶体管运作一般比具有较短沟道长度的晶体管慢。如果减小中央和最左面的晶体管的沟道长度，则多半也将减小最右面的晶体管的沟道长度。减小最右面的晶体管的沟道长度结果会造成低到不合格的沟道穿通电压、大的漏电流、低到不能接受的阈电压或其他类似的问题。

如图 2 所示，在衬底上形成包括薄的氧化物膜 130、薄的氮化物

膜 132 和厚的氧化物膜的层间绝缘 (ILD) 层 13。在最左面和中央的晶体管之间穿透 ILD 层 13 直到掺杂区 102 形成接触孔 142。在形成孔 142 时, 在孔内更多的隔离层 120 能被浸蚀掉。在某些情况中, 可以露出栅极层 114 部分。虚线 120 表示在接触蚀刻剂以前隔离层的形状, 而实践 21 表示蚀刻以后隔离层的形状。在孔 142 内形成导电栓塞 146。虽然导电栓塞 146 没有与栅极层 114 电连接, 但是隔离层 114 的腐蚀使导电栓塞能接触栅极层 114。这在电学上使栅极和掺杂区 102 互相短路而形成非功能器件。

附图的简略描述

通过例子用图说明本发明而本发明是不局限于附图, 在附图中同样的标记表示相同的元件, 其中:

图 1 和 2 包含在分别形成掺杂区和导电栓塞以后部分衬底的横截面图的说明;

图 3-8 包含在形成半导体器件期间部分衬底的横截面图的说明。

精通技术的人知道为简单而清楚地说明图中的元件而没有必要按比例绘图。例如, 在图中可以相对于其他的元件放大某些元件的尺寸以便有助于增进对本发明的实施例的理解。

形成半导体器件的工艺过程, 包括在衬底内或在衬底上形成大体上垂直的边缘; 在衬底上并沿垂直的边缘形成薄层; 和蚀刻薄层以形成隔离层。可以进行蚀刻, 使 (i) 蚀刻化学物内的每种含氟蚀刻物质具有每其他原子至少 5 个氟原子的比率; (ii) 在压力低于大约 500 毫毛时进行蚀刻; 或者在功率密度低于大约 0.75 瓦特/厘米² 时进行蚀刻。在形成与图形化层的叠层邻接的隔离层而此处叠层具有不同高度时, 或在形成与隔离层邻接的导电结构时该工艺过程是特别有用的。由权利要求书划定本发明界限并在阅读下面的描述以后更好地理解本发明。

图 3 包含半导体器件衬底 30 部分的说明。如在本说明书中所使用的那样, 半导体器件衬底 30 包括单晶半导体晶片、半导体在绝缘体上的晶片或用于半导体器件的任何一种其他的衬底。在图 3 所示的二部

分中，衬底 30 的左面部分在存储器阵列内。在本实施例中，存储器阵列是正在形成的静态随机存储器（SRAM）阵列。更准确地说，左面部分是处于二个相邻的存储单元之间将形成位线接触的部位。在另外的一些实施例中，SRAM 阵列能被浮置栅极存储器阵列或其他类型的存储器阵列替换。衬底 30 的右面部分在周边区域内，是在存储器阵列外面。

在衬底 30 上面按次序形成栅绝缘层 32、栅极层 34 和氮化物覆盖层 36。栅绝缘层 32 具有大约 1-15 纳米范围内的厚度，栅极层 34 具有大约 100-300 纳米范围内的厚度，而氮化物覆盖层 36 具有大约 50-150 纳米范围内的厚度。每层中可以包含一层或一层以上的独立的薄膜。

从在半导体器件的周边区域（图 3 中的右面部分）内的晶体管去除氮化物覆盖层 36。氮化物覆盖层 36 保留在存储器阵列（图 3 中的左面部分）内的存储单元上。使保留的氮化物覆盖层和栅极层 36 和 34 分别构成图形而形成栅极叠层 31、33 和 35。因此，在上述的步骤以后，栅极叠层 31 和 33 具有不是栅极叠层 35 部分的薄层（氮化物覆盖层 36）。栅极叠层 31 和 33 的高度和栅极叠层 35 的高度显然是不同的。栅极叠层 31 和 33 的高度大约是栅极叠层 35 的高度的二倍。在另一实施例中，栅极叠层 31 和 33 的高度大约至少是栅极叠层 35 的高度的 1.25 倍。不管怎样说，栅极叠层 31 和 33 的高度显然比栅极叠层 35 的高度高。栅极叠层 31、33 和 35 具有大体上垂直的边缘。

在栅极叠层 31、33 和 35 上形成保护层 38，保护层 38 具有大约 5-20 纳米的厚度并且在后续工艺过程期间用于保护栅极层 34 的侧壁。在衬底上共形地形成绝缘层 39。绝缘层厚度大约为 50-80 纳米。用于保护层和绝缘层 38 和 39 的材料必须是不同的而且材料的选择取决于在下面的层和衬底 30。在一个非限制性的实施例中保护层 38 是氧化物而绝缘层 39 是氮化物。

各向异性蚀刻绝缘层 39，沿栅极叠层 31、33 和 35 的相对的侧面形成侧壁隔离层 42。正如在横截面图中所观察到的那样，隔离层 42

具有相对成“矩形”的截面。隔离层 42 在基底（紧接衬底）上大体上具有相同的宽度如其在大约一半的叠层高度上。一般对每个隔离层 42 来说，隔离层 42 在沿其邻接的叠层向上的中点的宽度至少是在基底上的宽度的十分之九。此外对于图 4 中所示的两种类型的栅极叠层来说，隔离层 42 在基底上的宽度大体上相同的。一般来说，邻接栅极叠层 35 的隔离层 42 在其基底上的各个宽度至少是邻接栅极叠层 31 和 33 的隔离层 42 在其基底上的各个宽度的十分之九。

隔离层 42 的轮廓对蚀刻条件是敏感的。蚀刻化学物包括含氟物质和至少一种加强选择性的物质或聚合物防腐蚀物质。大部分绝缘层 39 的蚀刻发生在有含氟物质的时候。在蚀刻化学物范围内的所有含氟物质应该具有在含氟物质内的每其他原子五个氟原子。例如包括五氟化磷（ PF_5 ）、六氟化硫（ SF_6 ）、六氟化硒（ SeF_6 ）、六氟化碲（ TeF_6 ）或诸如此氟化物。 PF_5 具有每个磷原子五个氟原子，而 SF_6 、 SeF_6 和 TeF_6 每个硫、硒和碲原子具有六个氟原子。注意到几乎所有的含碳气体和含硅气体在分子中每所有其他的原子至少没有五个氟原子。 PF_5 、 SF_6 、 SeF_6 和 TeF_6 都是气体。

能够添加到蚀刻化学物中的其他物质的例子包括溴化氢（ HBr ）、氯化氢（ HCl ）、三溴化硼（ BBr_3 ）、三氯化硼（ BCl_3 ）、溴（ Br_2 ）、氯（ Cl_2 ）、氧（ O_2 ）、氮（ N_2 ）或诸如此类气体。这些其他物质有助于改进氮化物和氧化物（如果绝缘层 39 是氮化物而保护层 38 是氧化物）之间蚀刻选择性。如果这些其他的物质的浓度过高，则会有害地影响隔离层 42 的轮廓。具有代表性的是，这些其他物质占总蚀刻化学物中的大约 11 - 20 体积百分比。

气体压力和射频功率密度也会对隔离层 42 的轮廓有影响。具有代表性的是较高的压力和较高的射频功率密度结果造成将负面地影响隔离层 42 的轮廓的更具腐蚀性的蚀刻条件。压力一般是在大约 50 - 200 毫毛的范围内，而功率密度一般是在每平方厘米大约 0.15 - 0.75 瓦特（0.75 瓦特/厘米²）的范围内。一般是趁活性的离子腐蚀期间蚀刻，在有或没有磁增强的情况下能进行蚀刻。

虽然已论述了有关蚀刻的许多参数，但是为获得“矩形”轮廓侧壁的隔离层 42 实际要求参数或参数的配合是未知的。对于使用的蚀刻设备来说，工艺过程可能是特定的。换言之，说不定也许在某种蚀刻设备上需要也许在另种蚀刻设备上不需要。

对于直径 200 毫米薄片采用下面的参数（所有值为近似值）通过蚀刻工艺过程能够完成隔离层 42 的形成过程：

设备：Applied Materials (AMAT) P5200MxP™ 多晶硅蚀刻室

蚀刻化学物： SF_6 在 60 到 100 标准立方厘米内

HBr 在 7 到 20 标准立方厘米内

功率：50 到 200 瓦特

功率密度：0.20 到 0.40 瓦特/厘米²（根据沿衬底的初始表面的表面积）

压力：40 到 120 毫毛

磁场：0 - 100 高斯。

由 Applied Materials, Inc. of Santa Clara, California 制造 AMTA P5200MxP™ 多晶硅蚀刻室。在具体的非限制性实施例中，采用蚀刻参数为 80 标准立方厘米 SF_6 、100 标准立方厘米 HBr 、100 瓦特/厘米² 和 100 毫毛。

如图 5 所示，通过使部分衬底 30 掺杂继续进行半导体器件的工艺过程。采用离子注入进行掺杂，用箭头 54 表示离子注入。虚线 52 表示在衬底 30 和隔离层 42 内透入或掺入的程度。由于相对成矩形侧壁的隔离层 42 各自具有几乎垂直的外侧表面所以在衬底范围内的掺杂对准隔离层的外面边缘。

通过退火步骤对掺杂部件起作用而形成图 6 所示的掺杂区 62。掺杂区 62 是所示的晶体管的源/漏区（载流电极）。对于栅极叠层 31、33 和 35 的晶体管来说，注意到栅极（控制电极）层 34 与掺杂区 62 重叠大致相同的量（由尺寸 D3 表示）。所以三个晶体管的沟道长度大致上是相同的。在没有引起显著有害地影响周边晶体管的电参数的情况下半导体器件能够按比例缩小到制作快速存储单元晶体管的较小的尺

寸。因此，所有相同类型的晶体管（例如 n-沟道晶体管或者所有 P-沟道晶体管）应该具有大体上相同的沟道长度、击穿（“断路”）电流、阈电压等等。不需要用于说明不同的栅极叠层高度的附加的测试结构。

如图 7 所示，继续工艺过程。在栅极叠层 31、33 和 35 上形成 ILD 层 70。ILD 层 70 包括第一蚀刻阻止膜 72、第二蚀刻阻止膜 74 和厚的绝缘膜 76。第一蚀刻阻止膜 72 一般是具有在大约 15 - 40 纳米范围内厚度的氧化物，而第二蚀刻阻止膜 74 一般是具有在大约 50 - 100 纳米范围内厚度的分段的氮化物。能够使分段的氮化物薄膜断断续续地分段，使得该薄膜在第一蚀刻阻止薄膜附近大体上是化学计量比的氮化硅而在相对的侧面上是富硅的氮化硅或者几乎全部是硅。第一和第二蚀刻阻止膜的总厚度不大于大约 100 纳米。在另外一些实施例中，能够用具有与二氧化硅和氮化硅不同的蚀刻性能的单一蚀刻阻止薄膜替换第一和第二蚀刻阻止薄膜 72 和 74。具有在大约 500 - 1500 纳米范围内厚度的厚的绝缘薄膜 76 一般是一层或一层以上独立的氧化物薄膜。在这样的具体实施例中，厚的绝缘薄膜 76 是硼磷硅酸盐玻璃。采用化学机械抛光（CMP）、而抗蚀剂背面蚀刻工艺技术（REB）或诸如此类技术使 ILD 层 70 平面化。

蚀刻 ILD 层 70，划定孔 78 的界限。蚀刻结果不一定保持衬隔离套 42 的矩形轮廓，但是在这样的具体的实施例中，蚀刻以后留下的隔离层需要使其后形成的导电栓塞不接触栅极叠层 31 和 33 的栅极层 34。

用八氟代丁烯（ C_4F_8 ）、一氧化碳（CO）和四氟化碳（ CF_4 ）以大约 1: 7: 0.5（ C_4F_8 : CO: CF_4 ）的比例蚀刻厚的绝缘膜 76，去除大部分膜 76。刚好在到达第二蚀刻阻止膜 74 以前或者刚好在到达第二蚀刻阻止膜 74 以后中止 CF_4 以改进地在下面的第一蚀刻阻止膜 72 的选择性。用氧（ O_2 ）和氟代甲烷（ CH_3F ）以在大约 2: 1 到 5: 1（ O_2 : CH_3F ）范围内的比例蚀刻第二蚀刻阻止膜 74。用 CO 和 C_4F_8 以大约 7: 1（CO: C_4F_8 ）的比例蚀刻第一蚀刻阻止膜 72。在第一和第二蚀刻阻止膜的蚀刻期间的 RF 功率大约为用于蚀刻厚的绝缘膜的 RF 功率的百分之 20 - 100。在部分或整个蚀刻期间能够使用包括氢、氮或诸

如此类隋性气体。所有其他的蚀刻参数是常规的参数。

正如在图 7 中看到的那样，在蚀刻工艺过程期间蚀刻成隔离层 79 和氮化物覆盖层 36。然而留下足够的氮化物覆盖层 36 和隔离层 79 以避免在栅极层 34 和接着形成的导电栓塞之间形成漏电路径和电短路。

如图 7 所示，在孔 78 内形成导电栓塞。在 ILD70 上和孔 78 内形成导电层。用 CMP、抗蚀剂背面蚀刻工艺技术或此类技术去除在孔 78 外面的导电栓塞部分，形成导电栓塞 73。导电层一般包括许多导电膜。在一个实施例中，接着沉积/钛 (Ti)、氮化钛 (TiN) 和钨 (W) 并且抛光 Ti/TiN/W 复合材料。在这样的具体的实施例中，导电栓塞 73 是位线接触结构。在其它一些实施例中，可以形成局部互连结构。用一种或一种以上其他的高熔点金属 (钨、钴、钼或诸如此类金属) 或其氮化物能够替换 Ti 和 TiN。大部分导电栓塞是 W 并且可以用几乎全部是铜或者几乎全部是铝的材料或者其他的导电材料替换 W。

如图 8 所示，为形成接着完成的半导体器件 80 继续进行工艺过程。形成与导电栓塞 73 电连接的互连 82，并且在互连 82 上形成钝化层。在这样的具体的实施例中，在 SRAM 阵列 (图 8 中的左面部分) 内的互连 82 是位线。互连几乎全部是铜或铝并且可以包括粘结胶或隔离薄膜。为半导体器件制作其他的电连接，但是没有表示出。如果需要的话，则可以添加另外的 ILD 层和互连层。对于以上的实施例描述的工艺过程给出能够经受得起在先进的半导体器件的情况中遇到的工艺过程复杂的更坚固的隔离层工艺过程。工艺过程是更具重现性的 (在衬底 30 之间较少变化)，提供更多的腐蚀性换算和提供更均匀的从晶体管到晶体管的电特性。此外，增加产量，并且改进长期耐用性。

以上所述的工艺过程能够推广到邻接隔离层形成的其他导电结构。例如，能够用镶嵌互连替换导电栓塞 73 和互连 82 的组合。并且，能够进一步远离衬底形成结构。例如上面的互连能够通过中间的互连内的孔接触下面的互连。能够用以上所述的工艺过程形成隔离层和导电结构。工艺过程也可以适用于形成镶嵌栅极。在这样的实施例中，能够形成形成绝缘层并且在沿绝缘层内的孔的壁表面形成的侧壁隔离

层时使绝缘层构成图形。可以沿衬底内的沟槽的侧表面形成隔离层。

在前面的说明书中，参照具体的实施例描述了发明。然而，非常精通技术的人懂得在没有脱离如下面的权利要求书陈述的本发明范围的情况下能够进行各种各样的变换和变化。因此，说明书和附图是着重在用图说明而不是限制性的断定，并且旨在把所有的像这样的变换包括在本发明的范围内。

以上按照具体的实施例描述了益处、优点和解决问题的方法。然而，益处、优点、解决问题的方法和可以成为任何益处、优点或解决方法的被发现或变得更明确的原理不被认作为任何或所有权利要求中的主要的、要求的或基本的特点和要素。正如在本文中使用的那样，术语“包括”、“包含”或其别的变形旨在覆盖不排除的内含物，以致覆盖工艺过程、方法、技术或设备，设备包括不仅是元件表包含的这些元件而且可以包含没有特意列表的或者为上述的工艺过程、方法、技术或设备所有的其他元件。

说明书附图

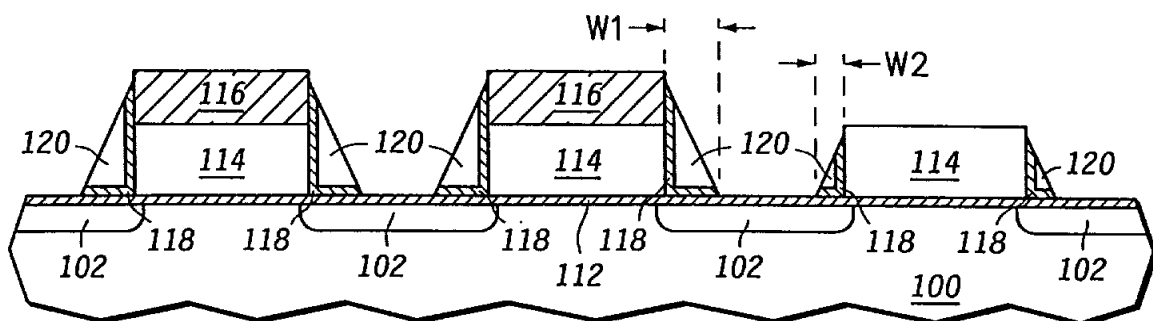


图 1

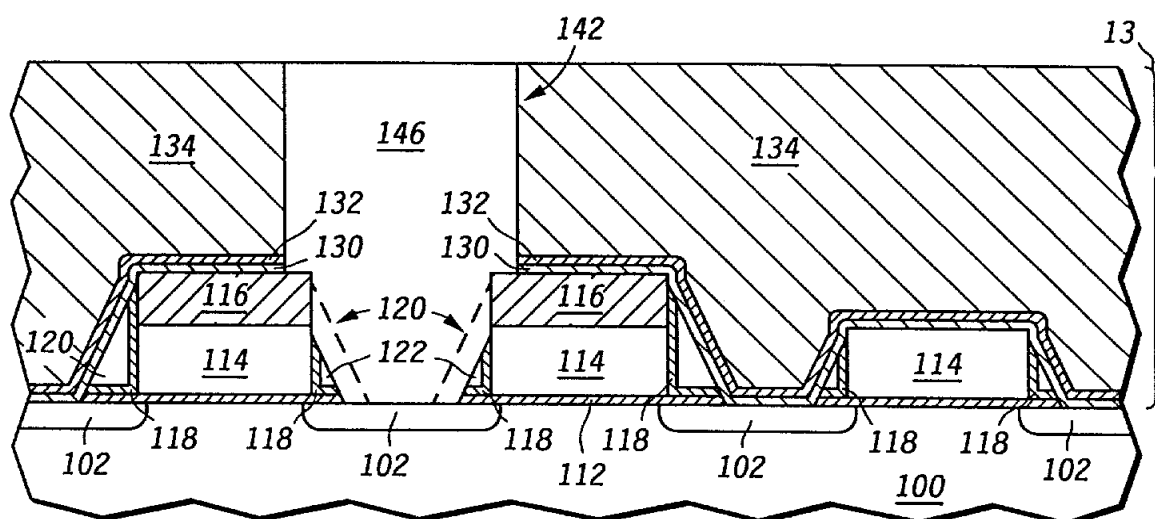


图 2

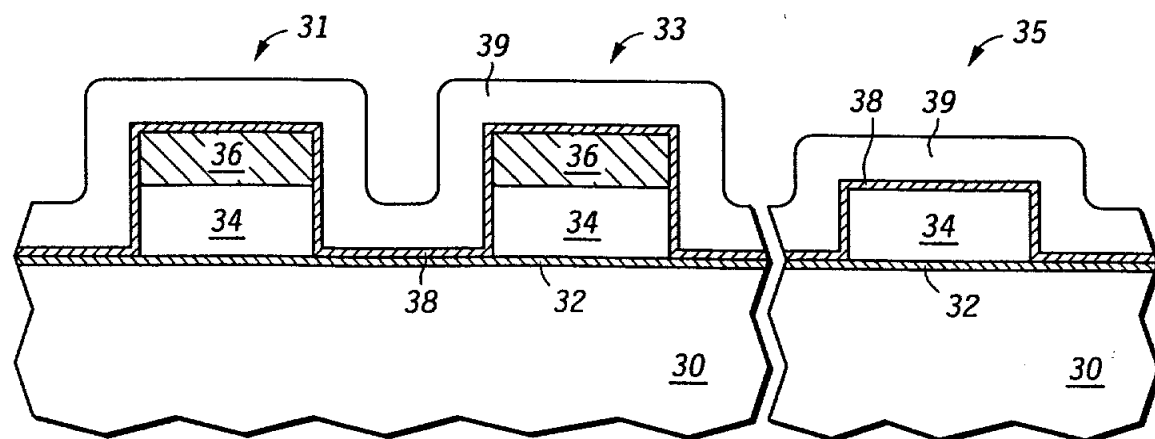


图 3

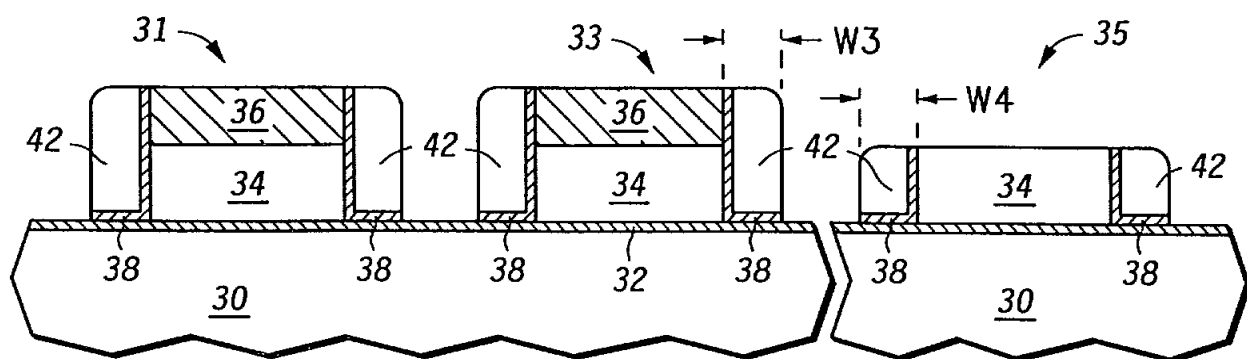


图 4

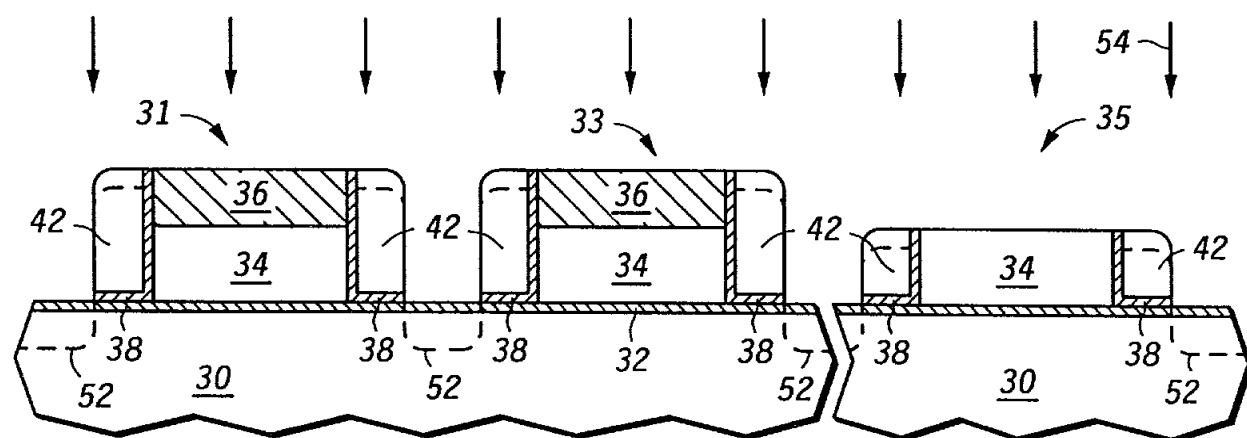


图 5

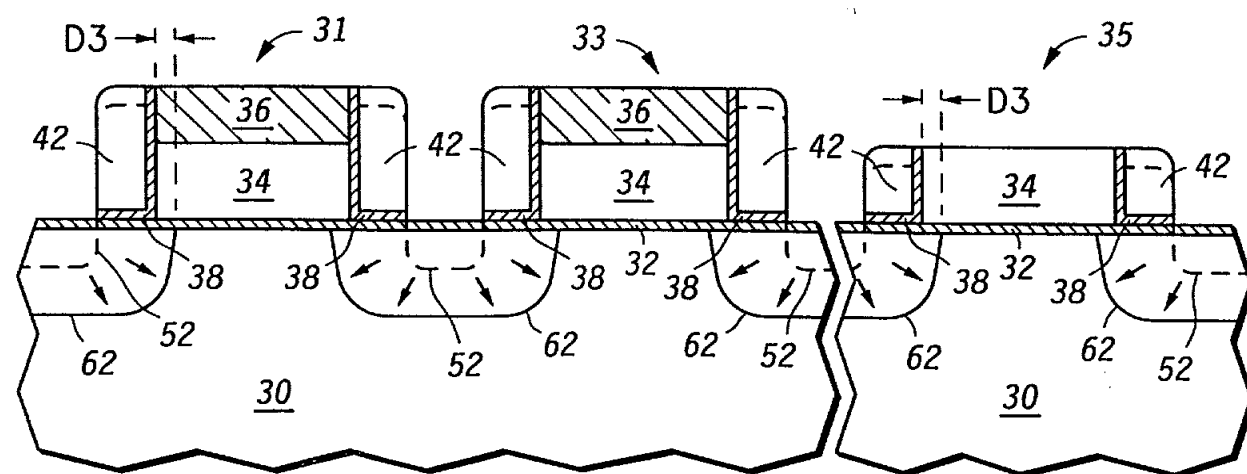


图 6

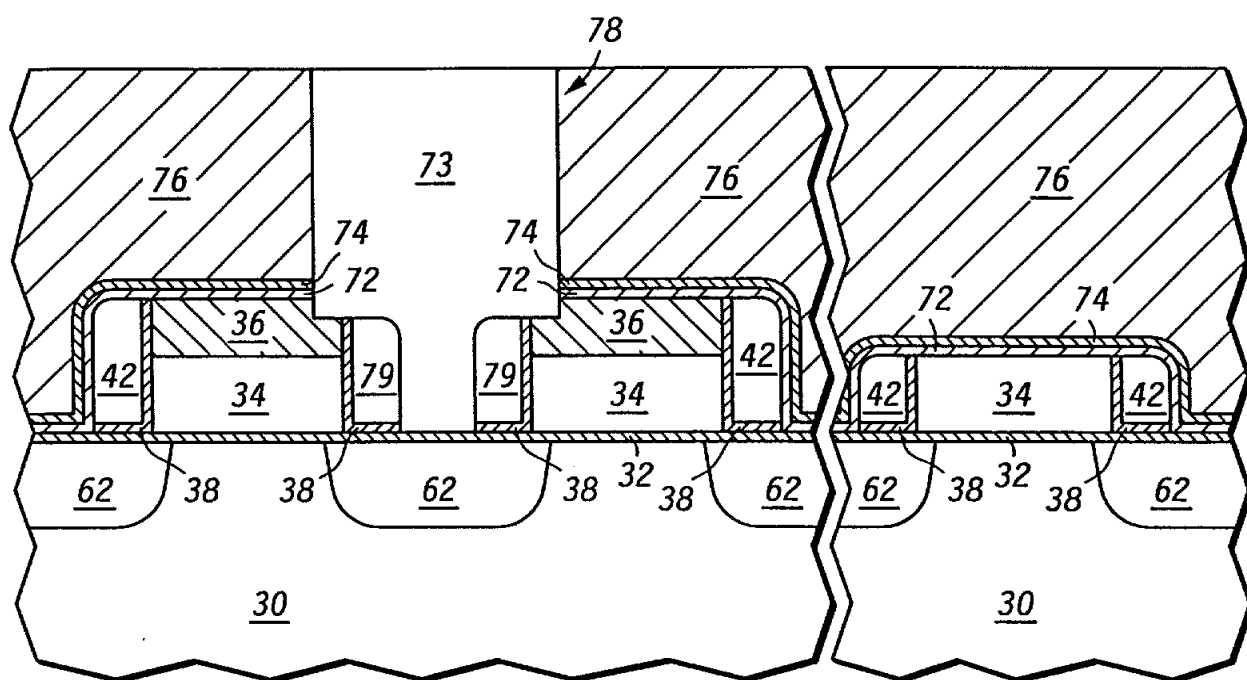


图 7

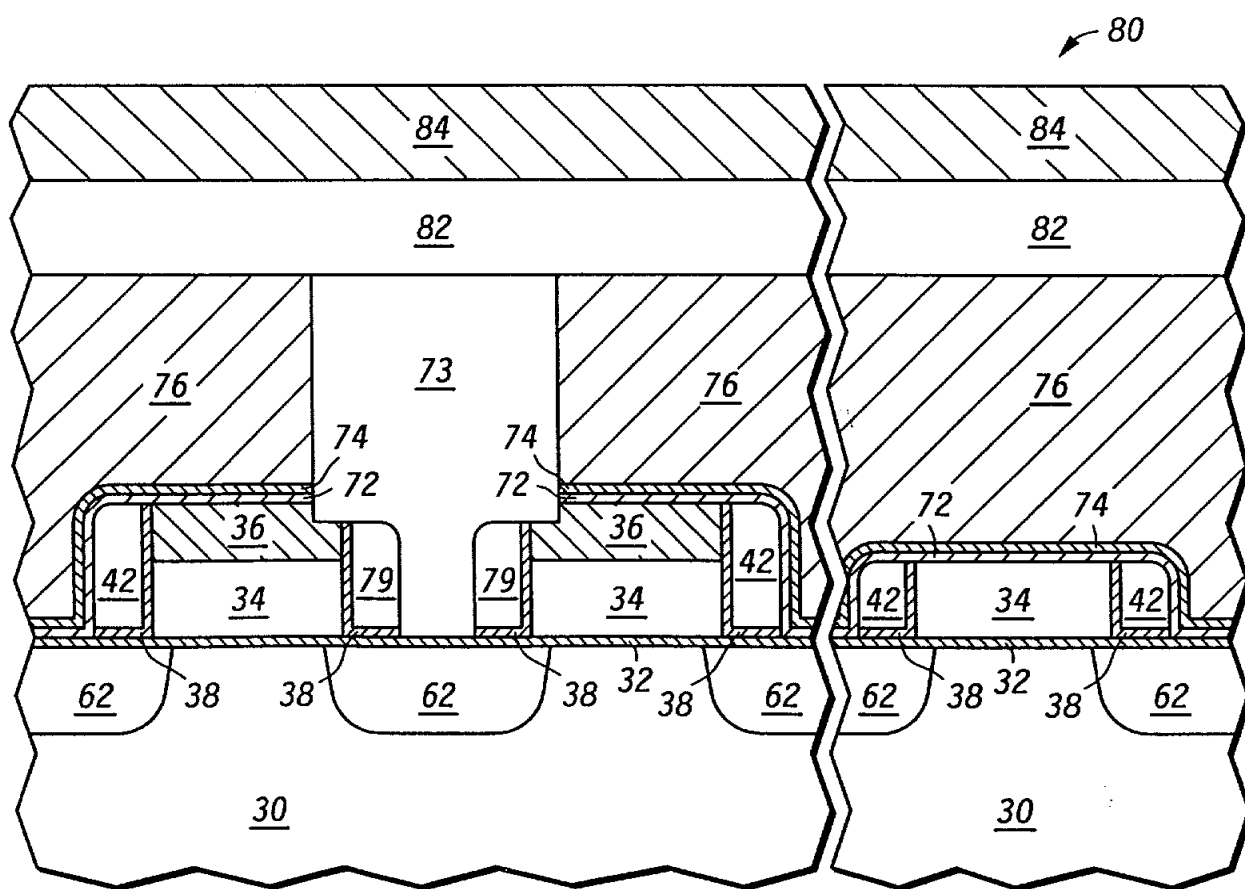


图 8