



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

238740

(11) (B1)

(51) Int. Cl.⁴

G 06 F 13/10

(22) Přihlášeno 16 05 84
(21) PV 3631-84

(40) Zveřejněno 16 04 85

(45) Vydáno 16 03 87

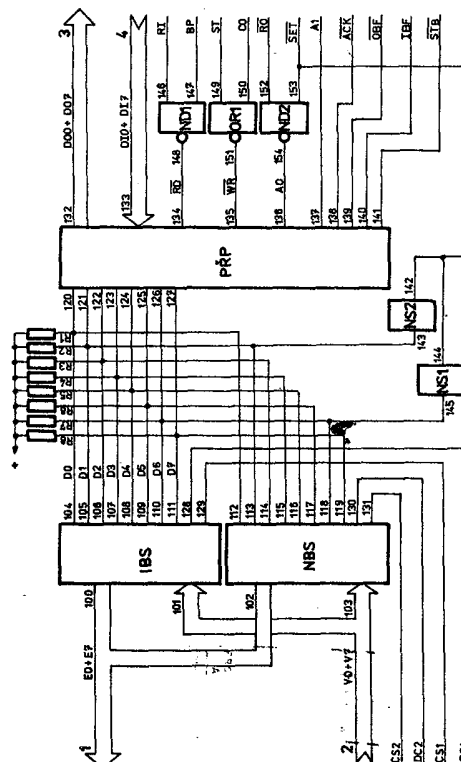
(75)

Autor vynálezu

MÁČA MIROSLAV ing., BLANSKO

(54) Zapojení řídicí jednotky periferních zařízení

Zapojení řídicí jednotky periferních zařízení pro výpočetní prostředky malého rozsahu, zejména stolní počítače a inteligentní terminály. Řídicí jednotka umožňuje jednoduchou a rychlou adaptaci výpočetního systému pro většinu typů periferních zařízení, pracujících s osmibitovým datovým slovem v protokolu "DOTAZ - ODPOVĚD" včetně zařízení, která odpovídají normativnímu materiálu SMEP NM 29-80 "Integrace pro radiální připojení zařízení s paralelním přenosem informace - IRPR". Požadovaný způsob činnosti řídicí jednotky podle vynálezu se volí podle typu periferního zařízení propojkami v připojovacím kabelu periferie bez nutnosti zásahu do vnitřních obvodů řídicí jednotky nebo do programového vybavení spolupracujícího stolního počítače nebo inteligentního terminálu.



Obr. 1a

Vynález se týká zapojení řídicí jednotky periferních zařízení, určené především pro výpočetní prostředky malého rozsahu, zejména stolní počítače a inteligentní terminály.

Řídicí jednotky periferních zařízení zajišťují styk počítače nebo inteligentního terminálu s připojenými periferními zařízeními. Známa zapojení řídicích jednotek jsou obvykle konstruována pro jeden nebo pro značně omezený počet typů periferních zařízení, přičemž činnost řídicí jednotky je zpravidla vázána na zvláštní obslužný program zpracovaný pro každý typ periferního zařízení. Některé řídicí jednotky dovolují pouze částečné přizpůsobení typu periferního zařízení změnou v zapojení vnitřních obvodů. Za těchto okolností přináší požadavek na častou změnu konfigurace periferních zařízení, obvyklý při využívání stolních počítačů nebo inteligentních terminálů, zvýšené náklady na jejich technické i programové vybavení a současně ztěžuje obsluhu výpočetního systému.

Uvedené nevýhody odstraňuje zapojení řídicí jednotky periferních zařízení podle vynálezu, jehož podstata spočívá v tom, že skupina datových vstupů neinvertujícího třístavového budiče obousměrné datové sběrnice je připojena na skupinu datových vstupů invertujícího třístavového budiče obousměrné datové sběrnice a tvoří současně první skupinu datových vstupů zapojení. Skupina datových výstupů neinvertujícího třístavového budiče obousměrné datové sběrnice je připojena na skupinu datových výstupů invertujícího třístavového budiče obousměrné datové sběrnice a tvoří současně první skupinu datových výstupů zapojení. První datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na první datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na první datový vstup a výstup programovatelného řadiče periferie a současně přes první odpor na kladnou svorku nevyznačeného zdroje napájecího napětí.

Druhý datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na druhý datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na druhý datový vstup a výstup programovatelného řadiče periferie, na výstup druhého neinvertujícího spínače s otevřeným kolektorem a současně přes druhý odpor na kladnou svorku nevyznačeného zdroje napájecího napětí. Třetí datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na třetí datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na třetí datový vstup a výstup programovatelného řadiče periferie a současně přes třetí odpor na kladnou svorku nevyznačeného zdroje napájecího napětí. Čtvrtý datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na čtvrtý datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na čtvrtý datový vstup a výstup programovatelného řadiče periferie a současně přes čtvrtý odpor na kladnou svorku nevyznačeného zdroje napájecího napětí. Pátý datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na pátý datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na pátý datový vstup a výstup programovatelného řadiče periferie a současně přes pátý odpor na kladnou svorku nevyznačeného zdroje napájecího napětí. Šestý datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na šestý datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na šestý datový vstup a výstup programovatelného řadiče periferie a současně přes šestý odpor na kladnou svorku nevyznačeného zdroje napájecího napětí. Sedmý datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na sedmý datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na sedmý datový vstup a výstup programovatelného řadiče periferie, na výstup prvního neinvertujícího spínače s otevřeným kolektorem a současně přes sedmý odpor na kladnou svorku nevyznačeného zdroje napájecího napětí. Osmý datový vstup a výstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na osmý datový vstup a výstup neinvertujícího třístavového budiče obousměrné datové sběrnice, na osmý datový vstup a výstup programovatelného řadiče periferie a současně přes osmý odpor na kladnou svorku nevyznačeného zdroje napájecího napětí. Výběrový vstup neinvertujícího třístavového budiče obousměrné datové sběrnice je připojen na výstup prvního

třívstupového obvodu typu negace logického součinu, zatímco řídicí vstup neinvertujícího třístavového budiče obousměrné datové sběrnice je připojen na výstup šestého invertoru. Výběrový vstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na výstup druhého třívstupového obvodu typu negace logického součinu, zatímco řídicí vstup invertujícího třístavového budiče obousměrné datové sběrnice je připojen na výstup sedmého invertoru. Skupina datových výstupů programovatelného řadiče periferie tvoří současně druhou skupinu datových výstupů zapojení. Skupina datových vstupů programovatelného řadiče periferie tvoří současně druhou skupinu datových vstupů zapojení. Čtecí vstup programovatelného řadiče periferie je připojen na výstup prvního dvouvstupového obvodu typu negace logického součinu, jehož první vstup je připojen na výstup třetího dvouvstupového obvodu typu negace logického součinu a současně na vstup druhého invertoru, na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu a na druhý vstup šestého dvouvstupového obvodu typu negace logického součinu.

Na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu je připojen nulový výstup klopného obvodu typu R-S, vstup třetího neinvertujícího spínače s otevřeným kolektorem a druhý vstup prvního čtyřvstupového obvodu typu negace logického součinu. Zapisovací vstup programovatelného řadiče periferie je připojen na výstup prvního dvouvstupového obvodu typu negace logického součinu, jehož první vstup je připojen na jedničkový výstup monostabilního klopného obvodu se Schmittovým klopným obvodem a jehož druhý vstup je připojen na výstup pátého obvodu typu negace logického součinu. První výběrový vstup programovatelného řadiče periferie je připojen na výstup druhého dvouvstupového obvodu typu negace logického součinu, jehož první vstup je připojen na výstup třetího invertoru, na druhý vstup dvouvstupového obvodu typu negace logického součinu a současně na první vstup jedenáctého dvouvstupového obvodu typu negace logického součinu. Druhý vstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na vstup druhého neinvertujícího spínače s otevřeným kolektorem, na vstup prvního neinvertujícího spínače s otevřeným kolektorem, na vstup prvního invertoru a tvoří současně první nastavovací vstup zapojení. Druhý výběrový vstup programovatelného řadiče periferie je připojen na výstup prvního invertoru, na vstup neinvertujícího zpožďovacího členu, na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu a současně na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu. První potvrzovací vstup programovatelného řadiče periferie je připojen na výstup šestého neinvertujícího dvouvstupového obvodu typu výhradní logický součet a současně na druhý vstup druhého čtyřvstupového obvodu typu negace logického součinu. První potvrzovací výstup programovatelného řadiče periferie je připojen na první vstup pátého neinvertujícího dvouvstupového obvodu typu výhradní logický součet a současně na první vstup druhého čtyřvstupového obvodu typu negace logického součinu. Druhý potvrzovací výstup programovatelného řadiče periferie je připojen na první vstup druhého dvouvstupového obvodu typu negace logického součinu. Druhý potvrzovací vstup programovatelného řadiče periferie je připojen na nulový výstup prvního klopného obvodu typu D. Výstup neinvertujícího zpožďovacího členu je připojen na spouštěcí vstup monostabilního klopného obvodu se Schmittovým klopným obvodem. Výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na vstup čtvrtého invertoru a současně na nulovací vstup prvního klopného obvodu typu D.

Výstup čtvrtého invertoru je připojen na druhý vstup jedenáctého dvouvstupového obvodu typu negace logického součinu. Výstup druhého invertoru je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu. Výstup čtvrtého dvouvstupového obvodu typu negace logického součinu je připojen na vstup třetího invertoru, na druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu a současně na druhý vstup osmého dvouvstupového obvodu typu negace logického součinu. Výstup třetího dvouvstupového obvodu typu negace logického součinu je připojen na třetí vstup prvního třívstupového obvodu typu negace logického součinu a současně na třetí vstup druhého třívstupového obvodu typu negace logického součinu. Výstup pátého invertoru je připojen na první vstup pátého dvouvstupového obvodu typu

negace logického součtu, jehož druhý vstup je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu a tvoří současně řídicí vstup zapojení.

Vstup pátého invertoru je připojen na hodinový vstup třetího klopného obvodu typu D a tvoří současně první spouštěcí vstup zapojení. Druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu je připojen na hodinový vstup druhého klopného obvodu typu D a tvoří současně druhý spouštěcí vstup zapojení. Výstup pátého dvouvstupového obvodu typu negace logického součinu je připojen na vstup šestého invertoru, na první vstup druhého třívstupového obvodu typu negace logického součinu a současně na první vstup šestého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstup sedmého invertoru a současně na první vstup prvního třívstupového obvodu typu negace logického součinu. Výstup sedmého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup prvního třívstupového obvodu typu negace logického součinu a současně na první vstup osmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup druhého, třívstupového obvodu typu negace logického součinu. První vstup třetího dvouvstupového obvodu typu negace logického součtu tvoří současně první adresovací vstup zapojení. První vstup čtvrtého dvouvstupového obvodu typu negace logického součtu tvoří současně druhý adresovací vstup zapojení. První vstup pátého dvouvstupového obvodu typu negace logického součinu tvoří současně první volicí vstup zapojení. První vstup sedmého dvouvstupového obvodu typu negace logického součinu tvoří současně druhý volicí vstup zapojení. Výstup čtvrtého dvouvstupového obvodu typu negace logického součinu je připojen na nastavovací vstup klopného obvodu typu R - S, na jehož nulovací vstup je připojen výstup jedenáctého dvouvstupového obvodu typu negace logického součinu. Jedničkový výstup klopného obvodu typu R - S je připojen na vstup čtvrtého neinvertujícího spínače s otevřeným kolektorem, na druhý vstup prvního neinvertujícího dvouvstupového obvodu typu výhradní logický součet a současně na datový vstup prvního klopného obvodu typu D, jehož hodinový vstup je připojen na druhý vstup dvanáctého dvouvstupového obvodu typu negace logického součinu a současně na výstup druhého neinvertujícího dvouvstupového obvodu typu výhradní logický součet, jehož první vstup tvoří současně první potvrzovací vstup zapojení, a jehož druhý vstup tvoří současně čtvrtý volicí vstup zapojení. První vstup prvního neinvertujícího dvouvstupového obvodu typu výhradní logický součet tvoří současně třetí volicí vstup zapojení. Výstup prvního neinvertujícího dvouvstupového obvodu typu výhradní logický součet tvoří současně první potvrzovací výstup zapojení.

Výstup třetího neinvertujícího spínače s otevřeným kolektorem tvoří současně první ovládací výstup zapojení, zatímco výstup čtvrtého neinvertujícího spínače s otevřeným kolektorem tvoří druhý ovládací výstup zapojení. První vstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na výstup dvanáctého dvouvstupového obvodu typu negace logického součinu, jehož první vstup tvoří současně pátý volicí vstup zapojení. Třetí vstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na výstup třetího neinvertujícího dvouvstupového obvodu typu výhradní logický součet, jehož první vstup tvoří současně první stavový vstup zapojení a jehož druhý vstup tvoří současně šestý volicí vstup zapojení. Čtvrtý vstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na výstup čtvrtého neinvertujícího dvouvstupového obvodu typu výhradní logický součet, jehož první vstup tvoří současně druhý stavový vstup zapojení a jehož druhý vstup tvoří současně sedmý volicí vstup zapojení. Výstup prvního čtyřvstupového obvodu typu negace logického součinu tvoří současně první stavový výstup zapojení, zatímco výstup pátého neinvertujícího dvouvstupového obvodu typu výhradní logický součet tvoří současně druhý potvrzovací výstup zapojení. Druhý vstup pátého neinvertujícího dvouvstupového obvodu typu výhradní logický součet tvoří současně osmý volicí vstup zapojení. První vstup šestého neinvertujícího dvouvstupového obvodu typu výhradní logický součet tvoří současně druhý potvrzovací vstup zapojení. Druhý vstup šestého neinvertujícího dvouvstupového obvodu typu výhradní logický součet tvoří současně devátý volicí vstup zapojení. Třetí vstup druhého čtyřvstupového obvodu typu negace logického součinu je připojen na výstup osmého neinvertujícího dvouvstupového obvodu typu výhradní logický součet, jehož první vstup tvoří současně čtvrtý stavový vstup zapojení, a jehož druhý vstup tvoří současně jedenáctý volicí vstup zapojení. Čtvrtý vstup druhého čtyřvstupového obvodu typu negace logického

součinu je připojen na výstup sedmého neinvertujícího dvouvstupového obvodu typu výhradní logický součet, jehož první vstup tvoří současně třetí stavový vstup zapojení a jehož druhý vstup tvoří současně desátý volicí vstup zapojení. Výstup druhého čtyřvstupového obvodu typu negace logického součinu tvoří současně druhý stavový výstup zapojení. Datový vstup druhého klopného obvodu typu D je připojen na datový vstup třetího klopného obvodu typu D a tvoří současně druhý nastavovací vstup zapojení. Jedničkový výstup druhého klopného obvodu typu D tvoří současně třetí stavový výstup zapojení, zatímco jedničkový výstup třetího klopného obvodu typu D tvoří současně čtvrtý stavový výstup zapojení. Nastavovací vstup druhého klopného obvodu typu D a je připojen na nulovací vstup druhého klopného obvodu typu D a současně na nastavovací vstup třetího klopného obvodu typu D, na nulovací vstup třetího klopného obvodu typu D, na nastavovací vstup prvního klopného obvodu typu D a současně na kladnou svorku nevyznačeného zdroje vysoké logické úrovně.

Výhodou zapojení podle vynálezu je schopnost jednoduché a rychlé adaptace pro většinu typů periferních zařízení pracujících s osmibitovým slovem v protokolu "DOTAZ - ODPOVĚD" včetně těch, která odpovídají normativnímu materiálu SMEP NM 29-80 "Interface pro radiální připojení zařízení s paralelním přenosem informace (IRPR)". Požadovaný způsob činnosti řídicí jednotky podle vynálezu se předvolí podle typu připojeného periferního zařízení propojkami, zapojenými v připojovacím kabelu periferního zařízení. Zapojení řídicí jednotky periferních zařízení podle vynálezu je připraveno ke spolupráci s daným typem periferního zařízení pouhým připojením příslušného připojovacího kabelu periferního zařízení, bez nutnosti zásahu do vnitřních obvodů zapojení podle vynálezu nebo do programového vybavení připojeného počítače či inteligentního terminálu.

Příklad zapojení řídicí jednotky periferních zařízení podle vynálezu je schematicky znázorněn na připojených výkresech, na nichž obr. 1a znázorňuje datové sběrnice a programovatelný řadič periferie, obr. 1b řídicí obvody zapojení, obr. 1c řídicí obvody periferních zařízení a obvody předvolby zapojení.

Zapojení je tvořeno dvěma přenosovými kanály pro připojení jednoho nebo dvou periferních zařízení, přičemž výstupní přenosový kanál je určen k přenosu dat z nevyznačeného počítače do nevyznačeného periferního zařízení a vstupní přenosový kanál je určen k přenosu dat z nevyznačeného periferního zařízení do nevyznačeného počítače. Skupina datových vstupů 103 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice je připojena na skupinu datových vstupů 101 invertujícího třístavového budiče IBS obousměrné datové sběrnice a tvoří současně první skupinu datových vstupů 2 zapojení pro vstup datového slova V0 až V7 do výstupního přenosového kanálu zapojení. Skupina datových výstupů 102 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice je připojena na skupinu datových výstupů 100 invertujícího třístavového budiče IBS obousměrné datové sběrnice a tvoří současně první skupinu datových výstupů 1 zapojení pro výstup datového slova E0 až E7 ze vstupního přenosového kanálu zapojení. První datový vstup a výstup 104 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D0 na první datový vstup a výstup 112 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice, na první datový vstup a výstup 120 programovatelného řadiče PŘP periferie a současně přes první odpor R1 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. Druhý datový vstup a výstup 105 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D1 na druhý datový vstup a výstup 113 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice, na druhý datový vstup a výstup 121 programovatelného řadiče PŘP periferie, na výstup 143 druhého neinvertujícího spínače NS2 s otevřeným kolektorem a současně přes druhý odpor R2 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. Třetí datový vstup a výstup 106 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D2 na třetí datový vstup a výstup 114 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice, na třetí datový vstup a výstup 122 programovatelného řadiče PŘP periferie a současně přes třetí odpor R3 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. Čtvrtý datový vstup a výstup 107 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D3 na čtvrtý datový vstup a výstup 115 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice.

nového budiče NBS obousměrné datové sběrnice, na čtvrtý datový vstup a výstup 123 programovatelného řadiče PŘP periferie a současně přes čtvrtý odpor R4 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. Pátý datový vstup a výstup 108 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D4 na pátý datový vstup a výstup 116 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice, na pátý datový vstup a výstup 124 programovatelného řadiče PŘP periferie a současně přes pátý odpor R5 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. Šestý datový vstup a výstup 109 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D5 na šestý datový vstup a výstup 117 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice, na šestý datový vstup a výstup 125 programovatelného řadiče PŘP periferie a současně přes šestý odpor R6 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. Sedmý datový vstup a výstup 110 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D6 na sedmý datový vstup a výstup 118 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice, na sedmý datový vstup a výstup 126 programovatelného řadiče PŘP periferie, na výstup 145 prvního neinvertujícího spínače NS1 s otevřeným kolektorem a současně přes sedmý odpor R7 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. Osmý datový vstup a výstup 111 invertujícího třístavového budiče IBS obousměrné datové sběrnice je připojen vedením D7 na osmý datový vstup a výstup 119 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice, na osmý datový vstup a výstup 127 programovatelného řadiče PŘP periferie a současně přes osmý odpor R8 na kladnou svorku $\pm$ nevyznačeného zdroje napájecího napětí. První odpor R1 až osmý odpor R8 vytváří na vedeních D0 až D7 vysokou logickou úroveň v době, kdy invertující třístavový budič IBS obousměrné datové sběrnice a neinvertující třístavový budič NBS obousměrné datové sběrnice se nacházejí ve stavu vysoké impedance. Výstup 145 prvního neinvertujícího spínače NS1 s otevřeným kolektorem a výstup 143 druhého neinvertujícího spínače NS2 s otevřeným kolektorem nastaví na vedeních D1 a D6 nízkou logickou úroveň během počátečního nastavení programovatelného řadiče PŘP periferie. Na výběrový vstup 131 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice se přivádí signál CS2 výběru obvodu z výstupu 207 prvního třívstupového obvodu ND9 typu negace logického součinu. Na řídicí vstup 130 neinvertujícího třístavového budiče NBS obousměrné datové sběrnice se přivádí signál DC2 řízení směru přenosu dat z výstupu 201 šestého invertoru IN6. Na výběrový vstup 129 invertujícího třístavového budiče IBS obousměrné datové sběrnice se přivádí signál CS1 výběru obvodu z výstupu 211 druhého třívstupového obvodu ND10 typu negace logického součinu. Na řídicí vstup 128 invertujícího třístavového budiče IBS obousměrné datové sběrnice se přivádí signál DC1 řízení směru přenosu dat z výstupu 203 sedmého invertoru IN7. Skupina datových výstupů 132 programovatelného řadiče PŘP periferie tvoří současně druhou skupinu datových výstupů 3 zapojení pro výstup datového slova D00 až D07 z výstupního přenosového kanálu zapojení.

Skupina datových vstupů 133 programovatelného řadiče PŘP periferie tvoří současně druhou skupinu datových vstupů 4 zapojení pro vstup datového slova D10 až D17 do vstupního přenosového kanálu zapojení. Na čtecí vstup 134 programovatelného řadiče PŘP periferie se přivádí z výstupu 148 prvního dvouvstupového obvodu ND1 typu negace logického součinu povel RD k předání datového slova D10 až D17 vstupního přenosového kanálu na vedení D0 až D7. Na první vstup 146 prvního dvouvstupového obvodu ND1 typu negace logického součinu a současně na vstup 171 druhého invertoru IN2, druhý vstup 189 pátého dvouvstupového obvodu ND5 typu negace logického součinu a na druhý vstup 192 šestého dvouvstupového obvodu ND6 typu negace logického součinu se přivádí signál RI adresy vstupního přenosového kanálu zapojení z výstupu 166 třetího dvouvstupového obvodu OR3 typu negace logického součinu. Na druhý vstup 147 prvního dvouvstupového obvodu ND1 typu negace logického součinu a současně na vstup 222 třetího neinvertujícího spínače NS3 s otevřeným kolektorem a na druhý vstup 238 prvního čtyřvstupového obvodu ND13 typu negace logického součinu se přivádí signál BP připravenosti datového slova vstupního přenosového kanálu zapojení z nulového výstupu 221 klopného obvodu RS typu R-S. Na zapisovací vstup 135 programovatelného řadiče PŘP periferie se přivádí povel WR k zapsání a vyslání datového slova D00 až D07 výstupního přenosového kanálu zapojení z výstupu 151 prvního dvouvstupového obvodu OR1 typu negace logického součinu, na jehož první vstup 149 se přivádí povel ST k zápisu řídicího slova do programovatelného řadiče PŘP

periferie z jedničkového výstupu 160 monostabilního klopného obvodu MKO se Schmittovým klopným obvodem a na druhý vstup 150 seřívá výkonný povel CO z výstupu 184 pátého obvodu OR5 typu negace logického součtu. Na první výběrový vstup 136 programovatelného řadiče PRP periferie se přivádí první bit A0 kódu volby přenosového kanálu programovatelného řadiče PRP periferie z výstupu 154 druhého dvouvstupového obvodu ND2 typu negace logického součinu, na jehož první vstup 152 a současně na druhý vstup 176 třetího dvouvstupového obvodu ND3 typu negace logického součinu a na první vstup 215 jedenáctého dvouvstupového obvodu ND11 typu negace logického součinu se přivádí inverzní signál adresy R0 výstupního přenosového kanálu zapojení z výstupu 174 třetího invertoru IN3 a na jehož druhý vstup 153 a současně na vstup 142 druhého neinvertujícího spínače NS2 s otevřeným kolektorem a na vstup 144 prvního neinvertujícího spínače NS1 s otevřeným kolektorem se přivádí signál SET počátečního nastavení zapojení ze vstupu 155 prvního invertoru IN1 tvořícího současně první nastavovací vstup 5 zapojení.

Na druhý výběrový vstup 137 programovatelného řadiče PRP periferie a současně na vstup 157 neinvertujícího zpožďovacího členu ZC, na druhý vstup 162 druhého dvouvstupového obvodu OR2 typu negace logického součtu, na druhý vstup 165 třetího dvouvstupového obvodu OR3 typu negace logického součtu a na druhý vstup 168 čtvrtého dvouvstupového obvodu OR4 typu negace logického součtu se přivádí druhý bit A1 kódu volby přenosového kanálu programovatelného řadiče PRP periferie z výstupu 156 prvního invertoru IN1. Na první potvrzovací vstup 138 programovatelného řadiče PRP periferie a současně na druhý vstup 261 druhého čtyřvstupového obvodu ND14 typu negace logického součinu se přivádí signál ACK potvrzení přijetí dat z výstupu 253 šestého neinvertujícího dvouvstupového obvodu X06 typu výhradní logický součet. Z prvního potvrzovacího výstupu 139 programovatelného řadiče PRP periferie se přivádí signál ORF připravenosti dat na první vstup 248 pátého neinvertujícího dvouvstupového obvodu X05 typu výhradní logický součet a současně na první vstup 260 druhého čtyřvstupového obvodu ND14 typu negace logického součinu. Z druhého potvrzovacího výstupu 140 programovatelného řadiče PRP periferie se přivádí signál IBF potvrzení převzetí dat na první vstup 161 druhého dvouvstupového obvodu OR2 typu negace logického součtu. Na druhý potvrzovací vstup 141 programovatelného řadiče PRP periferie se přivádí signál STB potvrzení platnosti dat z nulového výstupu 231 prvního klopného obvodu KD1 typu D. Zpožděný signál z výstupu 158 neinvertujícího zpožďovacího členu ZC se přivádí na spouštěcí vstup 159 monostabilního klopného obvodu MKO se Schmittovým klopným obvodem. Z výstupu 163 druhého dvouvstupového obvodu OR2 typu negace logického součtu se přivádí na vstup 178 čtvrtého invertoru IN4 a současně na nulovací vstup 233 prvního klopného obvodu KD1 typu D nulovací signál DP, z výstupu 179 čtvrtého invertoru IN4 se přivádí inverzní nulovací signál DP na druhý vstup 216 jedenáctého dvouvstupového obvodu ND11 typu negace logického součinu. Z výstupu 172 druhého invertoru IN2 se přivádí signál adresy vstupního přenosového kanálu zapojení na první vstup 175 třetího dvouvstupového obvodu ND3 typu negace logického součinu. Z výstupu 170 čtvrtého dvouvstupového obvodu OR4 typu negace logického součtu se přivádí signál adresy výstupního přenosového kanálu zapojení na vstup 173 třetího invertoru IN3, na druhý vstup 195 sedmého dvouvstupového obvodu ND7 typu negace logického součinu a současně na druhý vstup 198 osmého dvouvstupového obvodu ND8 typu negace logického součinu.

Z výstupu 177 třetího dvouvstupového obvodu ND3 typu negace logického součinu se přivádí hradlovací signál na třetí vstup 206 prvního třívstupového obvodu ND9 typu negace logického součinu a na třetí vstup 210 druhého třívstupového obvodu ND10 typu negace logického součinu. Z výstupu 181 pátého invertoru IN5 se přivádí inverzní spouštěcí signál výstupního přenosového kanálu zapojení na první vstup 182 pátého dvouvstupového obvodu OR5 typu negace logického součtu, na jehož druhý vstup 183 a současně na první vstup 185 čtvrtého dvouvstupového obvodu ND4 typu negace logického součinu, tvořícího současně řídící vstup 2 zapojení, se přivádí řídící signál V11 vstupního a výstupního přenosového kanálu zapojení. Na hodinový vstup 269 třetího klopného obvodu KD3 typu D a na vstup 180 pátého invertoru IN5, tvořícího současně první spouštěcí vstup 8 zapojení, se přivádí spouštěcí signál RBO výstupního přenosového kanálu zapojení. Na hodinový vstup 266 druhého klopného

obvodu KD2 typu D a na druhý vstup 186 čtvrtého dvouvstupového obvodu ND4 typu negace logického součinu, tvořícího současně druhý spouštěcí vstup 10 zapojení, se přivádí spouštěcí signál RBI vstupního přenosového kanálu zapojení. Z výstupu 190 pátého dvouvstupového obvodu ND5 typu negace logického součinu se přivádí inverzní signál řízení směru přenosu dat na vstup 200 šestého invertoru IN6, na první vstup 208 druhého třívstupového obvodu ND10 typu negace logického součinu a současně na první vstup 191 šestého dvouvstupového obvodu ND6 typu negace logického součinu, z jehož výstupu 193 se přivádí inverzní signál řízení směru přenosu dat na vstup 202 sedmého invertoru IN7 a současně na první vstup 204 prvního třívstupového obvodu ND9 typu negace logického součinu. Výstup 196 sedmého dvouvstupového obvodu ND7 typu negace logického součinu je připojen na druhý vstup 205 prvního třívstupového obvodu ND9 typu negace logického součinu a současně na první vstup 197 osmého dvouvstupového obvodu ND8 typu negace logického součinu jehož výstup 199 je připojen na druhý vstup 209 druhého třívstupového obvodu ND10 typu negace logického součinu. Na první vstup 164 třetího dvouvstupového obvodu OR3 typu negace logického součtu, tvořícího současně první adresovací vstup 6 zapojení, se přivádí inverzní signál TA adresy vstupního přenosového kanálu zapojení.

Na první vstup 167 čtvrtého dvouvstupového obvodu OR4 typu negace logického součtu, tvořícího současně druhý adresovací vstup 7 zapojení, se přivádí inverzní signál OA adresy výstupního přenosového kanálu zapojení. Na první vstup 188 pátého dvouvstupového obvodu ND5 typu negace logického součinu, tvořícího současně první volicí vstup 11 zapojení, se přivádí signál DI předvolby úrovně dat přenášejících vstupním kanálem zapojení. Na první vstup 194 sedmého dvouvstupového obvodu ND7 typu negace logického součinu, tvořícího současně druhý volicí vstup 12 zapojení, se přivádí signál DQ předvolby úrovně dat přenášejících výstupním kanálem zapojení. Na nastavovací vstup 219 klopného obvodu RS typu R-S, na jehož nulovací vstup 218 je připojen výstup 217 jedenáctého dvouvstupového obvodu ND11 typu negace logického součinu, se přivádí výkonný povel CI z výstupu 187 čtvrtého dvouvstupového obvodu ND4 typu negace logického součinu. Signál z jedničkového výstupu 220 klopného obvodu RS typu R-S ve funkci paměti výkonného povelu CI se přivádí na vstup 224 čtvrtého neinvertujícího spínače NS4 s otevřeným kolektorem, na druhý vstup 213 prvního neinvertujícího dvouvstupového obvodu XQ1 typu výhradní logický součet a současně na datový vstup 229 prvního klopného obvodu KD1 typu D ve funkci paměti signálu SCI potvrzovací platnosti datového slova D10 až D17 od nevyznačeného periferního zařízení. Na hodinový vstup 230 prvního klopného obvodu KD1 typu D je připojen druhý vstup 235 dvanáctého dvouvstupového obvodu ND12 typu negace logického součinu a výstup 228 druhého neinvertujícího dvouvstupového obvodu XQ2 typu výhradní logický součet, jehož první vstup 226 tvoří současně první potvrzovací vstup 14 zapojení pro vstup signálu SCI potvrzení platnosti datového slova D10 až D17 od nevyznačeného periferního zařízení. Na druhý vstup 227 druhého neinvertujícího dvouvstupového obvodu XQ2 typu výhradní logický součet, tvořící současně čtvrtý volicí vstup 15 zapojení, se přivádí signál PSI předvolby úrovně signálu SCI. Na první vstup 212 prvního neinvertujícího dvouvstupového obvodu XQ1 typu výhradní logický součet, tvořící současně třetí volicí vstup 13 zapojení, se přivádí signál PAI předvolby úrovně signálu ACI. Výstup 214 prvního neinvertujícího dvouvstupového obvodu XQ1 typu výhradní součet tvoří současně první potvrzovací výstup 29 zapojení pro výstup potvrzení ACI přijetí datového slova D10 až D17 do nevyznačeného periferního zařízení. Výstup 223 třetí neinvertujícího spínače NS3 s otevřeným kolektorem tvoří současně první ovládací výstup 30 zapojení pro výstup ovládacího signálu STK do nevyznačeného periferního zařízení.

Výstup 225 čtvrtého neinvertujícího spínače NS4 s otevřeným kolektorem tvoří současně druhý ovládací výstup 31 zapojení pro výstup ovládacího signálu STK do nevyznačeného periferního zařízení. První vstup 237 prvního čtyřvstupového obvodu ND13 typu negace logického součinu je připojen na výstup 236 dvanáctého dvouvstupového obvodu ND12 typu negace logického součinu, jehož první vstup 234 tvoří současně pátý volicí vstup 16 zapojení pro vstup signálu SDP předvolby způsobu generace hlášení RDI připravenosti vstupního přenosového kanálu zapojení. Třetí vstup 239 prvního čtyřvstupového obvodu ND13 typu negace logického součinu je připojen na výstup 244 třetího neinvertujícího dvouvstupového obvodu XQ3 typu

výhradní logický součet, jehož první vstup 242 tvoří první stavový vstup 17 zapojení pro vstup stavového signálu SI1 z nevyznačeného periferního zařízení a jehož druhý vstup 243 tvoří současně šestý volicí vstup 18 zapojení pro vstup signálu PI1 předvolby úrovně stavového signálu SI1. Čtvrtý vstup 240 prvního čtyřvstupového obvodu ND13 typu negace logického součinu je připojen na výstup 247 čtvrtého neinvertujícího dvouvstupového obvodu X04 typu výhradní logický součet, jehož první vstup 245 tvoří současně druhý stavový vstup 19 zapojení pro vstup stavového signálu SI2 z nevyznačeného periferního zařízení, a jehož druhý vstup 246 tvoří současně sedmý volicí vstup 20 zapojení pro vstup signálu PI2 předvolby úrovně stavového signálu SI2. Výstup 241 prvního čtyřvstupového obvodu ND13 typu negace logického součinu tvoří současně první stavový výstup 32 zapojení pro výstup hlášení RD1 připravenosti vstupního přenosového kanálu zapojení do nevyznačeného počítače. Výstup 250 pátého neinvertujícího dvouvstupového obvodu X05 typu výhradní logický součet tvoří současně druhý potvrzovací výstup 33 zapojení pro výstup signálu SC0 potvrzení platnosti datového slova D00 až D07 do nevyznačeného periferního zařízení. Druhý vstup 249 pátého neinvertujícího dvouvstupového obvodu X05 typu výhradní logický součet tvoří současně osmý volicí vstup 21 zapojení pro vstup signálu PS0 předvolby úrovně signálu SC0. První vstup 251 šestého neinvertujícího dvouvstupového obvodu X06 typu výhradní logický součet tvoří současně druhý potvrzovací vstup 22 zapojení pro vstup potvrzení AC0 přijetí datového slova D00 až D07 nevyznačeným periferním zařízením. Druhý vstup 252 šestého neinvertujícího dvouvstupového obvodu X06 typu výhradní logický součet tvoří současně devátý volicí vstup 23 zapojení pro vstup signálu PA0 předvolby úrovně signálu AC0. Třetí vstup 262 druhého čtyřvstupového obvodu ND14 typu negace logického součinu je připojen na výstup 259 osmého neinvertujícího dvouvstupového obvodu X08 typu výhradní logický součet, jehož první vstup 257 tvoří současně čtvrtý stavový vstup 26 zapojení pro vstup stavového signálu S02 z nevyznačeného periferního zařízení, a jehož druhý vstup 258 tvoří současně jedenáctý volicí vstup 27 zapojení pro vstup signálu PO2 předvolby úrovně stavového signálu S02. Čtvrtý vstup 263 druhého čtyřvstupového obvodu ND14 typu negace logického součinu je připojen na výstup 256 sedmého neinvertujícího dvouvstupového obvodu X07 typu výhradní logický součet, jehož první vstup 254 tvoří současně třetí stavový vstup 24 zapojení pro vstup stavového signálu S01 z nevyznačeného periferního zařízení a jehož druhý vstup 255 tvoří současně desátý volicí vstup 25 zapojení pro vstup signálu PO1 předvolby úrovně stavového signálu S01. Výstup 264 druhého čtyřvstupového obvodu ND14 typu negace logického součinu tvoří současně druhý stavový výstup 34 zapojení pro výstup hlášení RD0 připravenosti výstupního přenosového kanálu zapojení do nevyznačeného počítače. Datový vstup 265 druhého klopného obvodu KD2 typu D je připojen na datový vstup 268 třetího klopného obvodu KD3 typu D a tvoří současně druhý nastavovací vstup 28 zapojení pro vstup signálu V10 nastavení výstupní stavové informace zapojení, přičemž jedničkový výstup 267 druhého klopného obvodu KD2 typu D tvoří současně třetí stavový výstup 35 zapojení pro výstup stavového signálu ST1 do nevyznačeného periferního zařízení a jedničkový výstup 270 třetího klopného obvodu KD3 typu D tvoří současně čtvrtý stavový výstup 36 zapojení pro výstup stavového signálu ST0 do nevyznačeného periferního zařízení. Nastavovací vstup 271 druhého klopného obvodu KD2 typu D je připojen na nulovací vstup 272 druhého klopného obvodu KD2 typu D a současně na nastavovací vstup 273 třetího klopného obvodu KD3 typu D, na nulovací vstup 274 třetího klopného obvodu KD3 typu D, na nastavovací vstup 232 prvního klopného obvodu KD1 typu D a současně na kladnou svorku H nevyznačeného zdroje vysoké logické úrovně.

Příkladem realizace programovatelného řadiče PŘP periferie je integrovaný obvod MHB 8255 A.

Zapojení řídicí jednotky periferních zařízení podle vynálezu lze použít ve stolních počítačích a zejména v inteligentních terminálech.

PŘEDMĚT VYNÁLEZU

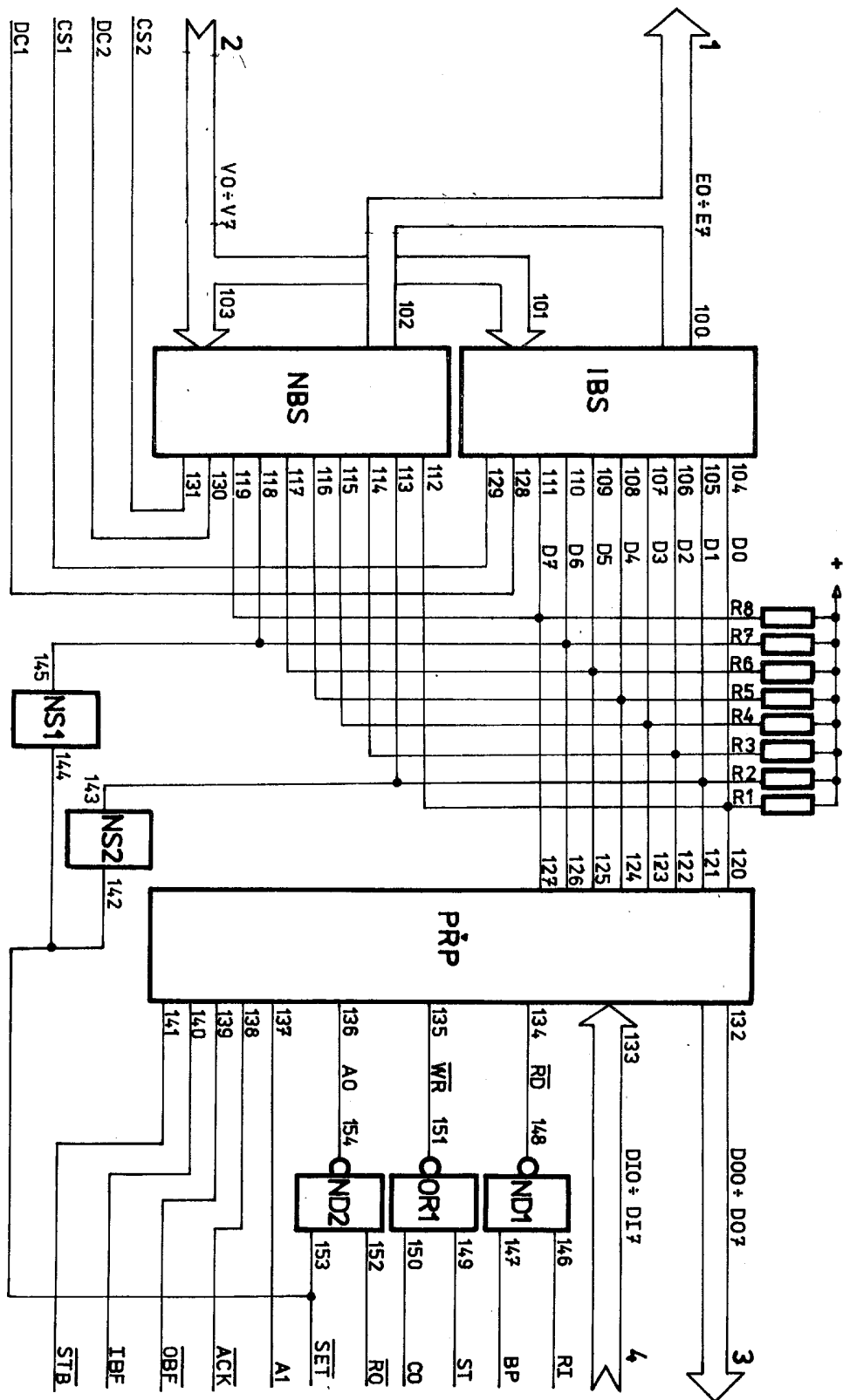
Zapojení řídicí jednotky periferních zařízení, vyznačené tím, že skupina datových vstupů (103) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice je připojena na skupinu datových vstupů (101) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice a tvoří současně první skupinu datových vstupů (2) zapojení, skupina datových výstupů (102) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice je připojena na skupinu datových výstupů (100) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice a tvoří současně první skupinu datových výstupů (1) zapojení, první datový vstup a výstup (104) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na první datový vstup a výstup (112) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na první datový vstup a výstup (120) programovatelného řadiče (PŘP) periferie a současně přes první odpor (R1) na kladnou svorku nevyznačeného zdroje napájecího napětí, druhý datový vstup a výstup (105) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na druhý datový vstup a výstup (113) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na druhý datový vstup a výstup (121) programovatelného řadiče (PŘP) periferie, na výstup (143) druhého neinvertujícího spínače (NS2) s otevřeným kolektorem a současně přes druhý odpor (R2) na kladnou svorku nevyznačeného zdroje napájecího napětí, třetí datový vstup a výstup (106) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na třetí datový vstup a výstup (114) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na třetí datový vstup a výstup (122) programovatelného řadiče (PŘP) periferie a současně přes třetí odpor (R3) na kladnou svorku nevyznačeného zdroje napájecího napětí, čtvrtý datový vstup a výstup (107) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na čtvrtý vstup a výstup (115) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na čtvrtý datový vstup a výstup (123) programovatelného řadiče (PŘP) periferie a současně přes čtvrtý odpor (R4) na kladnou svorku nevyznačeného zdroje napájecího napětí, pátý datový vstup a výstup (108) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na pátý datový vstup a výstup (116) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na pátý datový vstup a výstup (116) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na pátý datový vstup a výstup (124) programovatelného řadiče (PŘP) periferie a současně přes pátý odpor (R5) na kladnou svorku nevyznačeného zdroje napájecího napětí, šestý datový vstup a výstup (109) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na šestý datový vstup a výstup (117) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na šestý datový vstup a výstup (125) programovatelného řadiče (PŘP) periferie a současně přes šestý odpor (R6) na kladnou svorku nevyznačeného zdroje napájecího napětí, sedmý datový vstup a výstup (110) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na sedmý datový vstup a výstup (118) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na sedmý datový vstup a výstup (126) programovatelného řadiče (PŘP) periferie, na výstup (145) prvního neinvertujícího spínače (NS1) s otevřeným kolektorem a současně přes sedmý odpor (R7) na kladnou svorku nevyznačeného zdroje napájecího napětí, osmý datový vstup a výstup (111) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na osmý vstup a výstup (119) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice, na osmý datový vstup a výstup (127) programovatelného řadiče (PŘP) periferie a současně přes osmý odpor (R8) na kladnou svorku nevyznačeného zdroje napájecího napětí, výběrový vstup (131) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice je připojen na výstup (207) prvního třívstupového obvodu (ND9) typu negace logického součinu, řídicí vstup (130) neinvertujícího třístavového budiče (NBS) obousměrné datové sběrnice je připojen na výstup (201) šestého invertoru (IN6), výběrový vstup (129) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na výstup (211) druhého třívstupového obvodu (ND10) typu negace logického součinu, řídicí vstup (128) invertujícího třístavového budiče (IBS) obousměrné datové sběrnice je připojen na výstup (203) sedmého invertoru (IN7), skupina datových výstupů (132) programovatelného řadiče (PŘP) periferie tvoří současně druhou sku-

pinu datových výstupů (3), zapojení, skupina datových vstupů (133) programovatelného řadiče (PŘP) periférie tvoří současně druhou skupinu datových vstupů (4) zapojení, čtecí vstup (134) programovatelného řadiče (PŘP) periférie je připojen na výstup (148) prvního dvouvstupového obvodu (ND1) typu negace logického součinu, jehož první vstup (146) je připojen na výstup (166) třetího dvouvstupového obvodu (OR3) typu negace logického součtu a současně na vstup (171) druhého invertoru (IN2), na druhý vstup (189) pátého dvouvstupového obvodu (ND5) typu negace logického součinu a na druhý vstup (192) šestého dvouvstupového obvodu (ND6) typu negace logického součinu, druhý vstup (147) prvního dvouvstupového obvodu (ND1) typu negace logického součinu negace logického součinu je připojen na nulový výstup (221) klopného obvodu (RS) typu R-S, na vstup (222) třetího neinvertujícího spínače (NS3) s otevřeným kolektorem a na druhý vstup (238) prvního čtyřvstupového obvodu (ND13) typu negace logického součinu, zapisovací vstup (135) programovatelného řadiče (PŘP) periférie je připojen na výstup (151) prvního dvouvstupového obvodu (OR1) typu negace logického součtu, jehož první vstup (149) je připojen na jedničkový výstup (160) monostabilního klopného obvodu (MKO) se Schmittovým klopným obvodem a druhý vstup (150) je připojen na výstup (184) pátého obvodu (OR5) typu negace logického součtu, první výběrový vstup (136) programovatelného řadiče (PŘP) periférie je připojen na výstup (154) druhého dvouvstupového obvodu (ND2) typu negace logického součinu, jehož první vstup (152) je připojen na výstup (174) třetího invertoru (IN3), na druhý vstup (176) třetího dvouvstupového obvodu (ND3) typu negace logického součinu a současně na první vstup (215) jedenáctého dvouvstupového obvodu (ND11) typu negace logického součinu, druhý vstup (153) druhého dvouvstupového obvodu (ND2) typu negace logického součinu je připojen na vstup (142) druhého neinvertujícího spínače (NS2) s otevřeným kolektorem, na vstup (144) prvního neinvertujícího spínače (NS1) s otevřeným kolektorem, na vstup (155) prvního invertoru (IN1) a tvoří současně první nastavovací vstup (5) zapojení, druhý výběrový vstup (137) programovatelného řadiče (PŘP) periférie je připojen na výstup (156) prvního invertoru (IN1), na vstup (157) neinvertujícího zpožďovacího členu (ZČ), na druhý vstup (162) druhého dvouvstupového obvodu (OR2) typu negace logického součtu, na druhý vstup (165) třetího dvouvstupového obvodu (OR3) typu negace logického součtu a současně na druhý vstup (168) čtvrtého dvouvstupového obvodu (OR4) typu negace logického součtu, první potvrzovací vstup (138) programovatelného řadiče (PŘP) periférie je připojen na výstup (253) šestého neinvertujícího dvouvstupového obvodu (X06) typu výhradní logický součet a současně na druhý vstup (261) druhého čtyřvstupového obvodu (ND14) typu negace logického součinu, první potvrzovací výstup (139) programovatelného řadiče (PŘP) periférie je připojen na první vstup (248) pátého neinvertujícího dvouvstupového obvodu (X05) typu výhradní logický součet a současně na první vstup (260) druhého čtyřvstupového obvodu (ND14) typu negace logického součinu, druhý potvrzovací výstup (140) programovatelného řadiče (PŘP) periférie je připojen na první vstup (161) druhého dvouvstupového obvodu (OR2) typu negace logického součtu, druhý potvrzovací vstup (141) programovatelného řadiče (PŘP) periférie je připojen na nulový výstup (231) prvního klopného obvodu (KD1) typu D, výstup (158) neinvertujícího zpožďovacího členu (ZČ) je připojen na spouštěcí vstup (159) monostabilního klopného obvodu (MKO) se Schmittovým klopným obvodem, výstup (163) druhého dvouvstupového obvodu (OR2) typu negace logického součtu je připojen na vstup (178) čtvrtého invertoru (IN4) a současně na nulovací vstup (233) prvního klopného obvodu (KD1) typu D, výstup (179) čtvrtého invertoru (IN4) je připojen na druhý vstup (216) jedenáctého dvouvstupového obvodu (ND11) typu negace logického součinu, výstup (172) druhého invertoru (IN2) je připojen na první vstup (175) třetího dvouvstupového obvodu (ND3) typu negace logického součinu, výstup (170) čtvrtého dvouvstupového obvodu (OR4) typu negace logického součtu je připojen na vstup (173) třetího invertoru (IN3), na druhý vstup (195) sedmého dvouvstupového obvodu (ND7) typu negace logického součinu a současně na druhý vstup (198) osmého dvouvstupového obvodu (ND8) typu negace logického součinu, výstup (177) třetího dvouvstupového obvodu (ND3) typu negace logického součinu je připojen na třetí vstup (206) prvního třívstupového obvodu (ND9) typu negace logického součinu a současně na třetí vstup (210) druhého třívstupového obvodu (ND10) typu negace logického součinu, výstup (181) pátého invertoru (IN5) je připojen na první vstup (182) pátého dvouvstupového obvodu (OR5) typu negace logického součtu, jehož druhý vstup (183) je připojen na první vstup (185) čtvrtého dvouvstupového obvodu

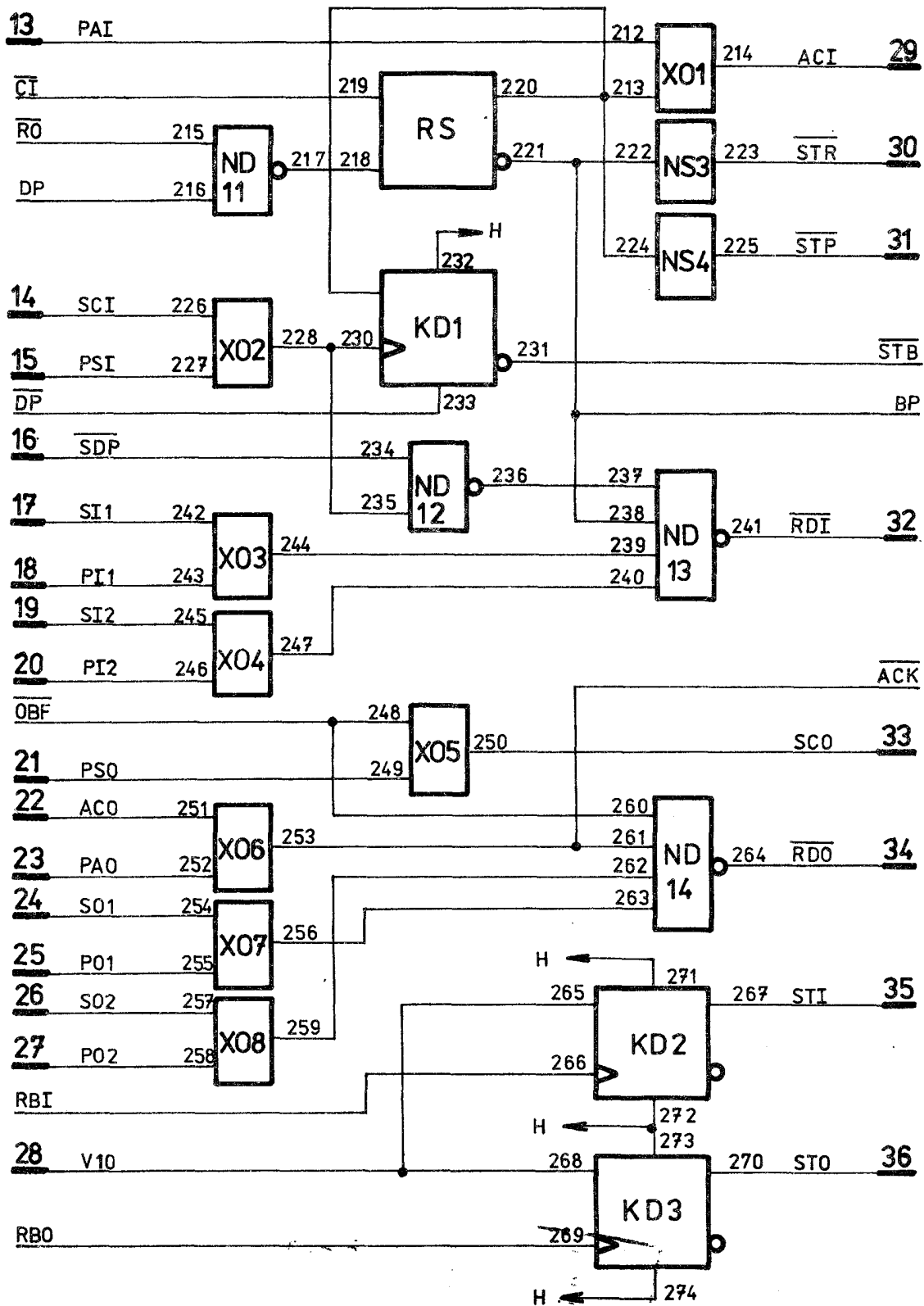
(ND4) typu negace logického součinu a tvoří současně řídící vstup (9) zapojení, vstup (180) pátého invertoru (IN5) je připojen na hodinový vstup (269) třetího klopného obvodu (KD3) typu D a tvoří současně první spouštěcí vstup (8) zapojení, druhý vstup (186) čtvrtého dvouvstupového obvodu (ND4) typu negace logického součinu je připojen na hodinový vstup (266) druhého klopného obvodu (KD2) typu D a tvoří současně druhý spouštěcí vstup (10) zapojení, výstup (190) pátého dvouvstupového obvodu (ND5) typu negace logického součinu je připojen na vstup (200) šestého invertoru (IN6), na první vstup (208) druhého třívstupového obvodu (ND10) typu negace logického součinu a současně na první vstup (191) šestého dvouvstupového obvodu (ND6) typu negace logického součinu, jehož výstup (193) je připojen na vstup (202) sedmého invertoru (IN7) a současně na první vstup (204) prvního třívstupového obvodu (ND9) typu negace logického součinu, výstup (196) sedmého dvouvstupového obvodu (ND7) typu negace logického součinu je připojen na druhý vstup (205) prvního třívstupového obvodu (ND9) typu negace logického součinu a současně na první vstup (197) osmého dvouvstupového obvodu (ND8) typu negace logického součinu, jehož výstup (199) je připojen na druhý vstup (209) druhého třívstupového obvodu (ND10) typu negace logického součinu, první vstup (164) třetího dvouvstupového obvodu (OR3) typu negace logického součtu tvoří současně první adresovací vstup (6) zapojení, první vstup (167) čtvrtého dvouvstupového obvodu (OR4) typu negace logického součtu tvoří současně druhý adresovací vstup (7) zapojení, první vstup (188) pátého dvouvstupového obvodu (ND5) typu negace logického součinu tvoří současně první volicí vstup (11) zapojení, první vstup (194) sedmého dvouvstupového obvodu (ND7) typu negace logického součinu tvoří současně druhý volicí vstup (12) zapojení, výstup (187) čtvrtého dvouvstupového obvodu (ND4) typu negace logického součinu je připojen na nastavovací vstup (219) klopného obvodu (RS) typu R - S, na jehož nulovací vstup (218) je připojen výstup (217) jedenáctého dvouvstupového obvodu (ND11) typu negace logického součinu, jedničkový výstup (220) klopného obvodu (RS) typu R - S je připojen na vstup (224) čtvrtého neinvertujícího spínače (NS4) s otevřeným kolektorem, na druhý vstup (213) prvního neinvertujícího dvouvstupového obvodu (X01) typu výhradní logický součet a současně na datový vstup (229) prvního klopného obvodu (KD1) typu D jehož hodinový vstup (230) je připojen na druhý vstup (235) dvanáctého dvouvstupového obvodu (ND12) typu negace logického součinu a současně na výstup (228) druhého neinvertujícího dvouvstupového obvodu (X02) typu výhradní logický součet, jehož první vstup (226) tvoří současně první potvrzovací vstup (14) zapojení a jehož druhý vstup (227) tvoří současně čtvrtý volicí vstup (15) zapojení, první vstup (212) prvního neinvertujícího dvouvstupového obvodu (X01) typu výhradní logický součet tvoří současně třetí volicí vstup (13) zapojení, výstup (214) prvního neinvertujícího dvouvstupového obvodu (X01) typu výhradní logický součet tvoří současně první potvrzovací výstup (29) zapojení, výstup (223) třetího neinvertujícího spínače (NS3) s otevřeným kolektorem tvoří současně první ovládací výstup (30) zapojení, výstup (225) čtvrtého neinvertujícího spínače (NS4) s otevřeným kolektorem tvoří současně druhý ovládací výstup (31) zapojení, první vstup (237) prvního čtyřvstupového obvodu (ND13) typu negace logického součinu je připojen na výstup (236) dvanáctého dvouvstupového obvodu (ND12) typu negace logického součinu, jehož první vstup (234) tvoří současně pátý volicí vstup (16) zapojení, třetí vstup (239) prvního čtyřvstupového obvodu (ND13) typu negace logického součinu je připojen na výstup (244) třetího neinvertujícího dvouvstupového obvodu (X03) typu výhradní logický součet, jehož první vstup (242) tvoří současně - první stavový vstup (17) zapojení a jehož druhý vstup (243) tvoří současně šestý volicí vstup (18) zapojení, čtvrtý vstup (240) prvního čtyřvstupového obvodu (ND13) typu negace logického součinu je připojen na výstup (247) čtvrtého neinvertujícího dvouvstupového obvodu (X04) typu výhradní logický součet, jehož první vstup (245) tvoří současně druhý stavový vstup (19) zapojení a jehož druhý vstup (246) tvoří současně sedmý volicí vstup (20) zapojení, výstup (241) prvního čtyřvstupového obvodu (ND13) typu negace logického součinu tvoří současně první stavový výstup (32) zapojení, výstup (250) pátého neinvertujícího dvouvstupového obvodu (X05) typu výhradní logický součet tvoří současně druhý potvrzovací výstup (33) zapojení, druhý vstup (249) pátého neinvertujícího dvouvstupového obvodu (X05) typu výhradní logický součet tvoří současně osmý volicí vstup (21) zapojení, první vstup (251) šestého neinvertujícího dvouvstupového obvodu (X06) typu výhradní logický součet tvoří současně druhý potvrzovací vstup (22) zapojení, druhý vstup (252) šestého neinvertujícího dvouvstupového obvodu (X06)

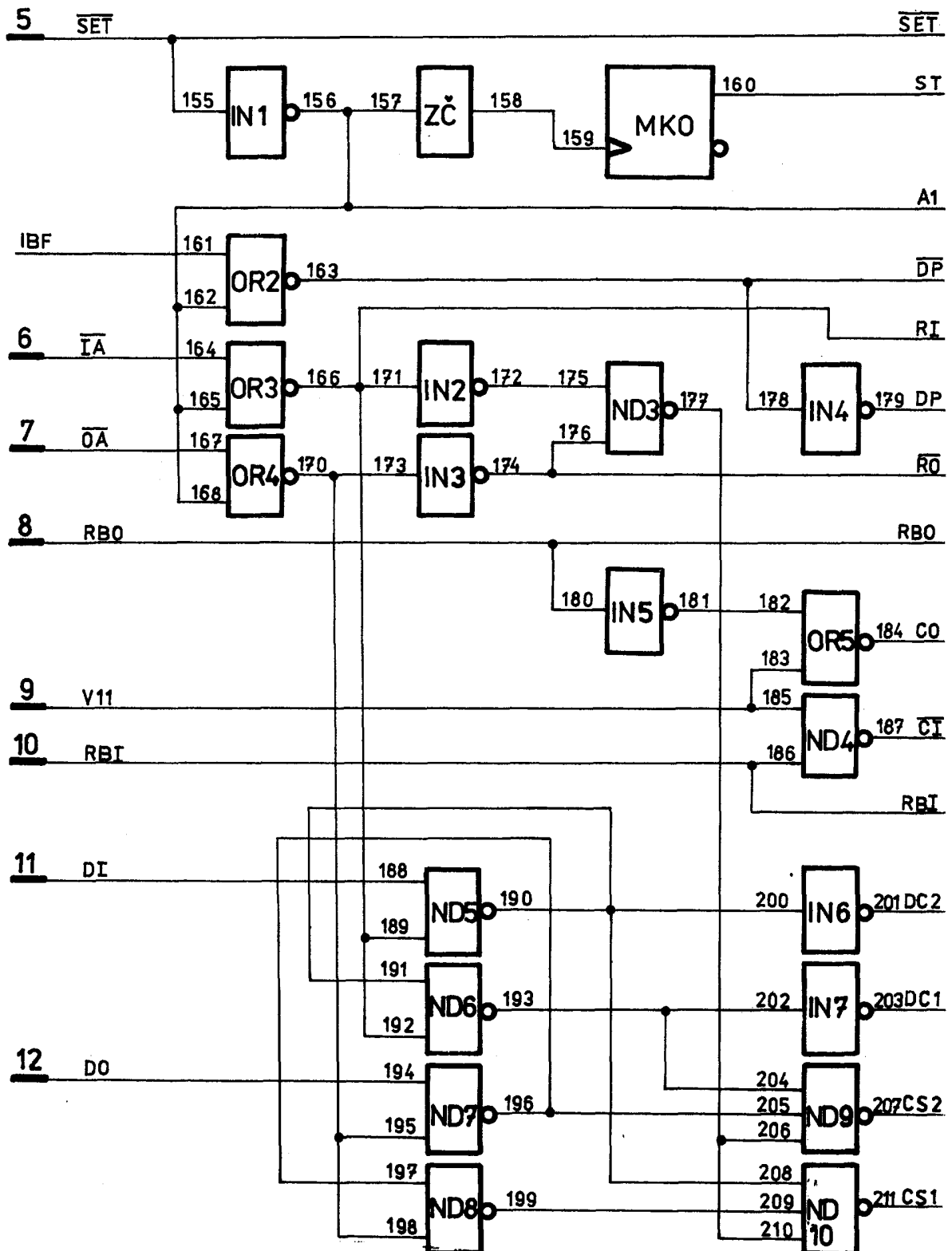
typu výhradní logický součet tvoří současně devátý volicí vstup (23) zapojení, třetí vstup (262) druhého čtyřvstupového obvodu (ND14) typu negace logického součinu je připojen na výstup (259) osmého neinvertujícího dvouvstupového obvodu (X08) typu výhradní logický součet, jehož první vstup (257) tvoří současně čtvrtý stavový vstup (26) zapojení a jehož druhý vstup (258) tvoří současně jedenáctý volicí vstup (27) zapojení, čtvrtý vstup (263) druhého čtyřvstupového obvodu (ND14) typu negace logického součinu je připojen na výstup (256) sedmého neinvertujícího dvouvstupového obvodu (X07) typu výhradní logický součet, jehož první vstup (254) tvoří současně třetí stavový vstup (24) zapojení, a jehož druhý vstup (255) tvoří současně desátý volicí vstup (25) zapojení, výstup (264) druhého čtyřvstupového obvodu (ND14) typu negace logického součinu tvoří současně druhý stavový výstup (34) zapojení, datový vstup (265) druhého klopného obvodu (KD2) typu D je připojen na datový vstup (268) třetího klopného obvodu (KD3) typu D a tvoří současně druhý nastavovací vstup (28) zapojení, jedničkový výstup (267) druhého klopného obvodu (KD2) typu D tvoří současně třetí stavový výstup (35) zapojení, jedničkový výstup (270) třetího klopného obvodu (KD3) typu D tvoří současně čtvrtý stavový výstup (36) zapojení, nastavovací vstup (271) druhého klopného obvodu (KD2) typu D je připojen na nulovací vstup (272) druhého klopného obvodu (KD2) typu D a současně na nastavovací vstup (273) třetího klopného obvodu (KD3) typu D, na nulovací vstup (274) třetího klopného obvodu (KD3) typu D, na nastavovací vstup (232) prvního klopného obvodu (KD1) typu D a současně na kladnou svorku nevyznačeného zdroje vysoké logické úrovně.

3 výkresy



Obf. 1a





Obr. 1c