

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4145146号
(P4145146)

(45) 発行日 平成20年9月3日(2008.9.3)

(24) 登録日 平成20年6月27日(2008.6.27)

(51) Int.Cl.
G06F 1/04 (2006.01)

F I
G06F 1/04 301C

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2002-568201 (P2002-568201)	(73) 特許権者	504199127
(86) (22) 出願日	平成13年12月18日 (2001.12.18)		フリースケール セミコンダクター イン
(65) 公表番号	特表2005-508531 (P2005-508531A)		コーポレイテッド
(43) 公表日	平成17年3月31日 (2005.3.31)		アメリカ合衆国 78735 テキサス州
(86) 国際出願番号	PCT/US2001/049157		オースティン ウィリアム キャノン
(87) 国際公開番号	W02002/069146		ドライブ ウェスト 6501
(87) 国際公開日	平成14年9月6日 (2002.9.6)	(74) 代理人	100116322
審査請求日	平成16年12月17日 (2004.12.17)		弁理士 桑垣 衛
(31) 優先権主張番号	09/788,816	(72) 発明者	ウッド、マイケル シー、
(32) 優先日	平成13年2月21日 (2001.2.21)		アメリカ合衆国 78660 テキサス州
(33) 優先権主張国	米国 (US)		プフルガービル パーククレスト コー
			ト 1000

最終頁に続く

(54) 【発明の名称】 オンチップ・バックグラウンド・デバッグシステムを有するデータ処理システム及びその方法

(57) 【特許請求の範囲】

【請求項 1】

ホスト装置との間で所定の通信プロトコルにより、所定のシンボル継続時間を有するシンボルの転送が可能なデータ処理システムであって、

イネーブル制御（44）を有し、クロック信号に従って動作するバックグラウンド・デバッグシステム（14）と、

前記バックグラウンド・デバッグシステムに接続され、イネーブル制御を受信するように適合されたクロック装置（19）であって、発振を停止することが可能である前記クロック装置（19）とを備え、

イネーブル制御がアサートされると、クロック装置が発振を停止しないようにされ、前記バックグラウンド・デバッグシステム（14）がホスト装置のデバッグ動作に対応可能となるように該バックグラウンド・デバッグシステム（14）に前記クロック装置からクロック信号が供給され、

前記バックグラウンド・デバッグシステムは、

ホスト装置から前記所定のシンボル継続時間よりも長い継続時間を有する同期要求を受信するように適合された同期検出装置（64）と、

同期要求に回答してホスト装置に対して所定の固定継続時間を有する同期応答を供給するように適合された同期応答装置（66）とを備え、前記同期応答は、ホスト装置がデバッグ動作において前記同期応答の前記所定の固定継続時間を測定して、所定のシンボル継続時間を決定するために使用される、データ処理システム。

【請求項 2】

クロック装置（19）に接続され、クロック信号に従って動作するバックグラウンド・デバッグシステム（14）を有するデータ処理システムを動作させるための方法であって、データ処理システムは、ホスト装置との間で所定の通信プロトコルにより、所定のシンボル継続時間を有するシンボルの転送が可能であり、当該方法は

低電力モードを入力する工程と、その低電力モードの間、クロック装置は、発振を停止することが可能であることと、

バックグラウンド・デバッグイネーブル制御（44）をアサートする工程と、

前記バックグラウンド・デバッグイネーブル制御をアサートする工程にตอบสนองして、バックグラウンド・デバッグシステムが、クロック装置が発振を停止しないようにし、前記バックグラウンド・デバッグシステム（14）がホスト装置のデバッグ動作に対応可能となるように該バックグラウンド・デバッグシステム（14）に前記クロック装置からクロック信号を供給する工程と、

ホスト装置から前記所定のシンボル継続時間よりも長い継続時間を有する同期要求を供給する工程と、

同期要求にตอบสนองして、前記バックグラウンド・デバッグシステム（14）が所定の固定継続時間を有する同期応答をホスト装置に供給する工程であって、前記同期応答は、ホスト装置がデバッグ動作において該同期応答の前記所定の固定継続時間を測定して、所定のシンボル継続時間を決定するために使用される、同期応答を供給する工程とを含む方法。

【請求項 3】

所定の通信プロトコルにより、所定のシンボル継続時間を有するシンボルの転送が可能な通信インターフェイス（52）と、

前記通信インターフェイスに接続され、かつ同期要求を受信するように適合された同期検出装置（64）と、前記同期要求はシンボル継続時間よりも長い継続時間を有することと、

前記通信インターフェイスに接続され、同期要求に対して所定の固定継続時間を有する同期応答を供給するように適合された同期応答装置（66）とを含み、前記同期応答は、データ処理システムによってホスト装置に供給され、前記同期応答は、ホスト装置が該同期応答の前記所定の固定継続時間を測定して、所定のシンボル継続時間を決定するために使用される、データ処理システム。

【請求項 4】

データ処理システムにおいて、

データ処理システムの外部にあるホスト装置との間で所定のシンボル継続時間を有するシンボルの転送が可能である非同期通信インターフェイス（52）と、

前記非同期通信インターフェイスに接続されたバックグラウンド・デバッグシステム（14）とを含み、前記バックグラウンド・デバッグシステムは、

ホスト装置から前記所定のシンボル継続時間よりも長い継続時間を有する同期要求を受信するように適合された同期検出装置（64）と、

同期要求にตอบสนองしてホスト装置に対して所定の固定継続時間を有する同期応答を供給するように適合された同期応答装置（66）とを備え、前記同期応答は、前記ホスト装置が前記同期応答の前記所定の固定継続時間を測定して、前記所定のシンボル継続時間をバックグラウンド・デバック速度として決定するために用いられる、データ処理システム。

【請求項 5】

請求項 4 に記載のデータ処理システムであって、

ホスト装置は、所定のシンボル継続時間よりも長い継続時間にわたって同期要求をアサートするデータ処理システム。

【請求項 6】

第 1 データ処理システムを第 2 データ処理システムに同期させる方法であって、第 1 データ処理システム及び第 2 データ処理システムは、第 2 データ処理システムのクロック速度に関して所定のシンボル継続時間を有するシンボルを転送するための通信プロトコルに

10

20

30

40

50

よって通信を行ない、前記方法は、

第1データ処理システムから所定のシンボル継続時間よりも長い継続時間を有する同期要求を第2データ処理システムに供給する工程と、

同期要求に应答して、第2データ処理システムが所定の固定継続時間を有する同期应答を第1データ処理システムに供給する工程であって、前記同期应答は、第1データ処理システムが該同期应答の前記所定の固定継続時間を測定して、所定のシンボル継続時間を決定するために使用される、同期应答を供給する工程とを含む方法。

【請求項7】

ホスト装置との間で所定の通信プロトコルにより、所定のシンボル継続時間を有するシンボルの転送が可能なデータ処理システムであって、

バックグラウンド・デバッグクロック装置と、該バックグラウンド・デバッグクロック装置のクロック信号に従って動作するバックグラウンド・デバッグクロック装置に接続されたイネーブル制御(44)とを有するバックグラウンド・デバッグシステム(14)と

、
前記バックグラウンド・デバッグシステムに接続されたシステムクロック装置であって、システム発振器に接続されるように適合され、システム発振器の発振停止が可能な前記システムクロック装置(19)とを備え、

イネーブル制御がアサートされると、バックグラウンド・デバッグクロック装置がイネーブル状態になり、前記バックグラウンド・デバッグシステム(14)がホスト装置のデバッグ動作に対応可能となるように該バックグラウンド・デバッグシステム(14)に前記バックグラウンド・デバッグクロック装置からクロック信号が供給され、

前記バックグラウンド・デバッグシステムは、

ホスト装置から前記所定のシンボル継続時間よりも長い継続時間を有する同期要求を受信するように適合された同期検出装置(64)と、

同期要求に应答してホスト装置に対して所定の固定継続時間を有する同期应答を供給するように適合された同期应答装置(66)とを備え、前記同期应答は、デバッグ動作においてホスト装置が該同期应答の前記所定の固定継続時間を測定して、所定のシンボル継続時間を決定するために使用される、データ処理システム。

【請求項8】

システムクロック装置(19)に接続されたバックグラウンド・デバッグシステム(14)を有するデータ処理システムを動作させる方法であって、前記バックグラウンド・デバッグシステムが該バックグラウンド・デバッグシステムに供給されるクロック信号を生成するバックグラウンド・デバッグクロック装置を有し、データ処理システムは、ホスト装置との間で所定の通信プロトコルにより、所定のシンボル継続時間を有するシンボルの転送が可能であり、前記方法は、

低電力モードを入力する工程と、低電力モード中、前記システムクロック装置が、データ処理システムに対する発振を防止することと、

バックグラウンド・デバッグイネーブル制御をアサートする工程と、

前記バックグラウンド・デバッグイネーブル制御をアサートする工程に应答して、前記システムクロック装置(19)から独立して、バックグラウンド・デバッグクロック装置の発振をイネーブル状態にし、前記バックグラウンド・デバッグシステム(14)がホスト装置のデバッグ動作に対応可能となるように該バックグラウンド・デバッグシステム(14)に前記バックグラウンド・デバッグクロック装置からクロック信号を供給する工程と、

ホスト装置から前記所定のシンボル継続時間よりも長い継続時間を有する同期要求を供給する工程と、

同期要求に应答して、前記バックグラウンド・デバッグシステム(14)が所定の固定継続時間を有する同期应答をホスト装置に供給する工程であって、前記同期应答は、デバッグ動作においてホスト装置が該同期应答の前記所定の固定継続時間を測定して、所定のシンボル継続時間を決定するために使用される、同期应答を供給する工程とを含む方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願)

本出願は、本出願と同日に出願され審査受付番号SC11064THを有する米国特許出願、表題「デバッグ情報を格納するためのオンチップFIFOを有するデータ処理システムとその方法(DATA PROCESSING SYSTEM WITH ON-CHIP FIFO FOR STORING DEBUG INFORMATION AND METHOD THEREFOR)」に関連し、前記出願は本明細書中に参照により援用され、また、本出願の現譲受人に付与されたものである。

10

【0002】

本発明は、一般的にデータ処理システムに関し、特に、オンチップ・バックグラウンド・デバッグシステムを有するデータ処理システムに関する。

【背景技術】

【0003】

消費電力を低減するために、現在のデータ処理システムは、多くの場合、アプリケーションプログラムにより、システムクロック速度の調整や発振器の停止さえも行なう。これらの動作によって、ホスト開発システムは、その通信速度を調整して、対象のデータ処理システム内におけるこれらの変更に対応しなければならない場合がある。対象のシステム発振器が停止される場合、バックグラウンド通信も停止し、従って、対象のシステムメモリ位置の読み取り又は書き込み等、通常のデバッグ動作が阻止される。従って、アプリケーションプログラムが、システムクロック速度を停止又は調整する間、通常のデバッグ動作を可能にする必要性が存在する。またホスト開発システムが、対象のデータ処理システムとのバックグラウンド通信用の正確なクロック速度を決定する必要性も存在する。

20

【発明を実施するための最良の形態】

【0004】

本発明は、制限するためではなく一例として添付の図に例示されるが、図においては、同様な参照番号は同様な要素を示す。

図の要素は、説明を簡単に又明確にするために示し、必ずしも縮尺通りに描かれていないことを当業者は理解されるであろう。例えば、図における幾つかの要素の寸法は、本発明による実施形態の理解促進の一助となるように、他の要素に対して誇張している場合がある。

30

【0005】

本明細書中に用いたように、用語「バス」は、データ、アドレス、制御、又は状態等、1つ以上の様々な種類の情報を転送するために用いられ得る複数の信号又は伝導体を指すために用いられる。用語「アサート」は、信号、状態ビット、又は同様な装置をその論理的真の状態にすることを指す場合に用いられる。用語「ネゲート」又は「ディアサート」は、信号、状態ビット、又は同様な装置をその論理的偽の状態にすることを指す場合に用いられる。信号(又は状態ビット等)がアクティブハイの場合、論理的真の状態は、論理レベル1であり、論理的偽の状態は、論理レベル0である。信号(又は状態ビット等)がアクティブローの場合、論理的真の状態は、論理レベル0であり、論理的偽の状態は、論理レベル1である。また「ハイ」は、論理レベル1を指すために用い、一方、「ロー」は、論理レベル0を指すために用いられ得る。

40

【0006】

図1は、本発明の一実施形態に基づくデータ処理システム10をブロック図の形態で示す。データ処理システム10は、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサ(DSP)等の任意の処理システムであってよい。データ処理システム10には、CPU12、クロック装置19、メモリモジュール16、他のモジュール18、デバッグモジュール20、内部アドレスバス22、内部データバス24、及び制御信号26が含まれる。CPU12には、バックグラウンド・デバッグシステム(BDS)14が

50

含まれる。BDS 14には、バックグラウンド通信インターフェイス52が含まれる。内部データバス24、内部アドレスバス22、及び制御信号26は、データ処理システム10において、CPU12と各周辺モジュールとの間に接続される。クロック装置19は、制御信号26を介してCPU12に接続され、かつ、信号44, 54を介してBDS 14に接続される。また、クロック装置19には、発振回路に接続するためのインターフェイス信号48, 49が含まれる。

【0007】

動作時、CPU12は、データバス24を介して、メモリモジュール16に格納されたソフトウェアプログラムから命令を受信して実行する。次に、CPU12は、データ処理システムの他の資源に指示して、又は、その資源を用いて、何らかのタスクを実行する。メモリモジュール16は、これらに限定するものではないが、スタティック・ランダムアクセス・メモリ、ダイナミック・ランダムアクセス・メモリ、又は、例えば、フラッシュメモリ等の任意の種類の不揮発性メモリを含む如何なる種類のメモリであってもよい。他のモジュール18は、もう1つのメモリモジュール、アナログ-デジタル変換器、タイマモジュール、例えば、CANモジュールのようなシリアル通信モジュール、汎用入/出力モジュール等であってもよい。デバッグモジュール20は、プログラムのデバッグが可能な任意の適切なデバッグモジュールであってもよい。

【0008】

クロック装置19は、EN__BDM44とバックグラウンド・デバッグクロック54を介して、バックグラウンド・デバッグシステム14に接続される。信号48, 49は、外部発振器要素にインターフェイス信号を供給する。またクロック装置19は、制御信号26を介して、制御信号を送受信する。例えば、クロック装置19は、CPU12にクロック信号を供給し、かつ、制御信号26を介してSTOP信号を受信する。またクロック装置19は、CPU12、メモリモジュール16、デバッグモジュール20、及び他のモジュール18にシステムクロックを供給する。(クロック装置19については、図2を参照して、以下において更に議論する。)

またBDS 14には、ホスト開発システムを(対象システムとも称する)データ処理システム10に接続させるバックグラウンド通信インターフェイス52が含まれる。従って、ホスト開発システムは、バックグラウンド通信インターフェイス52を介してデバッグ動作を実行し得る。一実施形態において、バックグラウンド通信インターフェイス52は、非同期双方向単線インターフェイスであってもよい。本実施形態において、BDS 14は、ホストシステムでデバッグ動作を行なうための一つの外部ピンのみを必要とする。他の実施形態においては、JTAGインターフェイス等の他の適切な通信インターフェイスを用い得る。

【0009】

図2は、図1のクロック装置19及びCPU12の一部並びに外部発振器要素30を示す。一実施形態において、外部発振器要素30には、水晶振動子即ち共振器32と、帰還抵抗34と、2つの負荷コンデンサ36, 38とが含まれ、全て従来のピラス発振器構成で接続される。しかしながら、他の実施形態では、他の適切な発振器要素及び構成を用い得る。クロック装置19には、インバータ42と、NANDゲート66, 62と、クロック制御46とが含まれる。NANDゲート66は、STOP信号68、インバータ42、及びNANDゲート62に接続される。NANDゲート62(発振増幅器62とも称する)は、発振器要素30とクロック制御46とに接続される。インバータ42は、BDS 14からEN__BDM44を受信し、クロック制御46は、BDS 14にバックグラウンド・デバッグクロック54を供給する。CPU12には、コマンドアドレス70を介してアドレス生成装置74に接続されたBDS 14が含まれる。またアドレス生成装置74は、CPUアドレス72を受信し、アドレスバス22を介してシステムアドレスを供給する。またBDS 14は、バックグラウンド通信インターフェイス52、データバス24、及び制御信号26に双方向で接続される。

【0010】

動作時、クロック装置 19 の発振増幅器 62 は、アクティブハイイネーブル信号 64 をディアサートすることによって、ディセーブル状態にされ得る。従来技術のシステムにおいて、消費電力を低減するために、データ処理システムが停止モードになると、発振増幅器はディセーブル状態になる（従って、発振器をディセーブル状態にする）。しかしながら、図 2 の実施形態において、イネーブル信号 64 は、NAND ゲート 66 の出力によって駆動される。NAND ゲート 66 への 2 つの入力は、STOP 信号 68 と停止イネーブル制御信号 40 である。本実施形態において、信号 68 及び信号 40 の双方は、アクティブハイ信号であることに留意されたい。また STOP 信号 68 は、CPU の命令によって生成され、電力を低減するためにデータ処理システム 10 を停止モード（又は、低電力モード）に設定し得ることに留意されたい。通常動作時には、一般的に、如何なるホストシステムもバックグラウンド通信インターフェイス 52 に接続されず、また、EN_BDM 44 はローである（即ち、BDS 14 がイネーブル状態ではない）。従って、NAND ゲート 66 の入力部における停止イネーブル制御信号 40 は、ハイである。従って、通常動作時、STOP 信号 68 がそれぞれローであるか又はハイであるかによって、STOP 信号 68 は、発振器が動作するか又は停止するかを判断する。また通常動作時、アドレス生成装置 74 は、CPU アドレス 72 からの情報をアドレスバス 22 に送る。例えば、CPU アドレス 72 は、CPU 12 内の実行装置（図示せず）からアドレスを受信し得る。

【0011】

しかしながら、開発及びデバッグ動作時、ホストシステムは、一般的に、バックグラウンド通信インターフェイス 52 に接続され、かつ EN_BDM 44 はハイである。これによって、BDS 14 はイネーブル状態になって、入力をインパータ 42 へ送り、停止イネーブル制御信号 40 がローになる。これによって、STOP 信号 68 の状態に関わらず、NAND ゲート 66 の出力は強制的にハイにされる。従って、これによって、BDS 14 は、STOP 信号 68 とは独立して、発振増幅器 62 をイネーブル状態にし得る。また STOP 信号 68 は、データ処理システム 10 内の他の回路を駆動し、デバッグ動作中、BDS 14 が発振器を強制的に動作状態のままにさせている場合、依然として他のシステムクロックが停止され得ることに留意されたい。また BDS 14 は、データバス 24、制御信号 26、及びアドレスバス 22 を用いて、例えば、メモリからの読み出し及びメモリへの書き込み等のバックグラウンド・デバッグ動作を行なう。このようなデバッグ動作の間、アドレス生成装置 74 が、コマンドアドレス 70 上で、BDS 14 からアドレスバス 22 にアドレスを送ることによって、BDS 14 は、データ処理システムのメモリへのアクセスが可能になる。

【0012】

従って、本発明の様々な実施形態によって、ホスト開発システムがバックグラウンド通信インターフェイスに接続され、バックグラウンド・デバッグモードがイネーブル状態である場合、発振器が動作を継続するように、発振器停止モードの通常動作は無効にされることが理解できる。これによって、バックグラウンド・デバッグ通信インターフェイスは、動作を継続することが可能になり、従って、他のデータ処理システムモジュールが電力を節約するためにシャットダウンされている間、通常のデバッグ動作は、依然として実行され得る。例えば、バックグラウンド・デバッグモードがイネーブル状態である場合、ホスト開発システムは、READ_STATUS コマンドを送って対象システムの状態を判断するが、一方、残りのデータ処理システムモジュールは、シャットダウンしたままである。

【0013】

図 2 を再度参照すると、クロック制御 46 は、発振器要素 30 から基準発振器信号 48 を受信し、その基準信号 48 に基づいて BDS 14 にバックグラウンド・デバッグクロック 54 を供給する。クロック制御 46 には、基準発振器信号を調整するために、分周器等の回路を含み得る。従って、発振器基準信号の周波数のみが分かっており、クロック制御 46 の詳細が分かっていないホスト開発システムは、クロック制御 46 によって生成されるシステムクロックの実際の周波数を判断することが不可能な場合がある。従って、図 3

10

20

30

40

50

及び図 4 を参照して議論するように、BDS 14 は、ホストシステムで正しくそのデバッグ動作を行なうために、この問題に対処しなければならない。

【0014】

図 3 は、BDS 14 の一実施形態を示す。バックグラウンド通信インターフェイス 52 は、外部ホスト開発システム（即ち、外部デバッグホストシステム）から信号を受信するものであり、シリアルコマンド復号器ブロック 56、コマンド応答ブロック 58、同期（sync）検出ブロック 64、及び同期（sync）応答ブロック 66 に接続されている。バックグラウンド・デバッグクロック信号 54 は、シリアルコマンド復号器ブロック 56、コマンド応答ブロック 58、同期検出ブロック 64、及び同期応答ブロック 66 における動作のタイミングを制御する。またコマンド応答ブロック 58 は、データバス 24 と制御信号 26 とに接続されることによって、シリアル・バックグラウンド・コマンドが、メモリ及びレジスタ値の読み書きしたり、又は、GO、TRACE、若しくは、enter-active-BACKGROUND（「アクティブ・バックグラウンド入力」）等のデバッグコマンドを起動したりすることが可能になる。またシリアルコマンド復号器 56 は、EN_BDM 44 を供給する BDM イネーブル回路 43 に接続される。

【0015】

BDM イネーブル回路 43 は、その制御ビットの一つとして EN_BDM 44 を格納するための制御レジスタを備えてもよいし、あるいは、EN_BDM 44 をアサートするように設計された他の回路を備えてもよい。一実施形態において、EN_BDM 44 は、バックグラウンド通信インターフェイス 52 を介して、ホスト開発システムにより発せられる BDS コマンドによってのみアクセス可能な制御レジスタに格納されるビットであり得る。これによって、ユーザコードが、故意に又は間違って EN_BDM 44 をアサートしたり、STOP 信号 68 を無効にしたりできなくなる。他の実施形態において、EN_BDM 44 は、制御ビットとして格納されなくてもよく、その代わり、いつバックグラウンド通信インターフェイス 52 を介して有効なデバッグ通信が行われているか検出する論理回路によってアサートされ得る。他の実施形態では、BDM イネーブル回路 43 を参照して説明したものの以外の、EN_BDM 44 をアサートして BDS 14 をイネーブル状態にするための異なるメカニズムおよび回路が用いられ得る。

【0016】

バックグラウンド・デバッグ動作中、シリアルコマンド及びデータは、バックグラウンド通信インターフェイス 52 を介して受信され、また、シリアルコマンド復号器 56 によって復号化される。次に、コマンド応答ブロック 58 は、データバス 24 の信号と制御信号 26 を用いて要求されたコマンドを実行する。いくつかのコマンドの場合、データは、データバス 24 及び制御信号 26 を介してデータ処理システム 10 に書き込まれる。他のコマンドの場合、データは、データバス 24 及び制御信号 26 を介してデータ処理システム 10 から読み取られ、それらのデータはバックグラウンド通信インターフェイス 52 を介してシリアルデータストリームとしてホスト開発システムに送り返される。一実施形態において、所定の通信プロトコルによれば、シリアルコマンド復号器 56 及びコマンド応答ブロック 58 によって処理される全てのコマンド及びデータは、図 4 に示した記号タイミングに従う。この例示のプロトコルにおいて、ホスト開発システムをバックグラウンド通信インターフェイス 52 に接続するラインは、本実施形態においては、バックグラウンド・デバッグクロック 54 の 16 周期である記号継続時間の約 4 分の 3 を越える間、ロー状態にアサートされない。（以下の記載において、バックグラウンド通信インターフェイス 52 は、ホスト開発システムからバックグラウンド通信インターフェイス 52 に接続される通信線も指し得ることを留意されたい。即ち、ホスト開発システムに接続された場合、バックグラウンド通信インターフェイス 52 は、バックグラウンド通信線 52 とも称され得る。）

図 4 に、バックグラウンド通信線 52 における通常のシリアルコマンド及びデータに対する論理 1 記号継続時間（即ち、ビット時間）及び論理 0 記号継続時間（即ち、ビット時間）のタイミングを示す。本実施形態において、各記号は、立下りの端で始まり、バック

10

20

30

40

50

グラウンド・デバッグクロック 5 4 の 1 6 周期分である。各ビット時間に対する論理値は、「サンプリング・ポイント」というラベルによって図 4 に示したように、ビット時間の中間付近でサンプリングされる。論理 1 記号の場合、信号が、ビット時間の中間においてサンプリングされるときに、論理 1 であるように、その信号はビット時間の約 4 分の 1 の間にわたってロー状態にアサートされる。他の選択肢として、信号がサンプリングされるときに、その信号が正しい値（論理 1）を与えるために、信号がサンプリング点より前にディアサートされる限りは、任意の時間にわたって信号はロー状態にアサートされ得る。同様に、論理 0 記号の場合、信号は、ビット時間の中間においてサンプリングされるときに、論理ゼロであるように、ビット時間の約 4 分の 3 の間にわたってロー状態にアサートされる。他の選択肢として、新しい記号の開始の前に信号がサンプリング及びディアサートされるときに、信号が正しい値（論理 0）を与えるために、信号がサンプリング点でロー状態にアサートされる限り、信号は任意の長さの時間にわたってロー状態にアサートされ得る。即ち、論理 0 記号の場合、信号が次の記号の開始前の或る時間にディアサートされる前に、その信号は、現在の記号の継続時間を過ぎてても、ロー状態にアサートされた状態を維持し得る。本実施形態においては、通常デバッグ通信中、バックグラウンド通信線 5 2 は、決して論理 0 の場合に対するよりも長い間にわたってロー状態にアサートされない。

【 0 0 1 7 】

また図 4 は、上述した例示のプロトコルを用いて、同期（sync）要求及び同期（sync）応答のタイミングを示す。外部ホスト開発システムが、バックグラウンド・デバッグクロック 5 4 の少なくとも 1 2 8 周期の間にわたってバックグラウンド通信線 5 2 をロー状態にアサートすると、同期要求が起動される。データ処理システム 1 0（即ち、対象システム）における同期検出ブロック 6 4 がこの同期要求を検出した場合、同期検出ブロック 6 4 はバックグラウンド通信線 5 2 がディアサートされたハイレベルに戻るまで待機する。次に、同期応答ブロック 6 6 は、（バックグラウンド通信線 5 2 が少なくとも要求と応答の間に明確な中断を提供するハイ状態に戻るのに十分な）バックグラウンド・デバッグクロック 5 4 の数周期の間にわたって遅延し、次に、バックグラウンド・デバッグクロック 5 4 の 1 2 8 周期の間にわたってバックグラウンド通信線 5 2 をアサートする。次に、外部ホスト開発システムは、このロー状態の同期応答信号の継続時間を測定して、後続のバックグラウンド通信に対する正しい速度を決定することができる。

【 0 0 1 8 】

上述したように、外部ホスト開発システムは、デバッグ動作を実行するための正しいクロック速度を検出することは不可能である。従って、同期要求及び応答メカニズムによって、ホスト開発システムが対象システムとのバックグラウンド通信用の正しいクロック速度を決定することが可能となる。要約すると、ホスト開発システムは、バックグラウンド通信信号を、該バックグラウンド通信信号が通常の通信に対してアサートされるよりも遥かに長い時間の間にわたって、アサートすることによって、対象システムから同期タイミングパルスを要求する。この要求を認識すると、対象システムは、通信クロック信号の特定回数周期の間にわたって、バックグラウンド通信信号をアサートすることによって応答する。ホストは、この応答パルスの長さを測定して、正しい通信速度を決定する。従って、同期要求及び応答を用いて、第 1 データ処理システムを第 2 データ処理システムに同期させることができ、これはホスト及び対象システムだけに限定されない。

【 0 0 1 9 】

他の実施形態は、継続時間及び形式が異なる記号を定義し得る他の通信プロトコルに基づき通信を行ない得る。例えば、記号の継続時間は、図 4 に示した 1 6 周期より長くても短くてもよい。また、記号は、記号継続時間中、異なる点でサンプルされることがある。従って、同期要求は、上述した 1 2 8 周期より長くても又は短くてもよい。一般的に、同期要求は、最大記号継続時間よりもかなり長い。例えば、図 4 の実施形態において、1 2 8 周期は、少なくとも（通常の記号継続時間に対応する）1 6 周期より長く、また、クロック信号の十分な許容範囲及び任意の測定誤差にも対処し得る。幾つかの実施形態におい

10

20

30

40

50

て、同期要求の継続時間は、通常の記号における継続時間の少なくとも2倍であると定義され得る。一方、対象システムによって送信された同期応答は、送信された固定回数の周期を用いてホストシステムが正しく時間を測定できるように、継続時間が固定されている。しかしながら、ホストは、対象システムに対して非同期であり得るため、同期応答の測定には何らかの不確実性が存在し得る。従って、測定の不確実性の影響を最小限に抑えるために、かつホストシステムがより正確なタイミング情報を得ることができるよう、同期応答に対して（通常の記号の継続時間と比較して）十分に長い継続時間を選択すべきである。しかし、他の実施形態では、同期要求及び同期応答の継続時間に対して数多くの異なる組み合わせを利用し得る。

【0020】

データ処理システム10の他の実施形態において、BDS14には、クロック装置19とは独立した、抵抗-コンデンサ(RC)発振器等の内蔵型発振器を含み得る。このようなシステムにおいて、STOP信号68を無効にするために用いられるものと類似した論理を用いて、内蔵型発振器を適切にイネーブル状態にし得る。例えば、この内蔵型発振器は、システム発振器の動作にかかわらず、有効な通信がバックグラウンド通信線52上で検出された場合に、イネーブル状態にされ得る。従って、データ処理システム用のシステム発振器は停止モードにされ得、それにもかかわらず、BDS14は、デバッグ動作の実行を継続し得る。RC発振器等の内蔵型発振器がBDM14によって用いられる場合、一般的にホストシステムは、そのタイミング情報の予備知識を有していない。このことは、部分的には、RC発振器が、一般的に、広い周波数許容範囲を有するために、周波数を知らることが難しいためである。しかしながら、上述したように、ホストシステムは、同期応答を介してBDM14から適切なタイミング情報を得るために、同期要求を利用し得る。

【0021】

本発明について、特定の伝導の種類又は電位の極性に関して説明したが、伝導の種類及び電位の極性を反対にしてもよいことが当業者には理解されよう。例えば、アクティブハイとして設計された信号は、アクティブローとして設計してもよく、また、アクティブローとして設計された信号は、アクティブハイとして設計してもよい。当業者は、このような変更に対応するために回路を如何に修正するか理解されたであろう。

【0022】

前述の明細書において、本発明について、特定の実施形態を参照して説明した。しかしながら、当業者は、上述した請求項に記載されたように本発明の範囲から逸脱することなく、様々な修正及び変更を行ない得ることを理解される。従って、明細書及び図は、限定の意図よりむしろ例示を意図すると見なすべきであり、また、このような修正は、本発明の範囲内に全て含まれることを意図する。

【0023】

利益、他の利点、及び問題に対する解決策について、特定の実施形態に関して上述した。しかしながら、利益、利点、問題に対する解決策、及び、何らかの利益、利点、若しくは解決策を生じ得る又はより顕著にし得るどの要素(群)も、何れか若しくは全ての請求項の、重要な、必要な、又は本質的な特徴若しくは要素として解釈されるべきものではない。本明細書中に用いたように、用語「含む」、「含まれる」、又はその用語の他の変形語は、非排他的な包括を網羅することを意図し、従って、列挙した要素を含むプロセス、方法、物、装置は、これらの要素だけを含むのではなく、明確に列記されていない又はこのようなプロセス、方法、物、装置に固有な他の要素を含み得る。

【図面の簡単な説明】

【0024】

【図1】本発明の一実施形態を示すデータ処理システムのブロック図。

【図2】本発明の一実施形態に基づく、図1のクロック装置及び中央処理装置の一部の部分ブロック図及び部分概略図。

【図3】本発明の一実施形態に基づく、図1のバックグラウンド・デバッグシステムのブロック図。

10

20

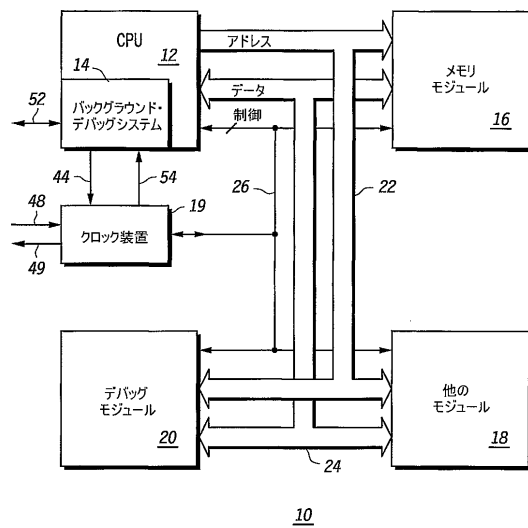
30

40

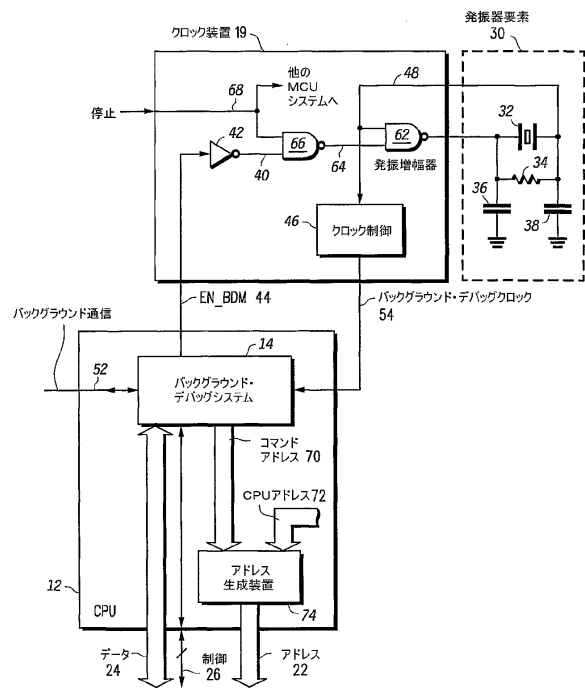
50

【図 4】本発明の一実施形態に基づく、論理 1 記号、論理ゼロ記号、並びに同期要求及び応答のタイミング図。

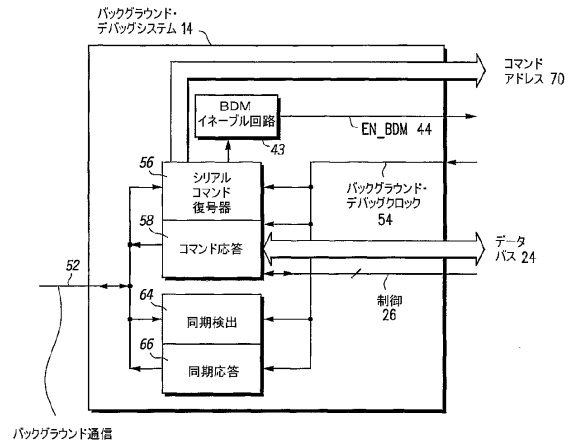
【図 1】



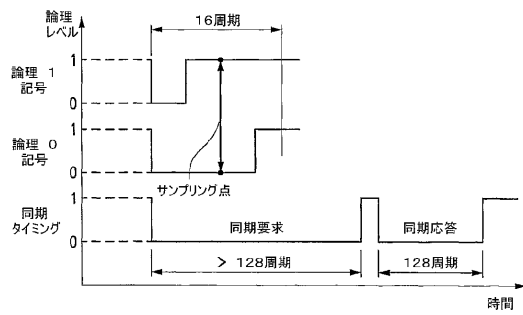
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 ベイカー、ジョージ イー .

アメリカ合衆国 7 8 7 3 6 テキサス州 オースティン コールブラム レーン 7 8 0 6

(72)発明者 シビグトルース、ジェームズ エム .

アメリカ合衆国 7 8 6 8 1 テキサス州 ラウンドロック ウォルシュ ドライブ 2 4 1 2

審査官 石井 茂和

(56)参考文献 特開平 0 6 - 2 0 2 7 5 4 (J P , A)

特開平 0 9 - 1 9 8 3 4 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

WPI(DIALOG)

G06F 1/04