(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/201264 A1

(51) 国際特許分類:
H10B 12/00 (2023.01) *H01L 29/786* (2006.01)
H01L 21/336 (2006.01) *H10B 53/20* (2023.01)
H01L 21/8234 (2006.01) *H10B 53/30* (2023.01)
H01L 27/088 (2006.01)

(21) 国際出願番号： PCT/IB2024/052821

(22) 国際出願日： 2024年3月25日(25.03.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-058108 2023年3月31日(31.03.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

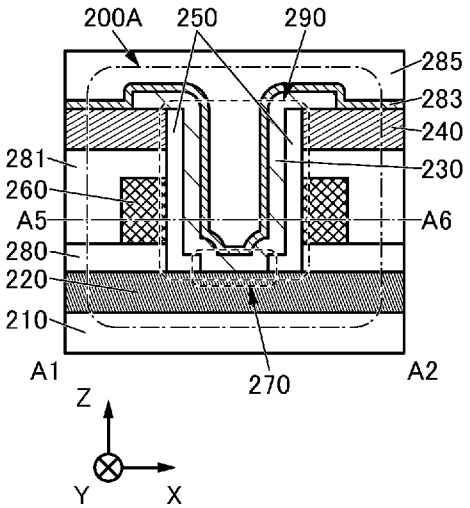
(72) 発明者: 倉田求 **(KURATA, Motomu)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 方堂涼太 **(HODO, Ryota)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 遠藤俊弥 **(ENDO, Toshiya)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 菊池秋広 **(KIKUCHI, Akihiro)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 太田将志 **(OOTA, Masashi)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 齋藤暁 **(SAITO, Satoru)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司 **(KUNITAKE, Hitoshi)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置、及び半導体装置の作製方法

図1B



(57) **Abstract:** The present invention provides a transistor with a high on-state current. The present invention also provides a semiconductor device with good electrical characteristics. The semiconductor device includes the transistor, a first insulating layer, and a second insulating layer. The transistor has a first conductive layer, a second conductive layer, a third conductive layer, a third insulating layer, and an oxide semiconductor layer. The first conductive layer, the first insulating layer, the second conductive layer, the second insulating layer, and the third conductive layer are stacked in the above order. The first insulating layer, the second conductive layer, the second insulating layer, and the third conductive layer have an opening that reaches the first conductive layer. The third insulating layer has an area in contact with the top surface of a portion of the first conductive layer, the side surface of the first insulating layer, the side surface of the second conductive layer, the side surface of the second insulating layer, and the side surface of the third conductive layer at the opening. The oxide semiconductor layer has an area in contact with the top surface of the first conductive layer, the top and side surfaces of the third insulating layer, and the top surface of the third conductive layer.

WO 2024/201264 A1

[続葉有]

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約:オン電流が大きいトランジスタを提供する。また、電気特性が良好である半導体装置を提供する。トランジスタと、第１の絶縁層と、第２の絶縁層と、を有する半導体装置とする。トランジスタは、第１の導電層と、第２の導電層と、第３の導電層と、第３の絶縁層と、酸化物半導体層と、を有する。第１の導電層、第１の絶縁層、第２の導電層、第２の絶縁層及び第３の導電層は、この順に積層して設けられる。第１の絶縁層、第２の導電層、第２の絶縁層及び第３の導電層は、第１の導電層に達する開口を有する。第３の絶縁層は、開口において、第１の導電層の一部の上面、第１の絶縁層の側面、第２の導電層の側面、第２の絶縁層の側面、及び第３の導電層の側面と接する領域を有する。酸化物半導体層は、第１の導電層の上面、第３の絶縁層の上面及び側面、並びに第３の導電層の上面と接する領域を有する。

明細書

発明の名称

半導体装置、及び半導体装置の作製方法

技術分野

［０００１］

本発明の一態様は、半導体装置、記憶装置、表示装置、及び電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

［０００３］

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

［０００４］

近年、半導体装置の開発が進められ、ＬＳＩ、ＣＰＵ、メモリなどが主に半導体装置に用いられている。ＣＰＵは、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００５］

ＬＳＩ、ＣＰＵ、メモリなどの半導体回路（ＩＣチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００６］

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（ＩＣ）、表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

［０００７］

酸化物半導体を用いたトランジスタは、オフ状態において極めてリーク電流が小さいことが知られている。例えば、特許文献１には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のＣＰＵなどが開示されている。また、例えば、特許文献２には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

［０００８］

近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。

また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献３及び非特許文献１では、酸化物半導体膜を用いる第１のトランジスタと、酸化物半導体膜を用いる第２のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。また、特許文献４では、酸化物半導体膜を用いるトランジスタのチャネルを縦方向に配置し、集積回路の高密度化を図る技術が開示されている。

［先行技術文献］

［特許文献］

［０００９］

［特許文献１］特開２０１２－２５７１８７号公報

［特許文献２］特開２０１１－１５１３８３号公報

［特許文献３］国際公開第２０２１／０５３４７３号

［特許文献４］特開２０１３－２１１５３７号公報

［非特許文献］

［００１０］

［非特許文献１］M. Oota et al., “3D－Stacked CAAC－In－Ga－Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp. 50－53

発明の概要

発明が解決しようとする課題

［００１１］

本発明の一態様は、電気特性が良好なトランジスタを有する半導体装置または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きいトランジスタを有する半導体装置または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、微細なトランジスタを有する半導体装置または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、集積度が高い半導体装置または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、高精細または高開口率の表示装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性の高いトランジスタ、半導体装置、表示装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、消費電力の低い半導体装置、表示装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、動作速度が速い半導体装置、表示装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、上記トランジスタ、半導体装置、表示装置、または記憶装置の作製方法を提供することを課題の一つとする。または、本発明の一態様は、新規のトランジスタ、半導体装置、表示装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、新規のトランジスタ、半導体装置、表示装置、または記憶装置の作製方法を提供することを課題の一つとする。

［００１２］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１３］

本発明の一態様は、トランジスタと、第１の絶縁層と、第２の絶縁層と、を有する半導体装置である。トランジスタは、第１の導電層と、第２の導電層と、第３の導電層と、第３の絶縁層と、酸化物半導体層と、を有する。第１の導電層、第１の絶縁層、第２の導電層、第２の絶縁層及び第３の導電層は、この順に積層して設けられる。第１の絶縁層、第２の導電層、第２の絶縁層及び第３の導電層は、第１の導電層に達する開口を有する。第３の絶縁層は、開口において、第１の導電層の一部の上面、第１の絶縁層の側面、第２の導電層の側面、及び第２の絶縁層の側面と接する領域を有する。酸化物半導体層は、第１の導電層の上面、第３の絶縁層の上面及び側面、並びに第３の導電層の上面と接する領域を有する。第３の絶縁層は、第１の導電層の上面と接する領域において、酸化物半導体層側に突出する部分を有する。

［００１４］

前述の半導体装置において、第４の絶縁層を有することが好ましい。第４の絶縁層は、開口を埋め込むように、酸化物半導体層上に設けられることが好ましい。

［００１５］

前述の半導体装置において、第４の絶縁層の上面は、平坦であることが好ましい。

［００１６］

前述の半導体装置において、酸化物半導体層は、インジウム及び亜鉛の一方または双方を有することが好ましい。

［００１７］

前述の半導体装置において、第１の絶縁層は、シリコンと、窒素と、を有することが好ましい。第２の絶縁層は、シリコンと、窒素と、を有することが好ましい。

［００１８］

前述の半導体装置において、第１の絶縁層は、第５の絶縁層と、第５の絶縁層上の第６の絶縁層と、第６の絶縁層上の第７の絶縁層と、を有することが好ましい。第２の絶縁層は、第８の絶縁層と、第８の絶縁層上の第９の絶縁層と、第９の絶縁層上の第１０の絶縁層と、を有することが好ましい。第５の絶縁層、第７の絶縁層、第８の絶縁層及び第１０の絶縁層はそれぞれ、シリコンと、窒素と、を有することが好ましい。第６の絶縁層及び第９の絶縁層はそれぞれ、シリコンと、酸素と、を有することが好ましい。

［００１９］

前述の半導体装置において、第６の絶縁層は、第５の絶縁層及び第７の絶縁層のそれぞれより膜厚が厚い領域を有することが好ましい。第９の絶縁層は、第８の絶縁層及び第１０の絶縁層のそれぞれより膜厚が厚い領域を有することが好ましい。

［００２０］

前述の半導体装置において、酸化物半導体層は、開口において、第３の導電層の側面と接することが好ましい。

［００２１］

本発明の一態様は、第１の導電層を形成し、第１の導電層上に第１の絶縁層を形成し、第１の絶縁層上に第２の導電層を形成し、第２の導電層上に第２の絶縁層を形成し、第２の絶縁層上に第３の導電層を形成し、第３の導電層上にマスク層を形成し、第１の絶縁層、第２の導電層、第２の絶縁層、第３の導電層及びマスク層に、第１の導電層に達する開口を形成し、開口の側壁及び底部に接する第３の絶縁層を形成し、第３の絶縁層上にダミー層を形成し、第３の絶縁層及びダミー層を加工するこ

とにより、開口と重なる領域の第１の導電層の上面を露出させるとともに、マスク層の上面及び側面を露出させ、マスク層を除去し、ダミー層を除去し、第１の導電層、第３の絶縁層及び第３の導電層上に半導体層を形成する、半導体装置の作製方法である。

［００２２］

前述の半導体装置の作製方法において、第３の絶縁層及びダミー層の加工は、異方性エッチングを用いることが好ましい。

発明の効果

［００２３］

本発明の一態様により、電気特性が良好なトランジスタを有する半導体装置または記憶装置を提供できる。または、本発明の一態様により、オン電流が大きいトランジスタを有する半導体装置または記憶装置を提供できる。または、本発明の一態様により、微細なトランジスタを有する半導体装置または記憶装置を提供できる。または、本発明の一態様により、集積度が高い半導体装置または記憶装置を提供できる。または、本発明の一態様により、高精細または高開口率の表示装置を提供できる。または、本発明の一態様により、信頼性の高いトランジスタ、半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、消費電力の低い半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、動作速度が速い半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、上記トランジスタ、半導体装置、表示装置、または記憶装置の作製方法を提供できる。または、本発明の一態様により、新規のトランジスタ、半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、新規のトランジスタ、半導体装置、表示装置、または記憶装置の作製方法を提供できる。

［００２４］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２５］

図１Ａは、半導体装置の一例を示す平面図である。図１Ｂ乃至図１Ｅは、半導体装置の一例を示す断面図である。

図２Ａ及び図２Ｂは、半導体装置の一例を示す斜視図である。

図３Ａ及び図３Ｂは、半導体装置の一例を示す断面図である。

図４Ａ及び図４Ｂは、半導体装置の一例を示す断面図である。

図５Ａは、半導体装置の一例を示す平面図である。図５Ｂ乃至図５Ｄは、半導体装置の一例を示す断面図である。

図６Ａ及び図６Ｂは、半導体装置の一例を示す断面図である。

図７Ａ及び図７Ｂは、半導体装置の一例を示す断面図である。

図８Ａは、半導体装置の一例を示す平面図である。図８Ｂ乃至図８Ｄは、半導体装置の一例を示す断面図である。

図９は、半導体装置の一例を示す断面図である。

図１０Ａは、半導体装置の一例を示す平面図である。図１０Ｂ乃至図１０Ｄは、半導体装置の一例を示す断面図である。

図１１Ａ乃至図１１Ｃは、半導体装置の作製方法の一例を示す断面図である。
図１２Ａ乃至図１２Ｃは、半導体装置の作製方法の一例を示す断面図である。
図１３Ａ乃至図１３Ｃは、半導体装置の作製方法の一例を示す断面図である。
図１４Ａ乃至図１４Ｃは、半導体装置の作製方法の一例を示す断面図である。
図１５Ａは、記憶装置の一例を示す平面図である。図１５Ｂ及び図１５Ｃは、記憶装置の一例を示す断面図である。
図１６Ａは、記憶装置の一例を示す平面図である。図１６Ｂは、記憶装置の一例を示す断面図である。
図１７は、記憶装置の一例を示す断面図である。
図１８は、記憶装置の一例を示す断面図である。
図１９は、半導体装置の構成例を説明するブロック図である。
図２０Ａ乃至図２０Ｈは、メモリセルの回路構成例を説明する図である。
図２１Ａ及び図２１Ｂは、半導体装置の構成例を説明する斜視図である。
図２２は、ＣＰＵを説明するブロック図である。
図２３Ａ及び図２３Ｂは、半導体装置の斜視図である。
図２４Ａ及び図２４Ｂは、半導体装置の斜視図である。
図２５Ａ及び図２５Ｂは、各種の記憶装置を階層ごとに示す図である。
図２６Ａ及び図２６Ｂは、表示装置の一例を示す斜視図である。
図２７は、表示装置の一例を示す断面図である。
図２８は、表示装置の一例を示す断面図である。
図２９Ａ乃至図２９Ｃは、表示装置の構成例を示す図である。
図３０Ａ及び図３０Ｂは、電子部品の一例を示す図である。
図３１Ａ乃至図３１Ｃは、大型計算機の一例を示す図である。図３１Ｄは、宇宙用機器の一例を示す図である。図３１Ｅは、データセンターに適用可能なストレージシステムの一例を示す図である。
図３２Ａ乃至図３２Ｆは、電子機器の一例を示す図である。
図３３Ａ乃至図３３Ｇは、電子機器の一例を示す図である。
図３４Ａ乃至図３４Ｆは、電子機器の一例を示す図である。
図３５Ａ及び図３５Ｂは、デバイスシミュレーションで仮定した半導体装置の断面図である。
図３６は、デバイスシミュレーションで得られたＩｄ－Ｖｇ特性を示す図である。
図３７Ａは、Ｉｄ－Ｖｇ特性から算出したシフト電圧とサブスレッショルドスイング値の相関を示す図である。図３７Ｂは、Ｉｄ－Ｖｇ特性から算出した電界効果移動度とＤＩＢＬの相関を示す図である。
図３８は、デバイスシミュレーションで得られた電子密度分布を示す図である。

発明を実施するための形態

［００２６］

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

［００２７］

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符

号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

［００２８］

図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

［００２９］

なお、本明細書等において、「第１」、「第２」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

［００３０］

トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、ＩＧＦＥＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）及び薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）を含む。

［００３１］

本明細書等において、半導体層に酸化物半導体または金属酸化物を用いたトランジスタ、及び、チャネル形成領域に酸化物半導体または金属酸化物を有するトランジスタをＯＳトランジスタと記すことがある。また、チャネル形成領域にシリコンを有するトランジスタをＳｉトランジスタと記すことがある。

［００３２］

本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネルが形成される領域（チャネル形成領域ともいう）を有しており、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

［００３３］

「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

［００３４］

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が０．１ａｔｏｍｉｃ％未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、または結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物として、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、酸化物半導体の主成分以外の遷移金属が挙げられる。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に

酸素欠損（V_Oとも記す）が形成される場合がある。

［００３５］

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

［００３６］

膜に含まれる水素、酸素、炭素、窒素などの元素の含有量の分析には、例えば、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、またはＸ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いることができる。目的の元素の含有率が高い（例えば、０．５ａｔｏｍｉｃ％以上、または１ａｔｏｍｉｃ％以上）場合は、ＸＰＳが適している。一方、目的の元素の含有率が低い（例えば０．５ａｔｏｍｉｃ％未満、または１ａｔｏｍｉｃ％未満）場合には、ＳＩＭＳが適している。元素の含有量を比較する際には、ＳＩＭＳとＸＰＳの両方の分析手法を用いた複合解析を行うことがより好ましい。

［００３７］

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

［００３８］

本明細書等において、「平行」とは、二つの直線が－１０度以上１０度以下の角度で配置されている状態をいう。したがって、－５度以上５度以下の場合も含まれる。また、「概略平行」とは、二つの直線が－３０度以上３０度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０度以上１００度以下の角度で配置されている状態をいう。したがって、８５度以上９５度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が６０度以上１２０度以下の角度で配置されている状態をいう。

［００３９］

本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極または配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子などが含まれる。

［００４０］

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースードレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、ｎチャネル型トランジスタでは、ゲートとソースの間の電圧V_{gs}がしきい値電圧V_{th}よりも低い（ｐチャネル型トランジスタでは、V_{th}よりも高い）状態をいう。なお、ゲートとソースの間の電圧V_gと表記する場合がある。また、ゲートとソースの間の電圧を単にゲート電圧と表記する場合がある。

［００４１］

本明細書等において、ノーマリーオン特性とは、ゲートに電圧を印加しなくてもチャネルが存在し、

トランジスタに電流が流れてしまう状態のことをいう。また、ノーマリーオフ特性とは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに電流が流れない状態のことをいう。

［００４２］

本明細書等において、ある構成要素の上面形状とは、平面視における当該構成要素の輪郭形状のことをいう。また平面視とは、当該構成要素の被形成面、または当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

［００４３］

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、または上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という場合がある。また、上面形状が一致または概略一致している場合、端部が揃っている、もしくは概略揃っている、または側端部が一致している、もしくは概略一致している、ということもできる。

［００４４］

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）が０度より大きく９０度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

［００４５］

本明細書等において、ＡはＢと接する、と記載されている場合、Ａの少なくとも一部がＢと接する。そのため、例えば、ＡはＢと接する領域を有する、と言い換えることができる。

［００４６］

本明細書等において、ＡはＢ上に位置する、と記載されている場合、Ａの少なくとも一部がＢ上に位置する。そのため、例えば、ＡはＢ上に位置する領域を有する、と言い換えることができる。

［００４７］

本明細書等において、ＡはＢを覆う、と記載されている場合、Ａの少なくとも一部がＢを覆う。そのため、例えば、ＡはＢを覆う領域を有する、と言い換えることができる。

［００４８］

本明細書等において、ＡはＢと重なる、と記載されている場合、Ａの少なくとも一部がＢと重なる。そのため、例えば、ＡはＢと重なる領域を有する、と言い換えることができる。

［００４９］

本明細書等において、メタルマスク、またはＦＭＭ（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、またはＦＭＭを用いずに作製されるデバイスをＭＭＬ（メタルマスクレス）構造のデバイスと呼称する場合がある。

［００５０］

本明細書等では、発光波長が異なる発光素子（発光デバイスともいう）で発光層を作り分ける構造をＳＢＳ（Ｓｉｄｅ　Ｂｙ　Ｓｉｄｅ）構造と呼ぶ場合がある。ＳＢＳ構造は、発光素子ごとに材料

及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

［００５１］

本明細書等において、正孔または電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層または電子注入層を「キャリア注入層」といい、正孔輸送層または電子輸送層を「キャリア輸送層」といい、正孔ブロック層または電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、明確に区別できない場合がある。また、１つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち２つまたは３つの機能を兼ねる場合がある。

［００５２］

本明細書等において、発光素子は、一対の電極間にＥＬ層を有する。ＥＬ層は、少なくとも発光層を有する。ここで、ＥＬ層が有する層（機能層ともいう）として、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）などが挙げられる。本明細書等において、受光素子（受光デバイスともいう）は、一対の電極間に少なくとも光電変換層として機能する活性層を有する。本明細書等では、一対の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

［００５３］

本明細書等において、犠牲層とは、少なくとも発光層（より具体的には、ＥＬ層を構成する層のうち、島状に加工される層）の上方に位置し、製造工程中において、当該発光層を保護する機能を有する。

［００５４］

本明細書等において、段切れとは、層、膜、または電極が、被形成面の形状（例えば段差など）に起因して分断される現象を示す。

［００５５］

なお、本明細書に係る図面等において、Ｘ方向、Ｙ方向、及びＺ方向を示す矢印を付す場合がある。なお、本明細書等において、「Ｘ方向」とはＸ軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Ｙ方向」及び「Ｚ方向」についても同様である。また、Ｘ方向、Ｙ方向、及びＺ方向は、それぞれが互いに交差する方向である。例えば、Ｘ方向、Ｙ方向、及びＺ方向は、それぞれが互いに直交する方向である。本明細書等では、Ｘ方向、Ｙ方向、またはＺ方向の１つを「第１方向」または「第１の方向」と呼ぶ場合がある。また、他の１つを「第２方向」または「第２の方向」と呼ぶ場合がある。また、残りの１つを「第３方向」または「第３の方向」と呼ぶ場合がある。

［００５６］

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置について、図１Ａ乃至図１４Ｃを用いて説明する。

［００５７］

本発明の一態様は、トランジスタと、第１の絶縁層と、第２の絶縁層と、を有する半導体装置である。トランジスタは、第１の導電層と、第２の導電層と、第３の導電層と、第３の絶縁層と、酸化物半導体層と、を有する。第１の導電層は、トランジスタのソース電極及びドレイン電極の一方として機能する。第２の導電層は、ゲート電極として機能する。第３の導電層は、ソース電極及びドレイン

電極の他方として機能する。第３の絶縁層は、ゲート絶縁層として機能する。

［００５８］

第１の導電層、第１の絶縁層、第２の導電層、第２の絶縁層及び第３の導電層は、この順に積層して設けられる。第１の絶縁層、第２の導電層、第２の絶縁層及び第３の導電層は、第１の導電層に達する開口を有する。第３の絶縁層は、開口において、第１の導電層の一部の上面、第１の絶縁層の側面、第２の導電層の側面、及び第２の絶縁層の側面と接する領域を有する。酸化物半導体層は、第１の導電層の上面、第３の絶縁層の上面及び側面、並びに第３の導電層の上面と接する領域を有する。第３の絶縁層は、第１の導電層の上面と接する領域において、酸化物半導体層側に突出する部分を有する。

［００５９］

本発明の一態様の半導体装置が有するトランジスタにおいて、酸化物半導体層及びゲート絶縁層の外周にゲート電極が設けられる。酸化物半導体層のゲート絶縁層を介してゲート電極と重なる領域がチャネル形成領域として機能する。これにより、トランジスタのチャネル長をゲート電極の膜厚で制御することができるため、チャネル長の短いトランジスタとすることができる。したがって、オン電流の大きいトランジスタとすることができ、動作速度の速い半導体装置とすることができる。

［００６０］

本発明の一態様のトランジスタは、ソース電極とドレイン電極とが、異なる高さに位置し、半導体層を流れる電流は、高さ方向に流れる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するといえるため、本発明の一態様のトランジスタは、ＶＦＥＴ（Ｖｅｒｔｉｃａｌ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）、縦型トランジスタ、縦型チャネルトランジスタ、縦チャネル型トランジスタなどとも呼ぶことができる。

［００６１］

本発明の一態様のトランジスタは、ソース電極、半導体層、及びドレイン電極を、重ねて設けることができるため、半導体層を平面状に配置した、いわゆるプレナー型のトランジスタと比較して、占有面積を大幅に縮小できる。

［００６２］

＜半導体装置の構成例１＞

図１Ａ乃至図７Ｂを用いて、本発明の一態様の半導体装置の構成例を説明する。図１Ａは、トランジスタ２００Ａを有する半導体装置の平面図（上面図ともいう）である。図１Ｂは、図１Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図１Ｃは、図１Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。図１Ｄは、図１Ｂ及び図１Ｃに示す一点鎖線Ａ５－Ａ６間の断面図である。なお、図１Ａの平面図では、図の明瞭化のために一部の構成要素を省略している。以降の平面図においても、一部の構成要素を省略することがある。図２Ａは、当該半導体装置の斜視図である。図２Ａの斜視図においても、一部の構成要素を省略している。図２Ｂは、図２Ａに示す一点鎖線Ｂ１－Ｂ２における切断面を示している。

［００６３］

図１Ａ乃至図２Ｂに示す半導体装置は、基板（図示せず）上の絶縁層２１０と、絶縁層２１０上のトランジスタ２００Ａと、絶縁層２１０上の絶縁層２８０と、絶縁層２８０上の絶縁層２８１と、トランジスタ２００Ａ上の絶縁層２８３と、絶縁層２８３上の絶縁層２８５と、を有する。絶縁層２１０、絶縁層２８０、絶縁層２８１、絶縁層２８３、及び絶縁層２８５は、層間膜として機能する。な

お、図２Ａ及び図２Ｂでは、絶縁層２８３及び絶縁層２８５を省略し、また絶縁層２８１及び絶縁層２８０を透過させ、その輪郭を破線で示している。

［００６４］

トランジスタ２００Ａは、導電層２２０と、絶縁層２８０上の導電層２６０と、絶縁層２８１上の導電層２４０と、絶縁層２５０と、酸化物半導体層２３０と、を有する。

［００６５］

導電層２２０、絶縁層２８０、導電層２６０、絶縁層２８１及び導電層２４０は、この順に積層して設けられる。絶縁層２８０、導電層２６０、絶縁層２８１及び導電層２４０には、導電層２２０に達する開口２９０が設けられている。ここで、開口２９０の底部は、導電層２２０の上面であり、開口２９０の側壁は、絶縁層２８０の側面、導電層２６０の側面、絶縁層２８１の側面、及び導電層２４０の側面である。開口２９０は、絶縁層２８０が有する開口と、導電層２６０が有する開口と、絶縁層２８１が有する開口と、導電層２４０が有する開口と、を含む。別言すると、絶縁層２８０が導電層２２０と重なる領域に有する開口は開口２９０の一部であり、導電層２６０が導電層２２０と重なる領域に有する開口は開口２９０の別の一部であり、絶縁層２８１が導電層２２０と重なる領域に有する開口は開口２９０の別の一部であり、導電層２４０が導電層２２０と重なる領域に有する開口は開口２９０の別の一部である。

［００６６］

開口２９０内に、絶縁層２５０が設けられる。絶縁層２５０は、開口２９０の形状を反映して設けられる。具体的には、開口２９０の側壁及び一部の底部を覆うように絶縁層２５０が設けられる。絶縁層２５０には、導電層２２０に達する開口２７０が設けられている。ここで、開口２７０の底部は、導電層２２０の上面である。絶縁層２５０は、導電層２２０の一部の上面、絶縁層２８０の側面、導電層２６０の側面、絶縁層２８１の側面、及び導電層２４０の側面と接する。

［００６７］

図１Ｂに示す開口２９０の底部及びその近傍の拡大図を、図１Ｅに示す。絶縁層２５０は、導電層２２０と接する領域において、突出部２５０ｐを有する。突出部２５０ｐは、導電層２２０と接する領域において、酸化物半導体層２３０側に突出する部分である。より具体的には、突出部２５０ｐは、絶縁層２５０の導電層２２０と接しない領域における酸化物半導体層２３０側の側面よりも突出する部分である。突出部２５０ｐの下面は、導電層２２０の上面と接する。また、突出部２５０ｐにおいて、絶縁層２５０の上面及び側面は酸化物半導体層２３０と接する。

［００６８］

絶縁層２５０は、開口２９０の側壁及び一部の底部に接して設けられる。絶縁層２５０は、例えば、ダミー層を用いて形成することができる。具体的には、絶縁層２５０となる第１の絶縁層を形成し、第１の絶縁層上にダミー層を形成し、第１の絶縁層及びダミー層を加工することにより、開口２９０と重なる領域の導電層２２０を露出させるとともに、突出部２５０ｐを有する絶縁層２５０を形成することができる。第１の絶縁層及びダミー層の加工には、例えば、異方性エッチングを好適に用いることができる。その後、ダミー層を除去する。半導体装置の作製方法の詳細については後述する。

［００６９］

導電層２２０、絶縁層２５０及び導電層２４０を覆うように、酸化物半導体層２３０が設けられる。酸化物半導体層２３０は、導電層２４０の上面、絶縁層２５０の上面及び側面、並びに導電層２２０の上面と接する領域を有する。酸化物半導体層２３０は、開口２７０において、導電層２２０の上面

と接する。

［００７０］

トランジスタ２００Ａにおいて、酸化物半導体層２３０は半導体層として機能し、絶縁層２５０はゲート絶縁層として機能し、導電層２６０はゲート電極として機能し、導電層２２０はソース電極及びドレイン電極の一方として機能し、導電層２４０はソース電極及びドレイン電極の他方として機能する。酸化物半導体層２３０の導電層２２０と接する領域はソース領域及びドレイン領域の一方として機能し、導電層２４０と接する領域はソース領域及びドレイン領域の他方として機能する。

［００７１］

酸化物半導体層２３０の絶縁層２５０を介して導電層２６０と重なる部分及びその近傍は、トランジスタ２００Ａのチャネル形成領域として機能する。チャネル形成領域は、ソース領域とドレイン領域との間に挟まれている。なお、説明を容易にするため、酸化物半導体層２３０の、導電層２６０と重なる部分をチャネル形成領域として説明する場合がある。

［００７２］

トランジスタ２００Ａは、チャネル形成領域を含む酸化物半導体層２３０に、半導体として機能する金属酸化物（酸化物半導体ともいう）を有する。つまり、トランジスタ２００Ａは、ＯＳトランジスタといえる。

［００７３］

ＯＳトランジスタは、酸化物半導体中のチャネル形成領域に酸素欠損（V_O）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、ＯＳトランジスタはノーマリーオン特性となりやすい。したがって、酸化物半導体中のチャネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、ｉ型化（真性化）または実質的にｉ型化されていることが好ましい。

［００７４］

一方、ＯＳトランジスタのソース領域及びドレイン領域は、チャネル形成領域よりも、酸素欠損（V_O）が多い、V_OHが多い、または不純物（例えば、水素、窒素及び金属元素）の濃度が高いことによりキャリア濃度が増加した、低抵抗の領域であることが好ましい。すなわち、ＯＳトランジスタのソース領域及びドレイン領域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗の領域であることが好ましい。

［００７５］

酸化物半導体層２３０と導電層２２０とが接することで、金属化合物、または酸素欠損が形成され、酸化物半導体層２３０の導電層２２０と接する領域の電気抵抗が低くなる。これにより、酸化物半導体層２３０と導電層２２０との接触抵抗を低減できる。同様に、酸化物半導体層２３０と導電層２４０とが接することで、酸化物半導体層２３０の導電層２４０と接する領域の電気抵抗が低くなる。これにより、酸化物半導体層２３０と導電層２４０との接触抵抗を低減できる。

［００７６］

チャネル形成領域とソース領域との間の領域、及びチャネル形成領域とドレイン領域との間の領域は、オフセット領域として機能する。オフセット領域は、酸化物半導体層２３０の絶縁層２５０と接

し、かつ導電層２６０と重ならない領域といえる。オフセット領域は、ソース領域及びドレイン領域より電気抵抗が高い領域である。ソース領域及びドレイン領域とチャネル形成領域との間にオフセット領域を設けることにより、オフ電流の小さいトランジスタとすることができる。したがって、消費電力の低い半導体装置とすることができる。

［００７７］

上述したように、酸化物半導体層２３０は、開口２９０内に設けられる。また、トランジスタ２００Ａは、ソース電極及びドレイン電極の一方（ここでは導電層２２０）が下方に位置し、ソース電極及びドレイン電極の他方（ここでは導電層２４０）が上方に位置することから、電流が上下方向に流れる構成を有する。つまり、開口２９０の側壁に設けられる絶縁層２５０の側面に沿って、チャネルが形成される。

［００７８］

トランジスタ２００Ａのチャネル長及びチャネル幅について、図３Ａ及び図３Ｂを用いて説明する。図３Ａ及び図３Ｂは、図１Ｂ及び図１Ｄの拡大図である。

［００７９］

図３Ａに示すように、トランジスタ２００Ａのチャネル長Ｌは、ＸＺ面（またはＹＺ面）における断面視において、酸化物半導体層２３０の絶縁層２５０を介して導電層２６０と重なる領域の長さとなる。つまり、トランジスタ２００Ａのチャネル長は、導電層２６０の厚さによって決定される。図３Ａでは、トランジスタ２００Ａのチャネル長Ｌを破線の両矢印で示している。チャネル長Ｌは、ＸＺ面（またはＹＺ面）における断面視において、導電層２６０と絶縁層２５０が接する領域の長さともいえる。

［００８０］

なお、本明細書等では、単に、「断面視において」と記すが、具体的には、「同一方向からの断面視において」と言い換えられることがある。例えば、複数の構成の関係を説明する場合には、同一方向からの断面視における関係を説明する。このとき、当該複数の構成の関係は、１つの断面図を用いて説明することができる。

［００８１］

従来のトランジスタでは、チャネル長が、作製に用いる露光装置の性能に影響されるが、本発明においては、導電層２６０の膜厚でチャネル長を制御することができる。よって、トランジスタ２００Ａのチャネル長を、露光装置が露光可能な寸法の最小値（以下、最小寸法とも記す）よりも小さくすることができる。トランジスタ２００Ａのチャネル長は、例えば、６０ｎｍ以下、５０ｎｍ以下、４０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、または１０ｎｍ以下であって、０．１ｎｍ以上、１ｎｍ以上、または５ｎｍ以上にすることができる。これにより、トランジスタ２００Ａのオン電流が大きくなり、周波数特性の向上を図ることができる。

［００８２］

さらに、チャネル形成領域、ソース領域、及びドレイン領域が設けられるＺ方向の高さは、互いに異なる。したがって、プレナー型のトランジスタと比較して、トランジスタ２００Ａは、占有面積を小さくすることができる。したがって、半導体装置の集積度を高めることができる。また、本発明の一態様の半導体装置を記憶装置に用いる場合、単位面積当たりの記憶容量を大きくすることができる。

［００８３］

平面視において開口２９０が円形である場合、図３Ｂに示すように、酸化物半導体層２３０及び絶

縁層２５０は同心円状に設けられ、さらに酸化物半導体層２３０及び絶縁層２５０の外周に導電層２６０が設けられる。よって、開口２９０において、酸化物半導体層２３０の側面は、絶縁層２５０を介して、導電層２６０の側面と対向する。つまり、平面視において、酸化物半導体層２３０の周全体がチャネル形成領域になる。このとき、酸化物半導体層２３０の周の長さによって、トランジスタ２００Ａのチャネル幅Ｗが決まる。例えば、トランジスタ２００Ａのチャネル幅Ｗは、平面視において、酸化物半導体層２３０の導電層２６０と重なる領域の絶縁層２５０側の側面による円の円周とすることができる。また、当該円の幅Ｄａ（当該円の直径に相当）は、開口２９０の幅Ｄ（開口２９０の直径に相当）から絶縁層２５０の厚さＴ２５０の２倍を引いた“Ｄ－Ｔ２５０×２”となる。また、チャネル幅Ｗは“Ｄａ×π”と算出することができる。したがって、チャネル幅Ｗは、開口２９０の幅Ｄ、及び絶縁層２５０の厚さＴ２５０によって制御することができる。幅Ｄａを大きくすることによりチャネル幅Ｗを大きくし、オン電流を大きくすることができる。図３Ａ及び図３Ｂでは、幅Ｄａを点線の両矢印で示し、チャネル幅Ｗを実線の両矢印で示している。さらに、図３Ａでは、幅Ｄを二点鎖線の両矢印で示し、絶縁層２５０の厚さＴ２５０及び酸化物半導体層２３０の厚さＴ２３０をそれぞれ実線の片矢印で示している。

［００８４］

絶縁層２５０の厚さＴ２５０は、例えば、導電層２６０と酸化物半導体層２３０が絶縁層２５０を介して重なる領域において、絶縁層２５０の導電層２６０と接する側面と、酸化物半導体層２３０と接する側面との最短距離とすることができる。また、酸化物半導体層２３０の厚さＴ２３０は、例えば、導電層２６０と酸化物半導体層２３０が絶縁層２５０を介して重なる領域において、酸化物半導体層２３０の絶縁層２５０と接する側面と、絶縁層２８３と接する側面との最短距離とすることができる。

［００８５］

フォトリソグラフィ法を用いて開口２９０を形成する場合、開口２９０の幅Ｄは作製に用いる露光装置の性能に影響される。つまり、幅Ｄは、露光装置の最小寸法以上となる。開口２９０の幅Ｄは、例えば、５ｎｍ以上、１０ｎｍ以上、または２０ｎｍ以上であって、２００ｎｍ以下、１００ｎｍ以下、６０ｎｍ以下、５０ｎｍ以下、４０ｎｍ以下、または３０ｎｍ以下とすることができる。幅Ｄは、厚さＴ２５０、厚さＴ２３０及び所望のチャネル幅Ｗを考慮して適宜決めることができる。

［００８６］

なお、幅Ｄ及び幅Ｄａはそれぞれ、開口２９０の深さ方向で変化する場合がある。ここでは、特に、幅Ｄとして、断面視における、導電層２６０の開口２９０側の２つの側面の間の最短距離を用いる。言い換えると、開口２９０の幅Ｄとして、導電層２６０における開口２９０の幅の最小値を用いる。幅Ｄａとして、断面視における、酸化物半導体層２３０の導電層６０側と重なる領域における絶縁層２５０側の２つの側面の間の最短距離を用いる。

［００８７］

トランジスタ２００Ａのチャネル長Ｌは、少なくともトランジスタ２００Ａのチャネル幅Ｗよりも小さいことが好ましい。トランジスタ２００Ａのチャネル長Ｌは、トランジスタ２００Ａのチャネル幅Ｗに対し、０．１倍以上０．９９倍以下が好ましく、０．５倍以上０．８倍以下がより好ましい。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

［００８８］

導電層２６０に、平面視で円形になるような開口２９０を形成する。さらに、開口２９０内に酸化

物半導体層２３０及び絶縁層２５０を設けることにより、酸化物半導体層２３０及び絶縁層２５０は、同心円状に設けられる。これにより、導電層２６０と酸化物半導体層２３０の距離が概略均一になるため、酸化物半導体層２３０にゲート電界を概略均一に印加することができる。

［００８９］

なお、本実施の形態では、平面視において開口２９０が円形である例について示したが、本発明の一態様はこれに限られない。例えば、平面視において開口２９０は、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状とすることもできる。

［００９０］

図３Ａでは、導電層２２０の上面が平坦である構成を示しているが、本発明の一態様はこれに限られない。例えば、図４Ａに示すように、導電層２２０の上面に、開口２７０と重なる凹部が形成されてもよい。このとき、酸化物半導体層２３０が導電層２２０の上面及び側面と接することにより、これらの接触面積が大きくなり、酸化物半導体層２３０と導電層２２０との間の接触抵抗を小さくすることができる。

［００９１］

図３Ａでは、絶縁層２５０の最も高い位置の上面の高さが、導電層２４０の上面の高さと同じである構成を示しているが、本発明の一態様はこれに限られない。例えば、図４Ｂに示すように、絶縁層２５０の最も高い位置の上面の高さが、導電層２４０の上面の高さと異なる構成とすることができる。絶縁層２５０の最も高い位置の上面の高さは、導電層２４０の上面の高さより低いことが好ましい。このとき、酸化物半導体層２３０が導電層２４０の上面及び側面と接することにより、これらの接触面積が大きくなり、酸化物半導体層２３０と導電層２４０との間の接触抵抗を小さくすることができる。

［００９２］

図３Ａでは、絶縁層２５０の上面が平坦である構成を示しているが、本発明の一態様はこれに限られない。図４Ｂに示すように、例えば、絶縁層２５０の最も高い位置の上面が曲面を有してもよい。このとき、断面視において、導電層２４０側から酸化物半導体層２３０側に向かって、絶縁層２５０の上面の高さが低くなる形状とすることが好ましい。これにより、酸化物半導体層２３０の被形成面の凹凸が小さくなり、酸化物半導体層２３０の被覆性を高めることができる。

［００９３］

図１Ｃでは、開口２９０の外側において、酸化物半導体層２３０の端部が、導電層２４０の端部よりも内側に位置する構成を示している。なお、本発明の一態様はこれに限られない。例えば、Ｘ方向において、酸化物半導体層２３０の端部と導電層２４０の端部が一致または概略一致する構造とすることができる。または、酸化物半導体層２３０の端部が、導電層２４０の端部よりも外側に位置する構造とすることもできる。このとき、酸化物半導体層２３０が導電層２４０の上面及び側面と接することにより、これらの接触面積が大きくなり、酸化物半導体層２３０と導電層２４０との間の接触抵抗を小さくすることができる。

［００９４］

導電層２４０と酸化物半導体層２３０を同じ工程で、同じマスクを用いて加工することにより、酸化物半導体層２３０の端部と導電層２４０の端部が一致または概略一致する構造とすることができる。これにより、半導体装置の作製工程を簡略にすることができる。図５Ａ乃至図５Ｃに、酸化物半導体層２３０の端部と導電層２４０の端部が一致する構成を示す。図５Ａは、トランジスタ２００Ａ

を有する半導体装置の平面図である。図５Ｂは、図５Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図５Ｃは、図５Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。導電層２４０の上面の全体に酸化物半導体層２３０が設けられる。また、導電層２４０と他の導電層（ここでは、導電層２４４）を接続する場合、図５Ｄに示すように、絶縁層２８５、絶縁層２８３及び酸化物半導体層２３０に開口を設け、当該開口内に導電層２４４を形成し、導電層２４０と導電層２４４が接する構成とすることができる。なお、導電層２４０と他の導電層が接続する構成は、これに限られない。

［００９５］

開口２９０の側壁は、絶縁層２１０の上面に対して垂直であることが好ましい。このような構成にすることで、半導体装置の微細化または高集積化を図ることができる。このとき、開口２９０内に設ける膜は、それぞれ、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いて形成することがより好ましい。ＡＬＤ法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、当該膜を、開口２９０の側面に被覆性良く、成膜することができる。例えば、酸化物半導体層２３０及び絶縁層２５０はそれぞれ、ＡＬＤ法を用いて形成することが好ましい。

［００９６］

なお、図１Ｂ及び図１Ｃでは、開口２９０の側壁が絶縁層２１０の上面に対して垂直となるように、開口２９０を設けているが、本発明の一態様はこれに限られない。例えば、図６Ａ及び図６Ｂに示すように、開口２９０の側壁をテーパ形状とすることもできる。開口２９０の側壁をテーパ形状にすることで、開口２９０内に設けられる酸化物半導体層２３０、及び絶縁層２５０などの被覆性が向上し、鬆などの欠陥を低減できる。開口２９０の側壁をテーパ形状とする場合、例えば、開口２９０における絶縁層２８０の側面と、絶縁層２１０の上面とがなす角度は、４５度以上であって、９０度未満であることが好ましい。具体的には、８０度以上９０度未満であると、前述の通り、半導体装置の微細化または高集積化を図ることができ好ましい。また、４５度以上、もしくは５０度以上であって、８０度未満、７５度以下、７０度以下、６５度以下、もしくは６０度以下であると、開口２９０内に形成する膜の被覆性が向上し、好ましい。

［００９７］

または、例えば、開口２９０の側壁は、逆テーパ形状になっていてもよい。別言すると、開口２９０における絶縁層２８０の側面と、絶縁層２１０の上面とがなす角度が、９０度より大きくてもよい。

［００９８］

ここで、導電層２４０と導電層２６０が接すると、これらがショートしてしまう恐れがある。したがって、導電層２４０は、開口２９０における導電層２６０の側面と接しないことが好ましい。さらに、導電層２４０は、開口２９０における絶縁層２８１の側面とも接しないことがより好ましい。これにより、導電層２４０と導電層２６０のショートを抑制することができる。また、導電層２４０が有する開口、絶縁層２８１が有する開口、及び導電層２６０が有する開口を、同じ工程で形成することにより、導電層２４０と導電層２６０が接しない構成とすることができる。さらに、絶縁層２８０が有する開口も、これらと同じ工程で形成することが好ましい。また、開口２９０における導電層２４０の側面と、絶縁層２８１の側面と、導電層２６０の側面と、絶縁層２８０の側面とが互いに面一である構成とすることで、開口２９０内に設ける絶縁層２５０及び酸化物半導体層２３０の膜厚をより均一にすることができる。また、絶縁層２５０及び酸化物半導体層２３０が、導電層２４０、絶縁

層２８１、導電層２６０及び絶縁層２８０による段差によって分断されることを抑制できる。

［００９９］

なお、図１Ｂ及び図１Ｃでは、開口２９０における導電層２４０の側面と、絶縁層２８１の側面と、導電層２６０の側面と、絶縁層２８０の側面とが互いに面一である構成を示しているが、本発明の一態様はこれに限られない。例えば、開口２９０における導電層２４０の側面と、絶縁層２８１の側面とが不連続になってもよい。また、開口２９０における導電層２４０の側面の傾きと、絶縁層２８１の側面の傾きと、導電層２６０の側面の傾きと、絶縁層２８０の側面の傾きとが互いに異なってもよい。このとき、例えば、導電層２４０の側面と絶縁層２１０の上面とがなす角度は、絶縁層２８１の側面と絶縁層２１０の上面とがなす角度よりも小さいことが好ましい。このような構成にすることで、開口２９０における絶縁層２５０及び酸化物半導体層２３０の被覆性が向上し、鬆などの欠陥を低減できる。

［０１００］

図１Ｄに示すように、トランジスタ２００Ａは、ゲート電極として機能する導電層２６０が絶縁層２５０を介して酸化物半導体層２３０の外周に位置し、ゲート電極がチャネル形成領域を取り囲む構造を有する。したがって、トランジスタ２００Ａは、ＧＡＡ（Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造であるといえる。また、トランジスタ２００Ａは、ＧＡＡ構造のＶＦＥＴといえる。なお、図１Ｄは、酸化物半導体層２３０のチャネル形成領域を含む、ＸＹ面における断面図ともいえる。

［０１０１］

図２Ａ等に示すように、導電層２４０と導電層２６０とは互いに異なる方向に延在することがより好ましい。これにより、導電層２４０と導電層２６０が重なる領域の面積が小さくなるため、導電層２４０と導電層２６０との間の寄生容量を小さくすることができる。同様に、導電層２２０と導電層２６０とは互いに異なる方向に延在することがより好ましい。これにより、導電層２２０と導電層２６０が重なる領域の面積が小さくなるため、導電層２２０と導電層２６０との間の寄生容量を小さくすることができる。図２Ａ等では、平面視において、導電層２４０と導電層２６０が互いに直交する方向に延在し、導電層２２０と導電層２６０が互いに直交する方向に延在する構成を示している。これにより、寄生容量をより小さくすることができ、好ましい。なお、導電層２２０、導電層２４０及び導電層２６０それぞれの延在する方向は特に限定されない。

［０１０２］

図１Ｂ等では、導電層２２０、酸化物半導体層２３０、導電層２４０、絶縁層２５０、及び導電層２６０がそれぞれ、単層構造である例を示しているが、本発明の一態様はこれに限られない。本実施の形態の半導体装置を構成する各層は、積層構造とすることができる。導電層２２０、酸化物半導体層２３０、導電層２４０、絶縁層２５０、及び導電層２６０をそれぞれ、積層構造とすることができる。図７Ａ及び図７Ｂでは、導電層２２０、酸化物半導体層２３０及び導電層２４０がそれぞれ積層構造である例を示す。

［０１０３］

トランジスタ２００Ａ上に、絶縁層２８３が設けられる。絶縁層２８３は、酸化物半導体層２３０の上面及び側面、導電層２４０の上面及び側面、並びに絶縁層２８１の上面と接する領域を有する。絶縁層２８３は、開口２９０において、酸化物半導体層２３０の上面及び側面と接する領域を有する。絶縁層２８３上に、絶縁層２８５が設けられる。絶縁層２８５は、開口２９０において、絶縁層２８３の上面及び側面と接する。絶縁層２８５は、開口２９０を埋め込むように、絶縁層２８３に接して

設けられる。絶縁層２８３及び絶縁層２８５は、開口２９０を埋め込むように、酸化物半導体層２３０上に設けられるともいえる。

［０１０４］

絶縁層２８５の上面は、平坦であることが好ましい。これにより、絶縁層２８５上に設けられる層の被覆性を高めることができる。

［０１０５］

ここでは、開口２９０において、対向する酸化物半導体層２３０の間に絶縁層２８３及び絶縁層２８５が設けられる構成を示したが、本発明の一態様はこれに限られない。例えば、開口２９０において、酸化物半導体層２３０の凹部が絶縁層２８３で埋め込まれる構成とすることができる。または、開口２９０において、対向する酸化物半導体層２３０同士が接する構成とすることができる。この場合、酸化物半導体層２３０上に設けられる絶縁層２８３の被形成面の段差が小さくなり、絶縁層２８３の被覆性を高めることができる。

［０１０６］

＜半導体装置の構成材料＞

以下では、本実施の形態の半導体装置に用いることができる材料について説明する。

［０１０７］

［酸化物半導体層２３０］

前述の通り、酸化物半導体層２３０は、チャネル形成領域を有する。当該チャネル形成領域は、ｉ型（真性）または実質的にｉ型である。酸化物半導体層２３０は、さらに、ソース領域及びドレイン領域を有する。当該ソース領域及び当該ドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、低抵抗の領域である。

［０１０８］

酸化物半導体層２３０に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶半導体、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

［０１０９］

半導体として機能する金属酸化物のバンドギャップは、２．０ｅＶ以上が好ましく、２．５ｅＶ以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。ＯＳトランジスタは、オフ電流が小さいため、半導体装置の消費電力を十分に低減できる。また、ＯＳトランジスタの周波数特性が高いため、半導体装置を高速に動作させることができる。

［０１１０］

酸化物半導体層２３０に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム（Ｉｎ）または亜鉛（Ｚｎ）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Ｍと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Ｍは、酸素との結合エネルギーが高い金属元素または半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。元素Ｍとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、

ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

［０１１１］

酸化物半導体層２３０は、例えば、インジウム酸化物（Ｉｎ酸化物）、インジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物、ＩＺＯ（登録商標）とも記す）、インジウムスズ酸化物（Ｉｎ－Ｓｎ酸化物）、インジウムチタン酸化物（Ｉｎ－Ｔｉ酸化物）、インジウムガリウム酸化物（Ｉｎ－Ｇａ酸化物）、インジウムガリウムアルミニウム酸化物（Ｉｎ－Ｇａ－Ａｌ酸化物）、インジウムガリウムスズ酸化物（Ｉｎ－Ｇａ－Ｓｎ酸化物、ＩＧＴＯとも記す）、ガリウム亜鉛酸化物（Ｇａ－Ｚｎ酸化物、ＧＺＯとも記す）、アルミニウム亜鉛酸化物（Ａｌ－Ｚｎ酸化物、ＡＺＯとも記す）、インジウムアルミニウム亜鉛酸化物（Ｉｎ－Ａｌ－Ｚｎ酸化物、ＩＡＺＯとも記す）、インジウムスズ亜鉛酸化物（Ｉｎ－Ｓｎ－Ｚｎ酸化物、ＩＴＺＯ（登録商標）とも記す）、インジウムチタン亜鉛酸化物（Ｉｎ－Ｔｉ－Ｚｎ酸化物）、インジウムガリウム亜鉛酸化物（Ｉｎ－Ｇａ－Ｚｎ酸化物、ＩＧＺＯとも記す）、インジウムガリウムスズ亜鉛酸化物（Ｉｎ－Ｇａ－Ｓｎ－Ｚｎ酸化物、ＩＧＺＴＯとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（Ｉｎ－Ｇａ－Ａｌ－Ｚｎ酸化物、ＩＧＡＺＯ、ＩＧＺＡＯ、またはＩＡＧＺＯとも記す）などを用いることができる。または、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ｇａ－Ｓｎ酸化物）、アルミニウムスズ酸化物（Ａｌ－Ｓｎ酸化物）などを用いることができる。

［０１１２］

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流の大きいトランジスタを実現できる。

［０１１３］

なお、金属酸化物は、インジウムに代えて、または、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第５周期に属する金属元素、及び第６周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

［０１１４］

金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、またはバンドギャップの縮小などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

［０１１５］

金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０１１６］

金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Ｍの原子数の割合を高くすることにより、バンドギャップが大きい金属酸化物とすることができる。また、金属酸化物に酸素欠損が形成されることを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタのしきい値電圧がシフトすることを抑制できる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０１１７］

酸化物半導体層２３０に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

［０１１８］

金属酸化物がＩｎ－Ｍ－Ｚｎ酸化物の場合、当該Ｉｎ－Ｍ－Ｚｎ酸化物におけるＩｎの原子数比は元素Ｍの原子数比以上であることが好ましい。このようなＩｎ－Ｍ－Ｚｎ酸化物の金属元素の原子数比として、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：１：０．５、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝１：１：２、Ｉｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：Ｚｎ＝３：１：１、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：３、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：１：７、Ｉｎ：Ｍ：Ｚｎ＝５：１：８、Ｉｎ：Ｍ：Ｚｎ＝６：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：２：５、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

［０１１９］

Ｉｎ－Ｍ－Ｚｎ酸化物におけるＩｎの原子数比は元素Ｍの原子数比未満であってもよい。このようなＩｎ－Ｍ－Ｚｎ酸化物の金属元素の原子数比として、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：３：２、Ｉｎ：Ｍ：Ｚｎ＝１：３：３、Ｉｎ：Ｍ：Ｚｎ＝１：３：４、及びこれらの近傍の組成が挙げられる。金属酸化物中のＭの原子数の割合を大きくすることで、酸素欠損の生成を抑制することができる。

［０１２０］

なお、元素Ｍとして複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素Ｍの原子数の割合とすることができる。

［０１２１］

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

［０１２２］

金属酸化物がＩｎ－Ｚｎ酸化物の場合、当該Ｉｎ－Ｚｎ酸化物の金属元素の原子数比として、例えば、Ｉｎ：Ｚｎ＝１：１、Ｉｎ：Ｚｎ＝２：１、Ｉｎ：Ｚｎ＝４：１、及びこれらの近傍の組成が挙げられる。また、Ｉｎ－Ｚｎ酸化物に、微量の元素Ｍを含んでいてもよい。例えば、元素ＭとしてＳｎを含む場合、当該金属酸化物の金属元素の原子数比として、例えば、Ｉｎ：Ｓｎ：Ｚｎ＝２：０．

１：１、Ｉｎ：Ｓｎ：Ｚｎ＝４：０．１：１、及びこれらの近傍の組成が挙げられる。

［０１２３］

酸化物半導体層２３０に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、Ｘ線光電子分光法（ＸＰＳ）、誘導結合プラズマ質量分析法（ＩＣＰ－ＭＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、または誘導結合高周波プラズマ発光分光法（ＩＣＰ－ＡＥＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ａｔｏｍｉｃ　Ｅｍｉｓｓｉｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いることができる。または、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Ｍの含有率が低い場合、分析によって得られた元素Ｍの含有率が、実際の含有率より低くなる、定量が困難となる、または検出下限以下となる場合がある。

［０１２４］

金属酸化物の形成には、スパッタリング法、またはＡＬＤ法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、成膜後の金属酸化物の組成はターゲットの組成と異なる場合がある。特に亜鉛は、成膜後の金属酸化物における含有率が、ターゲットと比較して５０％程度にまで減少する場合がある。また、金属酸化物の成膜には、化学気相堆積（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、分子線エピタキシー（ＭＢＥ）法、パルスレーザー堆積(ＰＬＤ:Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ)法などを用いることもできる。

［０１２５］

酸化物半導体層２３０の厚さＴ２３０は、１ｎｍ以上３０ｎｍ以下が好ましく、さらには３ｎｍ以上３０ｎｍ以下が好ましく、さらには３ｎｍ以上２０ｎｍ以下が好ましく、さらには３ｎｍ以上１５ｎｍ以下が好ましく、さらには３ｎｍ以上１２ｎｍ以下が好ましく、さらには５ｎｍ以上１２ｎｍ以下が好ましく、さらには５ｎｍ以上１０ｎｍ以下が好ましい。

［０１２６］

酸化物半導体層２３０は、２以上の金属酸化物層を有する積層構造とすることができる。酸化物半導体層２３０が有する２以上の金属酸化物層の組成が互いに同じ、または概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

［０１２７］

酸化物半導体層２３０が有する２以上の金属酸化物層の組成が互いに異なってもよい。

［０１２８］

図７Ａでは、酸化物半導体層２３０が、酸化物層２３０ａと、酸化物層２３０ａ上の酸化物層２３０ｂと、の２層構造である例を示す。

［０１２９］

例えば、酸化物層２３０ａには、酸化物層２３０ｂより導電率の高い材料を用いることが好ましい。ソース電極及びドレイン電極（ここでは、導電層２２０及び導電層２４０）と接する酸化物層２３０ａに導電率の高い材料を用いることにより、酸化物半導体層２３０と導電層２２０との接触抵抗、及び酸化物半導体層２３０と導電層２４０との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。

［０１３０］

酸化物層２３０ａのキャリア濃度は、酸化物層２３０ｂのキャリア濃度より高いことが好ましい。酸化物層２３０ａのキャリア濃度を高くすることにより導電率が高くなり、酸化物半導体層２３０と導電層２２０との接触抵抗、及び酸化物半導体層２３０と導電層２４０との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。

［０１３１］

なお、酸化物半導体層２３０は、前述の構成に限られず、酸化物層２３０ａには、酸化物層２３０ｂより導電率の低い材料を用いてもよい。また、酸化物層２３０ａのキャリア濃度は、酸化物層２３０ｂのキャリア濃度より低くてもよい。

［０１３２］

酸化物層２３０ａに用いる第１の金属酸化物のバンドギャップは、酸化物層２３０ｂに用いる第２の金属酸化物のバンドギャップと異なることが好ましい。例えば、第１の金属酸化物のバンドギャップと第２の金属酸化物のバンドギャップの差は、０．１ｅＶ以上が好ましく、０．２ｅＶ以上がより好ましく、０．３ｅＶ以上がさらに好ましい。

［０１３３］

酸化物層２３０ａに用いる第１の金属酸化物のバンドギャップは、酸化物層２３０ｂに用いる第２の金属酸化物のバンドギャップより小さいことが好ましい。これにより、酸化物半導体層２３０と導電層２２０との接触抵抗、及び酸化物半導体層２３０と導電層２４０との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。また、トランジスタ２００Ａがｎチャネル型のトランジスタである場合はしきい値電圧を高くすることができ、ノーマリーオフのトランジスタとすることができる。また、第２の金属酸化物のバンドギャップが大きいことで、酸化物層２３０ｂ中、及び、酸化物層２３０ｂと絶縁層２５０との界面に、キャリアが生成及び誘起されることを抑制できる。これにより、トランジスタの信頼性を高めることができる。

［０１３４］

例えば、第１の金属酸化物の元素Ｍの含有率は、第２の金属酸化物の元素Ｍの含有率より低いことが好ましい。より具体的には、例えば、酸化物層２３０ａとして、Ｉｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成である金属酸化物を用い、酸化物層２３０ｂとして、Ｉｎ：Ｍ：Ｚｎ＝１：３：２［原子数比］もしくはその近傍の組成である金属酸化物を用いることが好ましい。このとき、元素Ｍとして、ガリウム、アルミニウム、及びスズの一または複数を用いることが特に好ましい。

［０１３５］

なお、酸化物半導体層２３０は、前述の構成に限られず、第１の金属酸化物のバンドギャップが、第２の金属酸化物のバンドギャップより大きくてもよい。

［０１３６］

第１の金属酸化物の元素Ｍの含有率は、第２の金属酸化物の元素Ｍの含有率より低いことが好ましい。第１の金属酸化物は、元素Ｍを微量に含む構成、または元素Ｍを含まない構成としてもよい。例えば、酸化物層２３０ａに用いる第１の金属酸化物をＩｎ－Ｚｎ酸化物とし、酸化物層２３０ｂに用いる第２の金属酸化物をＩｎ－Ｍ－Ｚｎ酸化物とすることが好ましい。具体的には、第１の金属酸化物をＩｎ－Ｚｎ酸化物とし、第２の金属酸化物をＩｎ－Ｇａ－Ｚｎ酸化物とすることができる。

［０１３７］

絶縁層２８３側に設けられる酸化物層２３０ｂは、物質が拡散しづらいことが好ましい。これにより、絶縁層２８３側からの不純物が酸化物半導体層２３０に拡散することを抑制できる。当該不純物として、例えば、絶縁層２８３及び絶縁層２８５に含まれる金属、水素、及び水が挙げられる。第２の金属酸化物の元素Mの含有率は、第１の金属酸化物の元素Mの含有率より高いことが好ましい。これにより、物質が拡散しづらい酸化物層２３０ｂとすることができる。さらに、酸化物層２３０ｂは、結晶性が高いことが好ましい。これにより、不純物の拡散を抑制する効果を高めることができる。

［０１３８］

例えば、酸化物層２３０ａとして、Ｉｎ：Ｚｎ＝１：１［原子数比］もしくはその近傍の組成である金属酸化物、Ｉｎ：Ｚｎ＝２：１［原子数比］もしくはその近傍の組成である金属酸化物、Ｉｎ：Ｓｎ：Ｚｎ＝２：０．１：１［原子数比］もしくはその近傍の組成である金属酸化物、Ｉｎ：Ｚｎ＝４：１［原子数比］もしくはその近傍の組成である金属酸化物、Ｉｎ：Ｓｎ：Ｚｎ＝４：０．１：１［原子数比］もしくはその近傍の組成である金属酸化物、またはインジウム酸化物を用いることが好ましい。また、酸化物層２３０ｂとして、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成である金属酸化物、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２［原子数比］もしくはその近傍の組成である金属酸化物、またはＩｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成である金属酸化物を用いることが好ましい。これにより、トランジスタ２００Ａのオン電流を大きくし、かつ、ばらつきが少なく信頼性の高いトランジスタ構造とすることができる。

［０１３９］

なお、酸化物半導体層２３０は、前述の構成に限られず、第１の金属酸化物の元素Mの含有率は、第２の金属酸化物の元素Mの含有率より高くてもよい。

［０１４０］

酸化物半導体層２３０は、結晶性を有する金属酸化物を有することが好ましい。結晶性を有する金属酸化物の構造として、例えば、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）構造、多結晶構造、及び、微結晶（ｎｃ：ｎａｎｏ－ｃｒｙｓｔａｌ）構造が挙げられる。結晶性を有する金属酸化物を酸化物半導体層２３０に用いることにより、酸化物半導体層２３０中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

［０１４１］

酸化物半導体層２３０に用いる金属酸化物の結晶性が高いほど、酸化物半導体層２３０中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

［０１４２］

酸化物半導体層２３０の形成時の基板温度が高いほど、結晶性を高めることができる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整できる。また、形成に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）、または成膜装置の処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物層を形成することができる。

［０１４３］

酸化物半導体層２３０の結晶性は、例えば、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）、または電子線回折（ＥＤ：Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）により解析できる。または、これらの手法を複数組み合わせて分析を行ってもよい。

［０１４４］

酸化物半導体層２３０は、結晶性が異なる２以上の金属酸化物層の積層構造としてもよい。例えば、第１の金属酸化物層と、当該第１の金属酸化物層上に設けられる第２の金属酸化物層と、の積層構造とし、第２の金属酸化物層は、第１の金属酸化物層より結晶性が高い領域を有する構成とすることができる。または、第２の金属酸化物層は、第１の金属酸化物層より結晶性が低い領域を有する構成とすることができる。このとき、第１の金属酸化物層と第２の金属酸化物層は、互いに異なる組成であってもよく、同じまたは概略同じ組成であってもよい。

［０１４５］

酸化物層２３０ａと酸化物層２３０ｂに同じまたは概略同じ組成の金属酸化物を用いる場合、酸化物層２３０ｂの結晶性は、酸化物層２３０ａの結晶性より高いことが好ましい。絶縁層２８３側に結晶性の高い酸化物層２３０ｂを用いることにより、絶縁層２８３側からの不純物の拡散を抑制する効果を高めることができる。また、導電層２２０及び導電層２２０と接する側に結晶性の低い酸化物層２３０ａを用いることにより、酸化物半導体層２３０と導電層２２０との接触抵抗、及び酸化物半導体層２３０と導電層２４０との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。

［０１４６］

図７Ａでは、酸化物半導体層２３０が２層構造である例を示したが、本発明の一態様はこれに限られない。酸化物半導体層２３０を３層以上の積層構造とすることができる。図７Ｂでは、酸化物半導体層２３０が、酸化物層２３０ａと、酸化物層２３０ａ上の酸化物層２３０ｃと、酸化物層２３０ｃ上の酸化物層２３０ｂと、の３層構造である例を示す。

［０１４７］

酸化物半導体に含まれる水素が金属原子と結合する酸素と反応して水になり、酸化物半導体中に酸素欠損（V_O）が形成される場合がある。さらに、酸素欠損に水素が入った欠陥（以下、V_OHと記す）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性（つまり、しきい値電圧がマイナスの値）となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

［０１４８］

酸化物半導体層２３０中のV_OHをできる限り低減し、酸化物半導体層２３０を高純度真性または実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減された酸化物半導体を得るには、酸化物半導体中の水、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損を修復することが重要である。V_OHなどの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、酸化物半導体に酸素を供給して酸素欠損を修復することを、加酸素化処理と記す場合がある。

［０１４９］

チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度は、1×10^{18}ｃｍ$^{-3}$以下であることが好ましく、1×10^{17}ｃｍ$^{-3}$未満であることがより好ましく、1×10^{16}ｃｍ$^{-3}$未満であることがさらに好ましく、1×10^{13}ｃｍ$^{-3}$未満であることがさらに好ましく、1×10^{12}ｃ

m^{-3}未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、１×１０$^{-9}$ｃｍ$^{-3}$とすることができる。

［０１５０］

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

［０１５１］

酸化物半導体において、第１４族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは３×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは３×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。また、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは３×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは３×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０１５２］

酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が高くなりやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０１５３］

酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における水素濃度は、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。

［０１５４］

酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、１×１０^{18}ａｔ

ｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０１５５］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０１５６］

なお、本実施の形態の半導体装置には、チャネル形成領域に他の半導体材料を用いたトランジスタを適用してもよい。当該他の半導体材料として、例えば、単体元素よりなる半導体、または化合物半導体が挙げられる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、及び、窒化物半導体が挙げられる。なお、前述の酸化物半導体も、化合物半導体の一種である。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

［０１５７］

トランジスタの半導体材料に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン(ＬＴＰＳ:Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ　Ｓｉｌｉｃｏｎ)が挙げられる。

［０１５８］

トランジスタの半導体層は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、２次元電気伝導性が高い。半導体として機能し、かつ、２次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

［０１５９］

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第１６族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、１３族カルコゲナイドなどが挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的にはMoS_2）、セレン化モリブデン（代表的には$MoSe_2$）、モリブデンテルル（代表的には$MoTe_2$）、硫化タングステン（代表的にはWS_2）、セレン化タングステン（代表的にはWSe_2）、タングステンテルル（代表的にはWTe_2）、硫化ハフニウム（代表的にはHfS_2）、セレン化ハフニウム（代表的には$HfSe_2$）、硫化ジルコニウム（代表的にはZrS_2）、セレン化ジルコニウム（代表的には$ZrSe_2$）などが挙げられる。

［０１６０］

［絶縁層］

半導体装置が有する絶縁層（絶縁層２１０、絶縁層２５０、絶縁層２８０、絶縁層２８１、絶縁層２８３、絶縁層２８５など）にはそれぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜として、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、

酸化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及び、ハフニウムアルミネート膜が挙げられる。窒化絶縁膜として、例えば、窒化シリコン膜、及び窒化アルミニウム膜が挙げられる。酸化窒化絶縁膜として、例えば、酸化窒化シリコン膜、酸化窒化アルミニウム膜、酸化窒化ガリウム膜、酸化窒化イットリウム膜、及び、酸化窒化ハフニウム膜が挙げられる。窒化酸化絶縁膜として、例えば、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜が挙げられる。また、半導体装置が有する絶縁層に、有機絶縁膜を用いてもよい。

［０１６１］

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁層に、ｈｉｇｈ－ｋ材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層の等価酸化膜厚（ＥＯＴ：Ｅｑｕｉｖａｌｅｎｔ　Ｏｘｉｄｅ　Ｔｈｉｃｋｎｅｓｓ）の薄膜化が可能となる。一方、層間膜として機能する絶縁層には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁層の機能に応じて、材料を選択することができる。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

［０１６２］

比誘電率が高い（ｈｉｇｈ－ｋ）材料として、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

［０１６３］

比誘電率が低い材料として、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリル樹脂などの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含む構成とすることもできる。

［０１６４］

半導体装置が有する絶縁層に、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料として、酸化ハフニウム、酸化ジルコニウム、$HfZrO_X$（Ｘは０よりも大きい実数とする）などの金属酸化物が挙げられる。また、強誘電性を有しうる材料として、酸化ハフニウムに元素Ｊ１（ここでの元素Ｊ１は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料が挙げられる。ここで、ハフニウムの原子数と元素Ｊ１の原子数の比は適宜設定することができ、例えば、ハフニウムの原子数と元素Ｊ１の原子数の比を１：１またはその近傍にすることができる。また、強誘電性を有しうる材料として、酸化ジルコニウムに元素Ｊ２（ここでの元素Ｊ２は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料、などが挙げられる。また、ジルコニウムの原子数と元素Ｊ２の原子数の比は適宜設定することができ、例えば、ジルコニウムの原子数と元素Ｊ２の原子数の比を１：１またはその近傍にすることができる。また、強誘電性を有しうる材料として、チタン酸鉛（$PbTiO_X$）、チタン酸バリ

ウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

［０１６５］

強誘電性を有しうる材料として、元素Ｍ１と、元素Ｍ２と、窒素と、を有する金属窒化物が挙げられる。ここで、元素Ｍ１は、アルミニウム、ガリウム、インジウムなどから選ばれた一つまたは複数である。また、元素Ｍ２は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロムなどから選ばれた一つまたは複数である。なお、元素Ｍ１の原子数と元素Ｍ２の原子数の比は適宜設定することができる。また、元素Ｍ１と、窒素と、を有する金属酸化物は、元素Ｍ２を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料として、上記金属窒化物に元素Ｍ３が添加された材料が挙げられる。なお、元素Ｍ３は、マグネシウム、カルシウム、ストロンチウム、亜鉛、カドミウムなどから選ばれた一つまたは複数である。ここで、元素Ｍ１の原子数、元素Ｍ２の原子数、及び元素Ｍ３の原子数の比は適宜設定することができる。

［０１６６］

強誘電性を有しうる材料として、$SrTaO_2N$、$BaTaO_2N$などのペロブスカイト型酸窒化物、κアルミナ型構造の$GaFeO_3$などが挙げられる。

［０１６７］

なお、上記の説明においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、または上述の金属窒化物に酸素が添加された金属窒酸化物などを用いてもよい。

［０１６８］

強誘電性を有しうる材料として、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物または化合物を用いることができる。または、絶縁層１３０を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

［０１６９］

ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、数ｎｍといった薄膜であっても強誘電性を有しうることができる。また、ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、微小な面積でも強誘電性を有しうることができる。したがって、ハフニウム及びジルコニウムの一方または両方を含む金属酸化物を用いることで、半導体装置の微細化を図ることができる。

［０１７０］

なお、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層、金属酸化物膜、または金属窒化物膜と呼ぶ場合がある。また、このような、強誘電体層、金属酸化物膜、または金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

［０１７１］

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素または窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存する

と推定される。よって、絶縁層が強誘電性を発現するには、絶縁層１３０は結晶を含む必要がある。特に絶縁層は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁層に含まれる結晶の結晶構造として、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一または複数であってもよい。また、絶縁層は、アモルファス構造を有していてもよい。このとき、絶縁層は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

［０１７２］

金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁層で囲むことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁層として、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及び、タンタルから選ばれた一以上を含む絶縁層を、単層で、または積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁層の材料として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

［０１７３］

具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層として、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層として、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

［０１７４］

ゲート絶縁層などの、酸化物半導体層と接する絶縁層、または酸化物半導体層の近傍に設ける絶縁層は、加熱により脱離する酸素（以下、過剰酸素と呼ぶことがある）を含む領域を有する絶縁層であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁層が、酸化物半導体層と接する、または酸化物半導体層の近傍に位置することで、酸化物半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁層として、酸化シリコン、酸化窒化シリコン、または空孔を有する酸化シリコンなどが挙げられる。

［０１７５］

絶縁層２１０は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜に用いることで、配線間に生じる寄生容量を低減できる。酸化シリコン及び酸化窒化シリコンは、それぞれ、熱的に安定であるため、絶縁層２１０として好適である。

［０１７６］

絶縁層２１０中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層２３０のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

［０１７７］

絶縁層２１０として、水素に対するバリア絶縁層を用いることが好ましい。酸化物半導体層２３０の外側に設けられる絶縁層２１０が水素に対するバリア性を有することで、酸化物半導体層２３０中への水素の拡散を抑制できる。

［０１７８］

水素に対するバリア絶縁層の材料として、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、窒化シリコン、または窒化酸化シリコン等が挙げられる。

［０１７９］

なお、本明細書等において、バリア絶縁層とは、バリア性を有する絶縁層のことを指す。また、バリア性とは、対象とする物質が拡散し難い性質（対象とする物質が透過し難い性質、対象とする物質の透過性が低い性質、または、対象とする物質の拡散を抑制する機能ともいう）とする。なお、対象とする物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH^-などの水素と結合した物質などの少なくとも一を指す。また、対象とする物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域または半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの少なくとも一を指す。また、対象とする物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。

［０１８０］

例えば、絶縁層２１０として、窒化シリコン膜を用いることが好ましい。

［０１８１］

絶縁層２８０及び絶縁層２８１はそれぞれ、前述の水素に対するバリア絶縁層を有することが好ましい。絶縁層２８０及び絶縁層２８１は、絶縁層２５０を介して酸化物半導体層２３０を囲むように設けられている。酸化物半導体層２３０の外側に設けられる絶縁層２８０及び絶縁層２８１が水素に対するバリア性を有することで、酸化物半導体層２３０中への水素の拡散を抑制できる。例えば、絶縁層２８０及び絶縁層２８１はそれぞれ、窒化シリコン膜を有することが好ましい。

［０１８２］

なお、窒化シリコンは、酸素に対するバリア性も有する。したがって、絶縁層２８０及び絶縁層２８１に窒化シリコンを用いることで、酸化物半導体層２３０から酸素が引き抜かれ、酸化物半導体層２３０に酸素欠損が増加することを抑制できる。例えば、絶縁層２８０として、窒化シリコン膜の単層構造を用いることが好ましい。同様に、絶縁層２８１として、窒化シリコン膜の単層構造を用いることが好ましい。

［０１８３］

または、例えば、絶縁層２８０として、窒化シリコン膜、酸化シリコン膜、及び、窒化シリコン膜をこの順で積層した３層構造を用いることが好ましい。同様に、絶縁層２８１として、窒化シリコン膜、酸化シリコン膜、及び、窒化シリコン膜をこの順で積層した３層構造を用いることが好ましい。

［０１８４］

絶縁層２８０及び絶縁層２８１中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層２３０のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

［０１８５］

なお、導電層２２０上の絶縁層２８０の膜厚、及び導電層２６０上の絶縁層２８１の膜厚によって、トランジスタ２００Ａのオフセット領域の長さを調整できる。所望のトランジスタ２００Ａの電気特性に応じて、絶縁層２８０及び絶縁層２８１の膜厚を適宜設定する。

［０１８６］

絶縁層２５０は、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、酸化物半導体層２３０の水素濃度（特に、トランジスタのチャネル形成領域中の水素濃度）を低減できる。よって、チャネル形成領域中のV_OHを低減し、チャネル形成領域をｉ型または実質的にｉ型とすることができる。

［０１８７］

水素を捕獲するまたは固着する機能を有する絶縁層の材料として、ハフニウムを含む酸化物、マグネシウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等の金属酸化物が挙げられる。また、これらの金属酸化物は、さらにジルコニウムを含んでいてもよく、例えば、ハフニウム及びジルコニウムを含む酸化物等が挙げられる。ここで、アモルファス構造を有する金属酸化物では、一部の酸素原子がダングリングボンドを有するため、水素を捕獲するまたは固着する能力が高い。したがって、これらの金属酸化物は、アモルファス構造を有することが好ましい。例えば、これらの酸化物にシリコンを含むことで、アモルファス構造を実現してもよい。例えば、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）を用いることが好ましい。なお、金属酸化物は、一部に結晶領域、及び、結晶粒界の一方または双方を有する場合がある。

［０１８８］

なお、対象とする物質を捕獲するまたは固着する機能は、対象とする物質が拡散し難い性質を有するともいえる。よって、対象とする物質を捕獲するまたは固着する機能を、バリア性と言い換えることができる。

［０１８９］

図７Ａ及び図７Ｂでは、絶縁層２５０が、絶縁層２５０ａと、絶縁層２５０ａ上の絶縁層２５０ｂと、の２層構造である例を示す。

［０１９０］

絶縁層２５０が積層構造である場合、酸化物半導体層２３０と接する層が、水素を捕獲及び水素を固着する機能を有することが好ましい。つまり、絶縁層２５０ｂが、水素を捕獲及び水素を固着する機能を有することが好ましい。また、絶縁層２５０ａには、前述の、水素に対するバリア絶縁層を用いることが好ましい。

［０１９１］

絶縁層２５０ｂが、水素を捕獲するまたは固着する機能を有することで、酸化物半導体層２３０に含まれる水素を、より効果的に捕獲させるまたは固着させることができる。よって、酸化物半導体層２３０中の水素濃度を低減できる。絶縁層２５０ｂとして、例えば、ハフニウムシリケートなどを用いるとよい。また、絶縁層２５０ｂは、アモルファス構造を有することが好ましい。

［０１９２］

絶縁層２５０ｂをアモルファス構造にすることで、結晶粒界の形成を抑制することができる。結晶粒界の形成が抑制されることで、絶縁層２５０ｂの膜の平坦性を高めることができる。これにより絶縁層２５０ｂの膜厚がより均一となり、膜厚が極端に薄い部分が生じることを抑制できるため、絶縁

層２５０ｂの耐圧を向上させることができる。また、絶縁層２５０ｂ上に設けられる層（例えば、酸化物半導体層２３０）の膜厚をより均一にすることができる。

［０１９３］

絶縁層２５０ｂの結晶粒界の形成を抑制することで、結晶粒界の欠陥準位に起因するリーク電流を小さくすることができる。よって、絶縁層２５０ｂをリーク電流の少ない絶縁膜として機能させることができる。

［０１９４］

酸化ハフニウムは高誘電率（ｈｉｇｈ－ｋ）材料であるため、ハフニウムシリケートは、シリコンの含有量によっては、高誘電率（ｈｉｇｈ－ｋ）材料となる。したがって、高誘電率材料をゲート絶縁層に用いることにより、ゲート絶縁層の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低くすることができる。また、ゲート絶縁層の等価酸化膜厚（ＥＯＴ）を薄くすることができる。

［０１９５］

絶縁層２５０ａに水素に対するバリア絶縁層を用いることにより、絶縁層２８０、絶縁層２８１及び導電層２６０に含まれる水素が、酸化物半導体層２３０への拡散することを抑制できる。窒化シリコンは水素に対するバリア性が高いため、絶縁層２５０ａとして特に好適である。

［０１９６］

このような構成にすることで、良好な電気特性を有する半導体装置を提供できる。また、信頼性が高い半導体装置を提供できる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。また、オン電流が大きい半導体装置を提供できる。

［０１９７］

絶縁層２５０に、高誘電率（ｈｉｇｈ－ｋ）材料を用いることが好ましい。なお、ｈｉｇｈ－ｋ材料の一例として、アルミニウム及びハフニウムの一方または双方を含む酸化物がある。絶縁層２５０としてｈｉｇｈ－ｋ材料を用いることで、ゲート絶縁層の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁層として機能する絶縁層の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。

［０１９８］

以上より、絶縁層２５０ｂとして、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化アルミニウムを用いることがさらに好ましい。

［０１９９］

さらに、絶縁層２５０は、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な構造の絶縁層を有していてもよい。

［０２００］

絶縁層２５０は、一対の、水素を捕獲及び水素を固着する機能を有する絶縁層の間に、熱に対し安定な構造の絶縁層を有していてもよい。

［０２０１］

絶縁層２５０は、酸素に対するバリア絶縁層を有することが好ましい。これにより、酸化物半導体層２３０に含まれる酸素が、絶縁層２５０を介して、絶縁層２８０、導電層２６０、絶縁層２８１側

に拡散することを抑制できる。したがって、酸化物半導体層２３０に酸素欠損が形成されることを抑制できる。また、酸化物半導体層２３０に含まれる酸素によって導電層２６０が酸化されることを抑制できる。絶縁層２５０が積層構造である場合、酸化物半導体層２３０と接する層、及び導電層２６０と接する層がそれぞれ、酸素に対するバリア絶縁層であることがより好ましい。

［０２０２］

酸素に対するバリア絶縁層としては、例えば、アルミニウム及びハフニウムの一方または双方を含む酸化物、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウムの一方または双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。

［０２０３］

絶縁層２５０の厚さＴ２５０は、０．１ｎｍ以上３０ｎｍ以下が好ましく、０．１ｎｍ以上２０ｎｍ以下が好ましく、０．１ｎｍ以上１０ｎｍ以下が好ましく、０．１ｎｍ以上５ｎｍ以下がより好ましく、０．５ｎｍ以上５ｎｍ以下がより好ましく、１ｎｍ以上５ｎｍ未満がより好ましく、１ｎｍ以上３ｎｍ以下がさらに好ましい。

［０２０４］

絶縁層２５０として、酸化物半導体層２３０側から、比誘電率が低い材料を有する第１の絶縁層、水素を捕獲するまたは固着する機能を有する第２の絶縁層、水素及び酸素に対するバリア性を有する第３の絶縁層の順で積層された３層構造を用いることが好ましい。第１の絶縁層が有する比誘電率が低い材料として、酸化シリコン、または酸化窒化シリコンを用いることが好ましい。第１の絶縁層は、酸化物半導体層２３０と接する層である。第１の絶縁層に酸化物または酸化窒化物を用いることで、酸化物半導体層２３０に酸素を供給することができる。また、第３の絶縁層を設けることで、第１の絶縁層に含まれる酸素が導電層２６０に拡散され、導電層２６０が酸化されることを抑制できる。また、第１の絶縁層から酸化物半導体層２３０に供給される酸素量が減少することを抑制できる。

［０２０５］

絶縁層２５０として、酸化物半導体層２３０側から、酸素に対するバリア性を有する第４の絶縁層、比誘電率が低い材料を有する第１の絶縁層、水素を捕獲するまたは固着する機能を有する第２の絶縁層、水素及び酸素に対するバリア性を有する第３の絶縁層の順で積層された４層構造を用いることが好ましい。第１の絶縁層乃至第３の絶縁層については、前述の３層構造に用いる層と同様の構成を適用できる。第４の絶縁層は、酸化物半導体層２３０と接する層である。第４の絶縁層が、酸素に対するバリア性を有することで、酸化物半導体層２３０から酸素が脱離することを抑制できる。第４の絶縁層として、例えば、酸化アルミニウムを用いるとよい。酸化アルミニウムは、水素を捕獲するまたは固着する機能を有するため、酸化物半導体層２３０と接する第４の絶縁層として好適である。

［０２０６］

トランジスタを微細にするにあたり、絶縁層２５０を構成する各層の膜厚は薄いことが好ましい。絶縁層２５０を構成する各層の膜厚は、０．１ｎｍ以上１０ｎｍ以下が好ましく、０．１ｎｍ以上５ｎｍ以下がより好ましく、０．５ｎｍ以上５ｎｍ以下がより好ましく、１ｎｍ以上５ｎｍ未満がより好ましく、１ｎｍ以上３ｎｍ以下がさらに好ましい。なお、絶縁層２５０を構成する各層は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０２０７］

代表的には、第４の絶縁層、第１の絶縁層、第２の絶縁層、及び、第３の絶縁層の膜厚をそれぞれ、１ｎｍ、２ｎｍ、２ｎｍ、及び１ｎｍとする。このような構成にすることで、トランジスタを微細化または高集積化しても良好な電気特性を有することができる。

［０２０８］

絶縁層２８３には、水素に対するバリア絶縁層を用いることが好ましい。これにより、絶縁層２８３の上方から酸化物半導体層２３０に水素が拡散することを抑制できる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層２８３に好適に用いることができる。絶縁層２８３に酸素に対するバリア絶縁層を用いることにより、酸化物半導体層２３０に含まれる酸素が、絶縁層２８３側に拡散することが抑制され、酸化物半導体層２３０に酸素欠損の増加を抑制することができる。

［０２０９］

絶縁層２８３としてスパッタリング法で成膜された窒化シリコンを用いることが特に好ましい。スパッタリング法は、成膜ガスに水素を含むガスを用いなくてよいため、絶縁層２８３の水素濃度を低減できる。また、絶縁層２８３をスパッタリング法で成膜することで、密度が高い窒化シリコンを形成することができる。

［０２１０］

絶縁層２８３として、水素を捕獲するまたは固着する機能を有する絶縁層を用いることができる。このような構成にすることで、絶縁層２８３の上方から酸化物半導体層２３０に水素が拡散することを抑制し、さらに酸化物半導体層２３０に含まれる水素を、捕獲させるまたは固着させることができる。したがって、酸化物半導体層２３０の水素濃度を低減できる。絶縁層２８３として、ハフニウムシリケートなどを用いることができる。

［０２１１］

絶縁層２８３として、水素を捕獲するまたは固着する機能を有する絶縁層と、水素に対するバリア絶縁層との積層構造とすることができる。例えば、絶縁層２８３として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いることができる。

［０２１２］

絶縁層２８５は、層間膜として機能するため、前述の、比誘電率が低い材料を用いることが好ましい。例えば、絶縁層２８５は、酸化シリコン膜を有することが好ましい。

［０２１３］

［導電層］

半導体装置が有する導電層（導電層２２０、導電層２４０、導電層２６０など）には、それぞれ、アルミニウム、クロム、銅、銀、金、白金、亜鉛、タンタル、ニッケル、チタン、鉄、コバルト、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好

ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０２１４］

タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、またはチタン及びアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、またはランタン及びニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、またはルテニウムなどの金属元素を含む材料は、酸化されにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても電気抵抗が低く保たれる材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物（ＩＴＯともいう）、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物（ＩＴＳＯともいう）、インジウム亜鉛酸化物（ＩＺＯ（登録商標）ともいう）、及び、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

［０２１５］

タングステン、銅、またはアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

［０２１６］

上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０２１７］

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電層には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

［０２１８］

導電層２２０及び導電層２４０は、それぞれ、酸化物半導体層２３０と接する導電層であるため、それぞれ、酸化されにくい導電性材料、酸化されても電気抵抗が低く保たれる導電性材料、酸化物導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電層２２０及び導電層２４０の導電率が低下することを抑制できる。

［０２１９］

導電層２２０または導電層２４０として酸素を含む導電性材料を用いることで、導電層２２０または導電層２４０が酸素を吸収しても電気抵抗を低く保つことができる。また、絶縁層２１０として酸化ハフニウムなどの酸素を含む絶縁層を用いる場合においても、導電層２２０は電気抵抗を低く保つ

ことができるため好適である。導電層２２０及び導電層２４０のそれぞれとして、例えば、ＩＴＯ、ＩＴＳＯ、ＩＺＯ（登録商標）などを用いることが好ましい。

［０２２０］

図７Ａ及び図７Ｂでは、導電層２２０が、導電層２２０ａと、導電層２２０ａ上の導電層２２０ｂと、導電層２２０ｂ上の導電層２２０ｃと、の３層構造である例を示す。このとき、例えば、導電層２２０ａとして、酸化されにくい導電性材料、または酸素の拡散を抑制する機能を有する導電性材料を用い、導電層２２０ｂとして、導電性が高い材料を用い、導電層２２０ｃとして、酸化されにくい導電性材料、または酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。酸化物半導体層２３０と接する導電層２２０ｃとして、酸素を含む導電性材料を用いることがより好ましい。具体的には、例えば、導電層２２０ａとして窒化チタンを用い、導電層２２０ｂとしてタングステンを用い、導電層２２０ｃとしてＩＴＯまたはＩＴＳＯを用いることが好ましい。この場合、窒化チタンが絶縁層２１０に接し、ＩＴＯまたはＩＴＳＯが酸化物半導体層２３０に接する。このような構造にすることで、導電層２２０が酸化物半導体層２３０と接していても、電気抵抗を低く保つことができる。また、絶縁層２１０に酸化物絶縁層を用いる場合、絶縁層２１０によって導電層２２０が酸化され、電気抵抗が高くなることを抑制できる。また、導電層２２０ｂとして、導電性の高いタングステンを用いることで、導電層２２０の電気抵抗を低くすることができる。

［０２２１］

図３Ａでは、導電層２２０の上面が平坦である構成を示しているが、本発明の一態様はこれに限られない。例えば、図７Ａ、及び図７Ｂに示すように、導電層２２０の上面に、開口２９０と重なる凹部が形成されてもよい。

［０２２２］

図７Ａ及び図７Ｂでは、導電層２４０が、導電層２４０ａと、導電層２４０ａ上の導電層２４０ｂと、の２層構造である例を示す。このとき、例えば、導電層２４０ａとして、導電層２４０ｂよりも導電性が高い材料を用い、導電層２４０ｂとして、酸化されにくい導電性材料、または酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。酸化物半導体層２３０と接する導電層２４０ｂとして、酸素を含む導電性材料を用いることがより好ましい。具体的には、例えば、導電層２４０ａとして、ルテニウム、タングステン、窒化チタン、または、窒化タンタルを用い、導電層２４０ｂとして、ＩＴＯまたはＩＴＳＯを用いることが好ましい。この場合、ＩＴＯまたはＩＴＳＯが酸化物半導体層２３０に接する。このような構造にすることで、導電層２４０が酸化物半導体層２３０と接していても、電気抵抗を低く保つことができる。また、導電層２４０ａとして、導電層２４０ｂよりも導電性の高い材料を用いることで、導電層２４０の電気抵抗を低くすることができる。

［０２２３］

導電層２６０は、ゲート配線として機能する層のため、導電性が高いことが好ましい。導電層２６０には、タングステンなど、導電性が高い材料を用いることが好ましい。また、導電層２６０として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料として、前述の通り、窒素を含む導電性材料（例えば、窒化チタンまたは窒化タンタルなど）、及び酸素を含む導電性材料（例えば、酸化ルテニウムなど）などが挙げられる。これにより、導電層２６０の導電率が低下することを抑制できる。

［０２２４］

導電層２６０には、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材

料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料（例えば、窒化チタン、窒化タンタルなど）を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁層などから混入する水素を捕獲することができる場合がある。

［０２２５］

［基板］

トランジスタを形成する基板として、例えば、絶縁体基板、半導体基板、または導電体基板を用いることができる。絶縁体基板として、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板として、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などがある。導電体基板として、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子として、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

［０２２６］

＜半導体装置の構成例２＞

図８Ａ乃至図９を用いて、本発明の一態様の半導体装置の別の構成を説明する。図８Ａは、トランジスタ２００Ｂを有する半導体装置の平面図である。図８Ｂは、図８Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図８Ｃは、図８Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。図８Ｄは、図８Ｂ及び図８Ｃに示す一点鎖線Ａ５－Ａ６間の断面図である。図８Ｂの拡大図を、図９に示す。

［０２２７］

図８Ａ乃至図９に示す半導体装置は、絶縁層２８０が積層構造を有する点、及び絶縁層２８１が積層構造を有する点で、図１Ａ乃至図１Ｄに示す半導体装置と主に異なる。以降では、前述した構成と異なる部分について主に説明し、重複する部分についてはこれを参照することとし、説明を省略する場合がある。

［０２２８］

図８Ａ乃至図９に示す半導体装置では、絶縁層２１０上に絶縁層２２２が設けられ、絶縁層２２２上に導電層２２０及び絶縁層２８０が設けられている。

［０２２９］

絶縁層２２２には、水素を捕獲するまたは固着する機能を有する絶縁層を用いることが好ましい。これにより、酸化物半導体層２３０中の水素が導電層２２０を介して絶縁層２２２に拡散し、当該水素を捕獲させるまたは固着させることができる。したがって、酸化物半導体層２３０中の水素濃度を

低減できる。

［０２３０］

例えば、絶縁層２１０として、窒化シリコン膜を用い、絶縁層２２２として、ハフニウム及びシリコンを含む酸化物膜（ハフニウムシリケート膜）を用いることが好ましい。

［０２３１］

図８Ａ乃至図９では、絶縁層２８０が、絶縁層２８０ａと、絶縁層２８０ａ上の絶縁層２８０ｂと、絶縁層２８０ｂ上の絶縁層２８０ｃとを有し、絶縁層２８１が、絶縁層２８１ａと、絶縁層２８１ａ上の絶縁層２８１ｂと、絶縁層２８１ｂ上の絶縁層２８１ｃとを有する構成を示している。

［０２３２］

絶縁層２８０ａは、絶縁層２２２の上面に接する領域と、導電層２２０の側面に接する領域と、導電層２２０の上面に接する領域と、を有する。絶縁層２８０ｃは、導電層２６０の下面に接する領域を有する。

［０２３３］

絶縁層２８１ａは、絶縁層２８０（ここでは、絶縁層２８０ｃ）の上面に接する領域と、導電層２６０の側面に接する領域と、導電層２６０の上面に接する領域と、を有する。絶縁層２８１ｃは、導電層２４０の下面に接する領域を有する。

［０２３４］

絶縁層２８０ｂ及び絶縁層２８１ｂにはそれぞれ、比誘電率が低い材料を用いることが好ましい。これにより、配線間に生じる寄生容量を低減できる。誘電率が低い材料として、前述の材料を用いることができる。絶縁層２８０ｂ及び絶縁層２８１ｂとして、例えば、酸化シリコンまたは酸化窒化シリコンを好適に用いることができる。

［０２３５］

絶縁層２８０ｂ及び絶縁層２８１ｂに酸化物または酸化窒化物を用いる場合、絶縁層２８０ａ、絶縁層２８０ｃ、絶縁層２８１ａ及び絶縁層２８１ｃには、それぞれ、酸素に対するバリア絶縁層を用いることが好ましい。絶縁層２８０ｂと導電層２２０との間に絶縁層２８０ａを設けることにより、絶縁層２８０ｂに含まれる酸素によって導電層２２０が酸化され、導電層２２０の電気抵抗が高くなることを抑制できる。絶縁層２８０ｂと導電層２６０との間に絶縁層２８０ｃを設けることにより、絶縁層２８０ｂに含まれる酸素によって導電層２６０が酸化され、導電層２６０の電気抵抗が高くなることを抑制できる。同様に、絶縁層２８１ｂと導電層２６０との間に絶縁層２８１ｃを設けることにより、絶縁層２８１ｂに含まれる酸素によって導電層２６０が酸化され、導電層２４０の電気抵抗が高くなることを抑制できる。また、絶縁層２８１ｂと導電層２４０との間に絶縁層２８１ｃを設けることにより、絶縁層２８１ｂに含まれる酸素によって導電層２４０が酸化され、導電層２４０の電気抵抗が高くなることを抑制できる。

［０２３６］

絶縁層２８０ａとして、水素を捕獲するまたは固着する機能を有する絶縁層を用いることもできる。このような構成にすることで、絶縁層２８０ａより下方から絶縁層２５０を介して酸化物半導体層２３０に水素が拡散することを抑制し、さらに酸化物半導体層２３０に含まれる水素を捕獲させるまたは固着させることができる。よって、酸化物半導体層２３０の水素濃度を低減できる。絶縁層２８０ａとして、酸化マグネシウム、酸化アルミニウム、酸化ハフニウム、またはハフニウム及びシリコンを含む酸化物などを用いることができる。また、例えば、絶縁層２８０ａとして、酸化アルミニウム

と、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。同様に、絶縁層２８１ｃとして、水素を捕獲するまたは固着する機能を有する絶縁層を用いることもできる。

［０２３７］

例えば、絶縁層２８０ａ、絶縁層２８０ｃ、絶縁層２８１ａ及び絶縁層２８１ｃに窒化シリコンを用い、絶縁層２８０ｂ及び絶縁層２８１ｂに酸化シリコンを用いることができる。なお、絶縁層２８０ａ、絶縁層２８０ｃ、絶縁層２８１ａ及び絶縁層２８１ｃの一部、または全てに異なる材料を用いることもできる。絶縁層２８０ｂと絶縁層２８１ｂに異なる材料を用いることもできる。

［０２３８］

絶縁層２８０ａ、絶縁層２８０ｃ、絶縁層２８１ａ及び絶縁層２８１ｃの膜厚はそれぞれ、１ｎｍ以上２０ｎｍ以下が好ましく、さらには２ｎｍ以上２０ｎｍ以下が好ましく、さらには３ｎｍ以上２０ｎｍ以下が好ましく、さらには３ｎｍ以上１５ｎｍ以下が好ましく、さらには５ｎｍ以上１５ｎｍ以下が好ましく、さらには５ｎｍ以上１０ｎｍ以下が好ましい。

［０２３９］

絶縁層２８０ｂは、絶縁層２８０ａ及び絶縁層２８０ｃのそれぞれより膜厚が厚い領域を有することが好ましい。絶縁層２８１ｂは、絶縁層２８１ａ及び絶縁層２８１ｃのそれぞれより膜厚が厚い領域を有することが好ましい。これにより、配線間に生じる寄生容量を低減できる。

［０２４０］

なお、本明細書等において、異なる材料とは、構成元素の一部または全てが異なる材料、または構成元素が同じで組成が異なる材料をいう。

［０２４１］

＜半導体装置の構成例３＞

図１０Ａ乃至図１０Ｄを用いて、本発明の一態様の半導体装置の別の構成を説明する。図１０Ａは、トランジスタ２００Ｃを有する半導体装置の平面図である。図１０Ｂは、図１０Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図１０Ｃは、図１０Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。図１０Ｄは、図１０Ｂ及び図１０Ｃに示す一点鎖線Ａ５－Ａ６間の断面図である。

［０２４２］

図１０Ａ乃至図１０Ｄに示す半導体装置は、絶縁層２２３を有する点で、図１Ａ乃至図１Ｄに示す半導体装置と主に異なる。

［０２４３］

図１０Ｂ及び図１０Ｃに示すように、絶縁層２２３は、酸化物半導体層２３０を覆うように設けられる。絶縁層２２３は、酸化物半導体層２３０の上面及び側面、導電層２４０の上面及び側面、並びに絶縁層２８１の上面と接する領域を有する。絶縁層２２３上に、絶縁層２８３が設けられる。酸化物半導体層２３０は、絶縁層２２３及び絶縁層２５０と接し、これらに挟まれる領域を有する。

［０２４４］

絶縁層２２３には、水素を捕獲するまたは固着する機能を有する絶縁層を用いることが好ましい。これにより、酸化物半導体層２３０が、水素を捕獲するまたは固着する機能を有する絶縁層（ここでは絶縁層２５０及び絶縁層２２３）と接し、これらの絶縁層に挟まれる構成とすることができる。

［０２４５］

絶縁層２８３には、水素に対するバリア絶縁層を用いることが好ましい。前述の通り、絶縁層２２３には、水素を捕獲するまたは固着する機能を有する絶縁層を用いることが好ましい。これにより、

酸化物半導体層２３０を、水素を捕獲するまたは固着する機能を有する絶縁層（ここでは絶縁層２５０及び絶縁層２２３）で挟み、さらにその外側に水素に対するバリア絶縁層（ここでは絶縁層２８３）が設けられた構成とすることができる。当該構成にすることで、酸化物半導体層２３０への水素の拡散を抑制し、酸化物半導体層２３０中の水素濃度をさらに低減できる。

［０２４６］

＜半導体装置の作製方法例＞

次に、本発明の一態様の半導体装置の作製方法について、図１１Ａ乃至図１４Ｃを用いて説明する。なお、各構成要素の材料及び形成方法について、先に説明した部分と同様の部分については説明を省略することがある。

［０２４７］

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、ＣＶＤ法、真空蒸着法、ＰＬＤ法、ＡＬＤ法等を用いて形成することができる。

［０２４８］

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるＲＦスパッタリング法、直流電源を用いるＤＣスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスＤＣスパッタリング法がある。ＲＦスパッタリング法は主に絶縁膜を成膜する場合に用いられ、ＤＣスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスＤＣスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

［０２４９］

ＣＶＤ法は、プラズマを利用するプラズマＣＶＤ（ＰＥＣＶＤ）法、熱を利用する熱ＣＶＤ（ＴＣＶＤ：Ｔｈｅｒｍａｌ　ＣＶＤ）法、光を利用する光ＣＶＤ（Ｐｈｏｔｏ　ＣＶＤ）法などに分類できる。さらに用いる原料ガスによって金属ＣＶＤ（ＭＣＶＤ：Ｍｅｔａｌ　ＣＶＤ）法、有機金属ＣＶＤ（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法に分けることができる。

［０２５０］

プラズマＣＶＤ法は、比較的低温で高品質の膜が得られる。また、熱ＣＶＤ法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱ＣＶＤ法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱ＣＶＤ法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［０２５１］

ＡＬＤ法として、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ法、プラズマ励起されたリアクタントを用いるＰＥＡＬＤ法などを用いることができる。

［０２５２］

ＣＶＤ法及びＡＬＤ法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、アスペクト比の高い開口の表面を被覆する場合などに好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、

成膜速度の速いＣＶＤ法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

［０２５３］

ＣＶＤ法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、ＣＶＤ法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送または圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

［０２５４］

ＡＬＤ法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。または、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

［０２５５］

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピンコート法、ディップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコート等の湿式の成膜方法により形成することができる。

［０２５６］

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

［０２５７］

フォトリソグラフィ法としては、代表的には以下の２つの方法がある。１つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう１つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

［０２５８］

フォトリソグラフィ法において、露光に用いる光は、例えばｉ線（波長３６５ｎｍ）、ｇ線（波長４３６ｎｍ）、ｈ線（波長４０５ｎｍ）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、ＫｒＦレーザ光、またはＡｒＦレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（ＥＵＶ：Ｅｘｔｒｅｍｅ　Ｕｌｔｒａ－ｖｉｏｌｅｔ）光、またはＸ線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、Ｘ線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

［０２５９］

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

［０２６０］

ここでは、図７Ａに示す半導体装置の作製方法の例を説明する。なお、以下では酸化物半導体層２３０及び絶縁層２５０を単層で示している。

［０２６１］

まず、図１１Ａに示すように、絶縁層２１０上に導電層２２０を形成し、導電層２２０上に絶縁層２８０を形成する。

［０２６２］

なお、絶縁層２８０の成膜後に、絶縁層２８０の平坦化処理を行い、絶縁層２８０の上面を平坦化させることが好ましい。平坦化処理として、例えば、化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法を用いることができる。絶縁層２８０の平坦化処理を行うことで、配線として機能する導電層２６０の被形成面を平坦にでき、導電層２６０の段切れを抑制できる。なお、平坦化処理は行わなくてもよく、その場合、製造コストを削減することができる。

［０２６３］

続いて、図１１Ｂに示すように、絶縁層２８０上に導電層２６０を形成し、導電層２６０上に絶縁層２８１を形成する。

［０２６４］

なお、絶縁層２８１の成膜後に、絶縁層２８１の平坦化処理を行い、絶縁層２８１の上面を平坦化させることが好ましい。絶縁層２８１の平坦化処理を行うことで、配線として機能する導電層２４０の被形成面を平坦にでき、導電層２４０の段切れを抑制できる。なお、平坦化処理は行わなくてもよく、その場合、製造コストを削減することができる。

［０２６５］

続いて、絶縁層２８１上に導電層２４０となる導電膜を形成する。ここでは、当該導電膜として、導電層２４０ａとなる導電膜２４０Ａ及び導電層２４０ｂとなる導電膜２４０Ｂを形成する。

［０２６６］

続いて、導電膜２４０Ｂ上に膜２７６Ａを成膜する。膜２７６Ａの成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法を用いることができる。膜２７６Ａは、後の工程で絶縁層２８０、絶縁層２８１、導電層２６０、導電膜２４０Ａ、及び導電膜２４０Ｂに開口２９０を形成するためのマスク層として機能する。また、当該マスク層を、ハードマスクともいうことができる。絶縁層２８０、絶縁層２８１、導電層２６０、導電膜２４０Ａ及び導電膜２４０Ｂの加工において、選択比の高い材料を膜２７６Ａに用いることが好ましい。具体的には、絶縁層２８０、絶縁層２８１、導電層２６０、導電膜２４０Ａ及び導電膜２４０Ｂの加工において、これらの層のエッチング速度より、エッチング速度が遅い材料を膜２７６Ａに用いることが好ましい。膜２７６Ａとして、例えば、金属材料及び無機絶縁材料の一以上を用いることができる。例えば、膜２７６Ａとして、タングステンを好適に用いることができる。また、導電膜２４０Ａ及び導電膜２４０Ｂの成膜後に、大気に暴露することなく、膜２７６Ａを連続して成膜することができる。これにより、生産性を高めることができる。例えば、導電膜２４０Ａ、導電膜２４０Ｂ及び膜２７６Ａの成膜を、同じスパッタリング装置を用いて、連続して成膜することができる。

［０２６７］

続いて、図１１Ｃに示すように、膜２７６Ａ上にレジストマスク２７９を形成する。

［０２６８］

続いて、レジストマスク２７９をマスクに膜２７６Ａを加工し、開口２９０Ａを有する層２７６を形成する。開口２９０Ａは、開口２９０と重なる領域に設けられる。次に、図１２Ａに示すように、レジストマスク２７９を除去する。

［０２６９］

続いて、図１２Ｂに示すように、層２７６をマスクに、導電膜２４０Ａ、導電膜２４０Ｂ、導電層２６０、絶縁層２８０及び絶縁層２８１を加工し、開口２９０を有する導電膜２４０Ａ、導電膜２４０Ｂ、導電層２６０、絶縁層２８０及び絶縁層２８１を形成する。このとき、層２７６はハードマスクとして機能する。なお、ここでは、導電層２２０の上面が平坦である構成を示している。図７Ａに示すように、導電層２２０の上面に、開口２９０と重なる凹部が形成することもできる。

［０２７０］

開口２９０はアスペクト比が大きいため、導電膜２４０Ａ、導電膜２４０Ｂ、導電層２６０、絶縁層２８０及び絶縁層２８１を加工には、異方性エッチングを用いることが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、当該加工は、導電膜２４０Ｂ、導電層２６０、絶縁層２８０及び絶縁層２８１それぞれで条件を異ならせてもよい。なお、加工の条件によっては、開口２９０における導電膜２４０Ａ、導電膜２４０Ｂ、導電層２６０、絶縁層２８０及び絶縁層２８１それぞれの側面の傾きが互いに異なる場合がある。

［０２７１］

続いて、加熱処理を行ってもよい。加熱処理は、例えば、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下、さらに好ましくは３２０℃以上４５０℃以下で行う。

［０２７２］

加熱処理は、窒素ガス、不活性ガスまたは乾燥空気（ＣＤＡ：Ｃｌｅａｎ　Ｄｒｙ　Ａｉｒ）の雰囲気で行うことができる。または、加熱処理はこれらを複数含む雰囲気で行うことができる。または、加熱処理は減圧状態で行うことができる。加熱処理を行うことで、絶縁層２８０及び絶縁層２８１などに含まれる、水などの不純物を低減できる。加熱処理で用いるガス及び乾燥空気は、純度が高いことが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量は、１ｐｐｂ以下が好ましく、０．１ｐｐｂ以下がより好ましく、０．０５ｐｐｂ以下がさらに好ましい。高純度化されたガスを用いて加熱処理を行うことで、絶縁層２８０及び絶縁層２８１などに水分等が取り込まれることを可能な限り防ぐことができる。

［０２７３］

続いて、図１２Ｃに示すように、開口２９０Ａ及び開口２９０を覆うように、絶縁膜２５０Ａを成膜し、絶縁膜２５０Ａを覆うように膜２５４Ａを成膜する。絶縁膜２５０Ａは、後に絶縁層２５０となる。絶縁膜２５０Ａは、導電層２２０の上面、絶縁層２８０の側面、導電層２６０の側面、絶縁層２８１の側面、並びに導電層２４０の上面及び側面に接して設けられる。膜２５４Ａは、後の工程で絶縁膜２５０Ａを絶縁層２５０に加工するためのダミー層として機能し、当該ダミー層は絶縁層２５０を形成した後に除去される。ダミー層の除去において、選択比の高い材料を膜２５４Ａに用いることが好ましい。具体的には、ダミー層の除去において、絶縁層２５０のエッチング速度より、エッチング速度が速い材料を膜２５４Ａに用いることが好ましい。これにより、ダミー層を除去する際に絶縁層２５０の膜厚が薄くなってしまうことを抑制できる。膜２５４Ａとして、例えば、金属材料及び無機絶縁材料の一以上を用いることができる。例えば、絶縁層２５０に酸化シリコンを用いる場合、膜２５４Ａに酸化アルミニウムを好適に用いることができる。または、膜２５４Ａに、酸化物半導体層２３０に用いることができる金属酸化物を用いることができる。当該金属酸化物として、例えば、インジウムガリウム亜鉛酸化物（ＩＧＺＯ）を好適に用いることができる。

［０２７４］

絶縁膜２５０Ａ及び膜２５４Ａは、アスペクト比の大きい開口２９０に設けられる。よって、絶縁膜２５０Ａ及び膜２５４Ａそれぞれの成膜は、被覆性が良好な成膜方法を用いることが好ましく、ＣＶＤ法またはＡＬＤ法などを用いることがより好ましい。

［０２７５］

続いて、図１３Ａに示すように、絶縁膜２５０Ａ及び膜２５４Ａを加工し、絶縁層２５０及び層２５４を形成する。このとき、層２７６の上面及び側面を露出させるとともに、開口２９０において導電層２２０（ここでは、導電層２２０ｃ）の一部の上面を露出させる。これにより、開口２９０の側壁及び一部の底部に接する絶縁層２５０、及び絶縁層２５０に接する層２５４が形成される。このとき、絶縁層２５０の上面と層２５４と接する領域に、突出部２５０ｐが形成される。絶縁層２５０及び層２５４の形成には、異方性エッチングを好適に用いることができる。

［０２７６］

続いて、図１３Ｂに示すように、層２７６を除去する。層２７６の除去は、例えば、ドライエッチング法を好適に用いることができる。層２５４を設けた状態で層２７６を除去することにより、層２７６の除去時に絶縁層２５０に加わるダメージを低減できる。

［０２７７］

続いて、図１３Ｃに示すように、層２５４を除去する。層２５４の除去は、例えば、ウェットエッチング法を好適に用いることができる。ウェットエッチング法を用いることにより、ゲート絶縁層として機能する絶縁層２５０にダメージが加わることを抑制できる。ウェットエッチング法を用いる場合、例えば、現像液、水酸化テトラメチルアンモニウム（ＴＭＡＨ）水溶液、希フッ酸、シュウ酸、リン酸、酢酸、硝酸、またはこれらの２以上を含む混合溶液等を用いることが好ましい。また、ウェットエッチング法を用いる場合、水、リン酸、希フッ酸、及び硝酸を含む混酸系薬液を用いてもよい。なお、ウェットエッチング処理に用いる薬液は、アルカリ性であってもよく、酸性であってもよい。また、層２５４の除去において、層２５４のエッチング速度よりエッチング速度の速い材料を絶縁層２５０に用いることが好ましい。これにより、層２５４の除去の際、絶縁層２５０の膜厚が薄くなることを抑制できる。

［０２７８］

ここでは、層２７６を除去した後に、層２５４を除去する例を説明したが、本発明の一態様はこれに限られない。層２７６を除去する工程と、層２５４を除去する工程の順序は問わない。層２５４を除去した後に、層２７６を除去することもできる。または、層２７６及び層２５４を同じ工程で除去することもできる。

［０２７９］

続いて、図１４Ａに示すように、酸化物半導体層２３０を形成する。酸化物半導体層２３０は、導電層２２０の上面、絶縁層２５０の上面及び側面、並びに導電層２４０の上面に接して設けられる。

［０２８０］

導電層２４０上に層２７６が設けられている状態で絶縁層２５０を形成することにより、導電層２４０の上面には絶縁層２５０が形成されない。また、層２７６を除去し、導電層２４０が露出した状態で酸化物半導体層２３０を形成することにより、酸化物半導体層２３０が導電層２４０と接する構成とすることができる。これにより、酸化物半導体層２３０に導電層２４０と接する領域、つまりソース領域及びドレイン領域の他方を形成することができる。

［０２８１］

酸化物半導体層２３０は、例えば、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、または、ＡＬＤ法を用いて成膜することができる。

［０２８２］

酸化物半導体層２３０は、開口２９０内で、絶縁層２５０の側面に沿って、出来るだけ均一な厚さで形成されることが好ましい。ＡＬＤ法を用いて成膜することで、薄い膜を制御性よく成膜することができる。したがって、酸化物半導体層２３０はＡＬＤ法を用いて成膜することが好ましい。

［０２８３］

酸化物半導体層２３０の結晶性が高いと、酸化物半導体層２３０中の不純物の拡散が抑制されるため、トランジスタの電気特性が変動しにくく、信頼性を高めることができる。酸化物半導体層２３０を、スパッタリング法を用いて成膜すると、ＡＬＤ法を用いる場合に比べて、結晶性の高い層とすることが容易となり好ましい。

［０２８４］

酸化物半導体層２３０をスパッタリング法によって成膜する場合は、スパッタリングガスとして、酸素、または、酸素と貴ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、Ｉｎ－Ｍ－Ｚｎ酸化物ターゲットなどを用いることができる。

［０２８５］

酸化物半導体層２３０をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、３０％を超えて１００％以下、好ましくは７０％以上１００％以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。スパッタリングガスに含まれる酸素の割合を１％以上３０％以下、好ましくは５％以上２０％以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、酸化物半導体層の結晶性を向上させることができる。

［０２８６］

続いて、図１４Ｂに示すように、酸化物半導体層２３０を島状に加工する。

［０２８７］

次に、加熱処理を行うことが好ましい。加熱処理は、酸化物半導体層２３０が多結晶化しない温度範囲で行うことが好ましい。加熱処理の温度は、１００℃以上、２５０℃以上、または３５０℃以上であり、かつ、６５０℃以下、６００℃以下、または５５０℃以下であると好ましい。加熱処理の詳細は前述の記載を参照できる。

［０２８８］

上記加熱処理で用いるガスは、高純度化されていることが好ましい。高純度化されたガスを用いて加熱処理を行うことで、酸化物半導体層２３０に水分等が取り込まれることを可能な限り防ぐことができる。

［０２８９］

本実施の形態では、加熱処理として、窒素ガスと酸素ガスの流量比を４：１として、４５０℃の温度で１時間の処理を行う。このような酸素ガスを含む加熱処理によって、酸化物半導体層２３０中の炭素、水、水素などの不純物を低減できる。このように膜中の不純物を低減することで、酸化物半導

体層２３０の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化物半導体層２３０中の結晶領域を増大させ、酸化物半導体層２３０中における、結晶領域の面内ばらつきを低減できる。よって、トランジスタの電気特性の面内ばらつきを低減できる。

［０２９０］

絶縁層２５０が酸素を含む場合、加熱処理により、絶縁層２５０から酸化物半導体層２３０のチャネル形成領域に酸素を供給することが好ましい。これにより、酸化物半導体層２３０（特に、チャネル形成領域）の酸素欠損及びＶｏＨの低減を図ることができる。

［０２９１］

続いて、図１４Ｃに示すように、導電膜２４０Ａ及び導電膜２４０Ｂを島状に加工し、導電層２４０（導電層２４０ａ及び導電層２４０ｂ）を形成する。

［０２９２］

なお、ここでは酸化物半導体層２３０を島状に加工した後に、導電層２４０を島状に加工する例を説明したが、本発明の一態様はこれに限られない。導電層２４０を島状に加工する工程と、酸化物半導体層２３０を島状に加工する工程の順序は特に限定されない。導電層２４０を島状に加工した後に、酸化物半導体層２３０を島状に加工することができる。または、導電層２４０と酸化物半導体層２３０を同じ工程で、同じマスクを用いて加工することもできる。これにより、半導体装置の作製工程を簡略にすることができる。これらの加工に、例えば、多階調マスク（代表的にはハーフトーンマスク、またはグレートーンマスク）を用いた露光を利用してもよい。

［０２９３］

続いて、酸化物半導体層２３０及び導電層２４０上に絶縁層２８３を形成し、絶縁層２８３上に絶縁層２８５を形成する。

［０２９４］

なお、絶縁層２８５の成膜後に、絶縁層２８５の平坦化処理を行い、絶縁層２８５の上面を平坦化させることが好ましい。絶縁層２８５の平坦化処理を行うことで、絶縁層２８５上に設けられる層の被形成面を平坦にでき、当該層の段切れを抑制できる。なお、平坦化処理は行わなくてもよく、その場合、製造コストを削減することができる。

［０２９５］

以上により、半導体装置を作製することができる。

［０２９６］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０２９７］

（実施の形態２）

本実施の形態では、本発明の一態様の記憶装置について図１５Ａ乃至図１８を用いて説明する。本発明の一態様の記憶装置は、メモリセルを有する。当該メモリセルは、トランジスタ及び容量素子を有する。

［０２９８］

＜記憶装置の構成例１＞

図１５Ａ乃至図１５Ｃを用いて、トランジスタ及び容量素子を有する記憶装置の構成を説明する。

図１５Ａは、トランジスタ２００Ａ及び容量素子１００を有する記憶装置の平面図である。図１５Ｂは、図１５Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図１５Ｃは、図１５Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。

［０２９９］

図１５Ａ乃至図１５Ｃに示す記憶装置は、基板（図示せず）上の絶縁層１４０と、絶縁層１４０上の導電層１１０と、導電層１１０上のメモリセル１５０と、導電層１１０上の絶縁層１８０と、絶縁層２８０と、絶縁層２８１と、メモリセル１５０上の絶縁層２８３と、絶縁層２８３上の絶縁層２８５と、を有する。絶縁層１４０、絶縁層１８０、絶縁層２８０、絶縁層２８１、絶縁層２８３、及び絶縁層２８５は、層間膜として機能する。導電層１１０及び導電層２６０は、配線として機能する。

［０３００］

メモリセル１５０は、導電層１１０上の容量素子１００と、容量素子１００上のトランジスタ２００Ａと、を有する。

［０３０１］

容量素子１００は、導電層１１０上の導電層１１５と、導電層１１５上の絶縁層１３０と、絶縁層１３０上の導電層１２０と、を有する。導電層１２０は一対の電極の一方（上部電極と呼ぶ場合がある）として機能し、導電層１１５は一対の電極の他方（下部電極と呼ぶ場合がある）として機能し、絶縁層１３０は誘電体として機能する。つまり、容量素子１００は、ＭＩＭ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）容量を構成している。

［０３０２］

図１５Ｂ及び図１５Ｃに示すように、絶縁層１８０には、導電層１１０に達する開口１９０が設けられている。導電層１１５の少なくとも一部は、開口１９０に配置されている。なお、導電層１１５は、開口１９０において導電層１１０の上面に接する領域と、開口１９０において絶縁層１８０の側面に接する領域と、絶縁層１８０の上面の少なくとも一部に接する領域と、を有する。絶縁層１３０は、少なくとも一部が開口１９０に位置するように配置されている。導電層１２０は、少なくとも一部が開口１９０に位置するように配置されている。なお、導電層１２０は、図１５Ｂ及び図１５Ｃに示すように、開口１９０を埋め込むように設けることが好ましい。なお、開口１９０内に設ける膜は、それぞれ、ＡＬＤ法を用いて形成することが好ましい。これにより、当該膜の被覆性が良好となる。例えば、導電層１１５、絶縁層１３０、及び、導電層１２０は、それぞれ、ＡＬＤ法を用いて形成することが好ましい。

［０３０３］

容量素子１００は、開口１９０において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口１９０の深さを深くするほど、容量素子１００の静電容量を大きくすることができる。このように容量素子１００の単位面積当たりの静電容量を大きくすることにより、記憶装置の読み出し動作を安定にすることができる。また、記憶装置の微細化または高集積化を推し進めることができる。

［０３０４］

図１５Ｂ及び図１５Ｃでは、開口１９０の側壁が、導電層１１０の上面に対して垂直である例を示す。このとき、開口１９０は円筒形状を有する。このような構成にすることで、記憶装置の微細化または高集積化を図ることができる。

［０３０５］

開口１９０の側壁及び導電層１１０の上面に沿って導電層１１５及び絶縁層１３０が積層して設けられている。また、開口１９０を埋めるように、絶縁層１３０上に導電層１２０が設けられている。このような構成を有する容量素子１００は、トレンチ型容量またはトレンチ容量と呼称することができる。

［０３０６］

容量素子１００上に、絶縁層２８０が配置されている。つまり、導電層１１５、絶縁層１３０、及び導電層１２０の上に、絶縁層２８０が配置されている。別言すると、絶縁層２８０の下に、導電層１２０が配置されている。

［０３０７］

トランジスタ２００Ａは、導電層１２０（図１Ｂ等の導電層２２０に対応）と、絶縁層２８０上の導電層２６０と、絶縁層２８１上の導電層２４０と、酸化物半導体層２３０と、絶縁層２５０と、を有する。トランジスタ２００Ａについては、図１Ａ乃至図７Ｂに係る記載を参照できるため、詳細な説明は省略する。また、メモリセル１５０が有するトランジスタは、トランジスタ２００Ａに限定されず、実施の形態１で例示した各トランジスタを適用することができる。

［０３０８］

図１５Ａ乃至図１５Ｃに示すように、トランジスタ２００Ａは、容量素子１００と重なるように設けられる。また、トランジスタ２００Ａの構造の一部が設けられる開口２９０は、容量素子１００の構造の一部が設けられる開口１９０と重なる領域を有する。特に、導電層１２０は、トランジスタ２００Ａのソース電極及びドレイン電極の一方としての機能と、容量素子１００の上部電極としての機能とを有するため、トランジスタ２００Ａと容量素子１００は、構造の一部を共有することになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ２００Ａ及び容量素子１００を設けることができる。これにより、メモリセル１５０の占有面積を低減できるため、メモリセル１５０を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

［０３０９］

トランジスタ２００Ａを容量素子１００の上方に設けることで、トランジスタ２００Ａは容量素子１００の作製工程を経ないため、当該作製工程で加わる熱の影響を受けない。したがって、トランジスタ２００Ａにおいて、しきい値電圧の変動、及び寄生抵抗の上昇などの電気特性の劣化、並びに電気特性の劣化に伴う電気特性のばらつきの増大などを抑制できる。

［０３１０］

本実施の形態に示す記憶装置の回路図を図２０Ａに示す。図２０Ａに示すように、図１５Ａ乃至図１５Ｃに示す構成は、メモリセルとして機能する。メモリセル９５１は、トランジスタＭ１と容量素子ＣＡとを有する。ここで、トランジスタＭ１はトランジスタ２００Ａに対応し、容量素子ＣＡは容量素子１００に対応する。

［０３１１］

トランジスタＭ１のソース及びドレインの一方は、容量素子ＣＡの一対の電極の一方に接続される。トランジスタＭ１のソース及びドレインの他方は、配線ＢＩＬに接続される。トランジスタＭ１のゲートは、配線ＷＯＬに接続される。容量素子ＣＡの一対の電極の他方は、配線ＣＡＬに接続される。

［０３１２］

ここで、配線ＢＩＬは導電層２４０に対応し、配線ＷＯＬは導電層２６０に対応し、配線ＣＡＬは導電層１１０に対応する。図１５Ａ乃至図１５Ｃに示すように、導電層２４０はＸ方向に延在して設けられ、導電層２６０はＹ方向に延在して設けられることが好ましい。このような構成にすることで、配線ＢＩＬと、配線ＷＯＬは互いに交差して設けられる。また、配線ＣＡＬ（導電層１１０）は、平面状に設けられてもよい。または、配線ＣＡＬ（導電層１１０）は、配線ＷＯＬ（導電層２６０）に平行に設けられてもよく、配線ＢＩＬ（導電層２４０）に平行に設けられてもよい。

［０３１３］

なお、メモリセルについては、後の実施の形態で詳細に説明する。

［０３１４］

［容量素子１００］

容量素子１００は、導電層１１５と、絶縁層１３０と、導電層１２０と、を有する。また、導電層１１５の下方に導電層１１０が設けられている。導電層１１５は、導電層１１０と接する領域を有する。

［０３１５］

導電層１１０は、絶縁層１４０上に設けられる。導電層１１０は、配線ＣＡＬとして機能し、例えば、面状に設けることができる。導電層１１０は、実施の形態１の［導電層］の項目に記載の導電性材料を用いて、単層または積層で形成することができる。例えば、導電層１１０として、タングステンなどの、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電層１１０の導電性を向上させ、配線ＣＡＬとして十分に機能させることができる。

［０３１６］

導電層１１５は、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを、単層または積層で用いることが好ましい。例えば、窒化チタン、またはシリコンを添加したインジウムスズ酸化物などを用いてもよい。または、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。または、例えば、第１の窒化チタンの上にタングステンを積層し、当該タングステンの上に第２の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁層１３０に酸化物を用いる場合、絶縁層１３０によって導電層１１０が酸化されることを抑制できる。また、絶縁層１８０に酸化物を用いる場合、絶縁層１８０によって導電層１１０が酸化されることを抑制できる。

［０３１７］

絶縁層１３０は、導電層１１５上に設けられる。絶縁層１３０は、導電層１１５の上面及び側面に接するように設けられる。つまり、絶縁層１３０は、導電層１１０の側端部を覆う構造にすることが好ましい。これにより、導電層１１５と導電層１２０がショートすることを防止できる。

［０３１８］

絶縁層１３０の側端部と導電層１１５の側端部が一致または概略一致する構造にしてもよい。このような構造にすることで、絶縁層１３０と導電層１１５を同一のマスクを用いて形成することができ、記憶装置の作製工程を簡略にすることができる。

［０３１９］

絶縁層１３０として、比誘電率が高い（ｈｉｇｈ－ｋ）材料を用いることが好ましい。絶縁層１３０としてｈｉｇｈ－ｋ材料を用いることで、リーク電流を抑制できる程度に絶縁層１３０を厚くし、かつ容量素子１００の静電容量を十分確保することができる。

［０３２０］

絶縁層１３０は、ｈｉｇｈ－ｋ材料からなる絶縁層を積層して用いることが好ましく、比誘電率が高い（ｈｉｇｈ－ｋ）材料と、当該ｈｉｇｈ－ｋ材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁層１３０として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁層を積層して用いることで、絶縁耐力が向上し、容量素子１００の静電破壊を抑制できる。

［０３２１］

絶縁層１３０として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料の詳細については、実施の形態１の記載も参照できる。

［０３２２］

ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、数ｎｍといった薄膜であっても強誘電性を有しうることができるため、絶縁層１３０として好ましい。絶縁層１３０の膜厚は、１００ｎｍ以下が好ましく、５０ｎｍ以下がより好ましく、２０ｎｍ以下がさらに好ましく、１０ｎｍ以下（代表的には、２ｎｍ以上９ｎｍ以下）がさらに好ましい。また、例えば、膜厚を、８ｎｍ以上１２ｎｍ以下にすることが好ましい。薄膜化することができる強誘電体層とすることで、容量素子１００を、微細化されたトランジスタなどの半導体素子に組み合わせて半導体装置を形成することができる。

［０３２３］

ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、微小な面積でも強誘電性を有しうることができるため、絶縁層１３０として好ましい。例えば、強誘電体層の平面視における面積（占有面積）が、１００μm^2以下、１０μm^2以下、１μm^2以下、または０．１μm^2以下であっても、強誘電性を有することができる。また、１００００nm^2以下、または１０００nm^2以下であっても、強誘電性を有する場合がある。面積が小さい強誘電体層とすることで、容量素子１００の占有面積を小さくすることができる。

［０３２４］

強誘電体は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量素子（以下、強誘電体キャパシタと呼ぶ場合がある）を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた、不揮発性の記憶素子は、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、強誘電体メモリなどと呼ばれることがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタを有し、トランジスタのソース及びドレインの一方が、強誘電体キャパシタの一方の端子に電気的に接続された構成を有する。よって、容量素子１００として強誘電体キャパシタを用いる場合、本実施の形態で示す記憶装置は、強誘電体メモリとして機能する。

［０３２５］

導電層１２０は、絶縁層１３０の上面の一部に接して設けられる。導電層１２０の側端部は、Ｘ方

向及びＹ方向のいずれにおいても、導電層１１５の側端部よりも内側に位置することが好ましい。なお、絶縁層１３０が導電層１１５の側端部を覆う構造においては、導電層１２０の側端部は、導電層１１５の側端部よりも外側に位置してもよい。

［０３２６］

導電層１２０は、実施の形態１の［導電層］の項目に記載の導電性材料を用いて、単層または積層で形成することができる。導電層１２０として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。また、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。この場合、窒化チタンが絶縁層１３０に接し、窒化タンタルが酸化物半導体層２３０に接する。このような構造にすることで、酸化物半導体層２３０によって導電層１２０が過剰に酸化されることを抑制できる。また、絶縁層１３０に酸化物を用いる場合、絶縁層１３０によって導電層１２０が過剰に酸化されることを抑制できる。または、導電層１２０として、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。

［０３２７］

導電層１２０は、酸化物半導体層２３０と接する領域を有するため、酸素を含む導電性材料を用いることが好ましい。導電層１２０として酸素を含む導電性材料を用いることで、導電層１２０が酸素を吸収しても電気抵抗を低く保つことができる。また、絶縁層１３０として酸化ジルコニウムなどの酸素を含む絶縁層を用いる場合においても、導電層１２０は電気抵抗を低く保つことができるため好適である。導電層１２０として、例えば、ＩＴＯ、ＩＴＳＯ、ＩＺＯ（登録商標）などを単層または積層で用いることができる。

［０３２８］

絶縁層１８０は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁層１８０として、比誘電率が低い材料を含む絶縁層を単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

［０３２９］

なお、図１５Ｂ及び図１５Ｃでは、絶縁層１８０を単層で示したが、本発明の一態様はこれに限られない。絶縁層１８０は、２層の積層構造とすることができる。

［０３３０］

＜記憶装置の構成例２＞

本実施の形態に示す、トランジスタ２００Ａ及び容量素子１００を有するメモリセル１５０は、記憶装置のメモリセルとして用いることができる。トランジスタ２００Ａは、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ２００Ａは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。また、トランジスタ２００Ａの周波数特性が高いため、記憶装置の読み出し、及び書き込みを高速に行うことができる。

［０３３１］

メモリセル１５０を３次元的にマトリクス状に配置することで、メモリセルアレイを構成することができる。

［０３３２］

図１６Ａは、記憶装置の平面図である。図１６Ａでは、Ｘ方向及びＹ方向に２個×２個のメモリセル（メモリセル１５０ａ乃至メモリセル１５０ｄ）を配置する例を示す。

［０３３３］

図１６Ｂは、図１６Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。図１６Ａ及び図１６Ｂでは、２個のメモリセル（図１６Ｂではメモリセル１５０ａ及びメモリセル１５０ｂ）が共通の配線（導電層２４６）に接続されている。

［０３３４］

ここで、図１６Ａ及び図１６Ｂに示すメモリセル１５０ａ及びメモリセル１５０ｂのそれぞれは、メモリセル１５０と同様の構成を有する。メモリセル１５０ａは、容量素子１００ａ及びトランジスタ２００ａを有し、メモリセル１５０ｂは、容量素子１００ｂ及びトランジスタ２００ｂを有する。また、図１６Ａに示すメモリセル１５０ｃ及びメモリセル１５０ｄについても、メモリセル１５０と同様の構成を有する。よって、図１６Ａ及び図１６Ｂに示す記憶装置において、図１５に示した記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。また、メモリセル１５０ａ乃至メモリセル１５０ｄの詳細については、＜記憶装置の構成例１＞におけるメモリセル１５０の記載を参照できる。

［０３３５］

図１６Ａ及び図１６Ｂに示すように、配線ＷＯＬとして機能する導電層２６０は、メモリセル１５０ａ及びメモリセル１５０ｂに、それぞれ設けられる。また、図１６Ａに示すように、１つの導電層２６０が、メモリセル１５０ａとメモリセル１５０ｃに共通して設けられ、他の１つの導電層２６０が、メモリセル１５０ｂとメモリセル１５０ｄに共通して設けられる。また、配線ＢＩＬの一部として機能する１つの導電層２４０は、メモリセル１５０ａ及びメモリセル１５０ｂに、共通に設けられる。つまり、導電層２４０は、メモリセル１５０ａの酸化物半導体層２３０と、メモリセル１５０ｂの酸化物半導体層２３０に接する。また、他の１つの導電層２４０が、メモリセル１５０ｃ及びメモリセル１５０ｄに、共通に設けられる。

［０３３６］

ここで、図１６Ａ及び図１６Ｂに示す記憶装置は、メモリセル１５０ａ及びメモリセル１５０ｂと電気的に接続してプラグ（接続電極とよぶこともできる）として機能する、導電層２４５及び導電層２４６を有する。導電層２４５は、絶縁層１４０、絶縁層１８０、絶縁層１３０、絶縁層２８０及び絶縁層２８１に形成された開口内に配置され、導電層２４０の下面に接する。また、導電層２４６は、絶縁層２８５及び絶縁層２８３に形成された開口内に配置され、導電層２４０の上面に接する。なお、導電層２４５及び導電層２４６は、導電層２４０に適用可能な導電性材料などを用いることができる。

［０３３７］

絶縁層２８５は、層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

［０３３８］

絶縁層２８５中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層２３０のチャネル形成領域に、水、水素などの不純物が混入することを抑制できる。

［０３３９］

導電層２４５及び導電層２４６は、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、

及びダイオードなどの回路素子、配線、電極、または、端子と、メモリセル１５０ａ及びメモリセル１５０ｂを電気的に接続するためのプラグまたは配線として機能する。例えば、導電層２４５が、図１６Ｂに示す記憶装置の下に設けられたセンスアンプ（図示せず）に電気的に接続され、導電層２４６が、図１６Ｂに示す記憶装置の上に設けられた同様の記憶装置（図示せず）と電気的に接続される構成にすることができる。この場合、導電層２４５及び導電層２４６は、配線ＢＩＬの一部として機能する。このように、図１６Ｂに示す記憶装置の上または下に記憶装置などを設けることで、単位面積当たりの記憶容量を大きくすることができる。

［０３４０］

メモリセル１５０ａとメモリセル１５０ｂは、一点鎖線Ａ３－Ａ４の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ２００ａとトランジスタ２００ｂも、導電層２４５及び導電層２４６を挟んで、対称の位置に配置される。ここで、導電層２４０は、トランジスタ２００ａのソース電極及びドレイン電極の他方としての機能と、トランジスタ２００ｂのソース電極及びドレイン電極の他方としての機能とを有する。また、トランジスタ２００ａ及びトランジスタ２００ｂは、プラグとして機能する導電層２４５及び導電層２４６を共有する。このように、２つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化または高集積化が可能な記憶装置を提供できる。

［０３４１］

なお、配線ＣＡＬとして機能する導電層１１０は、メモリセル１５０ａ及びメモリセル１５０ｂに、それぞれ設けてもよいし、メモリセル１５０ａ及びメモリセル１５０ｂに、共通に設けてもよい。ただし、図１６Ｂに示すように、導電層１１０は、導電層２４５と離隔して設け、導電層１１０と導電層２４５がショートしないようにする。

［０３４２］

図１７では、図１６Ａに示す４個のメモリセルがＺ方向にｎ層（ｎは３以上の整数）積層されている例を示す。図１７は、図１６Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。

［０３４３］

図１７に示す記憶装置は、ｎ層のメモリ層１６０を有する。具体的には、メモリ層１６０［１］上にメモリ層１６０［２］が設けられ、メモリ層１６０［２］上に、さらに、（ｎ－２）層のメモリ層が設けられており、最上段にメモリ層１６０［ｎ］が設けられている。１層のメモリ層１６０が有するメモリセルの数は特に限定されず、２以上のメモリセルを有することができる。導電層２４５、導電層２４６、導電層２４７、及び導電層２４８等によって、ｎ層のメモリ層１６０が有するメモリセルが、ｎ層のメモリ層１６０の下に設けられたセンスアンプ（図示せず）と電気的に接続される。

［０３４４］

図１７に示すように、複数のメモリセルを積層することにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、３Ｄメモリセルアレイを構成することができる。

［０３４５］

図１８に、センスアンプを含む駆動回路が設けられる層上に、メモリセルを有する層が積層して設けられた記憶装置の断面構成例を示す。

［０３４６］

図１８では、トランジスタ３００の上方にメモリセル１５０（トランジスタ２００Ａ及び容量素子

１００）が設けられている。

［０３４７］

トランジスタ３００は、センスアンプが有するトランジスタの一つである。

［０３４８］

図１８に示すメモリセル１５０については、＜記憶装置の構成例１＞におけるメモリセル１５０の記載を参照できる。

［０３４９］

図１８に示すように、メモリセル１５０と重なるように、センスアンプを設ける構成にすることで、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

［０３５０］

図１８に示す記憶装置は、実施の形態３で説明する半導体装置９００と対応させることができる。具体的には、トランジスタ３００は、半導体装置９００におけるセンスアンプ９２７が有するトランジスタに相当する。また、メモリセル１５０は、メモリセル９５０と対応する。

［０３５１］

トランジスタ３００は、基板３１１上に設けられ、ゲートとして機能する導電層３１６と、ゲート絶縁層として機能する絶縁層３１５と、基板３１１の一部からなる半導体領域３１３と、ソース領域またはドレイン領域として機能する低抵抗領域３１４ａ及び低抵抗領域３１４ｂと、を有する。トランジスタ３００は、ｐチャネル型またはｎチャネル型とすることができる。

［０３５２］

ここで、図１８に示すトランジスタ３００はチャネルが形成される半導体領域３１３（基板３１１の一部）が凸形状を有する。また、半導体領域３１３の側面及び上面を、絶縁層３１５を介して、導電層３１６が覆うように設けられている。なお、導電層３１６は仕事関数を調整する材料を用いてもよい。このようなトランジスタ３００は半導体基板の凸部を利用していることからＦＩＮ型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁層を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、ＳＯＩ基板を加工して凸形状を有する半導体膜を形成してもよい。

［０３５３］

なお、図１８に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

［０３５４］

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

［０３５５］

例えば、トランジスタ３００上には、層間膜として、絶縁層３２０、絶縁層３２２、絶縁層３２４、及び絶縁層３２６が順に積層して設けられている。また、絶縁層３２０及び絶縁層３２２には導電層３２８が埋め込まれ、絶縁層３２４及び絶縁層３２６には導電層３３０が埋め込まれている。なお、

導電層３２８及び導電層３３０はプラグ、または配線として機能する。

［０３５６］

層間膜として機能する絶縁層は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁層３２２の上面は、平坦性を高めるためにＣＭＰ法等を用いた平坦化処理により平坦化されていてもよい。

［０３５７］

絶縁層３２６及び導電層３３０上に、配線層を設けてもよい。例えば、図１８において、絶縁層３５０、絶縁層３５２、及び絶縁層３５４が順に積層して設けられている。また、絶縁層３５０、絶縁層３５２、及び絶縁層３５４には、導電層３５６が形成されている。導電層３５６は、プラグ、または配線として機能する。

［０３５８］

層間膜として機能する、絶縁層３５２、及び絶縁層３５４等は、前述の、半導体装置または記憶装置に用いることができる絶縁層を用いることができる。

［０３５９］

プラグ、または配線として機能する導電層、例えば、導電層３２８、導電層３３０、及び導電層３５６等として、導電層２４０に適用可能な導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０３６０］

トランジスタ２００Ａが有する導電層２４０は、導電層６４３、導電層６４２、導電層６４４、導電層６４５、導電層６４６、導電層３５６、導電層３３０、及び、導電層３２８を介して、トランジスタ３００のソース領域またはドレイン領域として機能する低抵抗領域３１４ｂと、電気的に接続されている。

［０３６１］

導電層６４３は、絶縁層２８０及び絶縁層２８１に埋め込まれている。導電層６４２は、絶縁層１３０上に設けられ、絶縁層６４１に埋め込まれている。導電層６４２は、導電層１２０と同一の材料、及び、同一の工程で作製することができる。導電層６４４は、絶縁層１８０及び絶縁層１３０に埋め込まれている。導電層６４５は、絶縁層６４７に埋め込まれている。導電層６４５は、導電層１１０と同一の材料、及び、同一の工程で作製することができる。導電層６４６は、絶縁層６４８に埋め込まれている。絶縁層６４８によって、トランジスタ３００と、導電層１１０と、が電気的に絶縁されている。

［０３６２］

以上のように、本実施の形態の記憶装置は、寄生容量が低減されたトランジスタを有するため、動作速度を高めることができる。また、本実施の形態の記憶装置は、容量素子とトランジスタと、を重ねて有するため、メモリセルの平面視における占有面積を小さくでき、集積度の高い記憶装置を実現できる。

［０３６３］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０３６４］

（実施の形態３）

本実施の形態では、本発明の一態様に係る半導体装置９００について説明する。半導体装置９００は記憶装置として機能できる。

［０３６５］

図１９に、半導体装置９００の構成例を示すブロック図を示す。図１９に示す半導体装置９００は、駆動回路９１０と、メモリアレイ９２０と、を有する。メモリアレイ９２０は、１以上のメモリセル９５０を有する。図１９では、メモリアレイ９２０がマトリクス状に配置された複数のメモリセル９５０を有する例を示している。

［０３６６］

メモリセル９５０には、実施の形態２で説明した記憶装置（メモリセル１５０など）を適用することができる。

［０３６７］

駆動回路９１０は、ＰＳＷ９３１（パワースイッチ）、ＰＳＷ９３２、及び周辺回路９１５を有する。周辺回路９１５は、周辺回路９１１、コントロール回路９１２（Ｃｏｎｔｒｏｌ　Ｃｉｒｃｕｉｔ）、及び電圧生成回路９２８を有する。

［０３６８］

半導体装置９００において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号ＢＷ、信号ＣＥ、信号ＧＷ、信号ＣＬＫ、信号ＷＡＫＥ、信号ＡＤＤＲ、信号ＷＤＡ、信号ＰＯＮ１、信号ＰＯＮ２は外部からの入力信号であり、信号ＲＤＡは外部への出力信号である。信号ＣＬＫはクロック信号である。

［０３６９］

信号ＢＷ、信号ＣＥ、及び信号ＧＷは制御信号である。信号ＣＥはチップイネーブル信号であり、信号ＧＷはグローバル書き込みイネーブル信号であり、信号ＢＷはバイト書き込みイネーブル信号である。信号ＡＤＤＲはアドレス信号である。信号ＷＤＡは書き込みデータであり、信号ＲＤＡは読み出しデータである。信号ＰＯＮ１、信号ＰＯＮ２は、パワーゲーティング制御用信号である。なお、信号ＰＯＮ１、信号ＰＯＮ２は、コントロール回路９１２で生成してもよい。

［０３７０］

コントロール回路９１２は、半導体装置９００の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路９１２は、信号ＣＥ、信号ＧＷ及び信号ＢＷを論理演算して、半導体装置９００の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路９１２は、この動作モードが実行されるように、周辺回路９１１の制御信号を生成する。

［０３７１］

電圧生成回路９２８は負電圧を生成する機能を有する。信号ＷＡＫＥは、信号ＣＬＫの電圧生成回路９２８への入力を制御する機能を有する。例えば、信号ＷＡＫＥとしてＨレベルの信号が与えられると、信号ＣＬＫが電圧生成回路９２８へ入力され、電圧生成回路９２８は負電圧を生成する。

［０３７２］

周辺回路９１１は、メモリセル９５０に対するデータの書き込み及び読み出しをするための回路である。周辺回路９１１は、行デコーダ９４１（Ｒｏｗ　Ｄｅｃｏｄｅｒ）、列デコーダ９４２（Ｃｏｌｕｍｎ　Ｄｅｃｏｄｅｒ）、行ドライバ９２３（Ｒｏｗ　Ｄｒｉｖｅｒ）、列ドライバ９２４（Ｃｏｌｕｍｎ　Ｄｒｉｖｅｒ）、入力回路９２５（Ｉｎｐｕｔ　Ｃｉｒ.）、出力回路９２６（Ｏｕｔｐｕ

ｔ　Ｃｉｒ.)、及びセンスアンプ９２７（Ｓｅｎｓｅ　Ａｍｐｌｉｆｉｅｒ）を有する。

［０３７３］

行デコーダ９４１及び列デコーダ９４２は、信号ＡＤＤＲをデコードする機能を有する。行デコーダ９４１は、アクセスする行を指定するための回路であり、列デコーダ９４２は、アクセスする列を指定するための回路である。行ドライバ９２３は、行デコーダ９４１が指定する行を選択する機能を有する。列ドライバ９２４は、データをメモリセル９５０に書き込む機能、メモリセル９５０からデータを読み出す機能、読み出したデータを保持する機能等を有する。

［０３７４］

入力回路９２５は、信号ＷＤＡを保持する機能を有する。入力回路９２５が保持するデータは、列ドライバ９２４に出力される。入力回路９２５の出力データが、メモリセル９５０に書き込むデータ（Ｄｉｎ）である。列ドライバ９２４がメモリセル９５０から読み出したデータ（Ｄｏｕｔ）は、出力回路９２６に出力される。出力回路９２６は、Ｄｏｕｔを保持する機能を有する。また、出力回路９２６は、Ｄｏｕｔを半導体装置９００の外部に出力する機能を有する。出力回路９２６から出力されるデータが信号ＲＤＡである。

［０３７５］

ＰＳＷ９３１は周辺回路９１５へのV_{DD}の供給を制御する機能を有する。ＰＳＷ９３２は、行ドライバ９２３へのV_{HM}の供給を制御する機能を有する。ここでは、半導体装置９００の高電源電圧がV_{DD}であり、低電源電圧はＧＮＤ（接地電位）である。また、V_{HM}は、ワード線を高レベルにするために用いられる高電源電圧であり、V_{DD}よりも高い。信号ＰＯＮ１によってＰＳＷ９３１のオン・オフが制御され、信号ＰＯＮ２によってＰＳＷ９３２のオン・オフが制御される。図１９では、周辺回路９１５において、V_{DD}が供給される電源ドメインの数を１としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

［０３７６］

図２０Ａ乃至図２０Ｈを用いて、メモリセル９５０に適用できるメモリセルの構成例について説明する。

［０３７７］

なお、以下において、２つの構成要素が接続すると記載した場合には、回路素子（トランジスタ、スイッチ、ダイオード、抵抗素子など）を介して電気的に接続されることを含む。電気的接続とは、２つの構成要素間で電流が流れる状態になりうることをいう。なお、２つの構成要素間がスイッチまたはトランジスタを介して接続される場合も、これらがオン状態のときに電流が流れる状態になりうるため、電気的接続に含まれる。

［０３７８］

［ＤＯＳＲＡＭ］

図２０Ａに、ＤＲＡＭのメモリセルの回路構成例を示す。本明細書などにおいて、ＯＳトランジスタを用いたＤＲＡＭを、ＤＯＳＲＡＭ（Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）と呼ぶ。メモリセル９５１は、トランジスタＭ１と、容量素子ＣＡと、を有する。

［０３７９］

なお、トランジスタＭ１は、フロントゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有していてもよい。このとき、バックゲートは定電位または信号が与えられる配線に接続されてい

てもよいし、フロントゲートとバックゲートとが接続されていてもよい。

［０３８０］

トランジスタＭ１の第１端子は、容量素子ＣＡの第１端子と接続され、トランジスタＭ１の第２端子は、配線ＢＩＬと接続され、トランジスタＭ１のゲートは、配線ＷＯＬと接続されている。容量素子ＣＡの第２端子は、配線ＣＡＬと接続されている。

［０３８１］

配線ＢＩＬは、ビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＣＡＬは、容量素子ＣＡの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線ＣＡＬには、低レベル電位（基準電位という場合がある。）を印加するのが好ましい。

［０３８２］

データの書き込み及び読み出しは、配線ＷＯＬに高レベル電位を印加し、トランジスタＭ１をオン状態にし、配線ＢＩＬと容量素子ＣＡの第１端子を導通状態（電流を流すことが可能な状態）にすることで行われる。

［０３８３］

メモリセル９５０に用いることができるメモリセルは、メモリセル９５１に限定されず、回路構成の変更を行うことができる。例えば、図２０Ｂに示すメモリセル９５２を用いてもよい。メモリセル９５２は、容量素子ＣＡ、及び配線ＣＡＬを有さない場合の例である。トランジスタＭ１の第１端子は、電気的にフローティングの状態である。

［０３８４］

メモリセル９５２において、トランジスタＭ１を介して書き込まれた電位は、破線で示す第１端子とゲートとの間の容量（寄生容量ともいう）に保持される。このような構成とすることで、メモリセルの構成を大幅に簡略化することができる。

［０３８５］

なお、トランジスタＭ１としてＯＳトランジスタを用いることが好ましい。ＯＳトランジスタは、オフ電流が極めて小さいという特性を有している。トランジスタＭ１としてＯＳトランジスタを用いることによって、トランジスタＭ１のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタＭ１によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル９５１、及びメモリセル９５２に対して多値データ、またはアナログデータを保持することができる。

［０３８６］

［ＮＯＳＲＡＭ］

図２０Ｃに、２トランジスタ１容量素子のゲインセル型のメモリセルの回路構成例を示す。メモリセル９５３は、トランジスタＭ２と、トランジスタＭ３と、容量素子ＣＢと、を有する。本明細書などにおいて、トランジスタＭ２にＯＳトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、ＮＯＳＲＡＭ（Ｎｏｎｖｏｌａｔｉｌｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ＲＡＭ）と呼ぶ。

［０３８７］

トランジスタＭ２の第１端子は、容量素子ＣＢの第１端子と接続され、トランジスタＭ２の第２端

子は、配線ＷＢＬと接続され、トランジスタＭ２のゲートは、配線ＷＯＬと接続されている。容量素子ＣＢの第２端子は、配線ＣＡＬと接続されている。トランジスタＭ３の第１端子は、配線ＲＢＬと接続され、トランジスタＭ３の第２端子は、配線ＳＬと接続され、トランジスタＭ３のゲートは、容量素子ＣＢの第１端子と接続されている。

［０３８８］

配線ＷＢＬは、書き込みビット線として機能し、配線ＲＢＬは、読み出しビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＣＡＬは、容量素子ＣＢの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線ＣＡＬには、低レベル電位（基準電位という場合がある）を印加するのが好ましい。

［０３８９］

データの書き込みは、配線ＷＯＬに高レベル電位を印加し、トランジスタＭ２をオン状態にし、配線ＷＢＬと容量素子ＣＢの第１端子を導通状態にすることで行われる。具体的には、トランジスタＭ２がオン状態のときに、配線ＷＢＬに記録する情報に対応する電位を印加し、容量素子ＣＢの第１端子、及びトランジスタＭ３のゲートに該電位を書き込む。その後、配線ＷＯＬに低レベル電位を印加し、トランジスタＭ２をオフ状態にすることによって、容量素子ＣＢの第１端子の電位、及びトランジスタＭ３のゲートの電位を保持する。

［０３９０］

データの読み出しは、配線ＳＬに所定の電位を印加することによって行われる。トランジスタＭ３のソースードレイン間に流れる電流、及びトランジスタＭ３の第１端子の電位は、トランジスタＭ３のゲートの電位、及びトランジスタＭ３の第２端子の電位によって決まるため、トランジスタＭ３の第１端子に接続されている配線ＲＢＬの電位を読み出すことによって、容量素子ＣＢの第１端子（またはトランジスタＭ３のゲート）に保持されている電位を読み出すことができる。つまり、容量素子ＣＢの第１端子（またはトランジスタＭ３のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

［０３９１］

例えば、配線ＷＢＬと配線ＲＢＬを一本の配線ＢＩＬとしてまとめた構成であってもよい。そのメモリセルの回路構成例を図２０Ｄに示す。メモリセル９５４は、メモリセル９５３の配線ＷＢＬと配線ＲＢＬを一本の配線ＢＩＬとして、トランジスタＭ２の第２端子、及びトランジスタＭ３の第１端子が、配線ＢＩＬと接続されている構成となっている。つまり、メモリセル９５４は、書き込みビット線と、読み出しビット線と、を１本の配線ＢＩＬとして動作する構成となっている。

［０３９２］

図２０Ｅに示すメモリセル９５５は、メモリセル９５３における容量素子ＣＢ及び配線ＣＡＬを省略した場合の例である。また、図２０Ｆに示すメモリセル９５６は、メモリセル９５４における容量素子ＣＢ及び配線ＣＡＬを省略した場合の例である。このような構成とすることで、メモリセルの集積度を高めることができる。

［０３９３］

なお、少なくともトランジスタＭ２にはＯＳトランジスタを用いることが好ましい。特に、トランジスタＭ２、及びトランジスタＭ３にＯＳトランジスタを用いることが好ましい。

［０３９４］

ＯＳトランジスタは、オフ電流が極めて小さいという特性を有しているため、書き込んだデータを

トランジスタＭ２によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル９５３、メモリセル９５４、メモリセル９５５、メモリセル９５６に対して多値データ、またはアナログデータを保持することができる。

［０３９５］

トランジスタＭ２としてＯＳトランジスタを適用したメモリセル９５３、メモリセル９５４、メモリセル９５５、及びメモリセル９５６は、ＮＯＳＲＡＭの一態様である。

［０３９６］

なお、トランジスタＭ３としてＳｉトランジスタを用いてもよい。Ｓｉトランジスタは電界効果移動度を高めることができるほか、ｐチャネル型トランジスタとすることもできるため、回路設計の自由度を高めることができる。

［０３９７］

トランジスタＭ３としてＯＳトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

［０３９８］

図２０Ｇに、３トランジスタ１容量素子のゲインセル型のメモリセル９５７を示す。メモリセル９５７は、トランジスタＭ４乃至トランジスタＭ６と、容量素子ＣＣと、を有する。

［０３９９］

トランジスタＭ４の第１端子は、容量素子ＣＣの第１端子と接続され、トランジスタＭ４の第２端子は、配線ＢＩＬと接続され、トランジスタＭ４のゲートは、配線ＷＯＬと接続されている。容量素子ＣＣの第２端子は、トランジスタＭ５の第１端子と、配線ＧＮＤＬと、に接続されている。トランジスタＭ５の第２端子は、トランジスタＭ６の第１端子と接続され、トランジスタＭ５のゲートは、容量素子ＣＣの第１端子と接続されている。トランジスタＭ６の第２端子は、配線ＢＩＬと接続され、トランジスタＭ６のゲートは配線ＲＷＬと接続されている。

［０４００］

配線ＢＩＬは、ビット線として機能し、配線ＷＯＬは、書き込みワード線として機能し、配線ＲＷＬは、読み出しワード線として機能する。配線ＧＮＤＬは、低レベル電位を与える配線である。

［０４０１］

データの書き込みは、配線ＷＯＬに高レベル電位を印加し、トランジスタＭ４をオン状態にし、配線ＢＩＬと容量素子ＣＣの第１端子を導通状態にすることで行われる。具体的には、トランジスタＭ４がオン状態のときに、配線ＢＩＬに記録する情報に対応する電位を印加し、容量素子ＣＣの第１端子、及びトランジスタＭ５のゲートに該電位を書き込む。その後、配線ＷＯＬに低レベル電位を印加し、トランジスタＭ４をオフ状態にすることによって、容量素子ＣＣの第１端子の電位、及びトランジスタＭ５のゲートの電位を保持する。

［０４０２］

データの読み出しは、配線ＢＩＬに所定の電位をプリチャージして、その後、配線ＢＩＬを電気的に浮遊状態にし、かつ配線ＲＷＬに高レベル電位を印加することによって行われる。配線ＲＷＬが高レベル電位となるため、トランジスタＭ６はオン状態となり、配線ＢＩＬとトランジスタＭ５の第２端子が導通状態となる。このとき、トランジスタＭ５の第２端子には、配線ＢＩＬの電位が印加されることになるが、容量素子ＣＣの第１端子（またはトランジスタＭ５のゲート）に保持されている電

位に応じて、トランジスタＭ５の第２端子の電位、及び配線ＢＩＬの電位が変化する。ここで、配線ＢＩＬの電位を読み出すことによって、容量素子ＣＣの第１端子（またはトランジスタＭ５のゲート）に保持されている電位を読み出すことができる。つまり、容量素子ＣＣの第１端子（またはトランジスタＭ５のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

［０４０３］

なお、少なくともトランジスタＭ４にＯＳトランジスタを用いることが好ましい。

［０４０４］

なお、トランジスタＭ５及びＭ６としてＳｉトランジスタを用いてもよい。前述した通り、Ｓｉトランジスタは、半導体層に用いるシリコンの結晶状態などによっては、ＯＳトランジスタよりも電界効果移動度が高くなる場合がある。

［０４０５］

トランジスタＭ５及びＭ６としてＯＳトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

［０４０６］

［ＯＳ－ＳＲＡＭ］

図２０Ｈに、ＯＳトランジスタを用いたＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）の一例を示す。本明細書などにおいて、ＯＳトランジスタを用いたＳＲＡＭを、ＯＳ－ＳＲＡＭ（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ－ＳＲＡＭ）と呼ぶ。なお、図２０Ｈに示すメモリセル９５８は、バックアップ可能なＳＲＡＭのメモリセルである。

［０４０７］

メモリセル９５８は、トランジスタＭ７乃至トランジスタＭ１０と、トランジスタＭＳ１乃至トランジスタＭＳ４と、容量素子ＣＤ１と、容量素子ＣＤ２と、を有する。なお、トランジスタＭＳ１、及びトランジスタＭＳ２は、ｐチャネル型トランジスタであり、トランジスタＭＳ３、及びトランジスタＭＳ４は、ｎチャネル型トランジスタである。

［０４０８］

トランジスタＭ７の第１端子は、配線ＢＩＬと接続され、トランジスタＭ７の第２端子は、トランジスタＭＳ１の第１端子と、トランジスタＭＳ３の第１端子と、トランジスタＭＳ２のゲートと、トランジスタＭＳ４のゲートと、トランジスタＭ１０の第１端子と、に接続されている。トランジスタＭ７のゲートは、配線ＷＯＬと接続されている。トランジスタＭ８の第１端子は、配線ＢＩＬＢと接続され、トランジスタＭ８の第２端子は、トランジスタＭＳ２の第１端子と、トランジスタＭＳ４の第１端子と、トランジスタＭＳ１のゲートと、トランジスタＭＳ３のゲートと、トランジスタＭ９の第１端子と、に接続されている。トランジスタＭ８のゲートは、配線ＷＯＬと接続されている。

［０４０９］

トランジスタＭＳ１の第２端子は、配線ＶＤＬと接続されている。トランジスタＭＳ２の第２端子は、配線ＶＤＬと接続されている。トランジスタＭＳ３の第２端子は、配線ＧＮＤＬと接続されている。トランジスタＭＳ４の第２端子は、配線ＧＮＤＬと接続されている。

［０４１０］

トランジスタＭ９の第２端子は、容量素子ＣＤ１の第１端子と接続され、トランジスタＭ９のゲートは、配線ＢＲＬと接続されている。トランジスタＭ１０の第２端子は、容量素子ＣＤ２の第１端子

と接続され、トランジスタＭ１０のゲートは、配線ＢＲＬと接続されている。

［０４１１］

容量素子ＣＤ１の第２端子は、配線ＧＮＤＬと接続され、容量素子ＣＤ２の第２端子は、配線ＧＮＤＬと接続されている。

［０４１２］

配線ＢＩＬ及び配線ＢＩＬＢは、ビット線として機能し、配線ＷＯＬは、ワード線として機能し、配線ＢＲＬは、トランジスタＭ９、及びトランジスタＭ１０のオン状態、オフ状態を制御する配線である。

［０４１３］

配線ＶＤＬは、高レベル電位を与える配線であり、配線ＧＮＤＬは、低レベル電位を与える配線である。

［０４１４］

データの書き込みは、配線ＷＯＬに高レベル電位を印加し、かつ配線ＢＲＬに高レベル電位を印加することによって行われる。具体的には、トランジスタＭ１０がオン状態のときに、配線ＢＩＬに記録する情報に対応する電位を印加し、トランジスタＭ１０の第２端子側に該電位を書き込む。

［０４１５］

ところで、メモリセル９５８は、トランジスタＭＳ１乃至トランジスタＭＳ２によってインバータループを構成しているため、トランジスタＭ８の第２端子側に、該電位に対応するデータ信号の反転信号が入力される。トランジスタＭ８がオン状態であるため、配線ＢＩＬＢには、配線ＢＩＬに印加されている電位、すなわち配線ＢＩＬに入力されている信号の反転信号が出力される。また、トランジスタＭ９、及びトランジスタＭ１０がオン状態であるため、トランジスタＭ７の第２端子の電位、及びトランジスタＭ８の第２端子の電位は、それぞれ容量素子ＣＤ２の第１端子、及び容量素子ＣＤ１の第１端子に保持される。その後、配線ＷＯＬに低レベル電位を印加し、かつ配線ＢＲＬに低レベル電位を印加し、トランジスタＭ７乃至トランジスタＭ１０をオフ状態にすることによって、容量素子ＣＤ１の第１端子、及び容量素子ＣＤ２の第１端子の電位を保持する。

［０４１６］

データの読み出しは、あらかじめ配線ＢＩＬ及び配線ＢＩＬＢを所定の電位にプリチャージした後に、配線ＷＯＬに高レベル電位を印加し、配線ＢＲＬに高レベル電位を印加することによって、容量素子ＣＤ１の第１端子の電位が、メモリセル９５８のインバータループによってリフレッシュされ、配線ＢＩＬＢに出力される。また、容量素子ＣＤ２の第１端子の電位が、メモリセル９５８のインバータループによってリフレッシュされ、配線ＢＩＬに出力される。配線ＢＩＬ及び配線ＢＩＬＢでは、それぞれプリチャージされた電位から容量素子ＣＤ２の第１端子の電位、及び容量素子ＣＤ１の第１端子の電位に変動するため、配線ＢＩＬまたは配線ＢＩＬＢの電位から、メモリセルに保持された電位を読み出すことができる。

［０４１７］

なお、トランジスタＭ７乃至トランジスタＭ１０としてＯＳトランジスタを適用することが好ましい。これにより書き込んだデータをトランジスタＭ７乃至トランジスタＭ１０によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。

［０４１８］

なお、トランジスタＭＳ１乃至トランジスタＭＳ４としてＳｉトランジスタを用いてもよい。

［０４１９］

半導体装置９００が有する駆動回路９１０とメモリアレイ９２０は同一平面上に設けてもよい。また、図２１Ａに示すように、駆動回路９１０とメモリアレイ９２０を重ねて設けてもよい。駆動回路９１０とメモリアレイ９２０を重ねて設けることで、信号伝搬距離を短くすることができる。また、図２１Ｂに示すように、駆動回路９１０上にメモリアレイ９２０を複数層重ねて設けてもよい。

［０４２０］

続いて、上記記憶装置などの半導体装置を備えることができる演算処理装置の一例について説明する。

［０４２１］

図２２に、演算装置９６０のブロック図を示す。図２２に示す演算装置９６０は、例えばＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）に適用することができる。また、演算装置９６０は、ＣＰＵよりも並列処理可能なプロセッサコアを多数（数１０～数１００個）有するＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＴＰＵ（Ｔｅｎｓｏｒ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＮＰＵ（Ｎｅｕｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などのプロセッサにも適用することができる。

［０４２２］

図２２に示す演算装置９６０は、基板９９０上に、ＡＬＵ９９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ９９２、インストラクションデコーダ９９３、インタラプトコントローラ９９４、タイミングコントローラ９９５、レジスタ９９６、レジスタコントローラ９９７、バスインターフェース９９８、キャッシュ９９９、及びキャッシュインターフェース９８９を有している。基板９９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。書き換え可能なＲＯＭ及びＲＯＭインターフェースを有してもよい。また、キャッシュ９９９及びキャッシュインターフェース９８９は、別チップに設けてもよい。

［０４２３］

キャッシュ９９９は、別チップに設けられたメインメモリとキャッシュインターフェース９８９を介して接続される。キャッシュインターフェース９８９は、メインメモリに保持されているデータの一部をキャッシュ９９９に供給する機能を有する。またキャッシュインターフェース９８９は、キャッシュ９９９に保持されているデータの一部を、バスインターフェース９９８を介してＡＬＵ９９１またはレジスタ９９６等に出力する機能を有する。

［０４２４］

後述するように、演算装置９６０上に積層して、メモリアレイ９２０を設けることができる。メモリアレイ９２０はキャッシュとして用いることができる。このとき、キャッシュインターフェース９８９はメモリアレイ９２０に保持されているデータをキャッシュ９９９に供給する機能を有していてよい。またこのとき、キャッシュインターフェース９８９の一部に、駆動回路９１０を有することが好ましい。

［０４２５］

なお、キャッシュ９９９を設けず、メモリアレイ９２０のみをキャッシュとして用いることもできる。

［０４２６］

図２２に示す演算装置９６０は、その構成を簡略化して示した一例にすぎず、実際の演算装置９６０はその用途によって多種多様な構成を有している。例えば、図２２に示す演算装置９６０を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの構成とすることが好ましい。コアの数が多いほど、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば２個、好ましくは４個、より好ましくは８個、さらに好ましくは１２個、さらに好ましくは１６個またはそれ以上とすることが好ましい。また、サーバ用途など非常に高い演算性能が求められる場合には、１６個以上、好ましくは３２個以上、さらに好ましくは６４個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置９６０が内部演算回路、データバスなどで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

［０４２７］

バスインターフェース９９８を介して演算装置９６０に入力された命令は、インストラクションデコーダ９９３に入力され、デコードされた後、ＡＬＵコントローラ９９２、インタラプトコントローラ９９４、レジスタコントローラ９９７、タイミングコントローラ９９５に入力される。

［０４２８］

ＡＬＵコントローラ９９２、インタラプトコントローラ９９４、レジスタコントローラ９９７、タイミングコントローラ９９５は、デコードされた命令に基づき、各種制御を行う。具体的にＡＬＵコントローラ９９２は、ＡＬＵ９９１の動作を制御するための信号を生成する。また、インタラプトコントローラ９９４は、演算装置９６０のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ９９７は、レジスタ９９６のアドレスを生成し、演算装置９６０の状態に応じてレジスタ９９６の読み出し及び書き込みを行う。

［０４２９］

タイミングコントローラ９９５は、ＡＬＵ９９１、ＡＬＵコントローラ９９２、インストラクションデコーダ９９３、インタラプトコントローラ９９４、及びレジスタコントローラ９９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ９９５は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

［０４３０］

図２２に示す演算装置９６０において、レジスタコントローラ９９７は、ＡＬＵ９９１からの指示に従い、レジスタ９９６における保持動作の選択を行う。すなわち、レジスタ９９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ９９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ９９６内のメモリセルへの電源電圧の供給を停止することができる。

［０４３１］

メモリアレイ９２０と演算装置９６０は、重ねて設けることができる。図２３Ａ及び図２３Ｂに半導体装置９７０Ａの斜視図を示す。半導体装置９７０Ａは、演算装置９６０上に、メモリアレイが設けられた層９３０を有する。層９３０には、メモリアレイ９２０Ｌ１、メモリアレイ９２０Ｌ２、及

びメモリアレイ９２０Ｌ３が設けられている。演算装置９６０と各メモリアレイは、互いに重なる領域を有する。半導体装置９７０Ａの構成を分かりやすくするため、図２３Ｂでは演算装置９６０及び層９３０を分離して示している。

［０４３２］

メモリアレイを有する層９３０と演算装置９６０を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減できる。

［０４３３］

メモリアレイを有する層９３０と演算装置９６０とを積層する方法として、演算装置９６０上に直接メモリアレイを有する層９３０を積層する方法（モノリシック積層ともいう）を用いてもよいし、演算装置９６０と層９３０とをそれぞれ異なる基板上に形成し、２つの基板を貼り合せ、貫通ビアまたは導電膜の接合技術（Ｃｕ－Ｃｕ接合など）を用いて電気的に接続する方法を用いてもよい。前者は貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、作製コストを削減できる。

［０４３４］

ここで、演算装置９６０にキャッシュ９９９を有さず、層９３０に設けられるメモリアレイ９２０Ｌ１、９２０Ｌ２、及び９２０Ｌ３は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ９２０Ｌ１をＬ１キャッシュ（レベル１キャッシュともいう）として用い、メモリアレイ９２０Ｌ２をＬ２キャッシュ（レベル２キャッシュともいう）として用い、メモリアレイ９２０Ｌ３をＬ３キャッシュ（レベル３キャッシュともいう）として用いることができる。３つのメモリアレイのうち、メモリアレイ９２０Ｌ３が最も容量が大きく、かつ、最もアクセス頻度が低い。また、メモリアレイ９２０Ｌ１が最も容量が小さく、かつ最もアクセス頻度が高い。

［０４３５］

なお、演算装置９６０に設けられるキャッシュ９９９をＬ１キャッシュとして用いる場合は、層９３０に設けられる各メモリアレイを、それぞれ下位のキャッシュ、またはメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

［０４３６］

図２３Ｂに示すように、駆動回路９１０Ｌ１、駆動回路９１０Ｌ２、及び駆動回路９１０Ｌ３が設けられている。駆動回路９１０Ｌ１は接続電極９４０Ｌ１を介してメモリアレイ９２０Ｌ１と接続されている。同様に駆動回路９１０Ｌ２は接続電極９４０Ｌ２を介してメモリアレイ９２０Ｌ２と、駆動回路９１０Ｌ３は接続電極９４０Ｌ３を介してメモリアレイ９２０Ｌ３と接続されている。

［０４３７］

なお、ここではキャッシュとして機能するメモリアレイを３つとした場合を示したが、１つ、２つ、または４つ以上とすることができる。

［０４３８］

メモリアレイ９２０Ｌ１をキャッシュとして用いる場合、駆動回路９１０Ｌ１はキャッシュインターフェース９８９の一部として機能してもよいし、駆動回路９１０Ｌ１がキャッシュインターフェース９８９と接続される構成としてもよい。同様に、駆動回路９１０Ｌ２、駆動回路９１０Ｌ３も、キャッシュインターフェース９８９の一部として機能する、またはこれと接続される構成としてもよい。

［０４３９］

メモリアレイ９２０をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路９１０が有するコントロール回路９１２によって決定される。コントロール回路９１２は、演算装置９６０から供給された信号に基づいて、半導体装置９００が有する複数のメモリセル９５０の一部をＲＡＭとして機能させることができる。

［０４４０］

半導体装置９００は、複数のメモリセル９５０の一部をキャッシュとして機能させ、他の一部をメインメモリとして機能させることができる。すなわち半導体装置９００はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る半導体装置９００は、例えば、ユニバーサルメモリとして機能できる。

［０４４１］

一つのメモリアレイ９２０を有する層９３０を演算装置９６０に重ねて設けてもよい。図２４Ａに半導体装置９７０Ｂの斜視図を示す。

［０４４２］

半導体装置９７０Ｂでは、一つのメモリアレイ９２０を複数のエリアに分けて、それぞれ異なる機能で使用することができる。図２４Ａでは、領域Ｌ１をＬ１キャッシュとして、領域Ｌ２をＬ２キャッシュとして、領域Ｌ３をＬ３キャッシュとして用いる場合の例を示している。

［０４４３］

半導体装置９７０Ｂでは、領域Ｌ１乃至領域Ｌ３のそれぞれの容量を状況に応じて変えることができる。例えばＬ１キャッシュの容量を増やしたい場合には、領域Ｌ１の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

［０４４４］

複数のメモリアレイを積層してもよい。図２４Ｂに半導体装置９７０Ｃの斜視図を示している。

［０４４５］

半導体装置９７０Ｃは、メモリアレイ９２０Ｌ１を有する層９３０Ｌ１と、その上にメモリアレイ９２０Ｌ２を有する層９３０Ｌ２と、その上にメモリアレイ９２０Ｌ３を有する層９３０Ｌ３とが積層されている。最も演算装置９６０に物理的に近いメモリアレイ９２０Ｌ１を上位のキャッシュに用い、最も遠いメモリアレイ９２０Ｌ３を下位のキャッシュまたはメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理能力を向上させることができる。

［０４４６］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０４４７］

（実施の形態４）

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

［０４４８］

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図２５Ａに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図２５Ａでは、最上層から順に、ＣＰＵなどの演算処理装置にレジスタ（ｒｅｇｉｓｔｅｒ）として混

載されるメモリ、Ｌ１キャッシュ（Ｌ１　ｃａｃｈｅ）、Ｌ２キャッシュ（Ｌ２　ｃａｃｈｅ）、Ｌ３キャッシュ（Ｌ３　ｃａｃｈｅ）、メインメモリ（ｍａｉｎ　ｍｅｍｏｒｙ）、ストレージ（ｓｔｏｒａｇｅ）等がある。なお、ここではＬ３キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

［０４４９］

ＣＰＵなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

［０４５０］

キャッシュは、メインメモリ（ｍａｉｎ　ｍｅｍｏｒｙ）に保持されているデータの一部を複製して保持する機能を有する。使用頻繁が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

［０４５１］

メインメモリは、ストレージ（ｓｔｏｒａｇｅ）から読み出されたプログラム、データなどを保持する機能を有する。

［０４５２］

ストレージは、長期保存が必要なデータ、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば３Ｄ　ＮＡＮＤなどの高容量かつ不揮発性の記憶装置を用いることができる。

［０４５３］

本発明の一態様に係る酸化物半導体を用いた記憶装置（ＯＳメモリ（ＯＳ　ｍｅｍｏｒｙ））は、動作速度が速く、長期間のデータ保持が可能である。そのため図２５Ａに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

［０４５４］

図２５Ｂでは、キャッシュの一部にＳＲＡＭを、他の一部に本発明の一態様のＯＳメモリを適用した場合の例を示す。

［０４５５］

キャッシュのうち、最も下位に位置するものを、ＬＬＣ（Ｌａｓｔ　Ｌｅｖｅｌ　ｃａｃｈｅ）と呼ぶことができる。ＬＬＣはこれよりも上位のキャッシュよりも速い動作速度は求められないものの、大きな記憶容量を有することが望ましい。本発明の一態様のＯＳメモリは動作速度が速く、長期間のデータ保持が可能であるため、ＬＬＣに好適に用いることができる。なお、本発明の一態様のＯＳメモリは、ＦＬＣ（Ｆｉｎａｌ　Ｌｅｖｅｌ　ｃａｃｈｅ）にも適用することができる。

［０４５６］

例えば、図２５Ｂに示すように、上位のキャッシュ（Ｌ１キャッシュ、Ｌ２キャッシュ等）にＳＲＡＭを用い、ＬＬＣに本発明の一態様のＯＳメモリを用いる構成とすることができる。また、図２５Ｂに示すように、メインメモリにはＯＳメモリだけでなくＤＲＡＭを適用することもできる。

［０４５７］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０４５８］

（実施の形態５）

本実施の形態では、本発明の一態様の表示装置について説明する。

［０４５９］

本発明の一態様の半導体装置は、表示装置、または、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとして、当該表示装置にフレキシブルプリント回路基板（Ｆｌｅｘｉｂｌｅ　ｐｒｉｎｔｅｄ　ｃｉｒｃｕｉｔ、以下、ＦＰＣと記す）もしくはＴＣＰ（Ｔａｐｅ　Ｃａｒｒｉｅｒ　Ｐａｃｋａｇｅ）等のコネクタが取り付けられたモジュール、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式もしくはＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）方式等により集積回路（ＩＣ）が実装されたモジュール等が挙げられる。

［０４６０］

本実施の形態の表示装置はタッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接または接触を検知できる様々な検知素子（センサ素子ともいえる）を適用することができる。

［０４６１］

センサの方式として、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

［０４６２］

静電容量方式として、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式として、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

［０４６３］

タッチパネルとして、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子を支持する基板と対向基板のうち一方または双方に、検知素子を構成する電極が設けられた構成をいう。

［０４６４］

［表示モジュール］

図２６Ａに、表示モジュール１７０の斜視図を示す。表示モジュール１７０は、表示装置６００Ａと、ＦＰＣ２９８と、を有する。なお、表示モジュール１７０が有する表示装置は表示装置６００Ａに限られず、後述する表示装置６００Ｂであってもよい。

［０４６５］

表示モジュール１７０は、基板２９１及び基板２９９を有する。表示モジュール１７０は、表示部２９７を有する。表示部２９７は、表示モジュール１７０における画像を表示する領域であり、後述する画素部２９４に設けられる各画素からの光を視認できる領域である。

［０４６６］

図２６Ｂに、基板２９１側の構成を模式的に示した斜視図を示している。基板２９１上には、回路部２９２と、回路部２９２上の画素回路部２９３と、画素回路部２９３上の画素部２９４と、が積層されている。また、基板２９１上の画素部２９４と重ならない部分に、ＦＰＣ２９８と接続するため

の端子部２９５が設けられている。端子部２９５と回路部２９２とは、複数の配線により構成される配線部２９６により電気的に接続されている。

［０４６７］

本発明の一態様の半導体装置は、回路部２９２及び画素回路部２９３の一方または双方に適用することができる。

［０４６８］

画素部２９４は、周期的に配列した複数の画素２９４ａを有する。図２６Ｂの右側に、１つの画素２９４ａの拡大図を示している。図２６Ｂでは、１つの画素２９４ａが、赤色の光を呈する副画素１３０Ｒ、緑色の光を呈する副画素１３０Ｇ、及び、青色の光を呈する副画素１３０Ｂを有する例を示す。

［０４６９］

副画素は、表示素子を有する。表示素子として、様々な素子を用いることができ、例えば、液晶素子及び発光素子が挙げられる。その他、シャッター方式または光干渉方式のＭＥＭＳ（Ｍｉｃｒｏ　Ｅｌｅｃｔｒｏ　Ｍｅｃｈａｎｉｃａｌ　Ｓｙｓｔｅｍｓ）素子、マイクロカプセル方式、電気泳動方式、エレクトロウェッティング方式、または電子粉流体（登録商標）方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたＱＬＥＤ（Ｑｕａｎｔｕｍ－ｄｏｔ　ＬＥＤ）を用いてもよい。

［０４７０］

発光素子としては、例えば、ＬＥＤ（Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）、ＯＬＥＤ（Ｏｒｇａｎｉｃ　ＬＥＤ）、半導体レーザなどの、自発光型の発光素子が挙げられる。ＬＥＤとして、例えば、ミニＬＥＤ、マイクロＬＥＤなどを用いることができる。

［０４７１］

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列として、例えば、ストライプ配列、Ｓストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。図２６Ｂでは、画素の配列にストライプ配列が適用された場合を例に示す。

［０４７２］

画素回路部２９３は、周期的に配列した複数の画素回路２９３ａを有する。

［０４７３］

１つの画素回路２９３ａは、１つの画素２９４ａが有する複数の素子の駆動を制御する回路である。１つの画素回路２９３ａは、１つの発光素子の発光を制御する回路が３つ設けられる構成とすることができる。例えば、画素回路２９３ａは、１つの発光素子につき、１つの選択トランジスタと、１つの電流制御用トランジスタ（駆動トランジスタ）と、容量と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソースにはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示装置が実現されている。

［０４７４］

回路部２９２は、画素回路部２９３の各画素回路２９３ａを駆動する回路を有する。例えば、ゲート線駆動回路、及び、ソース線駆動回路の一方または双方を有することが好ましい。このほか、演算回路、メモリ回路、及び電源回路等の少なくとも一つを有していてもよい。

［０４７５］

ＦＰＣ２９８は、外部から回路部２９２にビデオ信号または電源電位等を供給するための配線として機能する。また、ＦＰＣ２９８上にＩＣが実装されていてもよい。

［０４７６］

表示モジュール１７０は、画素部２９４の下側に画素回路部２９３及び回路部２９２の一方または双方が重ねて設けられた構成とすることができるため、表示部２９７の開口率（有効表示面積比）を極めて高くすることができる。また、画素２９４ａを極めて高密度に配置することが可能で、表示部２９７の精細度を極めて高くすることができる。

［０４７７］

このような表示モジュール１７０は、極めて高精細であることから、ＨＭＤなどのＶＲ向け機器またはメガネ型のＡＲ向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール１７０の表示部を視認する構成の場合であっても、表示モジュール１７０は極めて高精細な表示部２９７を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール１７０はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば腕時計などの装着型の電子機器の表示部に好適に用いることができる。

［０４７８］

［表示装置の構成例１］

図２７に、表示装置６００Ａの断面図を示す。表示装置６００Ａは、ＭＭＬ（メタルマスクレス）構造が適用された表示装置の一例である。つまり、表示装置６００Ａは、ファインメタルマスクを用いずに作製された発光素子を有する。

［０４７９］

ＭＭＬ構造が適用された表示装置が有する発光素子における島状の発光層は、発光層を一面に成膜した後、フォトリソグラフィ法を用いて加工することで形成される。したがって、これまで実現が困難であった高精細の表示装置または高開口率の表示装置を実現することができる。さらに、発光層を各色で作り分けることができるため、極めて鮮やかでコントラストが高く、表示品位の高い表示装置を実現できる。例えば、表示装置が、青色の光を発する発光素子、緑色の光を発する発光素子、及び赤色の光を発する発光素子の３種類で構成される場合、発光層の成膜、及び、フォトリソグラフィによる加工を３回繰り返すことで、３種類の島状の発光層を形成することができる。

［０４８０］

ＭＭＬ構造のデバイスは、メタルマスクを用いることなく製造することができるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、メタルマスクを用いずにデバイスを作製する場合、メタルマスクの製造に係る設備、及び、メタルマスクの洗浄工程を不要にすることができる。また、フォトリソグラフィによる加工には、トランジスタを作製する際に用いる装置と共通または同様の装置を用いることができるため、ＭＭＬ構造のデバイスを作製するために特別な装置を導入する必要はない。このように、ＭＭＬ構造は、製造コストを低く抑えることが可能となるため、デバイスの大量生産に適している。

［０４８１］

ＭＭＬ構造が適用された表示装置では、例えば、ペンタイル配列などの特殊な画素配列を適用し疑似的に精細度を高める必要がないため、Ｒ、Ｇ、Ｂの副画素をそれぞれ一方向に配列させた、いわゆるストライプ配列で、かつ、高精細（例えば５００ｐｐｉ以上、１０００ｐｐｉ以上、２０００ｐｐ

ｉ以上、３０００ｐｐｉ以上、または５０００ｐｐｉ以上）の表示装置を実現することができる。

［０４８２］

発光層上に犠牲層を設けることで、表示装置の作製工程中に発光層が受けるダメージを低減し、発光素子の信頼性を高めることができる。なお、犠牲層は、完成した表示装置に残存していてもよく、作製工程中に除去されていてもよい。例えば、図２７及び図２８に示す犠牲層６１８ａは、発光層上に設けられていた犠牲層の一部である。

［０４８３］

エリアマスクを用いた成膜工程と、レジストマスクを用いた加工工程と、を採用することで、比較的簡単なプロセスにて発光素子を作製することができる。

［０４８４］

図２７に示す表示装置６００Ａは、本発明の一態様の表示装置（半導体装置）の断面概略図である。表示装置６００Ａは、基板４１０上に画素回路、駆動回路などが設けられた構成となっている。なお、図２７の表示装置６００Ａでは、素子層６２０、素子層６３０、及び素子層６６０に加えて、配線層６７０についても図示している。配線層６７０は、配線が設けられる層である。

［０４８５］

素子層６３０には、表示装置の画素回路が設けられることが好ましい。素子層６２０には、表示装置の駆動回路（ゲートドライバ及びソースドライバのうち一方または双方）が設けられることが好ましい。また、素子層６２０には、演算回路、記憶回路などの各種回路が１種以上設けられていてもよい。

［０４８６］

素子層６２０は、一例として、基板４１０を有し、基板４１０上には、トランジスタ４００ｄが形成されている。また、トランジスタ４００ｄの上方には、配線層６７０が設けられており、配線層６７０には、トランジスタ４００ｄを、素子層６３０に設けられた導電層またはトランジスタなど（図２７では導電層５１４）と電気的に接続する配線が設けられている。また、配線層６７０の上方には、素子層６３０、及び素子層６６０が設けられており、素子層６３０は、一例として、トランジスタＭＴＣＫなどを有する。素子層６６０は、発光素子６５０（図２７では、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂ）などを有する。

［０４８７］

トランジスタ４００ｄは、素子層６２０に含まれているトランジスタの一例である。また、トランジスタＭＴＣＫは、素子層６３０に含まれるトランジスタの一例である。また、発光素子（発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂ）は、素子層６６０に含まれる発光素子の一例である。

［０４８８］

基板４１０には、例えば、半導体基板（例えば、シリコンまたはゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板４１０には、半導体基板以外として、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムを用いることができる。なお、本実施の形態では、基板４１０は、シリコンを材料として有する半導体基板として説明する。そのため、素子層６２０に含まれるト

ランジスタは、Ｓｉトランジスタとすることができる。

［０４８９］

トランジスタ４００ｄは、素子分離層４１２と、導電層４１６と、絶縁層４１５と、絶縁層４１７と、基板４１０の一部からなる半導体領域４１３と、ソース領域またはドレイン領域として機能する低抵抗領域４１４ａ及び低抵抗領域４１４ｂと、を有する。このため、トランジスタ４００ｄは、Ｓｉトランジスタとなっている。なお、図２７では、トランジスタ４００ｄのソース及びドレインの一方が、導電層４２８、導電層４３０、及び、導電層４５６を介して、素子層６３０に設けられた導電層５１４と電気的に接続されている構成を示しているが、本発明の一態様の表示装置の電気的な接続構成は、これに限定されない。

［０４９０］

トランジスタ４００ｄは、例えば、半導体領域４１３の上面及びチャネル幅方向の側面が、ゲート絶縁層として機能する絶縁層４１５を介して導電層４１６に覆う構成にすることによって、Ｆｉｎ型にすることができる。トランジスタ４００ｄをＦｉｎ型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ４００ｄのオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ４００ｄのオフ特性を向上させることができる。また、トランジスタ４００ｄは、Ｆｉｎ型でなくプレナー型としてもよい。

［０４９１］

なお、トランジスタ４００ｄは、ｐチャネル型、あるいはｎチャネル型とすることができる。またはトランジスタ４００ｄを複数設け、ｐチャネル型、及びｎチャネル型の双方を用いてもよい。

［０４９２］

半導体領域４１３のチャネルが形成される領域と、その近傍の領域と、ソース領域またはドレイン領域となる低抵抗領域４１４ａ及び低抵抗領域４１４ｂと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。または、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、または窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または、トランジスタ４００ｄは、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０４９３］

ゲート電極として機能する導電層４１６には、ヒ素、またはリンといったｎ型の導電性を付与する元素、もしくはホウ素またはアルミニウムといったｐ型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。または、導電層４１６には、例えば、金属材料、合金材料、または金属酸化物材料といった導電性材料を用いることができる。

［０４９４］

なお、導電層の材料によって仕事関数が決まるため、当該導電層の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電層に窒化チタン、及び窒化タンタルの一方または双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電層にタングステン及びアルミニウムの一方または双方の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０４９５］

素子分離層４１２は、基板４１０上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、ＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法、またはメサ分離法を用いて形成することができる。

［０４９６］

図２７に示すトランジスタ４００ｄ上には、絶縁層４２０及び絶縁層４２２が、基板４１０側から順に積層して設けられている。

［０４９７］

絶縁層４２０及び絶縁層４２２として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、及び窒化アルミニウムから選ばれた一以上を用いることができる。

［０４９８］

絶縁層４２２は、絶縁層４２０及び絶縁層４２２に覆われているトランジスタ４００ｄなどによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層４２２の上面は、平坦性を高めるためにＣＭＰ法等を用いた平坦化処理により平坦化されていてもよい。

［０４９９］

絶縁層４２０及び絶縁層４２２には、絶縁層４２２より上方に設けられているトランジスタＭＴＣＫなどと接続する導電層４２８が埋め込まれている。なお、導電層４２８は、プラグまたは配線としての機能を有する。

［０５００］

表示装置６００Ａでは、トランジスタ４００ｄ上に配線層６７０が設けられている。配線層６７０は、例えば、絶縁層４２４と、絶縁層４２６と、導電層４３０と、絶縁層４５０と、絶縁層４５２と、絶縁層４５４と、導電層４５６と、を有する。

［０５０１］

絶縁層４２２上及び導電層４２８上には、絶縁層４２４と絶縁層４２６とが順に積層して設けられている。また、導電層４２８に重なる領域において、絶縁層４２４と絶縁層４２６とには、開口が形成されている。また、当該開口には導電層４３０が埋め込まれている。

［０５０２］

絶縁層４２６上、及び導電層４３０上には、絶縁層４５０と絶縁層４５２と絶縁層４５４とが順に積層して設けられている。また、導電層４３０に重なる領域において、絶縁層４５０と絶縁層４５２と絶縁層４５４とには、開口が形成されている。また、当該開口には導電層４５６が埋め込まれている。

［０５０３］

導電層４３０及び導電層４５６は、トランジスタ４００ｄと接続するプラグまたは配線としての機能を有する。

［０５０４］

なお、例えば、絶縁層４２４及び絶縁層４５０は、後述する絶縁層５９２と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層４２６、絶縁層４５２、及び絶縁層４５４として、後述する絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁層を用いることが好ましい。また、絶縁層４

２６、絶縁層４５２、及び絶縁層４５４は、層間絶縁膜及び平坦化膜としての機能を有する。

［０５０５］

導電層４５６は、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する導電層を含むことが好ましい。

［０５０６］

なお、水素に対するバリア性を有する絶縁層として、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ４００ｄからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁層４５０と接する構造であることが好ましい。

［０５０７］

絶縁層４５４及び導電層４５６の上方には、絶縁層５１３が設けられている。また、絶縁層５１３上には、絶縁層ＩＳ１が設けられている。また、絶縁層ＩＳ１及び絶縁層５１３には、プラグまたは配線として機能する導電層が埋め込まれている。これにより、トランジスタ４００ｄを、素子層６３０に設けられた導電層５１４と電気的に接続することができる。または、トランジスタＭＴＣＫのソース及びドレインの一方とトランジスタ４００ｄのソース及びドレインの一方とを電気的に接続してもよい。

［０５０８］

絶縁層ＩＳ１上には、トランジスタＭＴＣＫが設けられている。また、トランジスタＭＴＣＫ上には、絶縁層ＩＳ３、絶縁層５７４、及び絶縁層５８１がこの順に積層して設けられている。また、絶縁層ＩＳ３と絶縁層５７４と絶縁層５８１とには、プラグまたは配線として機能する導電層ＭＰＧが埋め込まれている。

［０５０９］

絶縁層５７４は、水及び水素（例えば、水素原子及び水素分子の一方または双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁層５７４は、当該不純物がトランジスタＭＴＣＫに混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層５７４は、酸素（例えば、酸素原子及び酸素分子の一方または双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層５７４は、絶縁層ＩＳ２１、絶縁層ＩＳ２２及び絶縁層ＩＳ３より酸素透過性が低いことが好ましい。

［０５１０］

そのため、絶縁層５７４は、水及び水素といった不純物の拡散を抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁層５７４は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、N_2O、ＮＯ、及びNO_2）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方または双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

［０５１１］

水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層には、実施の形態１で例示した、不純物及び酸素の透過を抑制する機能を有する絶縁層に用いることができる材料を適用できる。

［０５１２］

特に、絶縁層５７４には、酸化アルミニウム、または窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層５７４の上方からトランジスタＭＴＣＫに拡散することを抑制できる。または、絶縁層ＩＳ３等に含まれる酸素が、絶縁層５７４の上方に、拡散することを抑制できる。

［０５１３］

絶縁層５８１は、層間膜として機能する膜であって、絶縁層５７４よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁層５８１の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁層５８１の比誘電率は、絶縁層５７４の比誘電率の、０．７倍以下が好ましく、０．６倍以下がより好ましい。絶縁層５８１を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０５１４］

絶縁層５８１は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。この場合、絶縁層５８１には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、または窒化シリコンを用いることができる。また、絶縁層５８１には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、または空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁層５８１には、樹脂を用いることができる。また、絶縁層５８１に適用できる材料は、上述した材料を適宜組み合わせたものとしてもよい。

［０５１５］

絶縁層５７４上及び絶縁層５８１上には、絶縁層５９２、及び絶縁層５９４がこの順に積層して設けられている。

［０５１６］

絶縁層５９２には、基板４１０、トランジスタＭＴＣＫから、絶縁層５９２より上方の領域（例えば、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂなどが設けられている領域）に、水、及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する）を用いることが好ましい。したがって、絶縁層５９２は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。また、状況によっては、絶縁層５９２は、窒素原子、窒素分子、酸化窒素分子（例えば、N_2O、ＮＯ、及びNO_2）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方または双方）の拡散を抑制する機能を有することが好ましい。

［０５１７］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。

［０５１８］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ：Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ

Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いて分析することができる。例えば、絶縁層４２４の水素の脱離量は、ＴＤＳにおいて、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁層４２４の面積当たりに換算して、１０×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは５×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下とすることができる。

［０５１９］

絶縁層５９４は、絶縁層５８１と同様に、誘電率が低い層間膜とすることが好ましい。このため、絶縁層５９４には、絶縁層５８１に適用できる材料を用いることができる。

［０５２０］

なお、絶縁層５９４は、絶縁層５９２よりも誘電率が低いことが好ましい。例えば、絶縁層５９４の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁層５９４の比誘電率は、絶縁層５９２の比誘電率の、０．７倍以下が好ましく、０．６倍以下がより好ましい。絶縁層５９４を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０５２１］

絶縁層ＧＩ１及び絶縁層ＩＳ３には、プラグまたは配線として機能する導電層ＭＰＧが埋め込まれ、絶縁層５９２及び絶縁層５９４には、プラグまたは配線として機能する導電層５９６が埋め込まれている。特に、導電層ＭＰＧ及び導電層５９６は、絶縁層５９４より上方に設けられている発光素子などと電気的に接続されている。また、プラグまたは配線としての機能を有する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

［０５２２］

各プラグ、及び配線（例えば、導電層ＭＰＧ、導電層４２８、導電層４３０、導電層４５６、導電層５１４、及び導電層５９６）の材料として、金属材料、合金材料、金属窒化物材料、及び金属酸化物材料から選ばれた一以上の導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、またはモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、または銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０５２３］

絶縁層５９４上及び導電層５９６上には、絶縁層５９８及び絶縁層５９９が順に形成されている。

［０５２４］

絶縁層５９８は、一例として、絶縁層５９２と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層５９９として、絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁層を用いることが好ましい。また、絶縁層５９９は、層間絶縁膜及び平坦化膜としての機能を有する。

［０５２５］

絶縁層５９９上には、発光素子６５０及び接続部６４０が形成されている。

［０５２６］

接続部６４０は、カソードコンタクト部と呼ばれる場合があり、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂのそれぞれのカソード電極に電気的に接続されている。図２７に示す接続部６４０では、導電層６１１ａ乃至導電層６１１ｃと同一の工程、同一の材料で形成された導電層

が、後述する共通電極６１５と、電気的に接続されている。なお、図２７では、当該導電層が、後述する共通層６１４を介して、共通電極６１５と電気的に接続される例を示すが、当該導電層と共通電極６１５とが直接接していてもよい。

［０５２７］

なお、接続部６４０は、平面視において表示部の四辺を囲むように設けられてもよく、または、表示部内（例えば、隣り合う発光素子６５０同士の間）に設けられてもよい（図示しない）。

［０５２８］

発光素子６５０Ｒは、画素電極として、導電層６１１ａを有する。同様に、発光素子６５０Ｇは、画素電極として、導電層６１１ｂを有し、発光素子６５０Ｂは、画素電極として、導電層６１１ｃを有する。

［０５２９］

導電層６１１ａ、導電層６１１ｂ、導電層６１１ｃは、それぞれ、絶縁層５９９に埋め込まれた導電層（プラグ）を介して、絶縁層５９４に埋め込まれている導電層５９６と接続されている。

［０５３０］

発光素子６５０Ｒは、層６１３ａと、層６１３ａ上の共通層６１４と、共通層６１４上の共通電極６１５と、を有する。また、発光素子６５０Ｇは、層６１３ｂと、層６１３ｂ上の共通層６１４と、共通層６１４上の共通電極６１５と、を有する。また、発光素子６５０Ｂは、層６１３ｃと、層６１３ｃ上の共通層６１４と、共通層６１４上の共通電極６１５と、を有する。

［０５３１］

発光素子の一対の電極（画素電極及び共通電極）を形成する材料として、金属、合金、電気伝導性化合物、及びこれらの混合物などを適宜用いることができる。当該材料として、具体的には、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、ネオジムなどの金属、及びこれらを適宜組み合わせて含む合金が挙げられる。また、当該材料として、インジウムスズ酸化物（Ｉｎ－Ｓｎ酸化物、ＩＴＯともいう）、Ｉｎ－Ｓｉ－Ｓｎ酸化物（ＩＴＳＯともいう）、インジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物）、及びＩｎ－Ｗ－Ｚｎ酸化物などを挙げることができる。また、当該材料として、アルミニウム、ニッケル、及びランタンの合金（Ａｌ－Ｎｉ－Ｌａ）等のアルミニウムを含む合金（アルミニウム合金）、並びに、銀とマグネシウムの合金、及び、銀とパラジウムと銅の合金（Ａｇ－Ｐｄ－Ｃｕ、ＡＰＣとも記す）等の銀を含む合金が挙げられる。その他、当該材料として、上記例示のない元素周期表の第１族または第２族に属する元素（例えば、リチウム、セシウム、カルシウム、ストロンチウム）、ユウロピウム、イッテルビウムなどの希土類金属及びこれらを適宜組み合わせて含む合金、グラフェン等が挙げられる。

［０５３２］

表示装置６００Ａには、ＳＢＳ構造が適用されている。ＳＢＳ構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

［０５３３］

表示装置６００Ａは、トップエミッション型である。トップエミッション型は、トランジスタ等を発光素子の発光領域と重ねて配置できるため、ボトムエミッション型に比べて画素の開口率を高めることができる。

［０５３４］

なお、層６１３ａは、導電層６１１ａの上面及び側面を覆うように形成されている。同様に、層６１３ｂは、導電層６１１ｂの上面及び側面を覆うように形成されている。また、同様に、層６１３ｃは、導電層６１１ｃの上面及び側面を覆うように形成されている。したがって、導電層６１１ａ、導電層６１１ｂ、及び導電層６１１ｃが設けられている領域全体を、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂの発光領域として用いることができるため、画素の開口率を高めることができる。

［０５３５］

発光素子６５０Ｒにおいて、層６１３ａと共通層６１４をまとめてＥＬ層と呼ぶことができる。また、同様に、発光素子６５０Ｇにおいて、層６１３ｂと共通層６１４をまとめてＥＬ層と呼ぶこともできる。また、同様に、発光素子６５０Ｂにおいて、層６１３ｃと共通層６１４をまとめてＥＬ層と呼ぶことができる。

［０５３６］

ＥＬ層は、少なくとも発光層を有する。発光層は、１種または複数種の発光物質を有する。発光物質として、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、または赤色などの発光色の光を呈する物質を適宜用いる。また、発光物質として、近赤外光を発する物質を用いることもできる。

［０５３７］

発光素子が有する発光物質として、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Ｔｈｅｒｍａｌｌｙ　ａｃｔｉｖａｔｅｄ　ｄｅｌａｙｅｄ　ｆｌｕｏｒｅｓｃｅｎｃｅ：ＴＡＤＦ）材料）、及び、無機化合物（量子ドット材料等）が挙げられる。

［０５３８］

発光層は、発光物質（ゲスト材料）に加えて、１種または複数種の有機化合物（ホスト材料、アシスト材料等）を有していてもよい。１種または複数種の有機化合物として、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方または双方を用いることができる。また、１種または複数種の有機化合物として、バイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）、またはＴＡＤＦ材料を用いてもよい。

［０５３９］

ＥＬ層は、発光層の他に、正孔注入性の高い物質を含む層（正孔注入層）、正孔輸送性材料を含む層（正孔輸送層）、電子ブロック性の高い物質を含む層（電子ブロック層）、電子注入性の高い物質を含む層（電子注入層）、電子輸送性材料を含む層（電子輸送層）、及び、正孔ブロック性の高い物質を含む層（正孔ブロック層）のうち一つまたは複数を有することができる。その他、ＥＬ層は、バイポーラ性の物質及びＴＡＤＦ材料の一方または双方を含んでいてもよい。

［０５４０］

発光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでいてもよい。発光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

［０５４１］

発光素子には、シングル構造（発光ユニットを１つだけ有する構造）を適用してもよく、タンデム構造（発光ユニットを複数有する構造）を適用してもよい。発光ユニットは、少なくとも１層の発光

層を有する。タンデム構造は、複数の発光ユニットが電荷発生層を介して直列に接続された構成である。電荷発生層は、一対の電極間に電圧を印加したときに、２つの発光ユニットの一方に電子を注入し、他方に正孔を注入する機能を有する。タンデム構造とすることで、高輝度発光が可能な発光素子とすることができる。また、タンデム構造は、シングル構造と比べて、同じ輝度を得るために必要な電流を小さくできるため、信頼性を高めることができる。なお、タンデム構造をスタック構造と呼ぶことができる。

［０５４２］

発光素子にマイクロキャビティ構造を付与することにより色純度を高めることができる。

［０５４３］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、フォトリソグラフィ法により島状に加工されている。そのため、層６１３ａ、層６１３ｂ、及び層６１３ｃは、それぞれその端部において、上面と側面との成す角が９０度に近い形状となる。一方、例えば、ＦＭＭ（Ｆｉｎｅ　Ｍｅｔａｌ　Ｍａｓｋ）を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば端部まで１μｍ以上１０μｍ以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

［０５４４］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、上面と側面の区別が明瞭となる。これにより、隣接する層６１３ａと層６１３ｂにおいて、層６１３ａの側面の一と、層６１３ｂの側面の一は、互いに対向して配置される。これは、層６１３ａ、層６１３ｂ、及び層６１３ｃのうちいずれの組み合わせにおいても同様である。

［０５４５］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、少なくとも発光層を有する。例えば、層６１３ａが、赤色の光を発する発光層を有し、層６１３ｂが緑色の光を発する発光層を有し、層６１３ｃが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色として、シアン、マゼンタ、黄、または白を適用することができる。

［０５４６］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。層６１３ａ、層６１３ｂ、及び層６１３ｃの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光素子の信頼性を高めることができる。

［０５４７］

共通層６１４は、例えば電子注入層、または正孔注入層を有する。または、共通層６１４は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層６１４は、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂで共有されている。なお、共通層６１４は設けられていなくてもよく、発光素子が有するＥＬ層全体が、層６１３ａ、層６１３ｂ、及び層６１３ｃのように、島状に設けられていてもよい。

［０５４８］

共通電極６１５は、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂで共有されている。また、図２７に示すように、複数の発光素子が共通して有する共通電極６１５は、接続部６４０

に含まれている導電層に電気的に接続される。

［０５４９］

絶縁層６２５は、水及び酸素の一方または双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層６２５は、水及び酸素の一方または双方の拡散を抑制する機能を有することが好ましい。また、絶縁層６２５は、水及び酸素の一方または双方を捕獲、または固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁層６２５が、バリア絶縁層としての機能、またはゲッタリング機能を有することで、外部から各発光素子に拡散しうる不純物（代表的には、水及び酸素の一方または双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光素子、さらには、信頼性の高い表示装置を提供することができる。

［０５５０］

絶縁層６２５は、不純物濃度が低いことが好ましい。これにより、絶縁層６２５からＥＬ層に不純物が混入し、ＥＬ層が劣化することを抑制することができる。また、絶縁層６２５において、不純物濃度を低くすることで、水及び酸素の一方または双方に対するバリア性を高めることができる。例えば、絶縁層６２５は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

［０５５１］

絶縁層６２７として、有機材料を有する絶縁層を好適に用いることができる。有機材料として、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

［０５５２］

絶縁層６２７に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層６２７には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、またはこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層６２７として、ポリビニルアルコール（ＰＶＡ）、ポリビニルブチラール（ＰＶＢ）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁層６２７には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂として、ポジ型の材料、またはネガ型の材料が挙げられる。

［０５５３］

絶縁層６２７には可視光を吸収する材料を用いてもよい。絶縁層６２７が発光素子からの発光を吸収することで、発光素子から絶縁層６２７を介して隣接する発光素子に光が漏れること（迷光）を抑制することができる。これにより、表示装置の表示品位を高めることができる。また、表示装置に偏光板を用いなくても、表示品位を高めることができるため、表示装置の軽量化及び薄型化を図ることができる。

［０５５４］

可視光を吸収する材料として、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、２色、または３色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に３色以上のカラー

フィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

［０５５５］

絶縁層６２７は、例えば、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピンコートにより、絶縁層６２７となる有機絶縁膜を形成することが好ましい。

［０５５６］

絶縁層６２７は、ＥＬ層の耐熱温度よりも低い温度で形成する。絶縁層６２７を形成する際の基板温度として、代表的には、２００℃以下、好ましくは１８０℃以下、より好ましくは１６０℃以下、より好ましくは１５０℃以下、より好ましくは１４０℃以下である。

［０５５７］

なお、絶縁層６２７は、側面にテーパ形状を有していることが好ましい。絶縁層６２７の側面端部を順テーパ形状（９０°未満であり、６０°以下が好ましく、４５°以下がより好ましい）にすることで、絶縁層６２７の側面端部上に設けられる、共通層６１４及び共通電極６１５に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層６１４及び共通電極６１５の面内均一性を向上させることができ、表示装置の表示品位を向上させることができる。

［０５５８］

表示装置の断面視において、絶縁層６２７の上面は凸曲面形状を有することが好ましい。絶縁層６２７の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。絶縁層６２７をこのような形状にすることで、絶縁層６２７上全体で、共通層６１４及び共通電極６１５を被覆性良く成膜することができる。

［０５５９］

絶縁層６２７は、二つのＥＬ層の間の領域（例えば、層６１３ａと層６１３ｂとの間の領域）に形成される。このとき、絶縁層６２７の一部が、一方のＥＬ層（例えば、層６１３ａ）の側面端部と、もう一方のＥＬ層（例えば、層６１３ｂ）の側面端部に挟まれる位置に配置されることになる。

［０５６０］

絶縁層６２７の一方の端部が画素電極として機能する導電層６１１ａと重なり、絶縁層６２７の他方の端部が画素電極として機能する導電層６１１ｂと重なることが好ましい。このような構造にすることで、絶縁層６２７の端部を層６１３ａ（層６１３ｂ）の平坦または概略平坦な領域の上に形成することができる。よって、絶縁層６２７のテーパ形状を、上記の通り加工することが比較的容易になる。

［０５６１］

以上のように、絶縁層６２７などを設けることにより、層６１３ａの平坦または概略平坦な領域から層６１３ｂの平坦または概略平坦な領域まで、共通層６１４及び共通電極６１５に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されることを防止できる。よって、各発光素子間において、共通層６１４及び共通電極６１５に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生することを抑制できる。

［０５６２］

本実施の形態の表示装置は、発光素子間の距離を狭くすることができる。具体的には、発光素子間

の距離、ＥＬ層間の距離、または画素電極間の距離を、１０μｍ未満、８μｍ以下、５μｍ以下、３μｍ以下、２μｍ以下、１μｍ以下、５００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、９０ｎｍ以下、７０ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、１５ｎｍ以下、または１０ｎｍ以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する２つの島状のＥＬ層の間隔が１μｍ以下の領域を有し、好ましくは０．５μｍ（５００ｎｍ）以下の領域を有し、さらに好ましくは１００ｎｍ以下の領域を有する。このように、各発光素子間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

［０５６３］

発光素子６５０上には、保護層６３１が設けられている。保護層６３１は、発光素子６５０を保護するパッシベーション膜として機能する膜である。発光素子を覆う保護層６３１を設けることで、発光素子に水及び酸素といった不純物が入り込むことを抑制し、発光素子６５０の信頼性を高めることができる。保護層６３１は、少なくとも無機絶縁膜を含む単層構造または積層構造とすることが好ましい。無機絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜などの酸化物膜または窒化物膜が挙げられる。または、保護層６３１としてインジウムガリウム酸化物、インジウムガリウム亜鉛酸化物（ＩＧＺＯ）などの半導体材料を用いてもよい。なお、保護層６３１は、ＡＬＤ法、ＣＶＤ法、及びスパッタリング法などを用いて形成できる。なお、保護層６３１として、無機絶縁膜を含む構成について例示したがこれに限定されない。例えば、保護層６３１として、無機絶縁膜と、有機絶縁膜との積層構造としてもよい。

［０５６４］

保護層６３１と、基板６１０と、は接着層６０７を介して接着されている。発光素子の封止には、固体封止構造または中空封止構造などが適用できる。図２７では、基板４１０と基板６１０との間の空間が、接着層６０７で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層６０７は、発光素子と重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層６０７とは異なる樹脂で充填してもよい。

［０５６５］

接着層６０７には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、または熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤として、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、ＰＶＣ（ポリビニルクロライド）樹脂、ＰＶＢ（ポリビニルブチラール）樹脂、ＥＶＡ（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

［０５６６］

表示装置６００Ａは、トップエミッション型である。発光素子が発する光は、基板６１０側に射出される。そのため、基板６１０には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板６１０には、基板４１０に適用できる基板のうち、可視光に対する透過性が高い基板を選択することができる。画素電極は可視光を反射する材料を含み、対向電極（共通電極６１５）は可視光を透過する材料を含む。

［０５６７］

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光素子が発する光が基板４１０側に射出されるボトムエミッション型としてもよい。なお、この場合、基板４１０には、可視光に対する透過性が高い基板を選択する。

［０５６８］

［表示装置の構成例２］

図２８に、表示装置６００Ｂの断面図を示す。

［０５６９］

表示装置６００Ｂは、基板５４１及び基板６１０に可撓性を有する基板を用いることで、可撓性を有する表示装置（フレキシブルディスプレイともいう）とすることができる。基板５４１は、接着層５４３によって絶縁層５４５と貼り合わされている。基板６１０は、接着層６０７によって保護層６３１と貼り合わされている。

［０５７０］

表示装置６００Ｂの素子層６６０は、層６１３ａ、層６１３ｂ、及び層６１３ｃに、同一の構成を適用し、さらに、着色層６２８Ｒ、着色層６２８Ｇ、及び着色層６２８Ｂを設けた点で、主に、表示装置６００Ａの素子層６６０と異なる。

［０５７１］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、同一の工程、同一の材料で形成される。また、層６１３ａ、層６１３ｂ、及び層６１３ｃは、互いに離隔されている。ＥＬ層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流（横方向リーク電流、横リーク電流、またはラテラルリーク電流と呼称する場合がある）を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、かつ隣接する発光素子間の色の混色を抑制することができるため、コントラストの極めて高い表示装置を実現できる。

［０５７２］

例えば、図２８に示す発光素子６５０Ｒ、６５０Ｇ、６５０Ｂは、白色の光を発する。発光素子６５０Ｒ、６５０Ｇ、６５０Ｂが発する白色の光が、着色層６２８Ｒ、着色層６２８Ｇ、及び着色層６２８Ｂを透過することで、所望の色の光を得ることができる。

［０５７３］

なお、マイクロキャビティ構造を適用することで、白色の光を発する構成の発光素子は、赤色、緑色、または青色などの特定の波長の光が強められて発光する場合もある。

［０５７４］

発光素子６５０Ｒの発光は、着色層６２８Ｒを介して表示装置６００Ｂの外部に赤色の光として取り出される。同様に、発光素子６５０Ｇの発光は、着色層６２８Ｇを介して表示装置６００Ｂの外部に緑色の光として取り出される。発光素子６５０Ｂの発光は、着色層６２８Ｂを介して表示装置６００Ｂの外部に青色の光として取り出される。

［０５７５］

白色の光を発する発光素子には、タンデム構造を用いることが好ましい。

［０５７６］

または、例えば、図２８に示す発光素子６５０Ｒ、６５０Ｇ、６５０Ｂは、青色の光を発する。このとき、層６１３ａ、層６１３ｂ、及び層６１３ｃは、青色の光を発する発光層を１層以上有する。青色の光を呈する副画素においては、発光素子６５０Ｂが発する青色の光を取り出すことができる。

また、赤色の光を呈する副画素及び緑色の光を呈する副画素においては、発光素子６５０Ｒと着色層６２８Ｒの間、及び、発光素子６５０Ｇと着色層６２８Ｇの間に、色変換層を設けることで、発光素子６５０Ｒまたは発光素子６５０Ｇが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

［０５７７］

着色層は特定の波長域の光を選択的に透過し、他の波長域の光を吸収する有色層である。例えば、赤色の波長域の光を透過する赤色（Ｒ）のカラーフィルタ、緑色の波長域の光を透過する緑色（Ｇ）のカラーフィルタ、青色の波長域の光を透過する青色（Ｂ）のカラーフィルタなどを用いることができる。各着色層には、金属材料、樹脂材料、顔料、染料のうち一つまたは複数を用いることができる。着色層は、印刷法、インクジェット法、フォトリソグラフィ法を用いたエッチング方法などでそれぞれ所望の位置に形成する。

［０５７８］

表示装置６００Ｂの素子層６３０は、表示装置６００Ａの素子層６３０と同様の構成を有するため、詳細な説明は省略する。

［０５７９］

表示装置６００Ｂは、素子層６２０を有さず、素子層６３５を有する点で、表示装置６００Ａと異なる。素子層６３５は、素子層６３０と同様の構成を有する。

［０５８０］

素子層６３５が有するトランジスタの少なくとも一部は、プラグ及び配線等を介して、素子層６３０が有する導電層またはトランジスタと電気的に接続される。なお、素子層６３０と素子層６３５の間に、配線層６７０が設けられていてもよい。

［０５８１］

素子層６３５には、表示装置の画素回路及び駆動回路の一方または双方が設けられることが好ましい。

［０５８２］

図２８では、ＯＳトランジスタを有する素子層を２層積層する例（素子層６３０及び素子層６３５）を示すが、素子層の積層数はこれに限られず、３層以上としてもよい。例えば、ＯＳトランジスタを有する素子層を３層以上積層する場合は、一番下の層を、表示装置の駆動回路（ゲートドライバ及びソースドライバの一方または双方）に用い、一番上の層を、表示装置の画素回路に用い、その間に位置する層は、それぞれ、画素回路または駆動回路に用いることが好ましい。

［０５８３］

なお、Ｓｉトランジスタは、代表的には、単結晶Ｓｉウェハ上に形成されるため、可撓性を有する構成とするのが困難である。一方で、図２８に示すように、Ｓｉトランジスタを用いずに、ＯＳトランジスタのみで表示装置を構成する場合、比較的簡単な製造プロセスにて、可撓性を有する構成とすることができる。

［０５８４］

［発光素子の構成例］

次に、本発明の一態様の表示装置に用いることができる発光素子について説明する。以下では、主に、図２７及び図２８に示す構成とは異なる、発光素子の構成例について説明する。

［０５８５］

図２９Ａに、発光素子を複数有する表示部の一部における上面概略図を示す。表示部は、赤色の光を呈する発光素子６１Ｒ、緑色の光を呈する発光素子６１Ｇ、及び青色の光を呈する発光素子６１Ｂをそれぞれ複数有する。図２９Ａでは、各発光素子の区別を簡単にするため、各発光素子の発光領域内にＲ、Ｇ、Ｂの符号を付している。また、図２９Ａでは、赤色（Ｒ）、緑色（Ｇ）、及び青色（Ｂ）の３つの発光色を有する構成について例示したがこれに限定されない。例えば、４つ以上の色を有する構成としてもよい。

［０５８６］

図２９Ｂは、図２９Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図２９Ｂに示す、発光素子６１Ｒ、発光素子６１Ｇ、及び発光素子６１Ｂは、それぞれ絶縁層３６３上に設けられ、画素電極として機能する導電層１７１、及び共通電極として機能する導電層１７３を有する。絶縁層３６３として、無機絶縁膜及び有機絶縁膜の一方または双方を用いることができる。

［０５８７］

発光素子６１Ｒは、画素電極として機能する導電層１７１と共通電極として機能する導電層１７３との間に、ＥＬ層１７２Ｒを有する。ＥＬ層１７２Ｒは、少なくとも赤色の波長域にピークを有する光を発する発光性の化合物を有する。発光素子６１Ｇが有するＥＬ層１７２Ｇは、少なくとも緑色の波長域にピークを有する光を発する発光性の化合物を有する。発光素子６１Ｂが有するＥＬ層１７２Ｂは、少なくとも青色の波長域にピークを有する光を発する発光性の化合物を有する。

［０５８８］

画素電極として機能する導電層１７１は、発光素子毎に設けられている。また、共通電極として機能する導電層１７３は、各発光素子に共通な一続きの層として設けられている。画素電極として機能する導電層１７１と共通電極として機能する導電層１７３のいずれか一方に可視光に対して透光性を有する導電膜を用い、他方に反射性を有する導電膜を用いる。

［０５８９］

例えば、発光素子６１Ｒがトップエミッション型である場合、発光素子６１Ｒから射出される光１７５Ｒは、導電層１７３側に射出される。発光素子６１Ｒがトップエミッション型である場合、発光素子６１Ｇから射出される光１７５Ｇは、導電層１７３側に射出される。発光素子６１Ｂがトップエミッション型である場合、発光素子６１Ｂから射出される光１７５Ｂは、導電層１７３側に射出される。

［０５９０］

画素電極として機能する導電層１７１の端部を覆って、絶縁層２７２が設けられている。絶縁層２７２の端部は、テーパ形状であることが好ましい。絶縁層２７２には、無機絶縁膜及び有機絶縁膜の一方または双方を用いることができる。

［０５９１］

絶縁層２７２は、隣接する発光素子が意図せず電気的に短絡し、誤発光することを防ぐために設ける。また、ＥＬ層の形成にメタルマスクを用いる場合、メタルマスクが導電層１７１に接触しないようにする機能も有する。

［０５９２］

ＥＬ層１７２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂは、それぞれ画素電極として機能する導電層１７１の上面に接する領域と、絶縁層２７２の表面に接する領域と、を有する。また、ＥＬ層１７

２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂの端部は、絶縁層２７２上に位置する。

［０５９３］

図２９Ｂに示すように、発光色の異なる発光素子間において、２つのＥＬ層の間に隙間が設けられている。このように、ＥＬ層１７２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂが、互いに接しないように設けられていることが好ましい。これにより、隣接する２つのＥＬ層を介して電流が流れ、意図しない発光が生じること（クロストークともいう）を好適に防ぐことができる。そのため、コントラストを高めることができ、表示品位の高い表示装置を実現できる。

［０５９４］

ＥＬ層１７２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂは、メタルマスクなどのシャドーマスクを用いた真空蒸着法などにより、作り分けることができる。または、フォトリソグラフィ法により、これらを作り分けてもよい。フォトリソグラフィ法を用いることで、メタルマスクを用いた場合では実現することが困難である高い精細度の表示装置を実現することができる。

［０５９５］

共通電極として機能する導電層１７３上には、発光素子６１Ｒ、発光素子６１Ｇ、及び発光素子６１Ｂを覆って、保護層２７１が設けられている。保護層２７１は、上方から各発光素子に水などの不純物が拡散することを防ぐ機能を有する。保護層２７１の材料は、前述の保護層６３１の材料を参照できる。

［０５９６］

図２９Ｃには、白色の光を呈する発光素子６１Ｗを示す。発光素子６１Ｗは、画素電極として機能する導電層１７１と共通電極として機能する導電層１７３との間に白色の光を呈するＥＬ層１７２Ｗを有する。

［０５９７］

ＥＬ層１７２Ｗとして、例えば、それぞれの発光色が合わさることにより白色発光が得られるように選択された、２以上の発光層を積層した構成とすることができる。また、発光層間に電荷発生層を挟持した、タンデム型のＥＬ層を用いてもよい。

［０５９８］

図２９Ｃには、３つの発光素子６１Ｗを並べて示している。左の発光素子６１Ｗの上部には着色層２６４Ｒが設けられている。着色層２６４Ｒは、赤色の光を透過するバンドパスフィルタとして機能する。同様に、中央の発光素子６１Ｗの上部には緑色の光を透過する着色層２６４Ｇが設けられ、右の発光素子６１Ｗの上部には、青色の光を透過する着色層２６４Ｂが設けられている。これにより、表示装置はカラーの画像を表示することができる。

［０５９９］

ここで、隣接する２つの発光素子６１Ｗ間において、ＥＬ層１７２Ｗが分離されている。これにより、隣接する２つの発光素子６１Ｗにおいて、ＥＬ層１７２Ｗを介して電流が流れて意図しない発光が生じることを防ぐことができる。特に、ＥＬ層１７２Ｗとして、２つの発光層の間に電荷発生層が設けられる積層型のＥＬ層を用いた場合では、精細度が高いほど、すなわち隣接画素間の距離が小さいほど、クロストークの影響が顕著となり、コントラストが低下してしまうといった問題がある。そのため、このような構成とすることで、高い精細度と、高いコントラストを兼ね備える表示装置を実現できる。

［０６００］

ＥＬ層１７２Ｗの分離は、フォトリソグラフィ法により行うことが好ましい。これにより、発光素子間の間隔を狭めることができるため、例えばメタルマスク等のシャドーマスクを用いた場合と比較して、高い開口率の表示装置を実現することができる。

［０６０１］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０６０２］

（実施の形態６）

本実施の形態では、本発明の一態様の半導体装置の応用例について、図３０乃至図３４を用いて説明する。

［０６０３］

本発明の一態様の半導体装置は、例えば、電子部品、大型計算機、宇宙用機器、データセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）、及び、各種電子機器に用いることができる。本発明の一態様の半導体装置を用いることで、電子部品、大型計算機、宇宙用機器、データセンター、及び、各種電子機器の、低消費電力化及び高性能化が実現できる。

［０６０４］

本発明の一態様の半導体装置を有する表示装置を、各種電子機器の表示部に用いることができる。本発明の一態様の半導体装置を有する表示装置は、高精細化及び高解像度化が容易である。

［０６０５］

電子機器として、例えば、テレビジョン装置、デスクトップ型もしくはノート型のコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

［０６０６］

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器として、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどのＶＲ向け機器、メガネ型のＡＲ向け機器、及び、ＭＲ向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

［０６０７］

本発明の一態様の表示装置は、ＨＤ（画素数１２８０×７２０）、ＦＨＤ（画素数１９２０×１０８０）、ＷＱＨＤ（画素数２５６０×１４４０）、ＷＱＸＧＡ（画素数２５６０×１６００）、４Ｋ（画素数３８４０×２１６０）、８Ｋ（画素数７６８０×４３２０）といった極めて高い解像度を有していることが好ましい。特に４Ｋ、８Ｋ、またはそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、１００ｐｐｉ以上、３００ｐｐｉ以上、５００ｐｐｉ以上、１０００ｐｐｉ以上、２０００ｐｐｉ以上、３０００ｐｐｉ以上、５０００ｐｐｉ以上、または７０００ｐｐｉ以上とすることが好ましい。このように高い解像度及び高い精細度の一方または双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、１：１（正方形）、４：３、１６：９、１６：１０など様々な画面比率に対応することができる。

［０６０８］

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）を有していてもよい。

［０６０９］

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

［０６１０］

［電子部品］

電子部品７００が実装された基板（実装基板７０４）の斜視図を、図３０Ａに示す。図３０Ａに示す電子部品７００は、モールド７１１内に半導体装置７１０を有している。図３０Ａは、電子部品７００の内部を示すために、一部の記載を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は半導体装置７１０とワイヤ７１４を介して電気的に接続されている。電子部品７００は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０６１１］

半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極技術、及び、Ｃｕ－Ｃｕ直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０６１２］

オンチップメモリの構成とすることで、ＴＳＶなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくできるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０６１３］

記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉ

トランジスタよりも優れた構造であるといえる。

［０６１４］

半導体装置７１０を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、または窒化ガリウム（ＧａＮ）などが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０６１５］

次に、電子部品７３０の斜視図を図３０Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ　ｉｎ　Ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ　Ｃｈｉｐ　Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、及び複数の半導体装置７１０が設けられている。

［０６１６］

電子部品７３０では、半導体装置７１０を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ　Ｂａｎｄｗｉｄｔｈ　Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、またはＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）等の集積回路に用いることができる。

［０６１７］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、または、ガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、または樹脂インターポーザを用いることができる。

［０６１８］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶを用いることもできる。

［０６１９］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０６２０］

シリコンインターポーザを用いた、ＳｉＰ及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０６２１］

一方で、シリコンインターポーザ、及びＴＳＶなどを用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、前述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０６２２］

電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、半導体装置７１０と半導体装置７３５の高さを揃えることが好ましい。

［０６２３］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図３０Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０６２４］

電子部品７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法として、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、及び、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）が挙げられる。

［０６２５］

［大型計算機］

次に、大型計算機５６００の斜視図を図３１Ａに示す。図３１Ａに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータと呼称してもよい。

［０６２６］

計算機５６２０は、例えば、図３１Ｂに示す斜視図の構成とすることができる。図３１Ｂにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［０６２７］

図３１Ｃに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図３１Ｃには、半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体

装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８の説明を参照できる。

［０６２８］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格として、例えば、ＰＣＩｅなどが挙げられる。

［０６２９］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格として、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力する場合、それぞれの規格として、ＨＤＭＩ（登録商標）などが挙げられる。

［０６３０］

半導体装置５６２６は、信号の入出力を行う端子（図示しない）を有しており、当該端子をボード５６２２が備えるソケット（図示しない）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［０６３１］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７として、例えば、ＦＰＧＡ、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［０６３２］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８として、例えば、記憶装置などが挙げられる。半導体装置５６２８として、例えば、電子部品７００を用いることができる。

［０６３３］

大型計算機５６００は並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

［０６３４］

［宇宙用機器］

本発明の一態様の半導体装置は、宇宙用機器に好適に用いることができる。

［０６３５］

本発明の一態様の半導体装置は、ＯＳトランジスタを含む。ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用

いることができる。具体的には、ＯＳトランジスタを、スペースシャトル、人工衛星、または、宇宙探査機に設けられる半導体装置を構成するトランジスタに用いることができる。放射線として、例えば、Ｘ線、及び中性子線が挙げられる。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つまたは複数を含むことができる。

［０６３６］

図３１Ｄには、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図３１Ｄにおいては、宇宙空間に惑星６８０４を例示している。

［０６３７］

図３１Ｄには示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）、またはバッテリ制御回路を設けてもよい。前述のバッテリマネジメントシステム、またはバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、かつ宇宙空間においても高い信頼性を有するため好適である。

［０６３８］

宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、例えば、Ｘ線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

［０６３９］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

［０６４０］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信され、例えば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［０６４１］

制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７として、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様であるＯＳトランジスタを含む半導体装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［０６４２］

人工衛星６８００は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人

工衛星６８００は、例えば地球観測衛星としての機能を有することができる。

［０６４３］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

［０６４４］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［０６４５］

［データセンター］

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

［０６４６］

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０６４７］

本発明の一態様の半導体装置は、消費電力が低いため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

［０６４８］

図３１Ｅにデータセンターに適用可能なストレージシステムを示す。図３１Ｅに示すストレージシステム７０１０は、ホスト７００１（Ｈｏｓｔ　ｃｏｍｐｕｔｅｒと図示）として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３（Ｓｔｏｒａｇｅと図示）として複数の記憶装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４（ＳＡＮ：Ｓｔｏｒａｇｅ　Ａｒｅａ　Ｎｅｔｗｏｒｋと図示）及びストレージ制御回路７００２（Ｓｔｏｒａｇｅ　Ｃｏｎｔｒｏｌｌｅｒと図示）を介して接続されている形態を図示している。

［０６４９］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［０６５０］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッ

シュメモリを設けてデータの記憶及び出力を短くしている。

［０６５１］

前述のキャッシュメモリは、ストレージ制御回路７００２及びストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２及びストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１またはストレージ７００３に出力される。

［０６５２］

前述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［０６５３］

［電子機器］

図３２Ａ乃至図３２Ｆを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ＡＲのコンテンツを表示する機能、ＶＲのコンテンツを表示する機能、ＳＲのコンテンツを表示する機能、ＭＲのコンテンツを表示する機能のうち少なくとも一つを有する。電子機器が、ＡＲ、ＶＲ、ＳＲ、及びＭＲなどの少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

［０６５４］

図３２Ａに示す電子機器７００Ａは、一対の表示パネル７５１と、一対の筐体７２１と、通信部（図示しない）と、一対の装着部７２３と、制御部（図示しない）と、撮像部（図示しない）と、一対の光学部材７５３と、フレーム７５７と、一対の鼻パッド７５８と、を有する。

［０６５５］

表示パネル７５１には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。また、制御部（図示しない）には、本発明の一態様の半導体装置を適用することができる。これにより、電子機器の消費電力を低減することができる。

［０６５６］

電子機器７００Ａは、光学部材７５３の表示領域７５６に、表示パネル７５１で表示した画像を投影することができる。光学部材７５３は透光性を有するため、使用者は光学部材７５３を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器７００Ａは、ＡＲ表示が可能な電子機器である。

［０６５７］

電子機器７００Ａには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器７００Ａは、ジャイロセンサなどの加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域７５６に表示することもできる。

［０６５８］

通信部は無線通信機を有し、当該無線通信機により映像信号等を供給することができる。なお、無線通信機に代えて、または無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

［０６５９］

電子機器７００Ａには、バッテリが設けられており、無線及び有線の一方または双方によって充電することができる。

［０６６０］

筐体７２１には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体７２１の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作またはスライド操作などを検出し、様々な処理を実行することができる。例えば、タップ操作によって動画の一時停止または再開などの処理を実行することが可能となり、スライド操作により、早送りまたは早戻しの処理を実行することなどが可能となる。また、２つの筐体７２１のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

［０６６１］

図３２Ｂに示す電子機器８００Ａ、及び、図３２Ｃに示す電子機器８００Ｂは、それぞれ、一対の表示部８２０と、筐体８２１と、通信部８２２と、一対の装着部８２３と、制御部８２４と、一対の撮像部８２５と、一対のレンズ８３２と、を有する。なお、図３２Ｃでは表示部８２０及び通信部８２２を省略している。

［０６６２］

表示部８２０には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。これにより、使用者に高い没入感を感じさせることができる。また、制御部８２４には、本発明の一態様の半導体装置を適用することができる。これにより、電子機器の消費電力を低減することができる。

［０６６３］

表示部８２０は、筐体８２１の内部の、レンズ８３２を通して視認できる位置に設けられる。また、一対の表示部８２０に異なる画像を表示させることで、視差を用いた３次元表示を行うこともできる。

［０６６４］

電子機器８００Ａ、及び、電子機器８００Ｂは、それぞれ、ＶＲ向けの電子機器ということができる。電子機器８００Ａまたは電子機器８００Ｂを装着した使用者は、レンズ８３２を通して、表示部８２０に表示される画像を視認することができる。

［０６６５］

電子機器８００Ａ、及び、電子機器８００Ｂは、それぞれ、レンズ８３２及び表示部８２０が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ８３２と表示部８２０との距離を変えることで、ピントを調整する機構を有していることが好ましい。

［０６６６］

装着部８２３により、使用者は電子機器８００Ａまたは電子機器８００Ｂを頭部に装着することができる。なお、図３２Ｂなどにおいては、メガネのつる（テンプルなどともいう）のような形状として例示しているがこれに限定されない。装着部８２３は、使用者が装着できればよく、例えば、ヘルメット型またはバンド型の形状としてもよい。

［０６６７］

撮像部８２５は、外部の情報を取得する機能を有する。撮像部８２５が取得したデータは、表示部８２０に出力することができる。撮像部８２５には、イメージセンサを用いることができる。また、望遠、広角などの複数の画角に対応可能なように複数のカメラを設けてもよい。

［０６６８］

なお、ここでは撮像部８２５を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともよぶ）を設ければよい。すなわち、撮像部８２５は、検知部の一態様である。検知部として、例えばイメージセンサ、または、ライダー（ＬＩＤＡＲ：Ｌｉｇｈｔ　Ｄｅｔｅｃｔｉｏｎ　ａｎｄ　Ｒａｎｇｉｎｇ）などの距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度のジェスチャー操作を可能とすることができる。

［０６６９］

電子機器８００Ａは、骨伝導イヤフォンとして機能する振動機構を有していてもよい。例えば、表示部８２０、筐体８２１、及び装着部８２３のいずれか一または複数に、当該振動機構を有する構成を適用することができる。これにより、別途、ヘッドフォン、イヤフォン、またはスピーカなどの音響機器を必要とせず、電子機器８００Ａを装着しただけで映像と音声を楽しむことができる。

［０６７０］

電子機器８００Ａ、及び、電子機器８００Ｂは、それぞれ、入力端子を有していてもよい。入力端子には映像出力機器等からの映像信号、及び、電子機器内に設けられるバッテリを充電するための電力等を供給するケーブルを接続することができる。

［０６７１］

本発明の一態様の電子機器は、イヤフォン７５０と無線通信を行う機能を有していてもよい。イヤフォン７５０は、通信部（図示しない）を有し、無線通信機能を有する。イヤフォン７５０は、無線通信機能により、電子機器から情報（例えば音声データ）を受信することができる。例えば、図３２Ａに示す電子機器７００Ａは、無線通信機能によって、イヤフォン７５０に情報を送信する機能を有する。

［０６７２］

電子機器がイヤフォン部を有していてもよい。図３２Ｃに示す電子機器８００Ｂは、イヤフォン部８２７を有する。例えば、イヤフォン部８２７と制御部８２４とは、互いに有線接続されている構成とすることができる。イヤフォン部８２７と制御部８２４とをつなぐ配線の一部は、筐体８２１または装着部８２３の内部に配置されていてもよい。また、イヤフォン部８２７と装着部８２３とがマグネットを有していてもよい。これにより、イヤフォン部８２７を装着部８２３に磁力によって固定することができ、収納が容易となり好ましい。

［０６７３］

なお、電子機器は、イヤフォンまたはヘッドフォンなどを接続することができる音声出力端子を有していてもよい。また、電子機器は、音声入力端子及び音声入力機構の一方または双方を有していてもよい。音声入力機構として、例えば、マイクなどの集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

［０６７４］

図３２Ｄ及び図３２Ｅに、ＶＲ向けのゴーグル型の電子機器８５０Ａの斜視図を示す。図３２Ｄ及び図３２Ｅでは、筐体８４５内に、それぞれ湾曲した一対の表示装置８４０（表示装置８４０＿Ｒ及び表示装置８４０＿Ｌ）を有する例を示している。また、電子機器８５０Ａは、動き検出部８４１、視線検出部８４２、演算部８４３、通信部８４４、レンズ８４８、操作ボタン８５１、装着具８５４、センサ８５５、ダイヤル８５６などを有する。

［０６７５］

２つの表示装置８４０を有することで、使用者は片方の目につき１つの表示装置を見ることができる。これにより、視差を用いた３次元表示等を行う際であっても、高い解像度の映像を表示することができる。また、表示装置８４０は使用者の目を概略中心とした円弧状に湾曲している。これにより、使用者の目から表示装置８４０の表示面までの距離が一定となるため、使用者はより自然な映像を見ることができる。また、表示装置８４０に、光の輝度または色度が見る角度によって変化してしまう、いわゆる視野角依存性がある場合であっても、表示装置８４０の表示面の法線方向に使用者の目が位置する構成にできるため、特に水平方向については実質的にその影響を無視することができるため、より現実感のある映像を表示することができる。

［０６７６］

図３２Ｅに示すように、レンズ８４８は、表示装置８４０と使用者の目の位置との間に位置する。図３２Ｅでは、視度調節のためにレンズの位置を変化させるダイヤル８５６を有する例を示している。なお、電子機器８５０Ａがオートフォーカス機能を有する場合には、視度調節のためのダイヤル８５６を有さなくてもよい。

［０６７７］

図３２Ｆには、１枚の表示装置８４０を有するゴーグル型の電子機器８５０Ｂを示している。このような構成とすることで、部品点数を削減することができる。

［０６７８］

表示装置８４０は、左右２つの領域にそれぞれ右目用の画像と、左目用の画像の２つの画像を並べて表示することができる。これにより、両眼視差を用いた立体映像を表示することができる。なお、表示装置８４０には、視差を用いた２つの異なる画像を並べて表示させてもよいし、視差を用いずに２つの同じ画像を並べて表示させてもよい。

［０６７９］

表示装置８４０の全域に亘って、両方の目で視認可能な一つの画像を表示してもよい。これにより、視野の両端に亘ってパノラマ映像を表示することが可能となるため、現実感が高まる。

［０６８０］

表示装置８４０に、本発明の一態様の表示装置を適用することができる。本発明の一態様の表示装置は、極めて精細度が高いため、レンズ８４８を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

［０６８１］

図３３Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。

［０６８２］

電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、及び制御装置６５０９などを有する。

［０６８３］

図３３Ｂに示す電子機器６５２０は、タブレット端末として用いることのできる携帯情報端末機である。

［０６８４］

電子機器６５２０は、筐体６５０１、表示部６５０２、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、制御装置６５０９、及び接続端子６５１９などを有する。

［０６８５］

電子機器６５００及び電子機器６５２０のそれぞれにおいて、表示部６５０２はタッチパネル機能を備える。また、制御装置６５０９は、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６５０２及び制御装置６５０９の一方または双方に用いることができる。

［０６８６］

図３３Ｃは、電子機器６５００または電子機器６５２０が有する筐体６５０１のマイク６５０６側の端部を含む断面概略図である。

［０６８７］

筐体６５０１の表示面側には透光性を有する保護部材６５１０が設けられ、筐体６５０１と保護部材６５１０に囲まれた空間内に、表示パネル６５１１、光学部材６５１２、タッチセンサパネル６５１３、プリント基板６５１７、バッテリ６５１８等が配置されている。

［０６８８］

保護部材６５１０には、表示パネル６５１１、光学部材６５１２、及びタッチセンサパネル６５１３が接着層（図示しない）により固定されている。

［０６８９］

表示部６５０２よりも外側の領域において、表示パネル６５１１の一部が折り返されており、当該折り返された部分にＦＰＣ６５１５が接続されている。ＦＰＣ６５１５には、ＩＣ６５１６が実装されている。ＦＰＣ６５１５は、プリント基板６５１７に設けられた端子に接続されている。

［０６９０］

表示パネル６５１１には本発明の一態様のフレキシブルディスプレイを適用することができる。そのため、極めて軽量な電子機器を実現できる。また、表示パネル６５１１が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリ６５１８を搭載することもできる。また、表示パネル６５１１の一部を折り返して、画素部の裏側にＦＰＣ６５１５との接続部を配置することにより、狭額縁の電子機器を実現できる。

［０６９１］

図３３Ｄにテレビジョン装置の一例を示す。テレビジョン装置７１００は、筐体７１０１に表示部７０００が組み込まれている。ここでは、スタンド７１０３により筐体７１０１を支持した構成を示している。

［０６９２］

表示部７０００に、本発明の一態様の表示装置を適用することができる。

［０６９３］

図３３Ｄに示すテレビジョン装置７１００の操作は、筐体７１０１が備える操作スイッチ、及び、別体のリモコン操作機７１１１により行うことができる。または、表示部７０００にタッチセンサを備えていてもよく、指等で表示部７０００に触れることでテレビジョン装置７１００を操作してもよい。リモコン操作機７１１１は、当該リモコン操作機７１１１から出力する情報を表示する表示部を有していてもよい。リモコン操作機７１１１が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部７０００に表示される映像を操作することができる。

［０６９４］

なお、テレビジョン装置７１００は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者同士など）の情報通信を行うことも可能である。

［０６９５］

図３３Ｅに、ノート型コンピュータの一例を示す。ノート型コンピュータ７２００は、筐体７２１１、キーボード７２１２、ポインティングデバイス７２１３、外部接続ポート７２１４、及び、制御装置７２１５などを有する。筐体７２１１に、表示部７０００が組み込まれている。制御装置７２１５は、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部７０００及び制御装置７２１５の一方または双方に用いることができる。

［０６９６］

図３３Ｆ及び図３３Ｇに、デジタルサイネージの一例を示す。

［０６９７］

図３３Ｆに示すデジタルサイネージ７３００は、筐体７３０１、表示部７０００、及びスピーカ７３０３等を有する。さらに、ＬＥＤランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

［０６９８］

図３３Ｇは円柱状の柱７４０１に取り付けられたデジタルサイネージ７４００である。デジタルサイネージ７４００は、柱７４０１の曲面に沿って設けられた表示部７０００を有する。

［０６９９］

図３３Ｆ及び図３３Ｇにおいて、表示部７０００に、本発明の一態様の表示装置を適用することができる。

［０７００］

表示部７０００が広いほど、一度に提供できる情報量を増やすことができる。また、表示部７０００が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

［０７０１］

表示部７０００にタッチパネルを適用することで、表示部７０００に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

［０７０２］

図３３Ｆ及び図３３Ｇに示すように、デジタルサイネージ７３００またはデジタルサイネージ７４００は、使用者が所持するスマートフォン等の情報端末機７３１１または情報端末機７４１１と無線通信により連携可能であることが好ましい。例えば、表示部７０００に表示される広告の情報を、情報端末機７３１１または情報端末機７４１１の画面に表示させることができる。また、情報端末機７３１１または情報端末機７４１１を操作することで、表示部７０００の表示を切り替えることができる。

［０７０３］

デジタルサイネージ７３００またはデジタルサイネージ７４００に、情報端末機７３１１または情報端末機７４１１の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

［０７０４］

本発明の一態様の半導体装置及び表示装置は、移動体である自動車の運転席周辺に適用することができる。

［０７０５］

図３４Ａは、自動車の室内におけるフロントガラス周辺を表す図である。図３４Ａでは、ダッシュボードに取り付けられた表示パネル９００１ａ、表示パネル９００１ｂ、及び、表示パネル９００１ｃ、並びに、ピラーに取り付けられた表示パネル９００１ｄを示している。

［０７０６］

表示パネル９００１ａ乃至表示パネル９００１ｃは、ナビゲーション情報、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目及びレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることができる。表示パネル９００１ａ乃至表示パネル９００１ｃは、照明装置として用いることもできる。

［０７０７］

表示パネル９００１ｄには、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル９００１ｄは、照明装置として用いることもできる。

［０７０８］

図３４Ｂは、腕時計型の携帯情報端末９２００を示す斜視図である。携帯情報端末９２００は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部９００１はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末９２００は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末９２００は、接続端子９００６により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

［０７０９］

図３４Ｂに示す携帯情報端末９２００は、筐体９０００、表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、または操作スイッチを含む）、接続端子９００６、センサ９００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）、マイクロフォン９００８、等を有する。

［０７１０］

図３４Ｃは、折り畳み可能な携帯情報端末９２０１を示す斜視図である。携帯情報端末９２０１は、筐体９０００ａと、筐体９０００ｂと、表示部９００１と、操作ボタン９０５６と、を有している。

［０７１１］

筐体９０００ａと筐体９０００ｂとは、ヒンジ９０５５により結合されており、ヒンジ９０５５に

よって、２つ折りが可能となっている。

［０７１２］

携帯情報端末９２０１が有する表示部９００１は、ヒンジ９０５５によって連結された２つの筐体（筐体９０００ａ及び筐体９０００ｂ）に支持されている。

［０７１３］

図３４Ｄ乃至図３４Ｆは、折り畳み可能な携帯情報端末９２０２を示す斜視図である。また、図３４Ｄは携帯情報端末９２０２を展開した状態、図３４Ｆは折り畳んだ状態、図３４Ｅは図３４Ｄと図３４Ｆの一方から他方に変化する途中の状態の斜視図である。このように、携帯情報端末９２０２は、３つ折りが可能である。

［０７１４］

携帯情報端末９２０２が有する表示部９００１は、ヒンジ９０５５によって連結された３つの筐体９０００に支持されている。

［０７１５］

図３４Ｃ乃至図３４Ｆにおいて、表示部９００１に、本発明の一態様の表示装置を適用することができる。例えば、表示部９００１は、曲率半径０．１ｍｍ以上１５０ｍｍ以下で曲げることができる。

［０７１６］

携帯情報端末９２０１及び携帯情報端末９２０２は、それぞれ、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。

［０７１７］

なお、本発明の一態様の半導体装置を、電子部品、大型計算機、宇宙用機器、データセンター、及び電子機器の中から選ばれるいずれか一または複数に適用することで、消費電力を低減することができる。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

［０７１８］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［実施例］

［０７１９］

本実施例では、デバイスシミュレーションを行い、本発明の一態様の半導体装置の電気特性及び寄生容量を評価した結果について説明する。

［０７２０］

図３５Ａに、本実施例の計算で仮定した半導体装置の断面図を示す。図３５Ａに示す半導体装置が有するトランジスタＡは、一部の層の積層数が異なる以外は、実施の形態１で説明したトランジスタ２００Ａと同様である。なお、比較例として、図３５Ｂに示す半導体装置の構成でもデバイスシミュレーションを行った。図３５Ｂに示す半導体装置が有するトランジスタＢは、ゲート電極として機能する導電層２６０が、開口２９０内に設けられる点でトランジスタＡと主に異なる。なお、トランジスタＢにおいて、絶縁層２８０上に導電層２４０が設けられ、絶縁層２８０及び導電層２４０に導電層２２０に達する開口２９０が設けられる構成とした。

［０７２１］

デバイスシミュレーションで想定した各層の材料について説明する。導電層２２０はＩＴＳＯ膜、絶縁層２８０は窒化シリコン膜、絶縁層２８１は窒化シリコン膜、絶縁層２５０は窒化シリコン膜（絶縁層２５０ａ）、酸化ハフニウム膜（絶縁層２５０ｂ）、酸化シリコン膜（絶縁層２５０ｃ）及び酸化アルミニウム膜（絶縁層２５０ｄ）をこの順で積層した４層構造、導電層２４０はＩＴＳＯ膜を想定した。なお、導電層２６０は、具体的な材料を想定せずに仕事関数の値を設定した。酸化物半導体層２３０はＩｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］のＩｎ－Ｇａ－Ｚｎ酸化物膜を想定した。

［０７２２］

本実施例のデバイスシミュレーションに用いたパラメータの一覧を、表１に示す。また、トランジスタのチャネル長を６０ｎｍ、チャネル幅を３０×πｎｍ（約９４ｎｍ）と仮定した。なお、トランジスタＢにおいて、絶縁層２８０は、膜厚１０ｎｍの窒化シリコン膜（絶縁層２８０ａ）、膜厚６０ｎｍの酸化シリコン膜（絶縁層２８０ｂ）及び膜厚１０ｎｍの窒化シリコン膜（絶縁層２８０ｃ）をこの順で積層した３層構造を想定した。

［０７２３］

［表１］

層		
240	膜厚	20 [nm]
	仕事関数	4.4 [eV]
250a	膜厚	1 [nm]
	比誘電率	7.4
250b	膜厚	1 [nm]
	比誘電率	16.4
250c	膜厚	1.5 [nm]
	比誘電率	4.1
250d	膜厚	1 [nm]
	比誘電率	8.5
281	膜厚	10 [nm]
	比誘電率	7.4
260	膜厚	60 [nm]
	仕事関数	4.7 [eV]
280	膜厚	10 [nm]
	比誘電率	7.4
220	膜厚	20 [nm]
	仕事関数	4.4 [eV]
230	電子親和力	4.7 [eV]
	BandGap	3.2 [eV]
	比誘電率	15
	電子移動度	6 [cm^2/Vs]
	正孔移動度	0.01 [cm^2/Vs]
	伝導帯状態密度	5.0E+18 [cm^{-3}]
	価電子帯状態密度	5.0E+18 [cm^{-3}]
	膜厚	10 [nm]
	ドナー濃度(チャネル)	1.0E+10 [cm^{-3}]
	ドナー濃度(S/D)	1.0E+20 [cm^{-3}]

［０７２４］

まず、デバイスシミュレーションを行い、Ｉｄ－Ｖｇ特性を算出した。図３６に、トランジスタＡ及びトランジスタＢのＩｄ－Ｖｇ特性（Ｖｄ＝０．１Ｖ、１．２Ｖ）を示す。図３６において、横軸にゲート電圧（Ｖｇ）を示し、左の縦軸にドレイン電流（Ｉｄ）を示し、右の縦軸にドレイン電圧（Ｖｄ）が１．２Ｖでの電界効果移動度（μＦＥ）を示す。

［０７２５］

次に、図３７Ａに、各Ｉｄ－Ｖｇ特性から算出したシフト電圧（Ｖｓｈ）とサブスレッショルドスイング値（Ｓ値、Ｓ．Ｓ．）の相関を示す。図３７Ｂに、各Ｉｄ－Ｖｇ特性から算出した電界効果移動度（μＦＥ）とＤＩＢＬ（Ｄｒａｉｎ－Ｉｎｄｕｃｅｄ　Ｂａｒｒｉｅｒ　Ｌｏｗｅｒｉｎｇ）の相関を示す。ここで、シフト電圧（Ｖｓｈ）は、内挿により求めたドレイン電流（Ｉｄ）が１ｐＡ（１×１０$^{-12}$Ａ）以下となるときのゲート電圧（Ｖｇ）である。また、Ｓ値は、一定のドレイン電圧（Ｖｄ）においてドレイン電流（Ｉｄ）を１桁変化させるサブスレッショルド領域でのゲート電圧（Ｖｇ）

の変化量をいう。また、ＤＩＢＬは、ドレイン電圧（Ｖｄ）を１Ｖ変化させたときのシフト電圧（Ｖｓｈ）の変動量であり、短チャネル効果の指標の一つである。

［０７２６］

図３６、図３７Ａ及び図３７Ｂに示すように、トランジスタＢと比較して、本発明の一態様であるトランジスタＡは、Ｓ値が小さく、シフト電圧が０Ｖに近いことが分かった。また、電界効果移動度が高く、短チャネル効果が抑制されることが分かった。

［０７２７］

次に、酸化物半導体層２３０の電子密度分布を算出した。酸化物半導体層２３０の電子密度分布（Ｅｌｅｃｔｒｏｎ　ｃｏｎｃｅｎｔｒａｔｉｏｎ）を図３８に示す。図３８において、左側にトランジスタＡ、右側にトランジスタＢの電子密度分布を示す。また、上側にゲート電圧（Ｖｇｓ）がシフト電圧（Ｖｓｈ）のときの電子密度分布を示し、下側にゲート電圧（Ｖｇｓ）が＋４．０Ｖのときの電子密度分布を示す。なお、上側はトランジスタのサブスレッショルド領域での電子密度分布を示し、下側はオン領域での電子密度分布を示している。

［０７２８］

図３８に示すように、トランジスタＡにおいて、サブスレッショルド領域での電子密度は酸化物半導体層２３０の導電層２６０側が低く、導電層２６０の反対側（ここでは、開口２９０の中央側）が高くなった。つまり、トランジスタＡにおいて、導電層２６０から離れた開口２９０の中央側の領域で電流が流れ始めることが分かった。ここで、トランジスタＡにおいて、導電層２６０の反対側（ここでは、開口２９０の中央側）の酸化物半導体層２３０の側面による周の長さは、導電層２６０側の酸化物半導体層２３０の側面による周の長さより短い。したがって、ゲート（ここでは、導電層２６０）に電圧を印加した際の電界強度は、導電層２６０側から開口２９０の中央側に近づくほど電界強度が大きくなる。そのため、サブスレッショルド領域において、電流が流れ始める領域のゲートの電界強度が大きくなるため、Ｓ値が小さくなると考えられる。また、トランジスタＡにおいて、オン領域での電子密度は酸化物半導体層２３０の導電層２６０側が高く、導電層２６０の反対側（ここでは、開口２９０の中央側）が低くなった。つまり、トランジスタＡにおいて、オン領域での電流パスは導電層２６０側であることを確認できた。

［０７２９］

トランジスタＢにおいて、サブスレッショルド領域での電子密度は酸化物半導体層２３０の導電層２６０側（ここでは、開口２９０の中央側）が低く、導電層２６０の反対側（ここでは、絶縁層２８０側）が高くなった。つまり、トランジスタＡにおいて、導電層２６０から離れた絶縁層２８０側の領域で電流が流れ始めることが分かった。また、トランジスタＢにおいて、オン領域での電子密度は酸化物半導体層２３０の導電層２６０側（ここでは、開口２９０の中央側）が高く、導電層２６０の反対側（ここでは、絶縁層２８０側）が低くなった。つまり、トランジスタＢにおいて、オン領域での電流パスは導電層２６０側（ここでは、開口２９０の中央側）であることを確認できた。

［０７３０］

以上のことから、本発明の一態様のトランジスタは、良好な電気特性を実現できることを確認できた。

［符号の説明］

［０７３１］

ＡＤＤＲ：信号、ＢＩＬ：配線、ＢＩＬＢ：配線、ＢＲＬ：配線、ＢＷ：信号、ＣＡ：容量素子、Ｃ

ＡＬ：配線、ＣＢ：容量素子、ＣＣ：容量素子、ＣＥ：信号、ＣＬＫ：信号、ＧＮＤＬ：配線、ＧＷ：信号、ＩＳ２１：絶縁層、ＩＳ２２：絶縁層、Ｍ１０：トランジスタ、ＭＰＧ：導電層、ＭＴＣＫ：トランジスタ、ＲＢＬ：配線、ＲＤＡ：信号、ＲＷＬ：配線、ＳＬ：配線、ＶＤＬ：配線、ＷＡＫＥ：信号、ＷＢＬ：配線、ＷＤＡ：信号、ＷＯＬ：配線、６１Ｂ：発光素子、６１Ｇ：発光素子、６１Ｒ：発光素子、６１Ｗ：発光素子、１００ａ：容量素子、１００ｂ：容量素子、１００：容量素子、１１０：導電層、１１５：導電層、１２０：導電層、１３０Ｂ：副画素、１３０Ｇ：副画素、１３０Ｒ：副画素、１３０：絶縁層、１４０：絶縁層、１５０ａ：メモリセル、１５０ｂ：メモリセル、１５０ｃ：メモリセル、１５０ｄ：メモリセル、１５０：メモリセル、１６０：メモリ層、１７０：表示モジュール、１７１：導電層、１７２Ｂ：ＥＬ層、１７２Ｇ：ＥＬ層、１７２Ｒ：ＥＬ層、１７２Ｗ：ＥＬ層、１７３：導電層、１７５Ｂ：光、１７５Ｇ：光、１７５Ｒ：光、１８０：絶縁層、１９０：開口、２００Ａ：トランジスタ、２００ａ：トランジスタ、２００Ｂ：トランジスタ、２００ｂ：トランジスタ、２００Ｃ：トランジスタ、２１０：絶縁層、２２０ａ：導電層、２２０ｂ：導電層、２２０ｃ：導電層、２２０：導電層、２２２：絶縁層、２２３：絶縁層、２３０ａ：酸化物層、２３０ｂ：酸化物層、２３０ｃ：酸化物層、２３０：酸化物半導体層、２４０ａ：導電層、２４０Ａ：導電膜、２４０ｂ：導電層、２４０Ｂ：導電膜、２４０：導電層、２４４：導電層、２４５：導電層、２４６：導電層、２４７：導電層、２４８：導電層、２５０ａ：絶縁層、２５０Ａ：絶縁膜、２５０ｂ：絶縁層、２５０ｃ：絶縁層、２５０ｄ：絶縁層、２５０ｐ：突出部、２５０：絶縁層、２５４Ａ：膜、２５４：層、２６０：導電層、２６４Ｂ：着色層、２６４Ｇ：着色層、２６４Ｒ：着色層、２７０：開口、２７１：保護層、２７２：絶縁層、２７６Ａ：膜、２７６：層、２７９：レジストマスク、２８０ａ：絶縁層、２８０ｂ：絶縁層、２８０ｃ：絶縁層、２８０：絶縁層、２８１ａ：絶縁層、２８１ｂ：絶縁層、２８１ｃ：絶縁層、２８１：絶縁層、２８３：絶縁層、２８５：絶縁層、２９０Ａ：開口、２９０：開口、２９１：基板、２９２：回路部、２９３ａ：画素回路、２９３：画素回路部、２９４ａ：画素、２９４：画素部、２９５：端子部、２９６：配線部、２９７：表示部、２９８：ＦＰＣ、２９９：基板、３００：トランジスタ、３１１：基板、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁層、３１６：導電層、３２０：絶縁層、３２２：絶縁層、３２４：絶縁層、３２６：絶縁層、３２８：導電層、３３０：導電層、３５０：絶縁層、３５２：絶縁層、３５４：絶縁層、３５６：導電層、３６３：絶縁層、４００ｄ：トランジスタ、４１０：基板、４１２：素子分離層、４１３：半導体領域、４１４ａ：低抵抗領域、４１４ｂ：低抵抗領域、４１５：絶縁層、４１６：導電層、４１７：絶縁層、４２０：絶縁層、４２２：絶縁層、４２４：絶縁層、４２６：絶縁層、４２８：導電層、４３０：導電層、４５０：絶縁層、４５２：絶縁層、４５４：絶縁層、４５６：導電層、５１３：絶縁層、５１４：導電層、５４１：基板、５４３：接着層、５４５：絶縁層、５７４：絶縁層、５８１：絶縁層、５９２：絶縁層、５９４：絶縁層、５９６：導電層、５９８：絶縁層、５９９：絶縁層、６００Ａ：表示装置、６００Ｂ：表示装置、６０７：接着層、６１０：基板、６１１ａ：導電層、６１１ｂ：導電層、６１１ｃ：導電層、６１３ａ：層、６１３ｂ：層、６１３ｃ：層、６１４：共通層、６１５：共通電極、６１８ａ：犠牲層、６２０：素子層、６２５：絶縁層、６２７：絶縁層、６２８Ｂ：着色層、６２８Ｇ：着色層、６２８Ｒ：着色層、６３０：素子層、６３１：保護層、６３５：素子層、６４０：接続部、６４１：絶縁層、６４２：導電層、６４３：導電層、６４４：導電層、６４５：導電層、６４６：導電層、６４７：絶縁層、６４８：絶縁層、６５０Ｂ：発光素子、６５０Ｇ：発光素子、６５０Ｒ：発光素子、６５０：発光素子、６６０：素子層、６７０：配線層、７００Ａ：電子機器、７００：電子部品、７０２：プリント基板、７０４：

実装基板、７１０：半導体装置、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７１５：駆動回路層、７１６：記憶層、７２１：筐体、７２３：装着部、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、７５０：イヤフォン、７５１：表示パネル、７５３：光学部材、７５６：表示領域、７５７：フレーム、７５８：鼻パッド、８００Ａ：電子機器、８００Ｂ：電子機器、８２０：表示部、８２１：筐体、８２２：通信部、８２３：装着部、８２４：制御部、８２５：撮像部、８２７：イヤフォン部、８３２：レンズ、８４０＿Ｌ：表示装置、８４０＿Ｒ：表示装置、８４０：表示装置、８４１：動き検出部、８４２：視線検出部、８４３：演算部、８４４：通信部、８４５：筐体、８４８：レンズ、８５０Ａ：電子機器、８５０Ｂ：電子機器、８５１：操作ボタン、８５４：装着具、８５５：センサ、８５６：ダイヤル、９００：半導体装置、９１０：駆動回路、９１１：周辺回路、９１２：コントロール回路、９１５：周辺回路、９２０：メモリアレイ、９２３：行ドライバ、９２４：列ドライバ、９２５：入力回路、９２６：出力回路、９２７：センスアンプ、９２８：電圧生成回路、９３０：層、９３１：ＰＳＷ、９３２：ＰＳＷ、９４１：行デコーダ、９４２：列デコーダ、９５０：メモリセル、９５１：メモリセル、９５２：メモリセル、９５３：メモリセル、９５４：メモリセル、９５５：メモリセル、９５６：メモリセル、９５７：メモリセル、９５８：メモリセル、９６０：演算装置、９７０Ａ：半導体装置、９７０Ｂ：半導体装置、９７０Ｃ：半導体装置、９８９：キャッシュインターフェース、９９０：基板、９９１：ＡＬＵ、９９２：ＡＬＵコントローラ、９９３：インストラクションデコーダ、９９４：インタラプトコントローラ、９９５：タイミングコントローラ、９９６：レジスタ、９９７：レジスタコントローラ、９９８：バスインターフェース、９９９：キャッシュ、５６００：大型計算機、５６１０：ラック、５６２０：計算機、５６２１：ＰＣカード、５６２２：ボード、５６２３：接続端子、５６２４：接続端子、５６２５：接続端子、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、５６２９：接続端子、５６３０：マザーボード、５６３１：スロット、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５０９：制御装置、６５１０：保護部材、６５１１：表示パネル、６５１２：光学部材、６５１３：タッチセンサパネル、６５１５：ＦＰＣ、６５１６：ＩＣ、６５１７：プリント基板、６５１８：バッテリ、６５１９：接続端子、６５２０：電子機器、６８００：人工衛星、６８０１：機体、６８０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：制御装置、７０００：表示部、７００１ｓｂ：サーバ、７００１：ホスト、７００２：ストレージ制御回路、７００３ｍｄ：記憶装置、７００３：ストレージ、７０１０：ストレージシステム、７１００：テレビジョン装置、７１０１：筐体、７１０３：スタンド、７１１１：リモコン操作機、７２００：ノート型コンピュータ、７２１１：筐体、７２１２：キーボード、７２１３：ポインティングデバイス、７２１４：外部接続ポート、７２１５：制御装置、７３００：デジタルサイネージ、７３０１：筐体、７３０３：スピーカ、７３１１：情報端末機、７４００：デジタルサイネージ、７４０１：柱、７４１１：情報端末機、９０００ａ：筐体、９０００ｂ：筐体、９０００：筐体、９００１ａ：表示パネル、９００１ｂ：表示パネル、９００１ｃ：表示パネル、９００１ｄ：表示パネル、９００１：表示部、９００３：スピーカ、９００５：操作キー、９００６：接続端子、９００７：センサ、９００８：マイクロフォン、９０５５：ヒンジ、９０５６：操作ボタン、９２００：携帯情報端末、９２０１：携帯情報端末、９２０２：携帯情報端末

請求の範囲

［請求項１］

トランジスタと、第１の絶縁層と、第２の絶縁層と、を有し、

前記トランジスタは、第１の導電層と、第２の導電層と、第３の導電層と、第３の絶縁層と、酸化物半導体層と、を有し、

前記第１の導電層、前記第１の絶縁層、前記第２の導電層、前記第２の絶縁層及び前記第３の導電層は、この順に積層して設けられ、

前記第１の絶縁層、前記第２の導電層、前記第２の絶縁層及び前記第３の導電層は、前記第１の導電層に達する開口を有し、

前記第３の絶縁層は、前記開口において、前記第１の導電層の一部の上面、前記第１の絶縁層の側面、前記第２の導電層の側面、及び前記第２の絶縁層の側面と接する領域を有し、

前記酸化物半導体層は、前記第１の導電層の上面、前記第３の絶縁層の上面及び側面、並びに前記第３の導電層の上面と接する領域を有し、

前記第３の絶縁層は、前記第１の導電層の上面と接する領域において、前記酸化物半導体層側に突出する部分を有する、半導体装置。

［請求項２］

請求項１において、

第４の絶縁層を有し、

前記第４の絶縁層は、前記開口を埋め込むように、前記酸化物半導体層上に設けられる、半導体装置。

［請求項３］

請求項２において、

前記第４の絶縁層の上面は、平坦である、半導体装置。

［請求項４］

請求項１乃至請求項３のいずれか一において、

前記酸化物半導体層は、インジウム及び亜鉛の一方または双方を有する、半導体装置。

［請求項５］

請求項１乃至請求項３のいずれか一において、

前記第１の絶縁層は、シリコンと、窒素と、を有し、

前記第２の絶縁層は、シリコンと、窒素と、を有する、半導体装置。

［請求項６］

請求項１乃至請求項３のいずれか一において、

前記第１の絶縁層は、第５の絶縁層と、前記第５の絶縁層上の第６の絶縁層と、前記第６の絶縁層上の第７の絶縁層と、を有し、

前記第２の絶縁層は、第８の絶縁層と、前記第８の絶縁層上の第９の絶縁層と、前記第９の絶縁層上の第１０の絶縁層と、を有し、

前記第５の絶縁層、前記第７の絶縁層、前記第８の絶縁層及び前記第１０の絶縁層はそれぞれ、シリコンと、窒素と、を有し、

前記第６の絶縁層及び前記第９の絶縁層はそれぞれ、シリコンと、酸素と、を有する、半導体装置。

［請求項７］

請求項６において、

前記第６の絶縁層は、前記第５の絶縁層及び前記第７の絶縁層のそれぞれより膜厚が厚い領域を有し、

前記第９の絶縁層は、前記第８の絶縁層及び前記第１０の絶縁層のそれぞれより膜厚が厚い領域を有する、半導体装置。

［請求項８］

請求項１乃至請求項３のいずれか一において、

前記酸化物半導体層は、前記開口において、前記第３の導電層の側面と接する、半導体装置。

［請求項９］

第１の導電層を形成し、

前記第１の導電層上に第１の絶縁層を形成し、

前記第１の絶縁層上に第２の導電層を形成し、

前記第２の導電層上に第２の絶縁層を形成し、

前記第２の絶縁層上に第３の導電層を形成し、

前記第３の導電層上にマスク層を形成し、

前記第１の絶縁層、前記第２の導電層、前記第２の絶縁層、前記第３の導電層及び前記マスク層に、前記第１の導電層に達する開口を形成し、

前記開口の側壁及び底部に接する第３の絶縁層を形成し、

前記第３の絶縁層上にダミー層を形成し、

前記第３の絶縁層及び前記ダミー層を加工することにより、前記開口と重なる領域の前記第１の導電層の上面を露出させるとともに、前記マスク層の上面及び側面を露出させ、

前記マスク層を除去し、

前記ダミー層を除去し、

前記第１の導電層、前記第３の絶縁層及び前記第３の導電層上に半導体層を形成する、半導体装置の作製方法。

［請求項１０］

請求項９において、

前記第３の絶縁層及び前記ダミー層の加工は、異方性エッチングを用いる、半導体装置の作製方法。

図1A

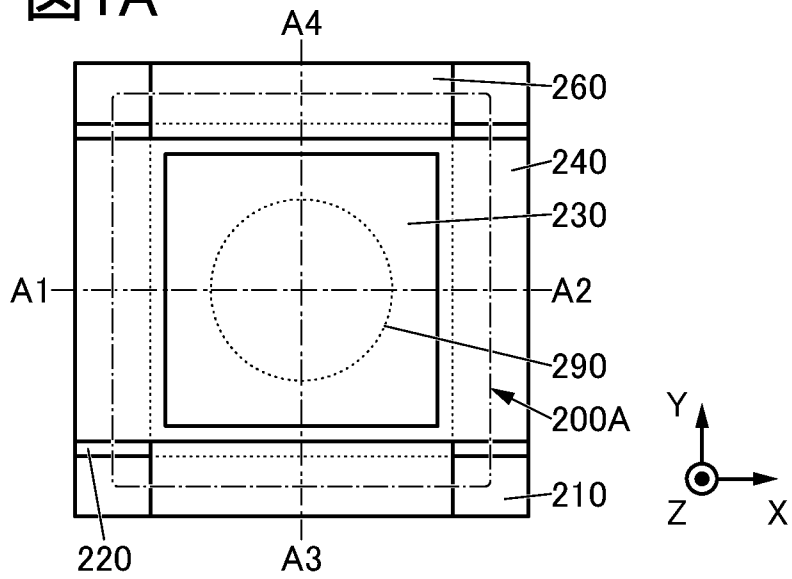


図1B

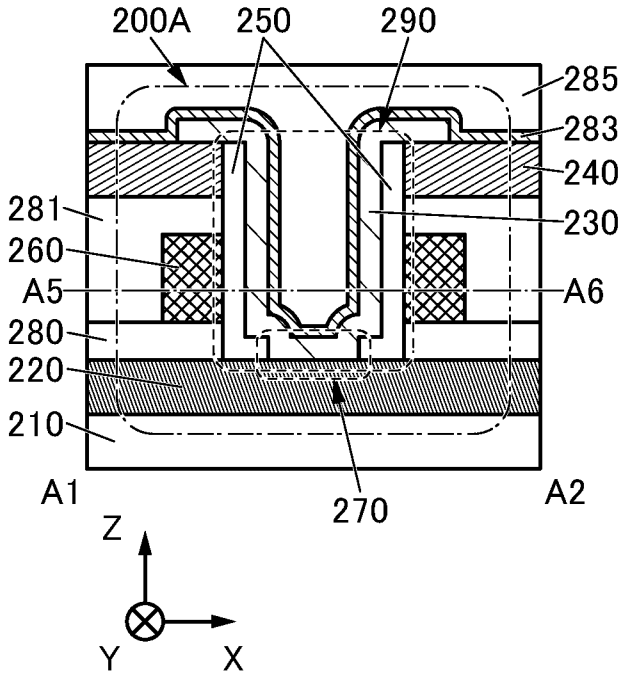


図1C

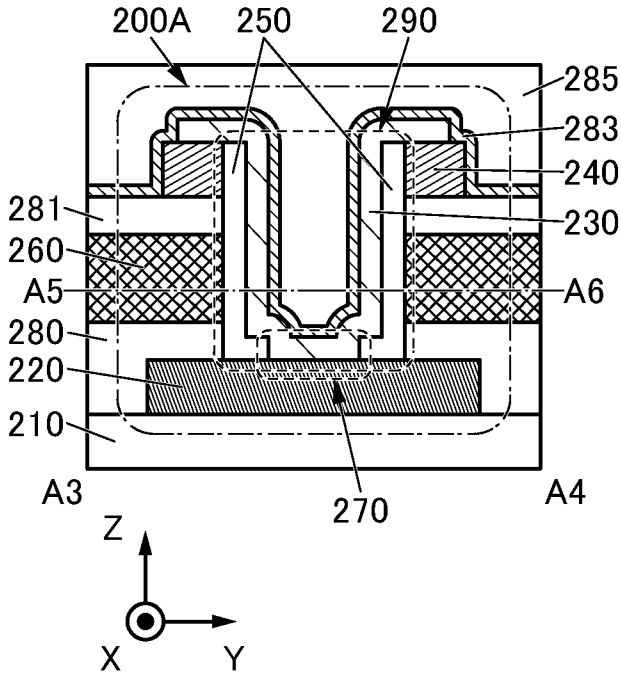


図1D

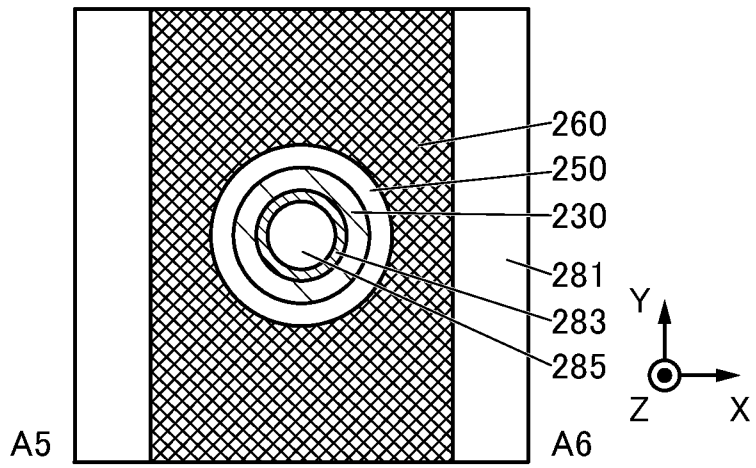


図1E

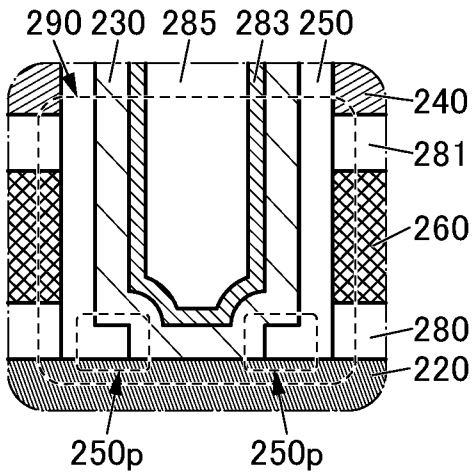


図2A

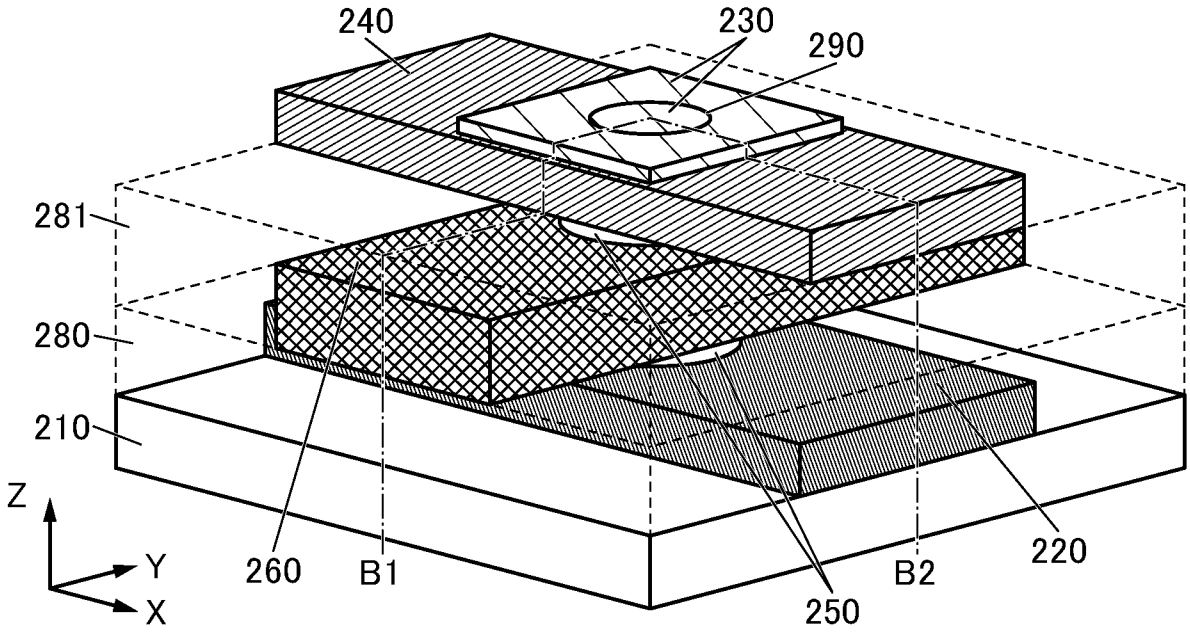

240
230
290
281
280
210
Z
Y
X
260
B1
B2
220
250

図2B

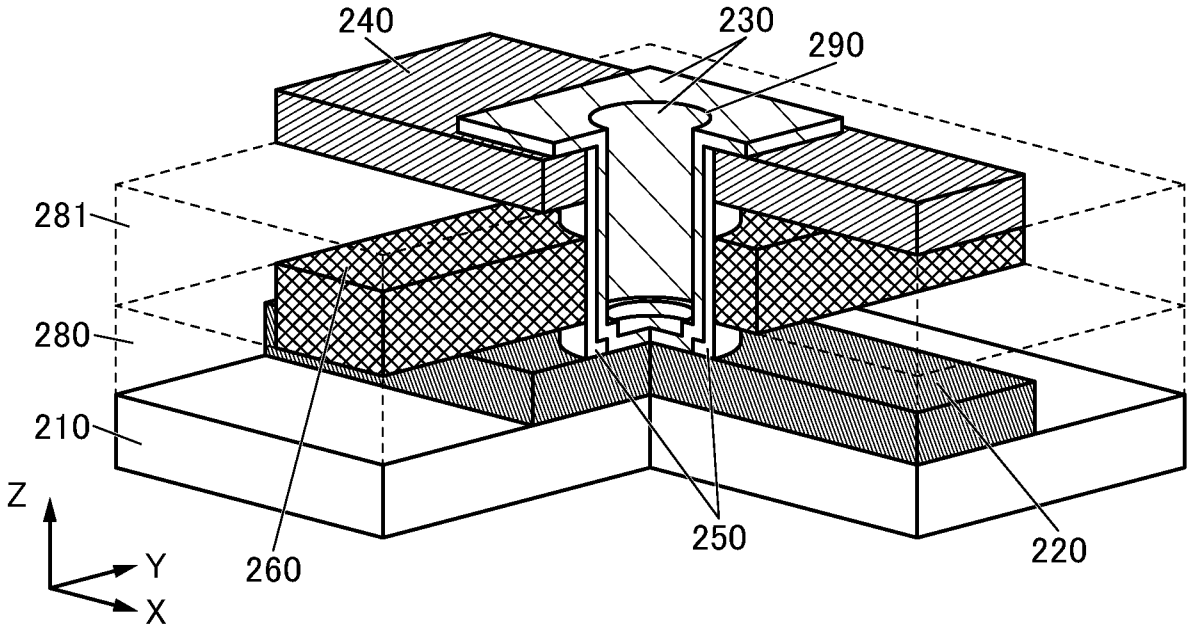

240
230
290
281
280
210
Z
Y
X
260
250
220

図3A

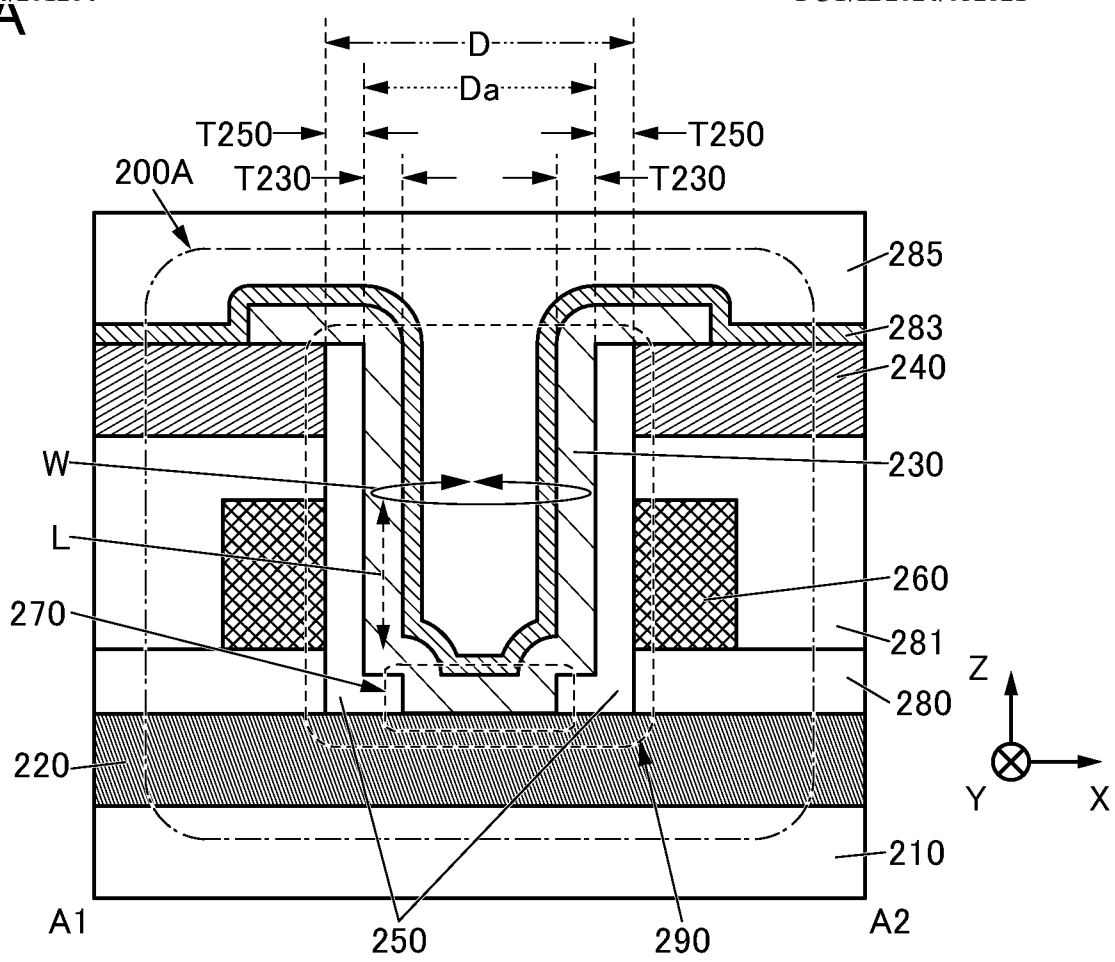

D
Da
T250
T250
200A
T230
T230
285
283
240
230
W
L
260
270
281
280
220
210
A1
250
290
A2
Z
Y
X

図3B

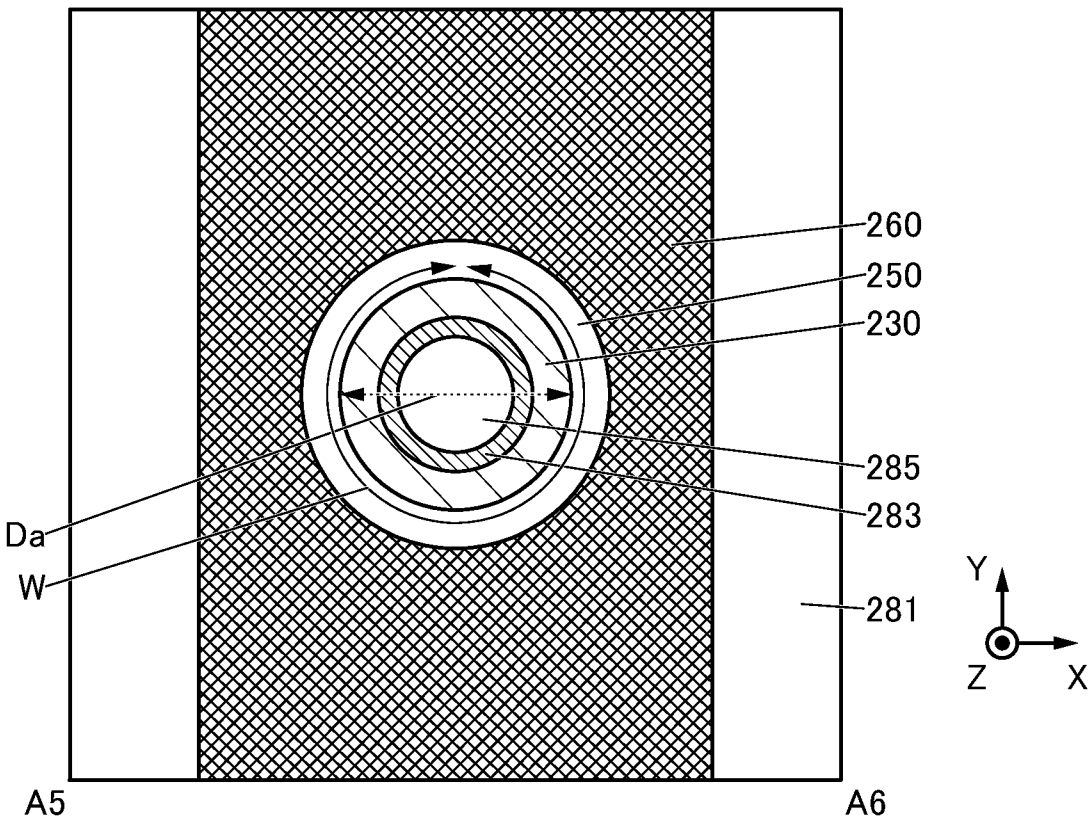

260
250
230
285
283
Da
W
281
A5
A6
Y
Z
X

図4A

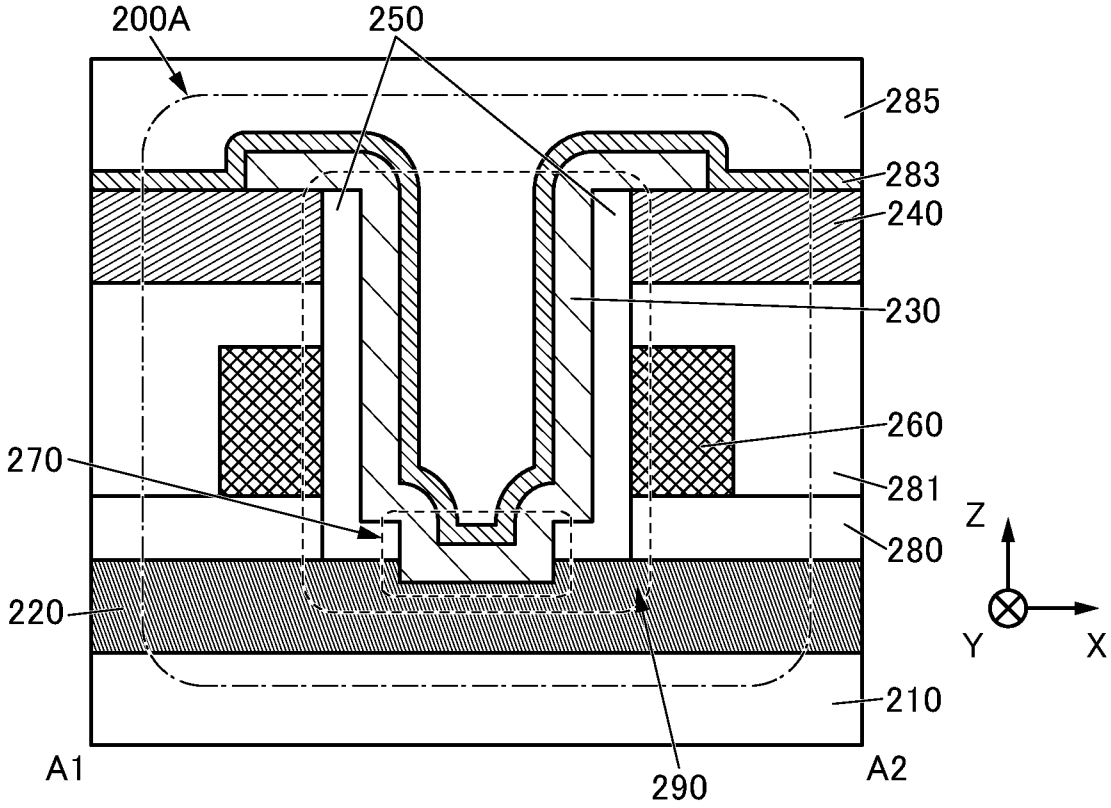

200A
250
285
283
240
230
260
270
281
280
220
210
A1
290
A2
Z
Y
X

図4B

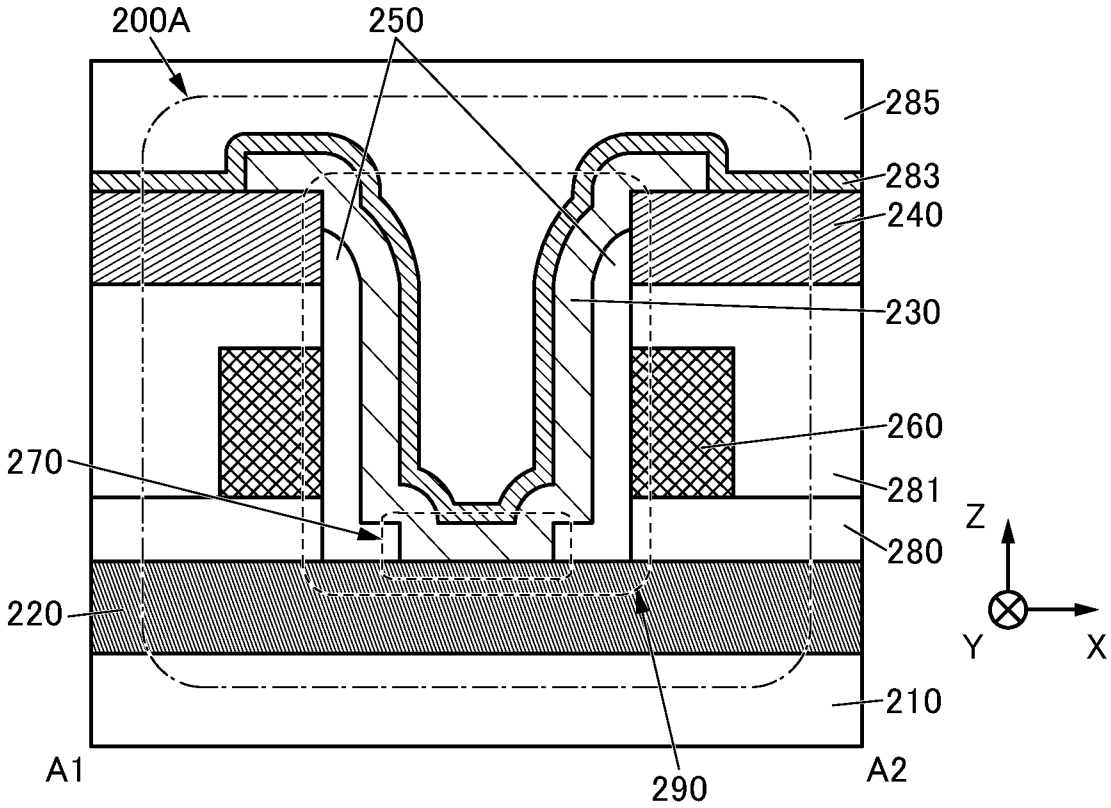

200A
250
285
283
240
230
260
270
281
280
220
210
A1
290
A2
Z
Y
X

図5A

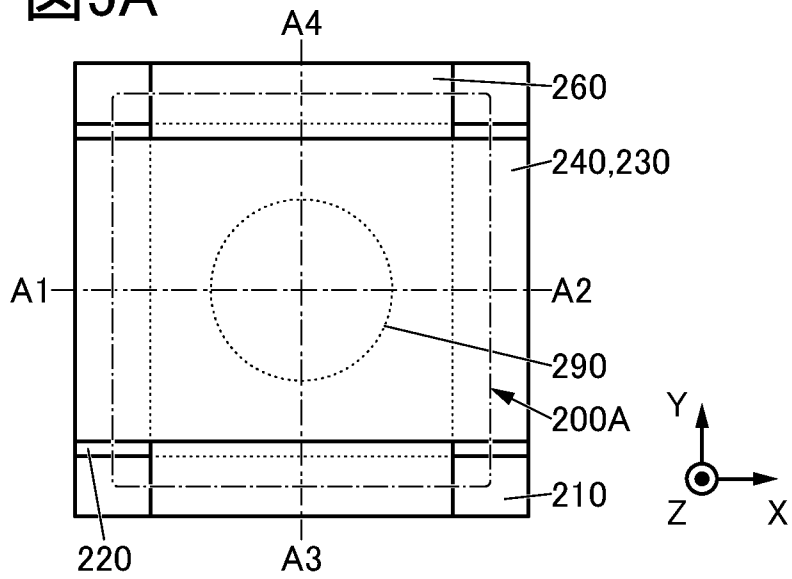


図5B

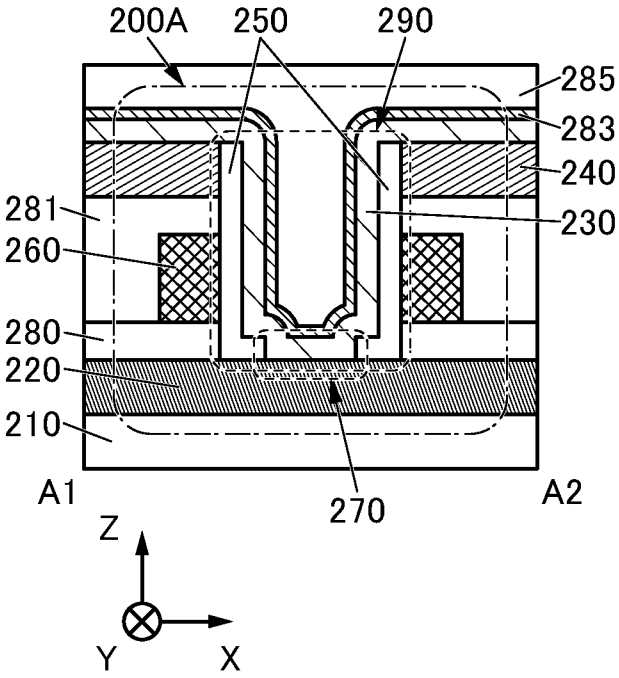


図5C

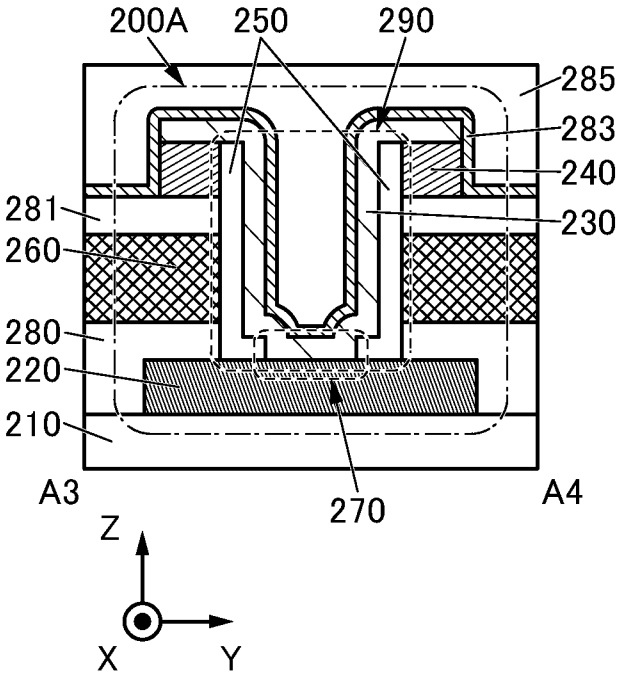


図5D

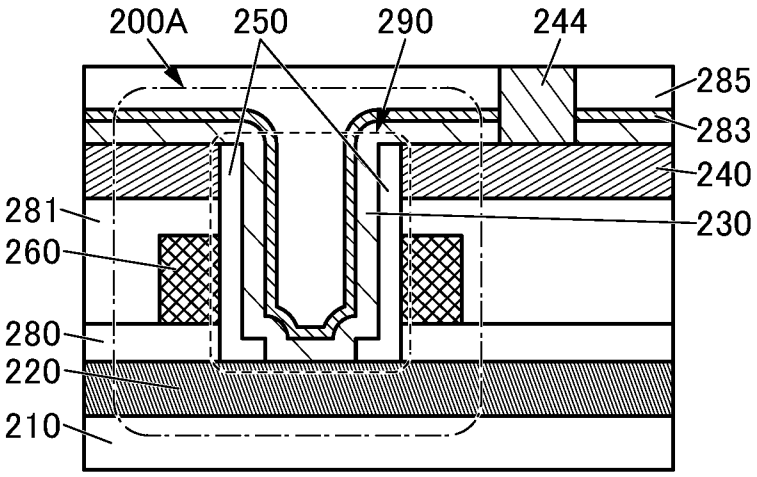


図6A

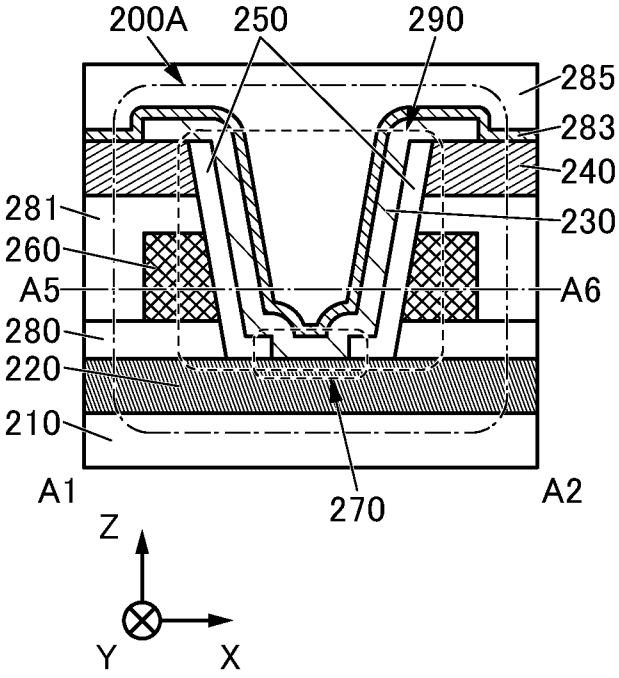

200A
250
290
285
283
240
230
281
260
A5
A6
280
220
210
A1
A2
270
Z
Y
X

図6B

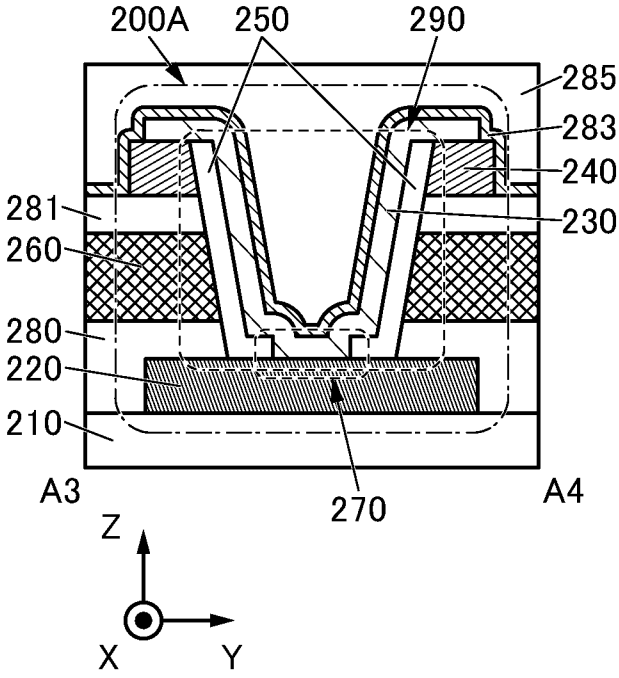

200A
250
290
285
283
240
230
281
260
280
220
210
A3
A4
270
Z
X
Y

図7A

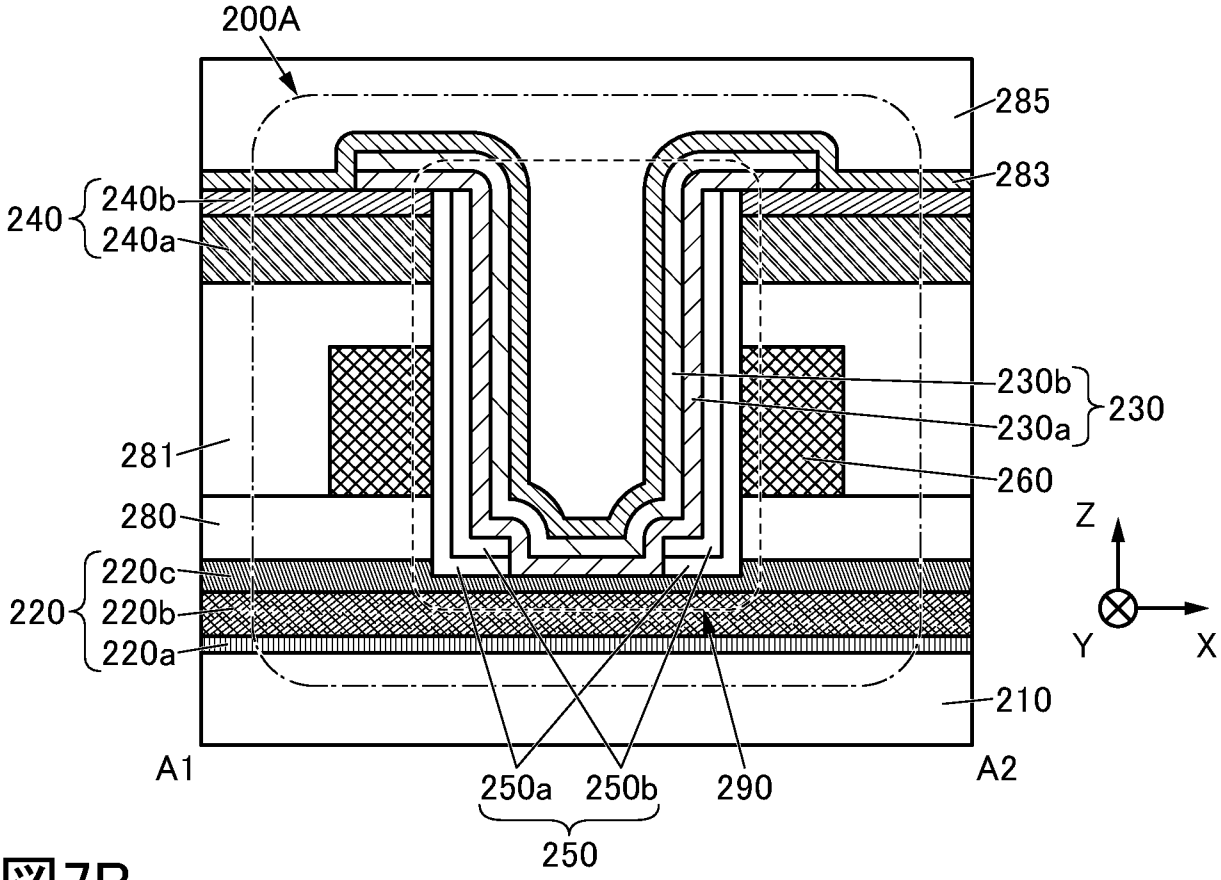

200A
285
283
240
240b
240a
230b
230a
230
281
260
280
220c
220
220b
220a
Z
Y
X
210
A1
A2
250a
250b
290
250

図7B

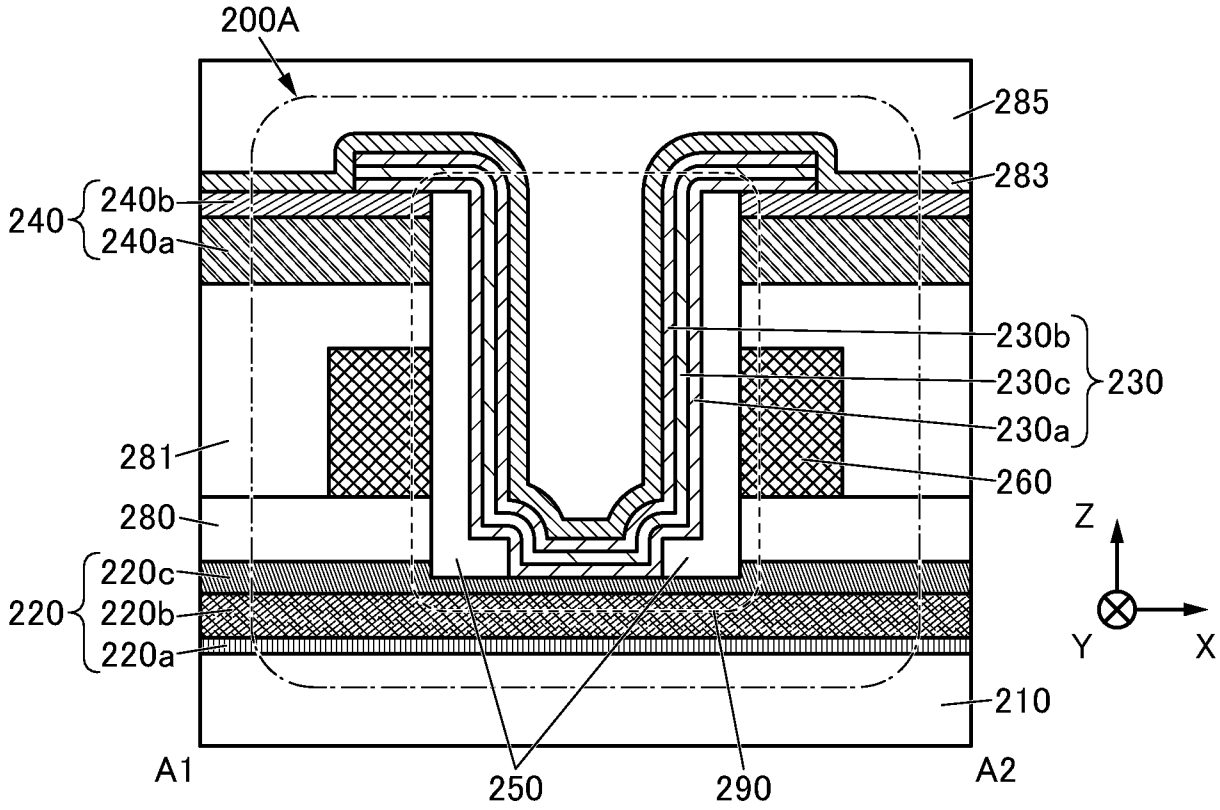

200A
285
283
240
240b
240a
230b
230c
230a
230
281
260
280
220c
220
220b
220a
Z
Y
X
210
A1
A2
250
290

図8A

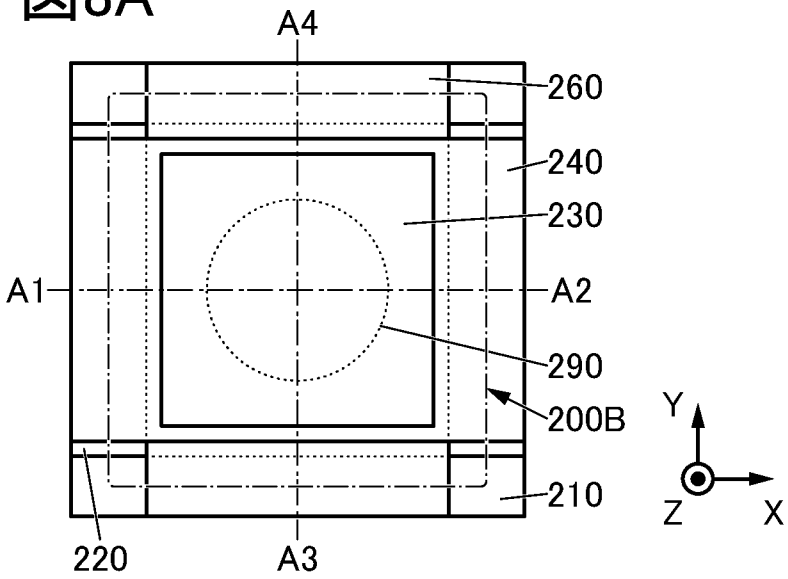


図8B

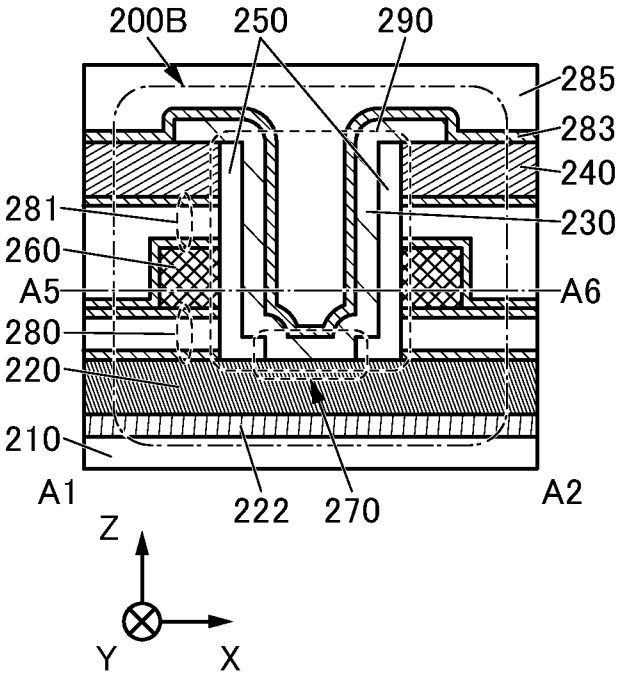


図8C

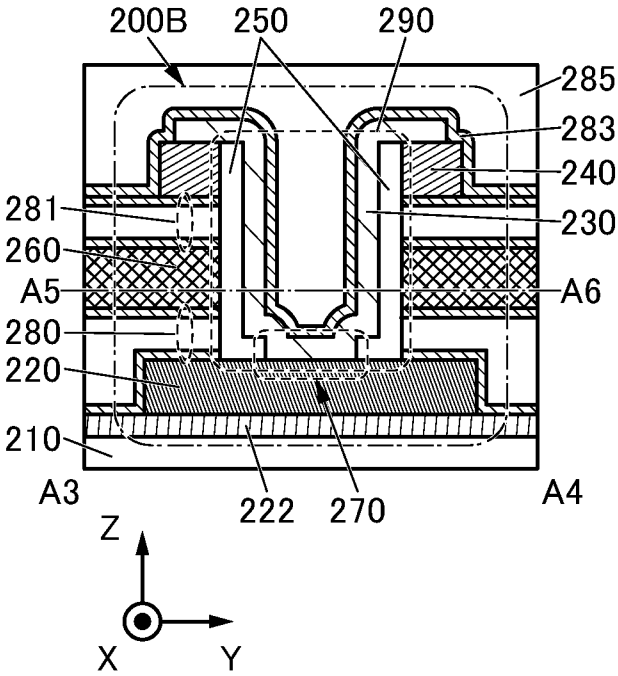
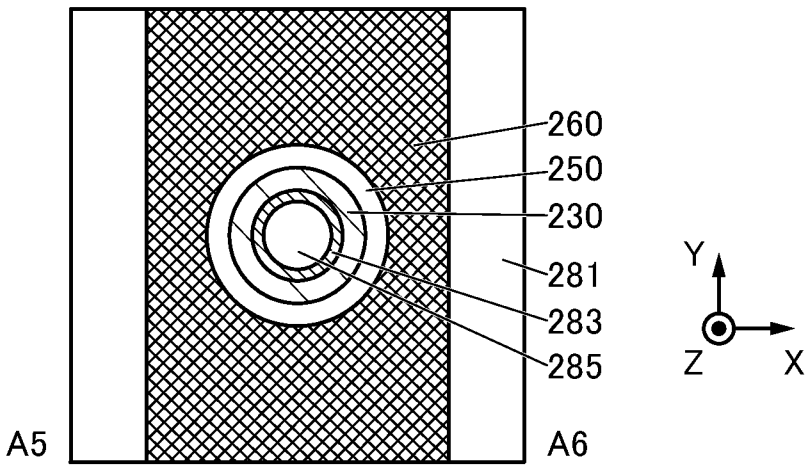


図8D



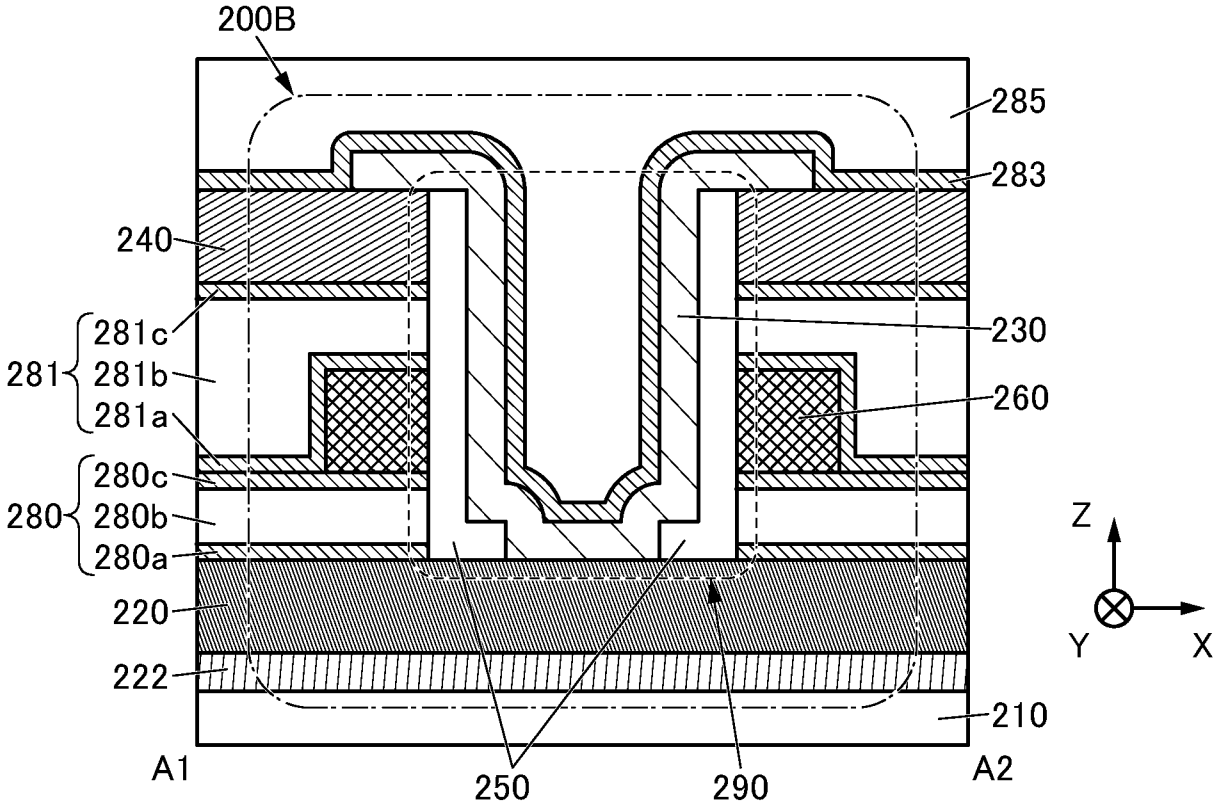

200B
285
283
240
281c
281
281b
281a
230
260
280c
280
280b
280a
220
222
210
A1
250
290
A2
Z
Y
X

図10A

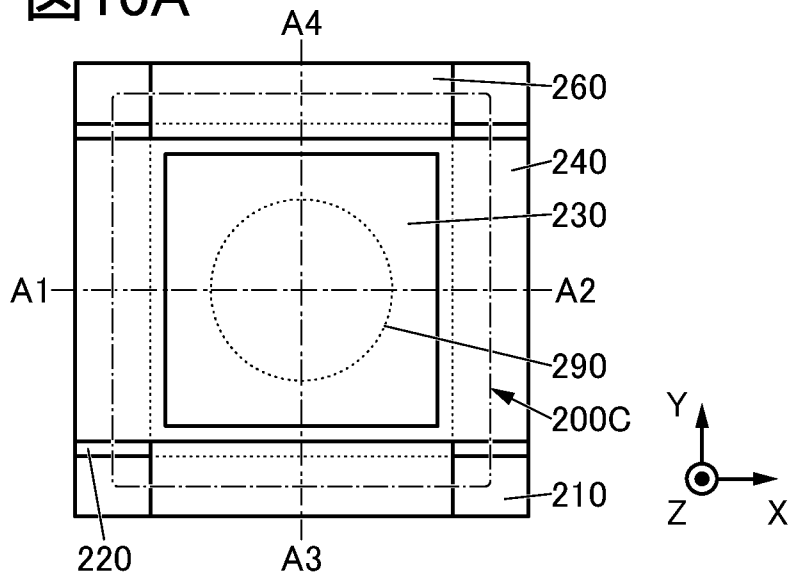


図10B

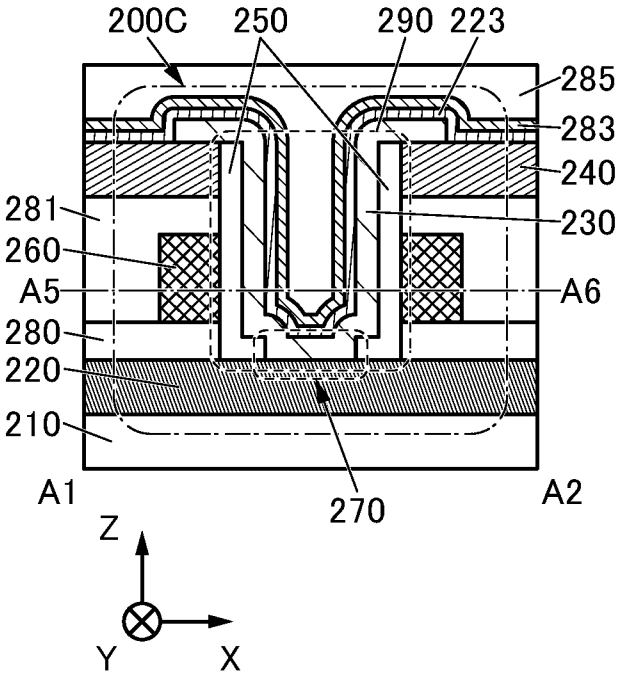


図10C

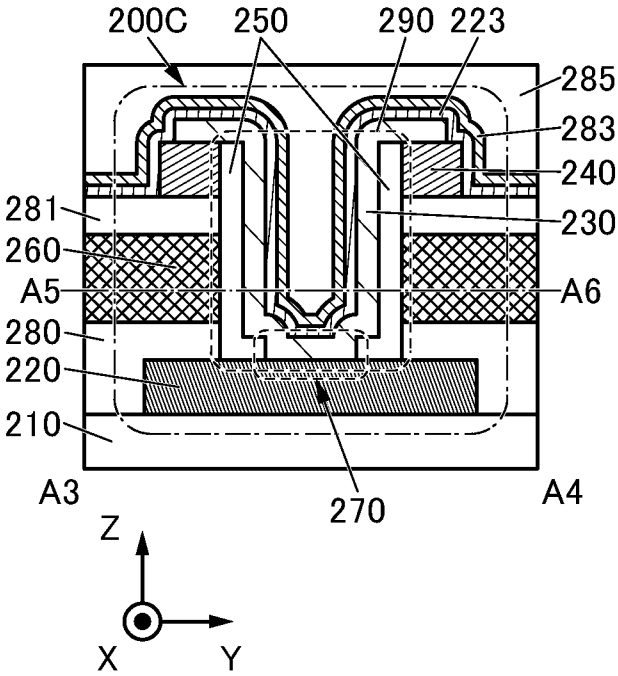


図10D

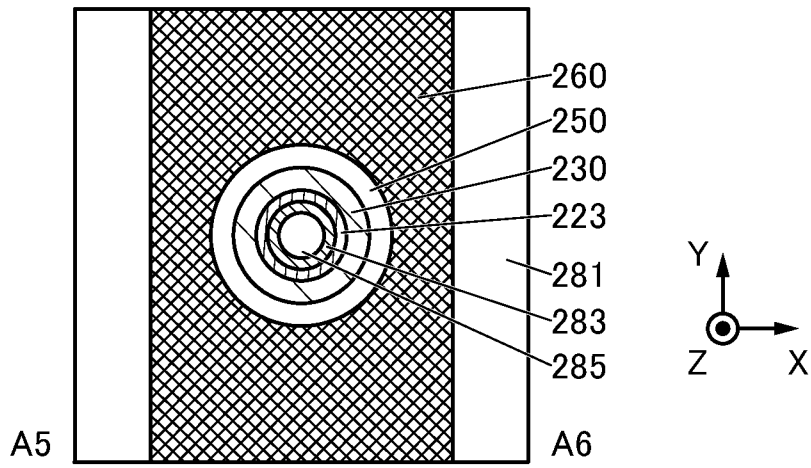


図11A

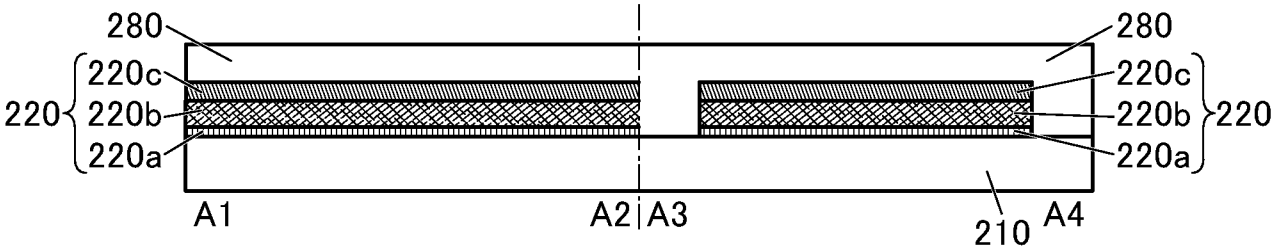


図11B

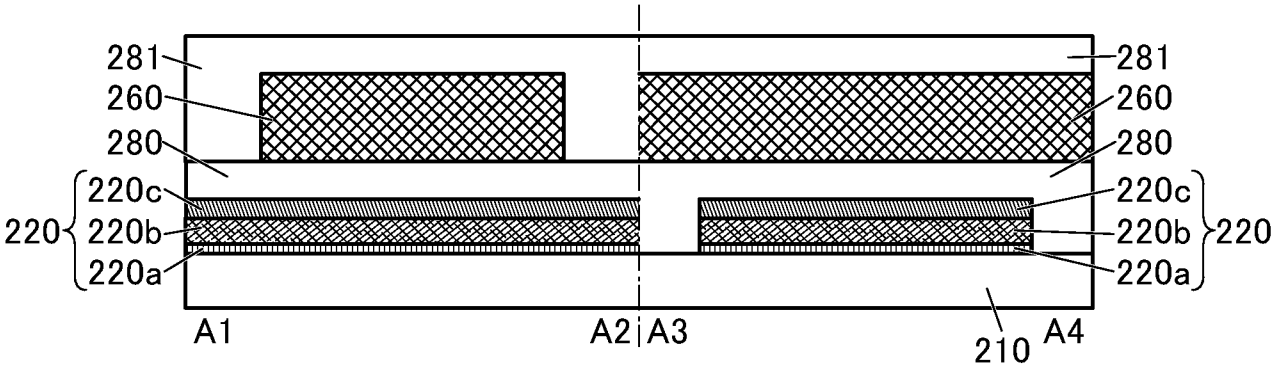


図11C

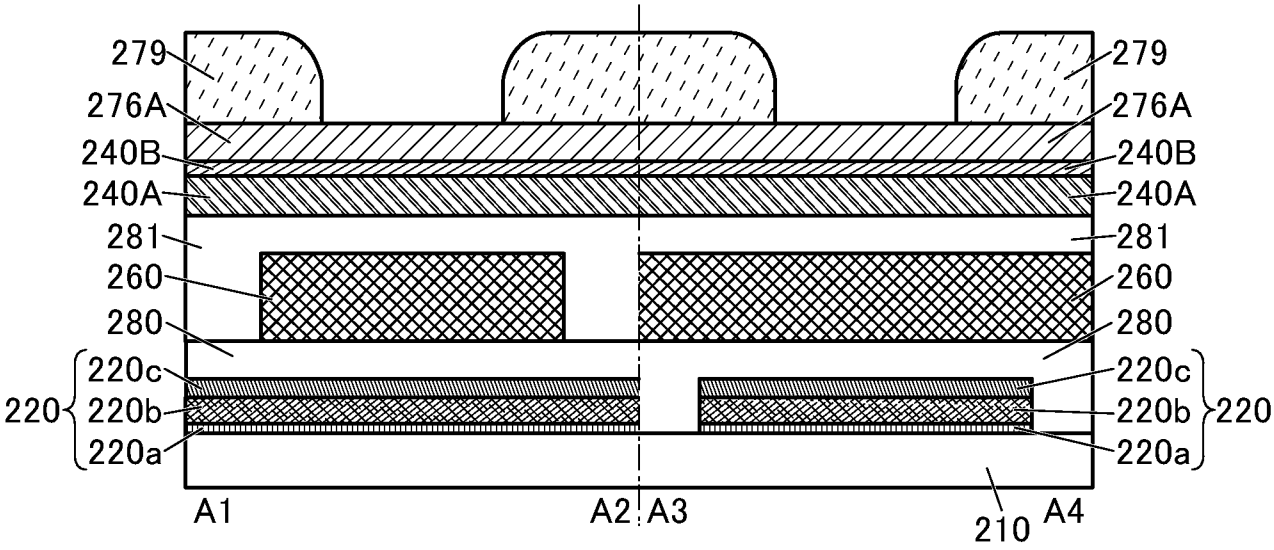


図12A

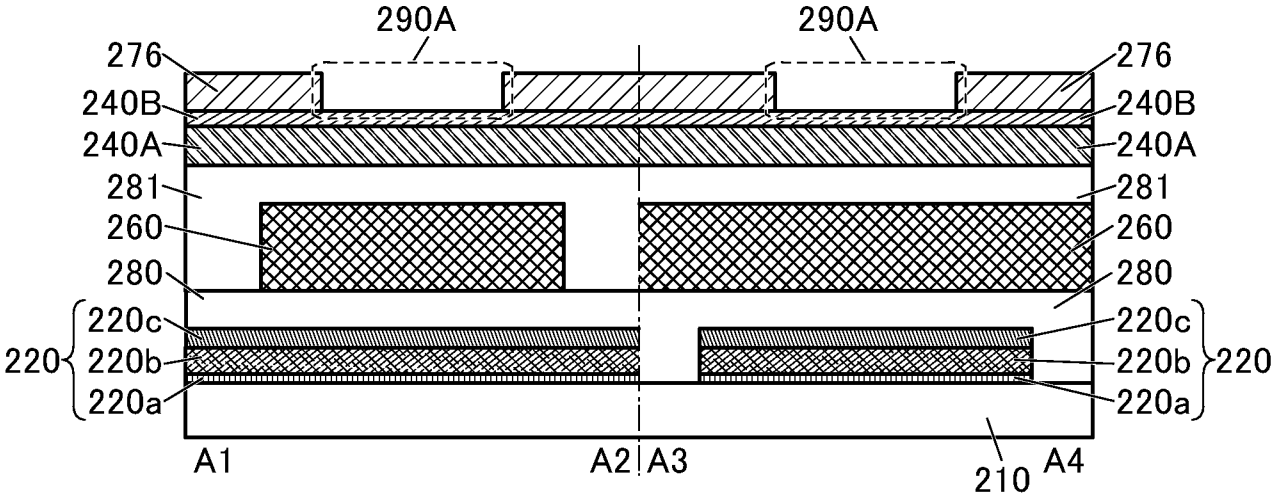


図12B

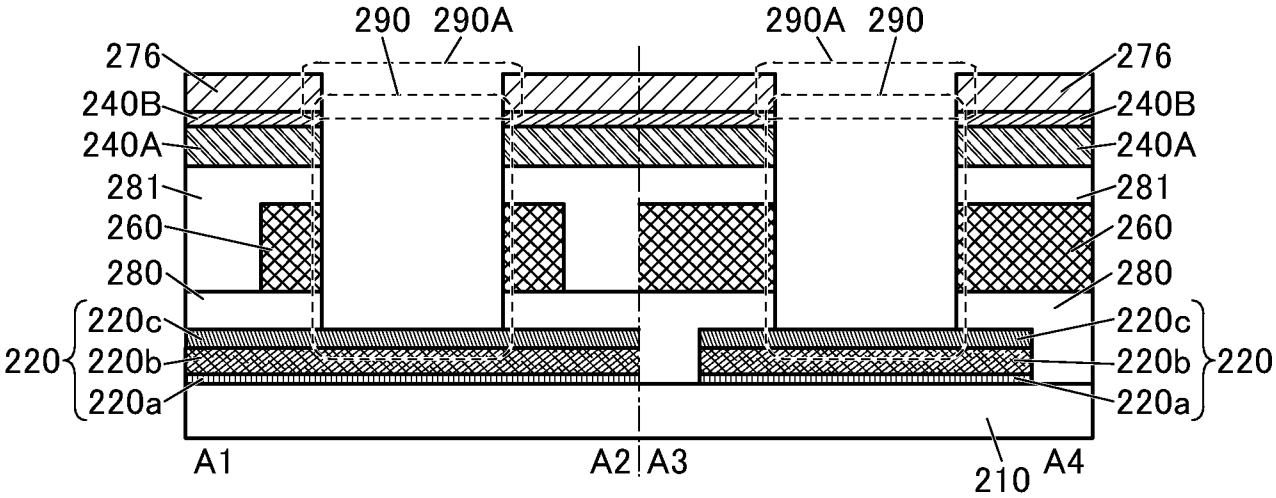


図12C

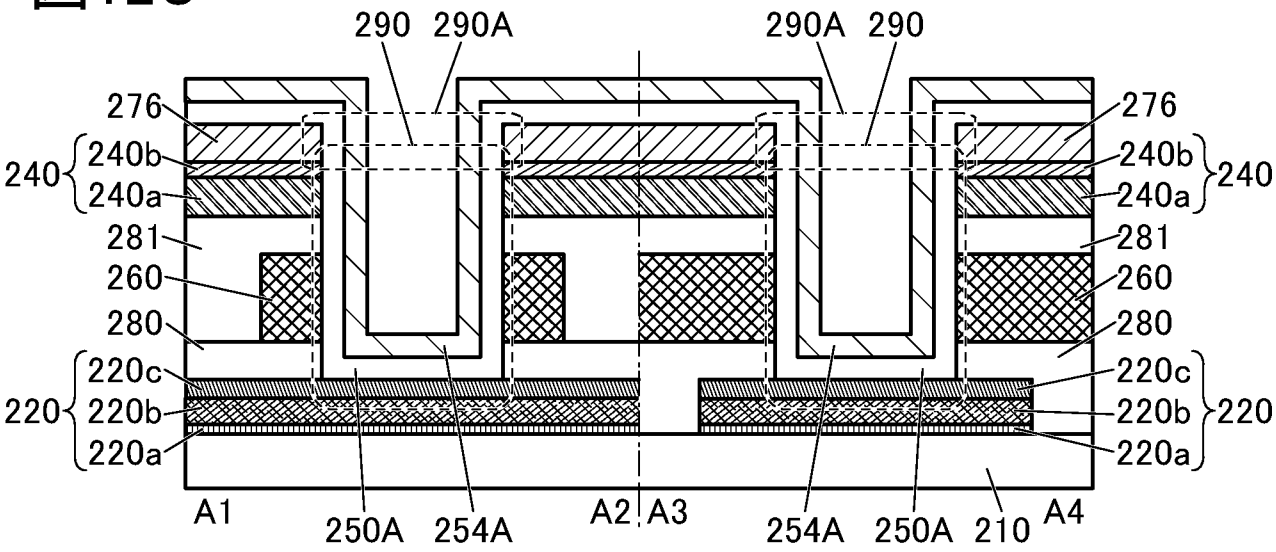


図13A

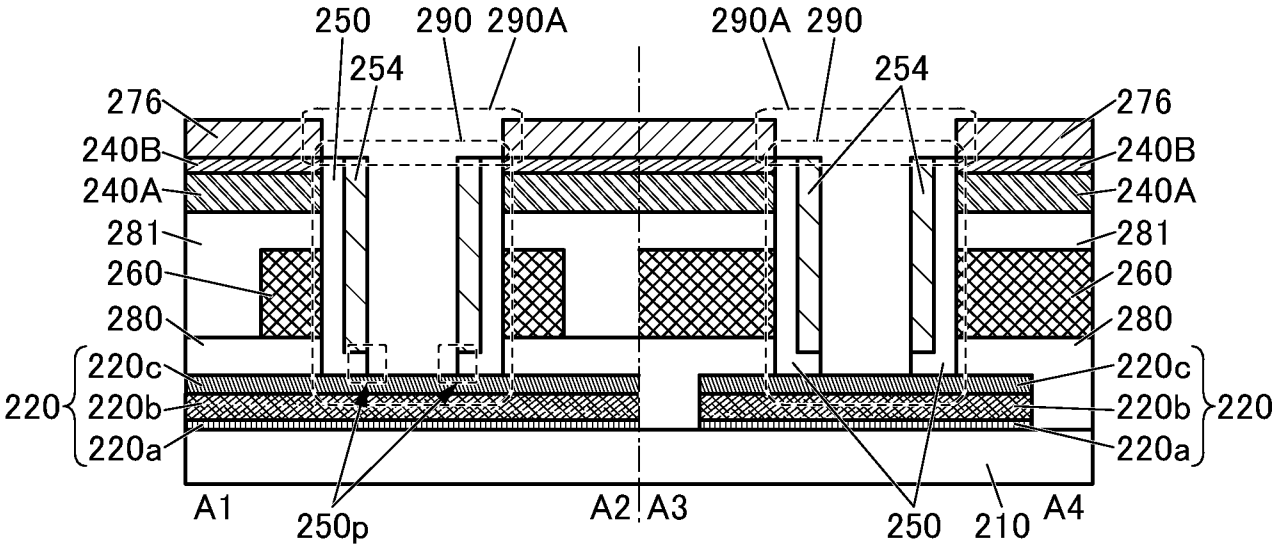


図13B

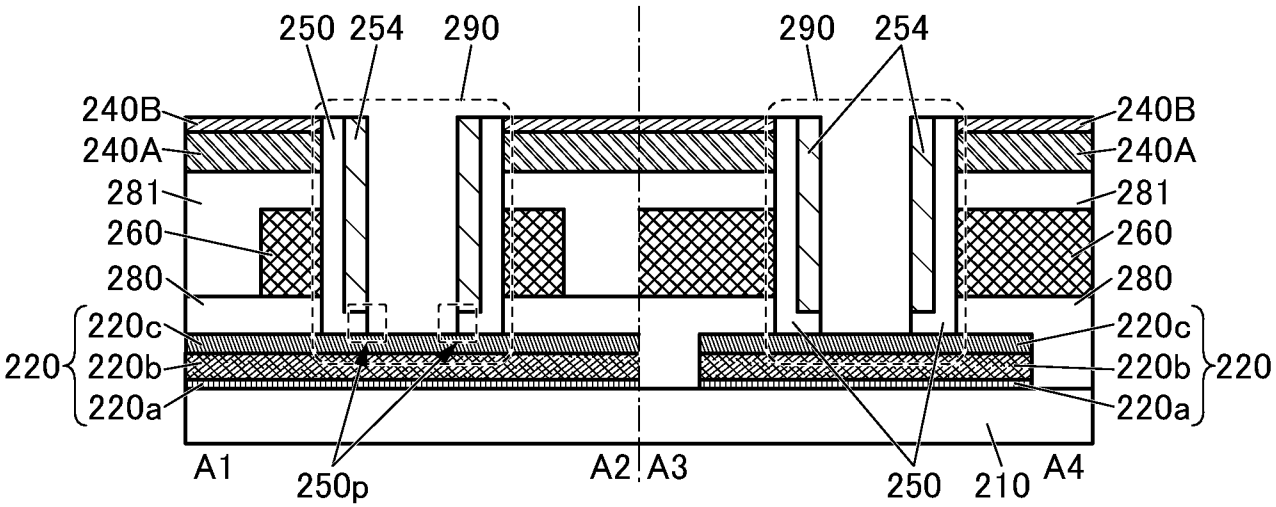


図13C

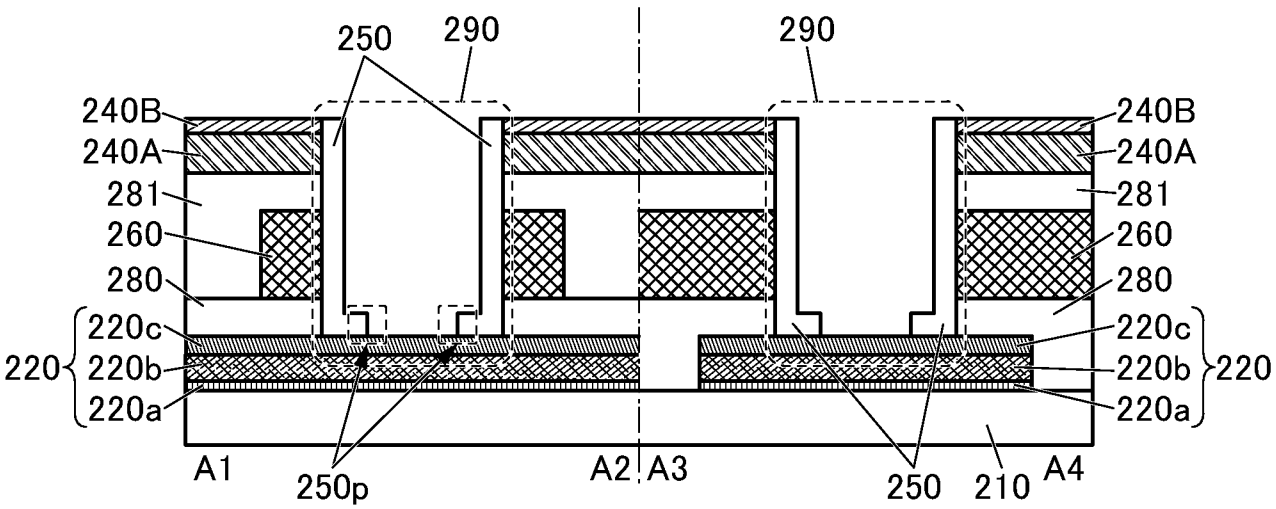


図14A

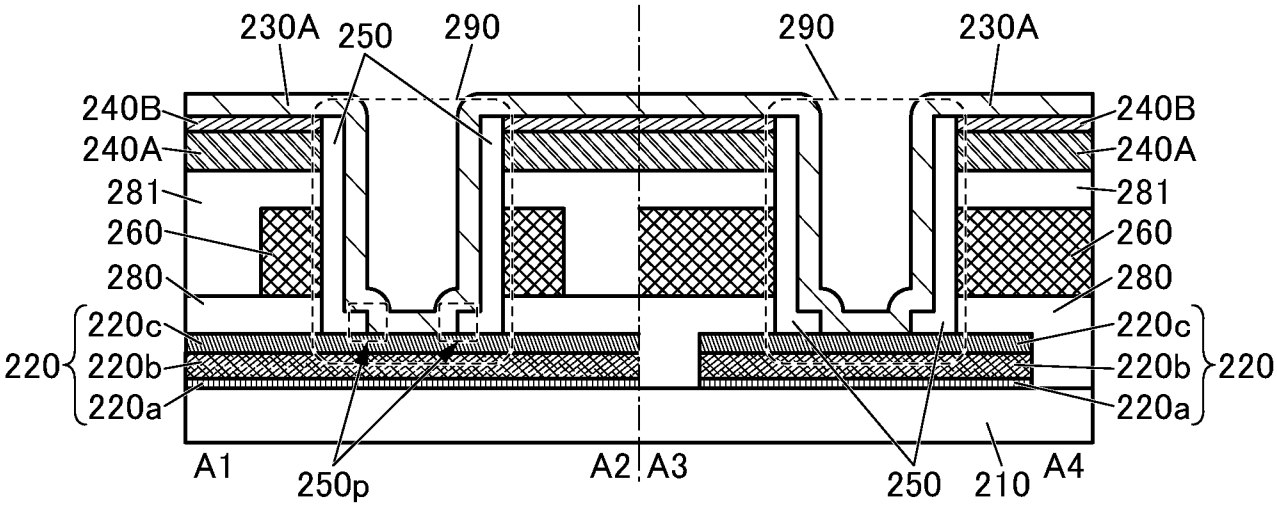


図14B

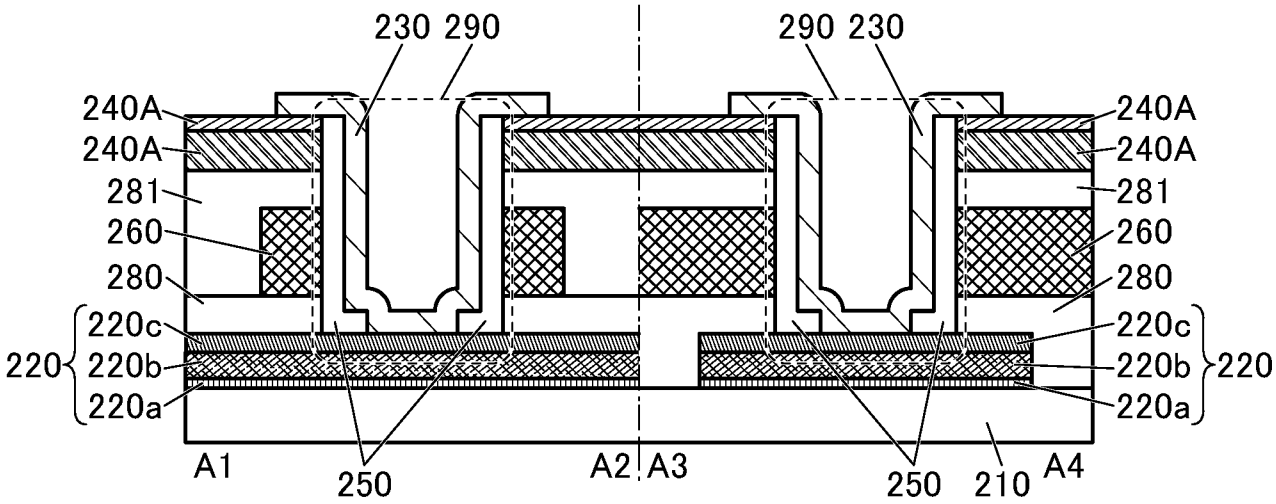


図14C

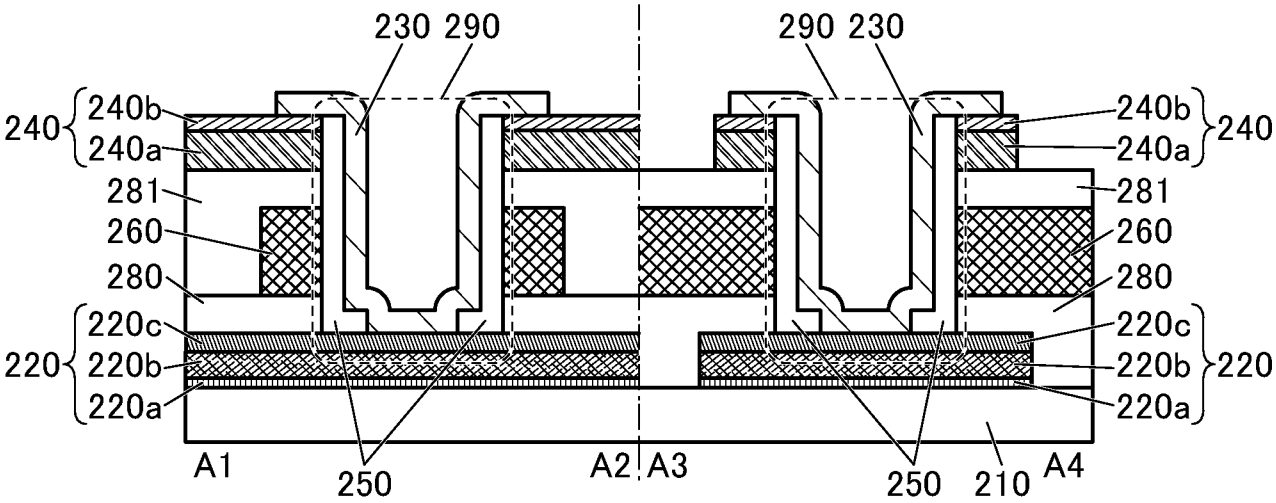


図15A

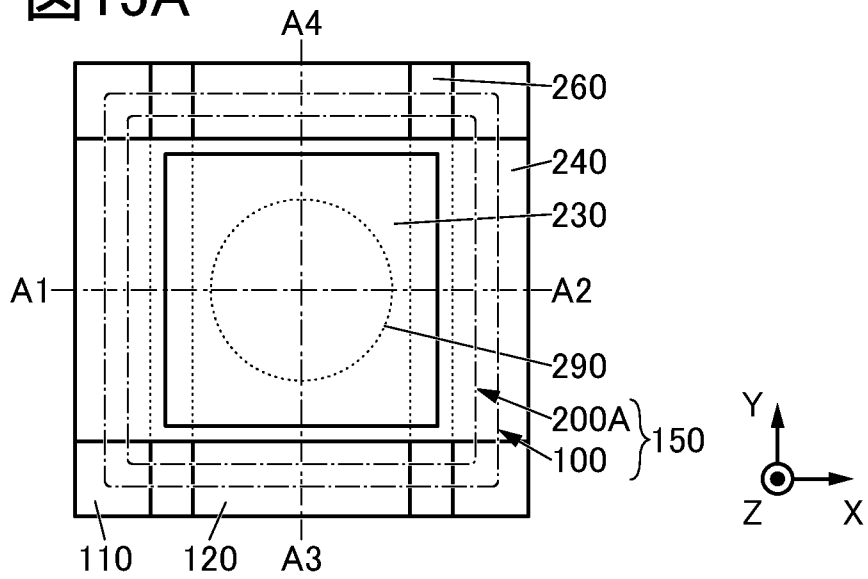


図15B

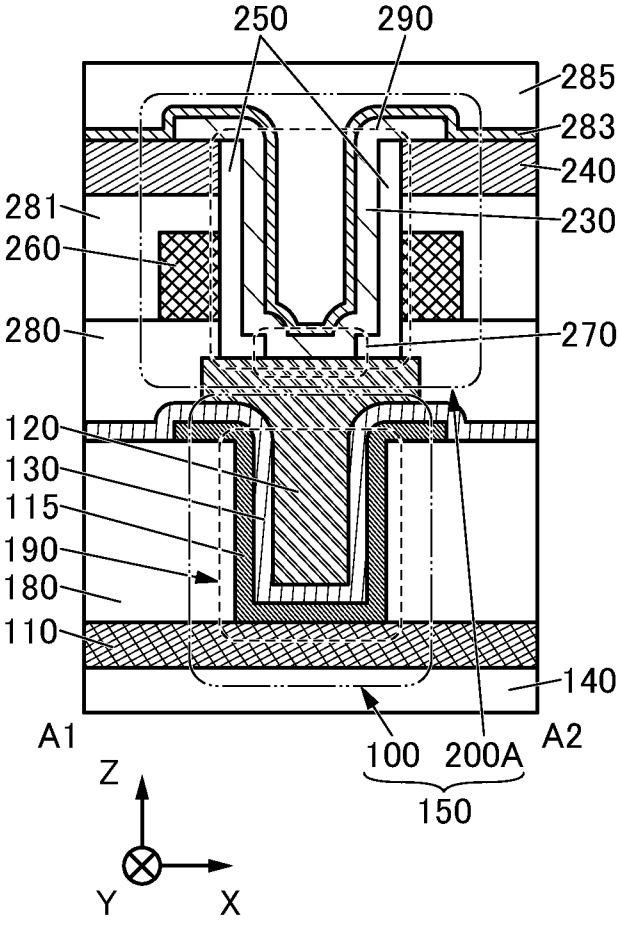


図15C

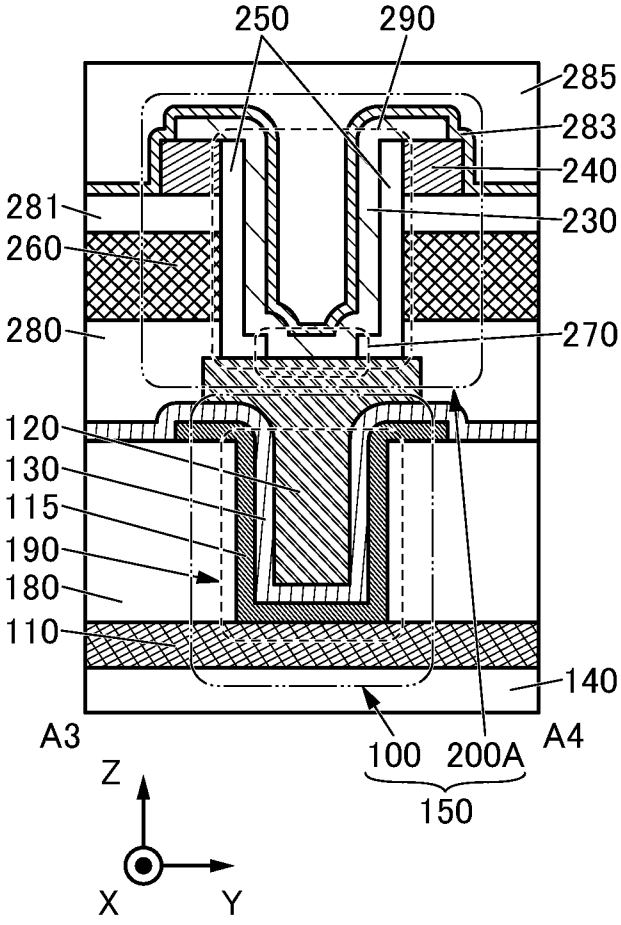


図16A

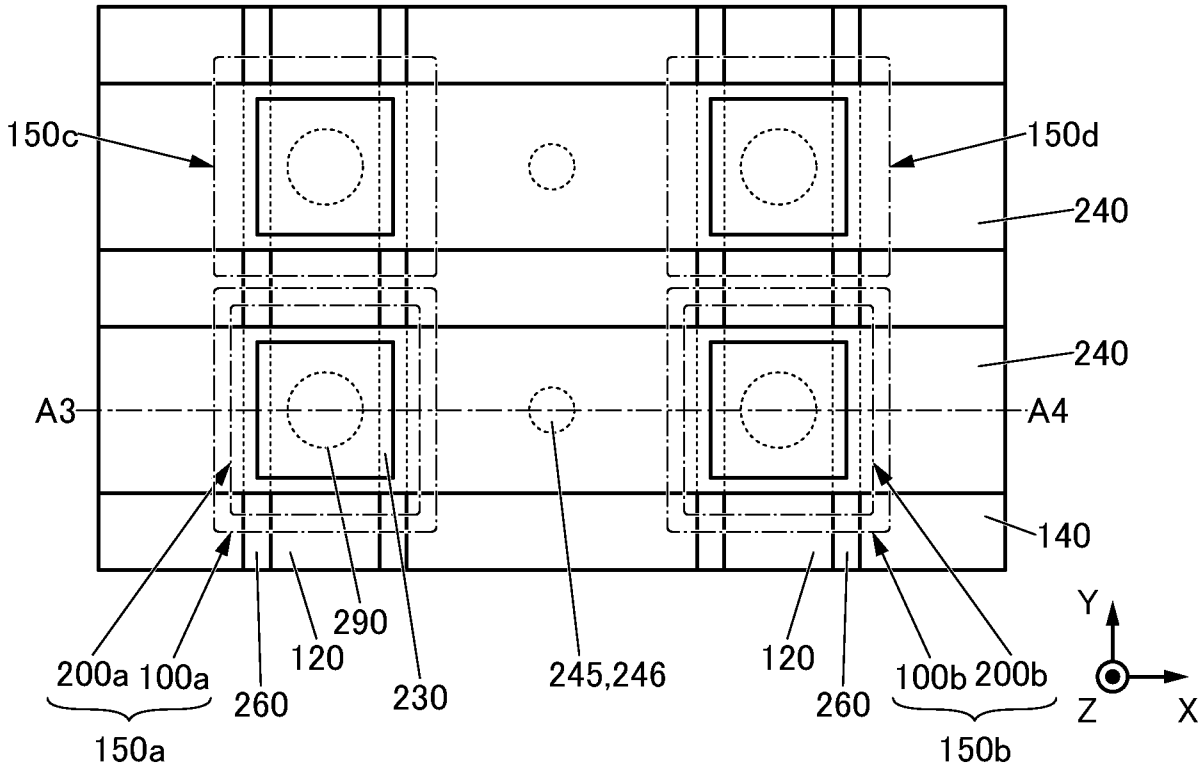
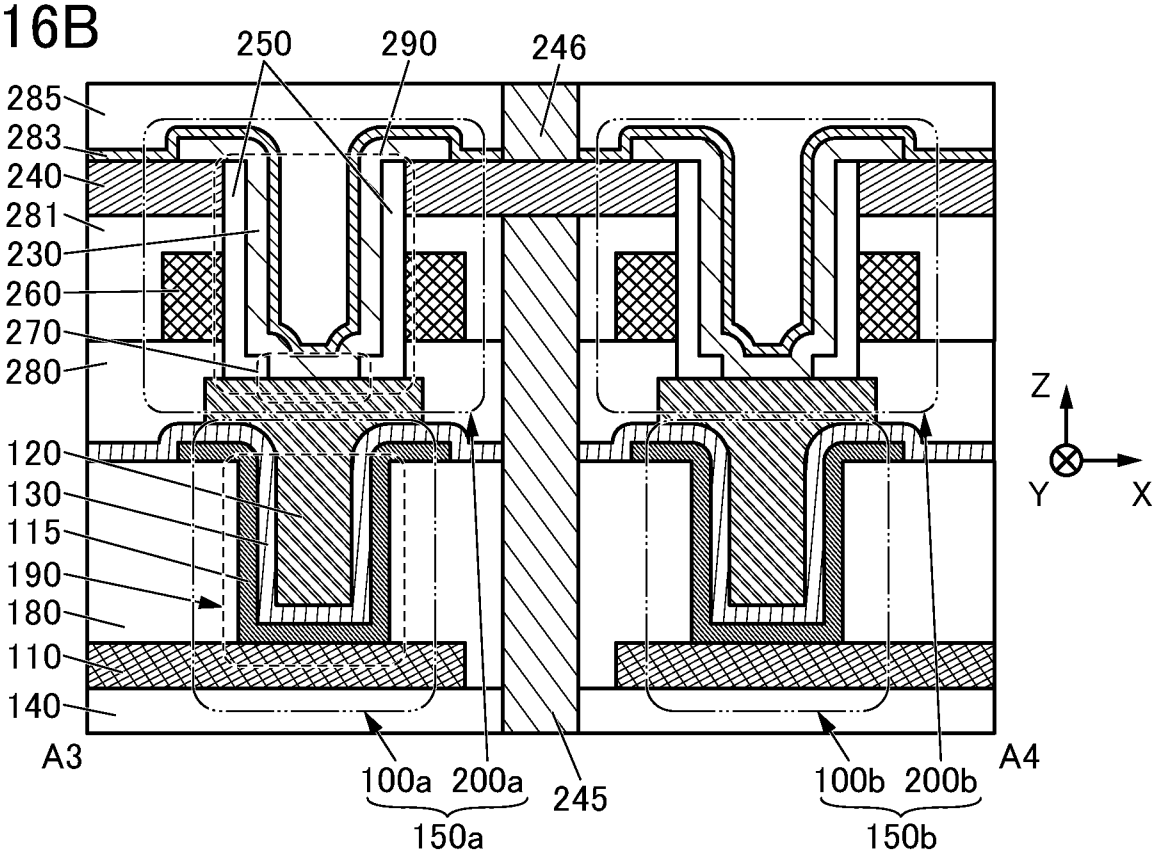
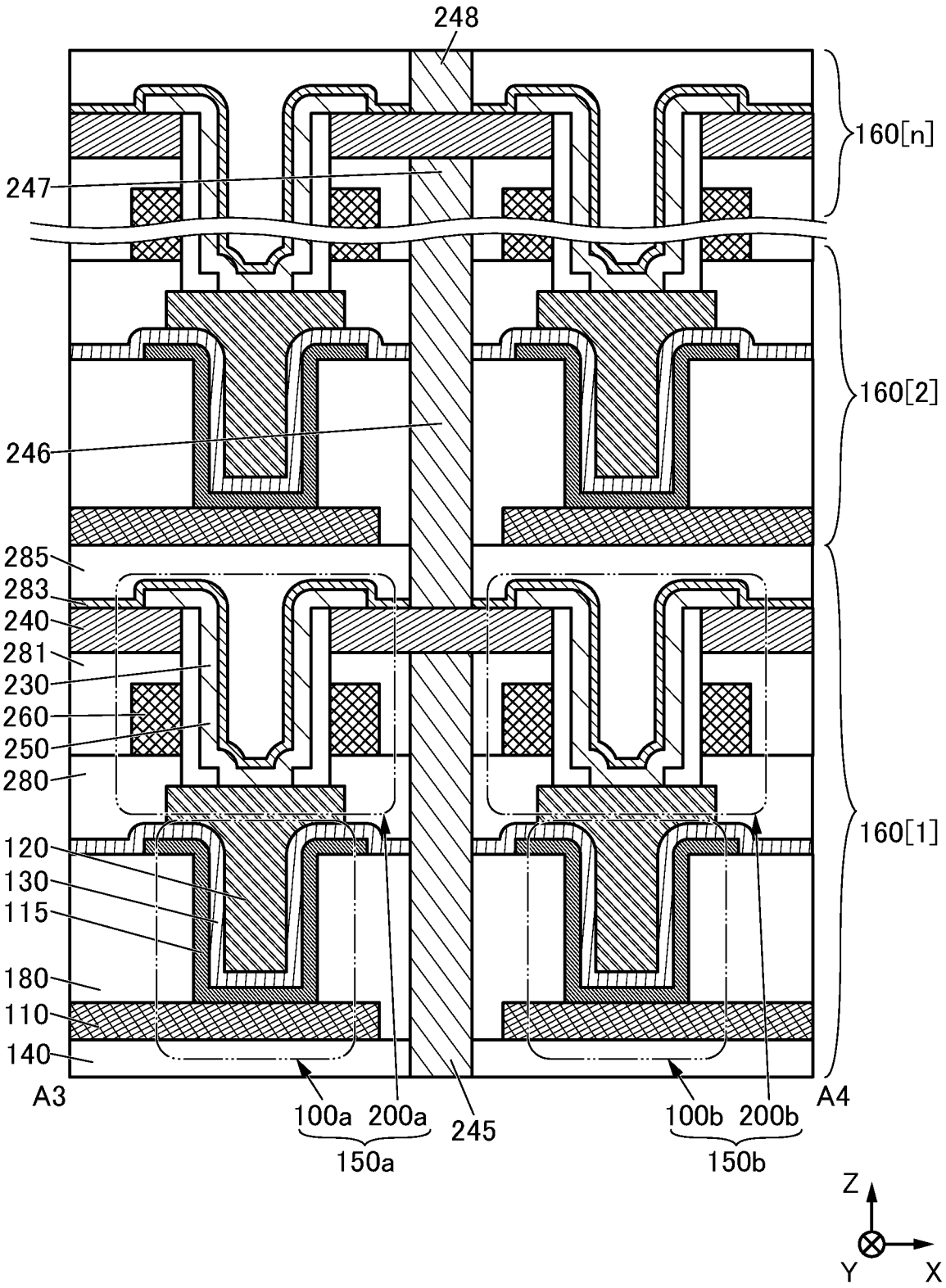

150c
150d
240
240
A3
A4
140
200a
100a
260
120
290
230
245,246
120
260
100b
200b
150a
150b
Y
Z
X

図16B


250
290
246
285
283
240
281
230
260
270
280
120
130
115
190
180
110
140
A3
A4
100a
200a
245
100b
200b
150a
150b
Z
Y
X


248
247
246
285
283
240
281
230
260
250
280
120
130
115
180
110
140
160[n]
160[2]
160[1]
A3
A4
100a
200a
245
100b
200b
150a
150b
Z
Y
X

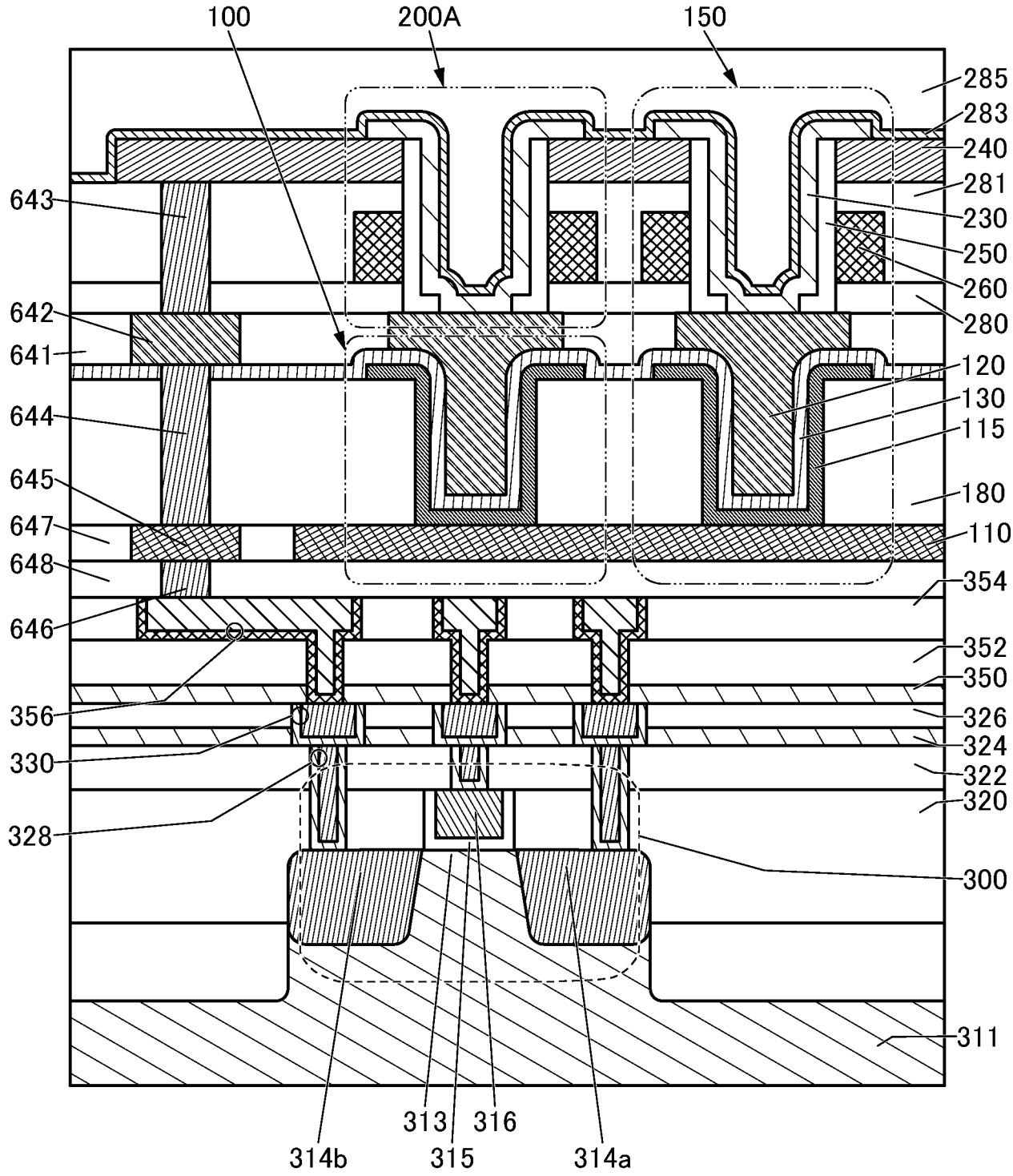

100
200A
150
285
283
240
281
230
250
260
280
643
642
641
644
645
647
648
646
356
330
328
120
130
115
180
110
354
352
350
326
324
322
320
300
311
313
316
314b
315
314a

図19

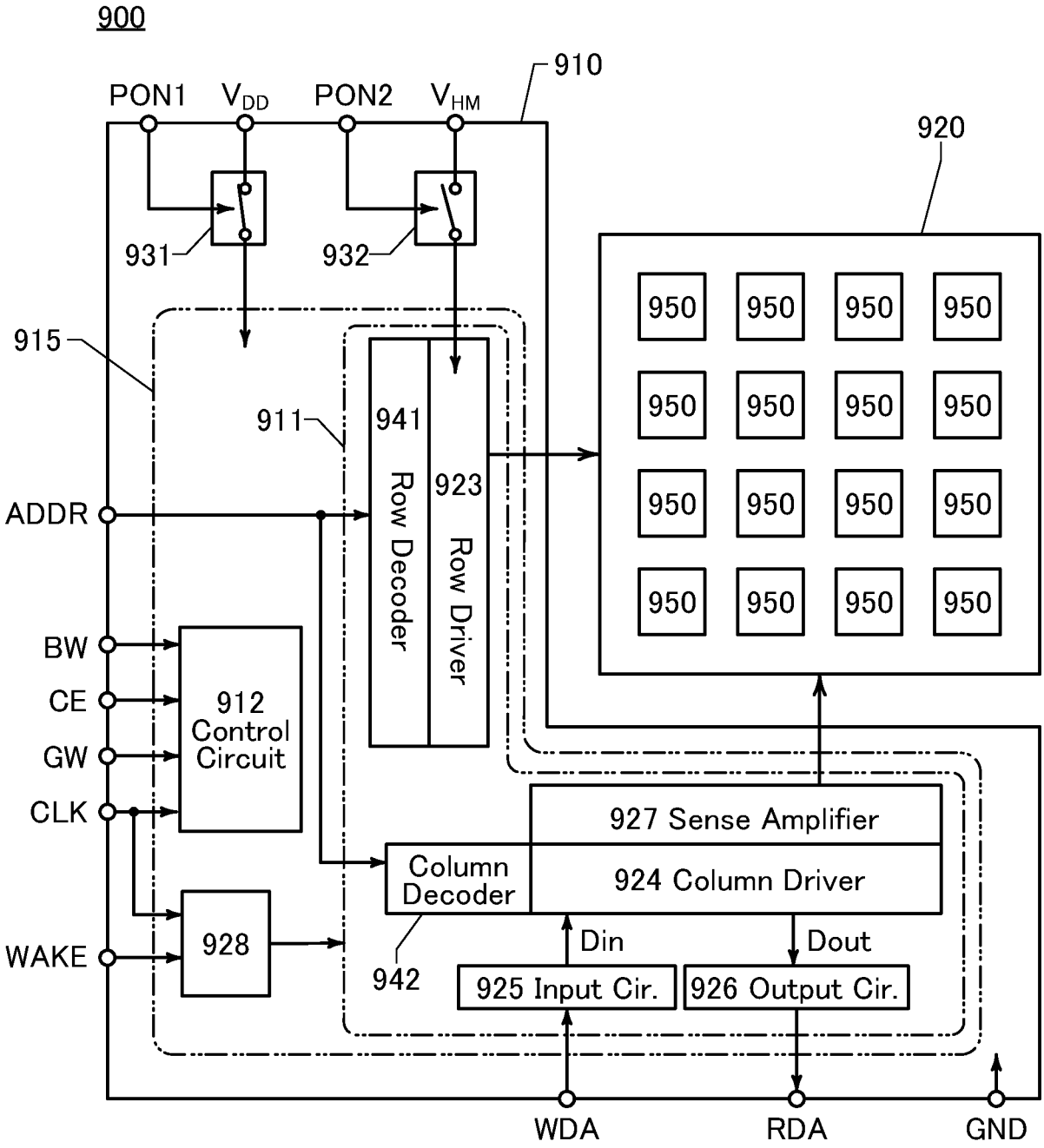

900
910
PON1
V_{DD}
PON2
V_{HM}
920
931
932
915
911
941
Row Decoder
923
Row Driver
950
ADDR
BW
CE
GW
CLK
912
Control
Circuit
927 Sense Amplifier
Column
Decoder
924 Column Driver
928
WAKE
942
Din
Dout
925 Input Cir.
926 Output Cir.
WDA
RDA
GND

図20A

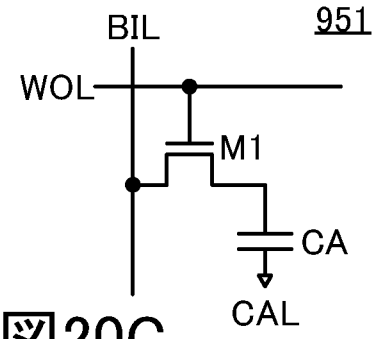


図20B

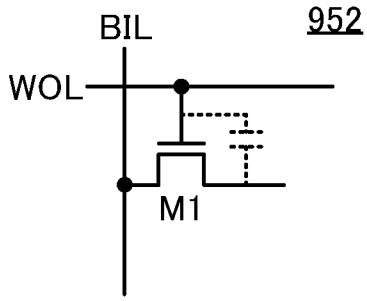


図20C

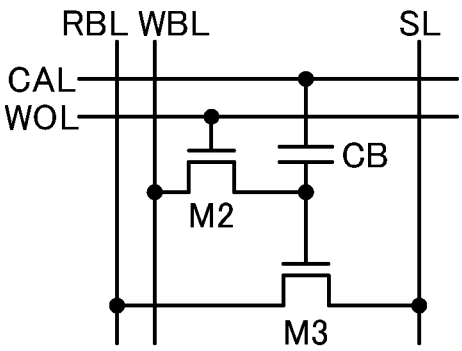


図20D

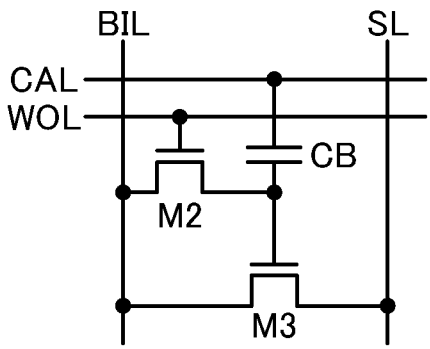


図20E

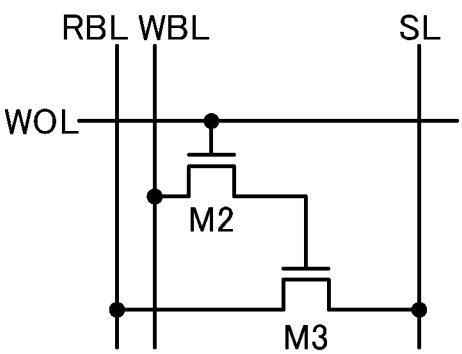


図20F

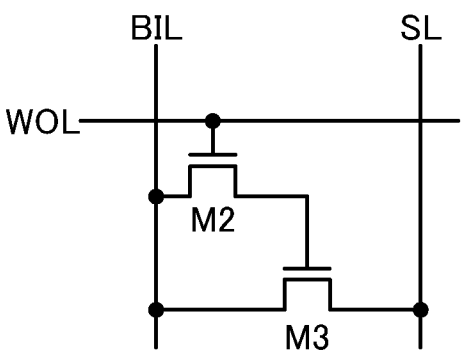


図20G

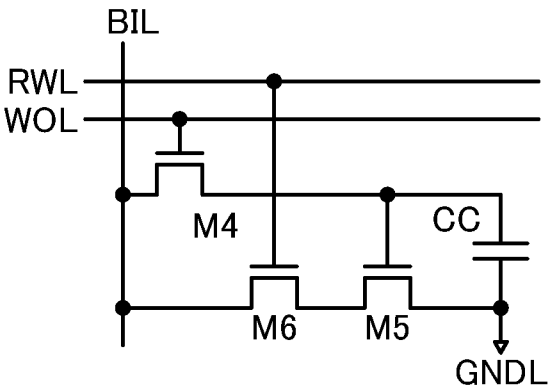


図20H

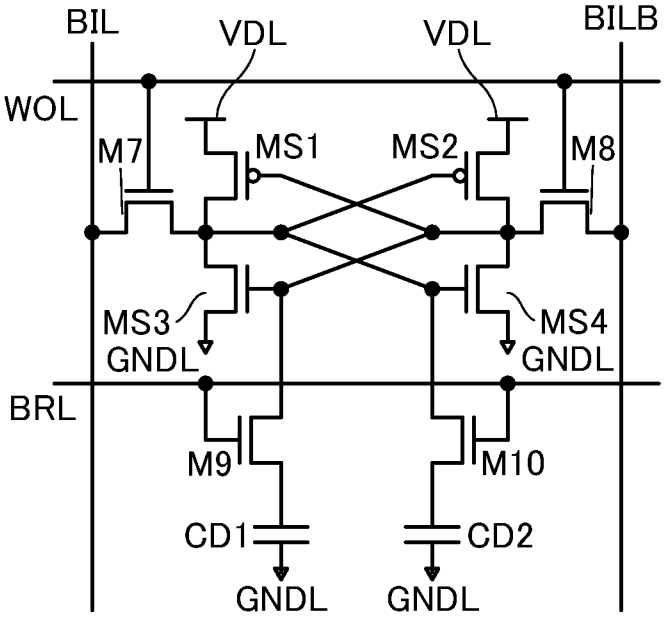


図21A

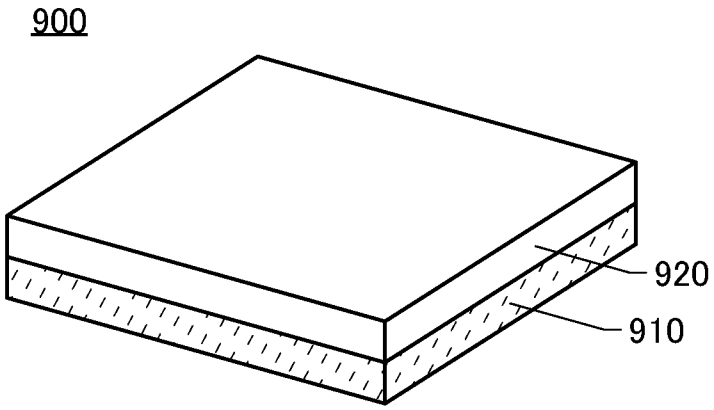


図21B

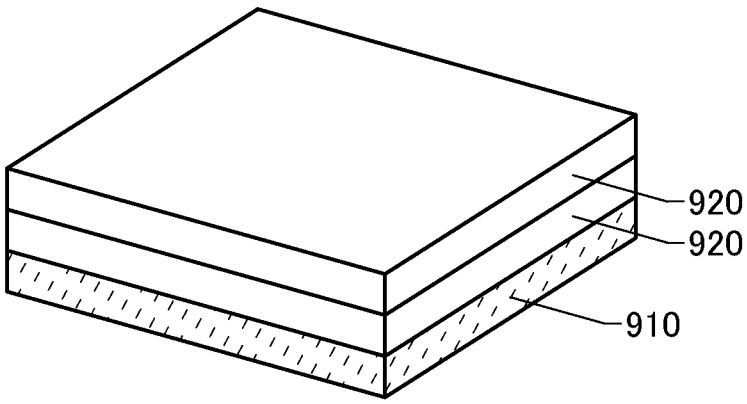


図22

960

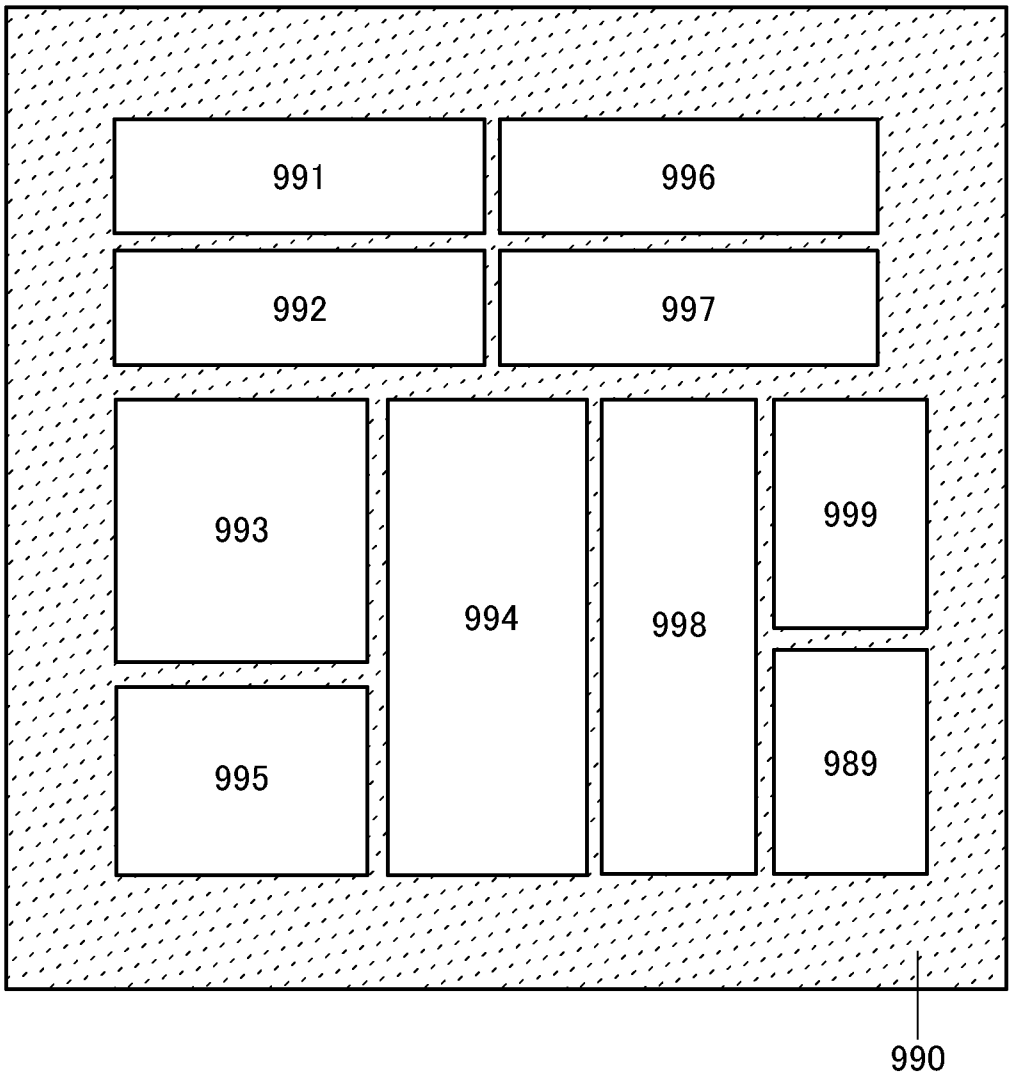


図23A

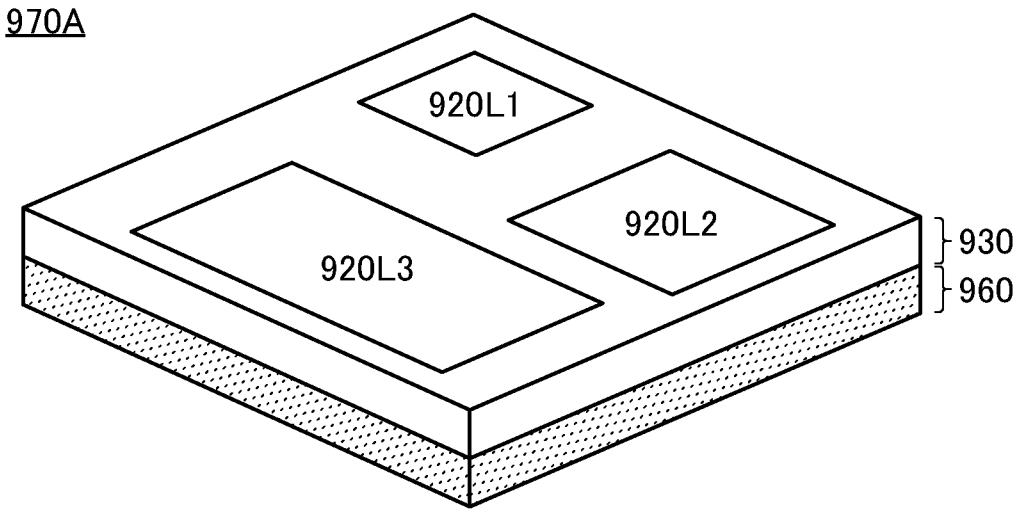

970A
920L1
920L2
920L3
930
960

図23B

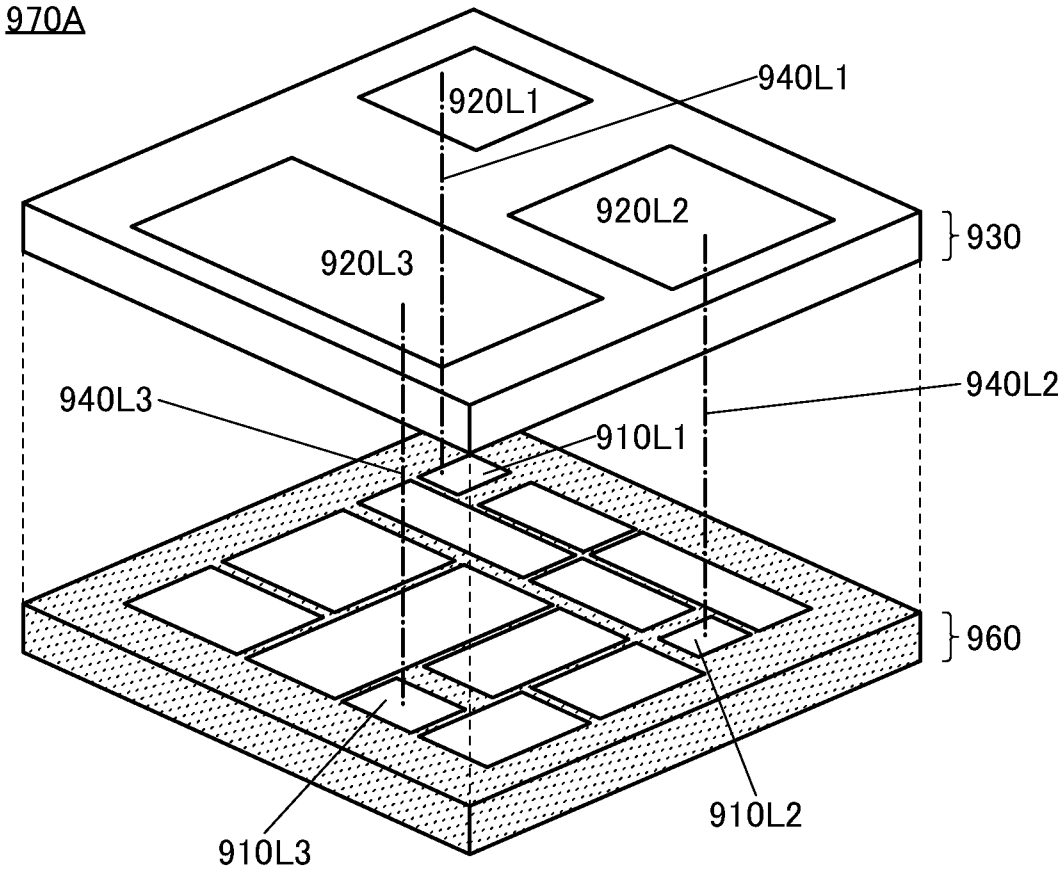

970A
920L1
940L1
920L2
920L3
930
940L3
940L2
910L1
960
910L2
910L3

図24A

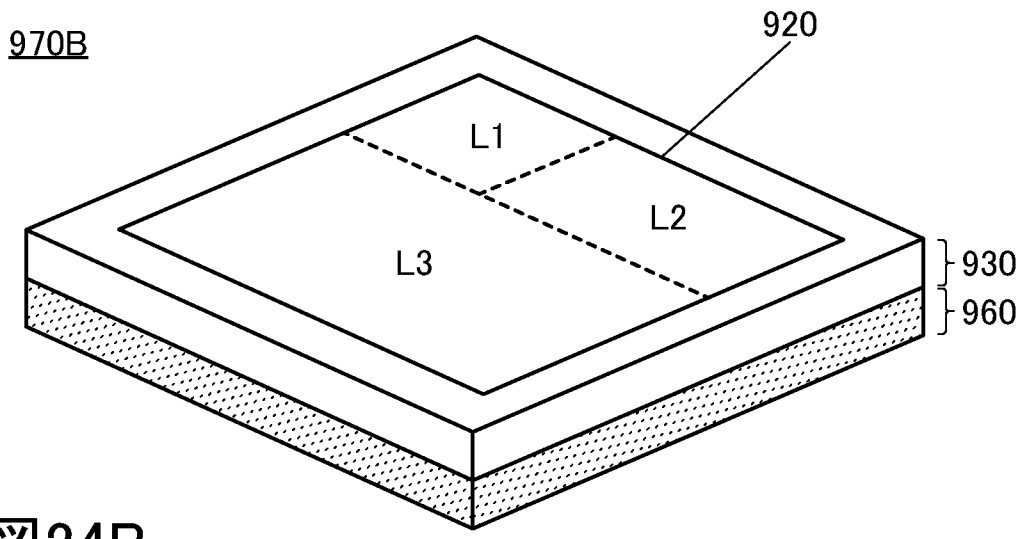

970B
920
L1
L2
L3
930
960

図24B

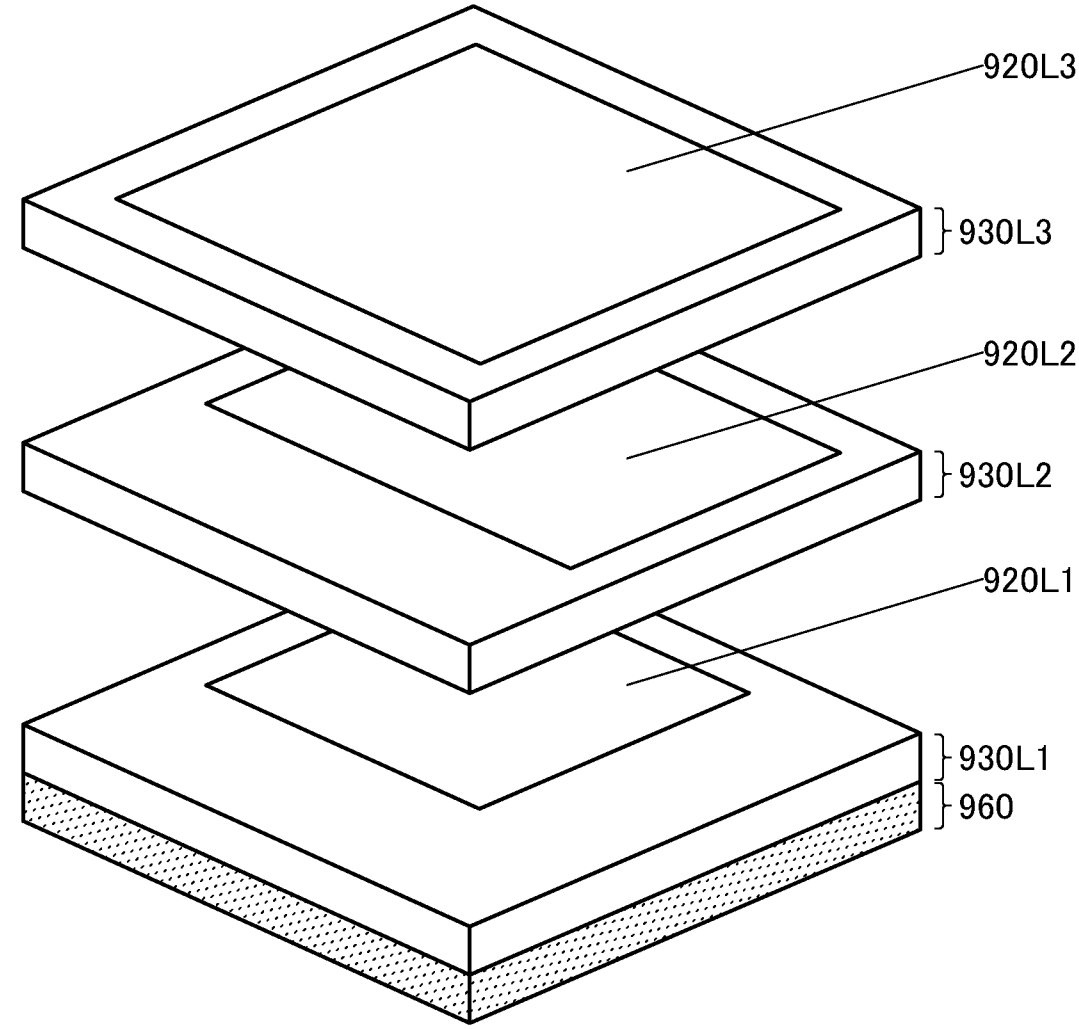

970C
920L3
930L3
920L2
930L2
920L1
930L1
960

図25A

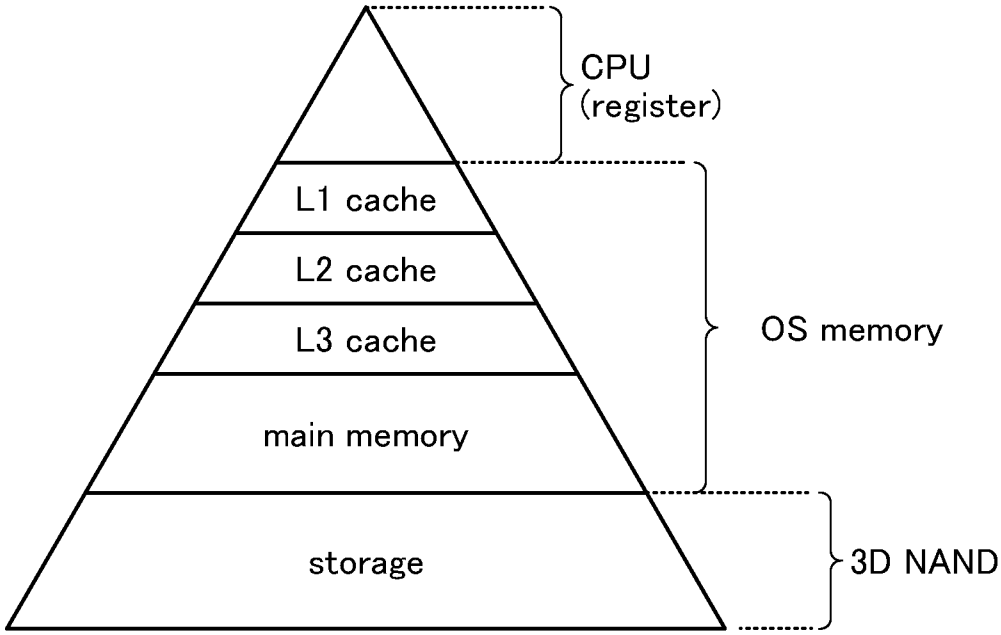

CPU
(register)
L1 cache
L2 cache
L3 cache
main memory
storage
OS memory
3D NAND

図25B

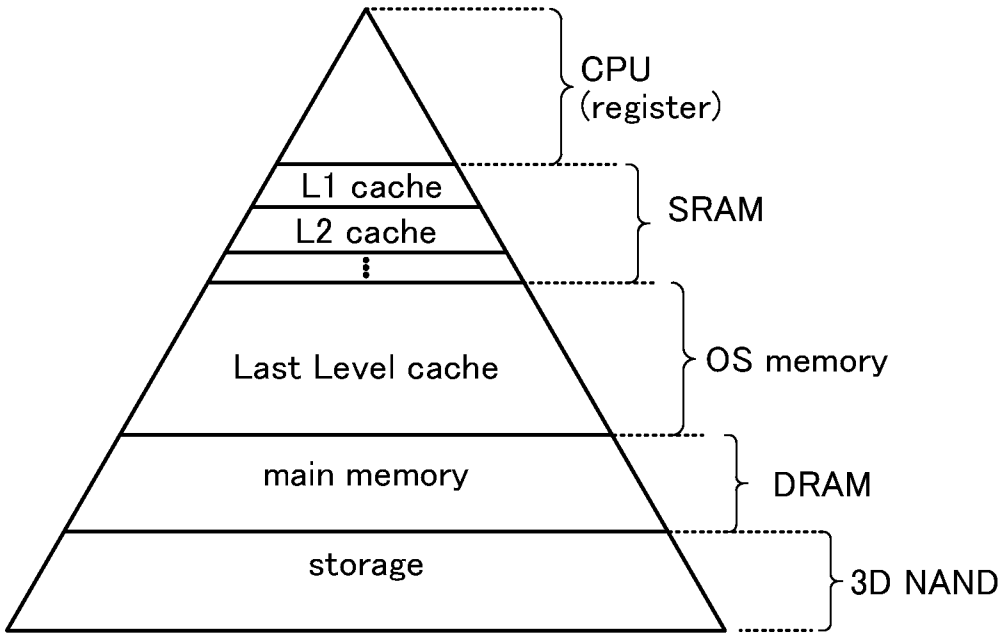

CPU
(register)
L1 cache
L2 cache
SRAM
Last Level cache
OS memory
main memory
DRAM
storage
3D NAND

図26A

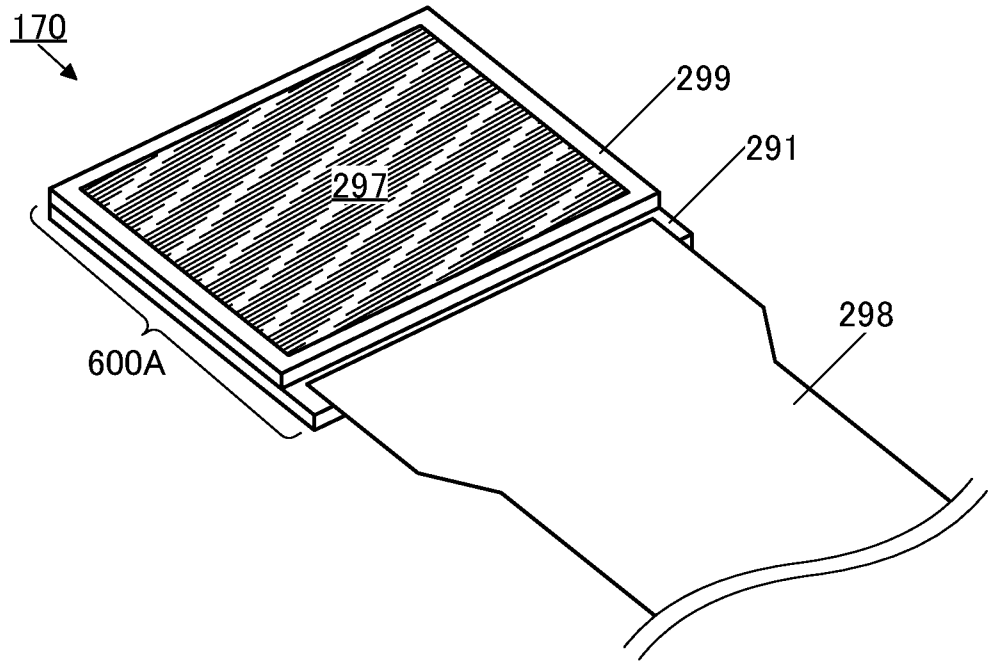

170
299
291
297
298
600A

図26B

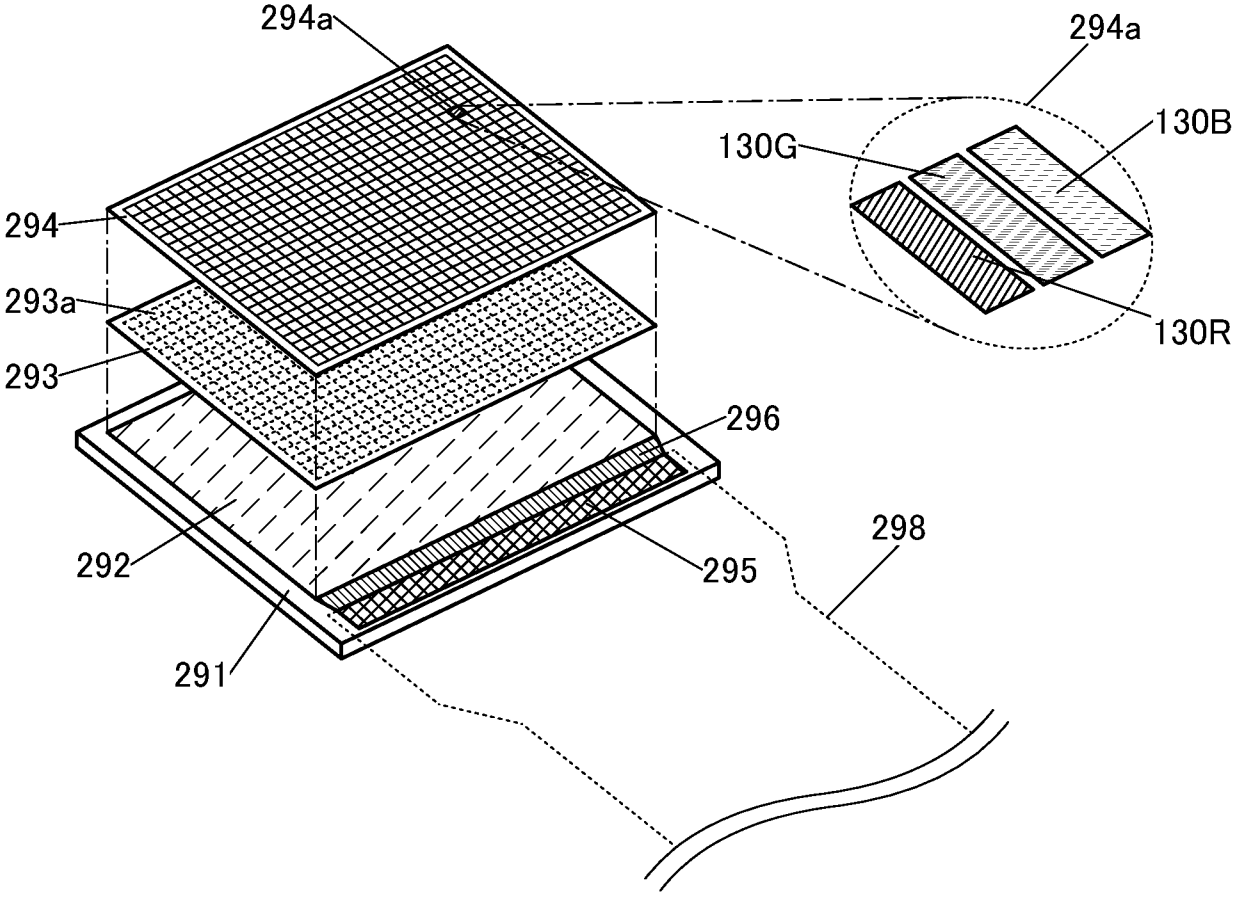

294a
294a
130B
130G
294
293a
293
130R
296
298
292
295
291

図27

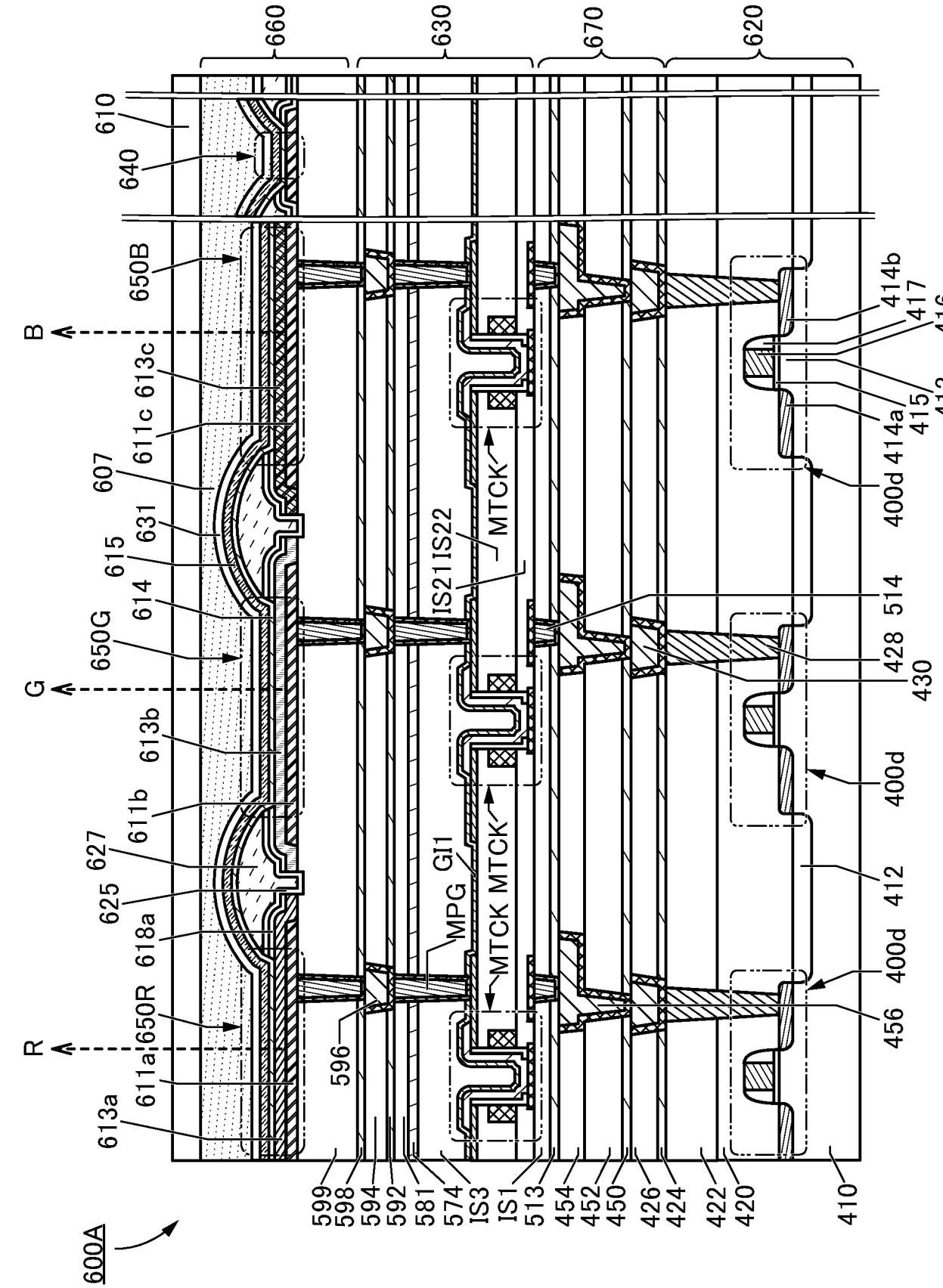

600A
660
630
670
620
610
640
650B
650G
650R
B
G
R
607
611c
613c
631
615
614
611b
613b
627
625
618a
611a
613a
596
599
598
594
592
581
574
IS3
IS1
513
454
452
450
426
424
422
420
410
MTCK
IS22
IS21
MPG
GI1
MTCK
MTCK
414b
417
416
413
415
414a
400d
514
428
430
400d
412
400d
456

図28

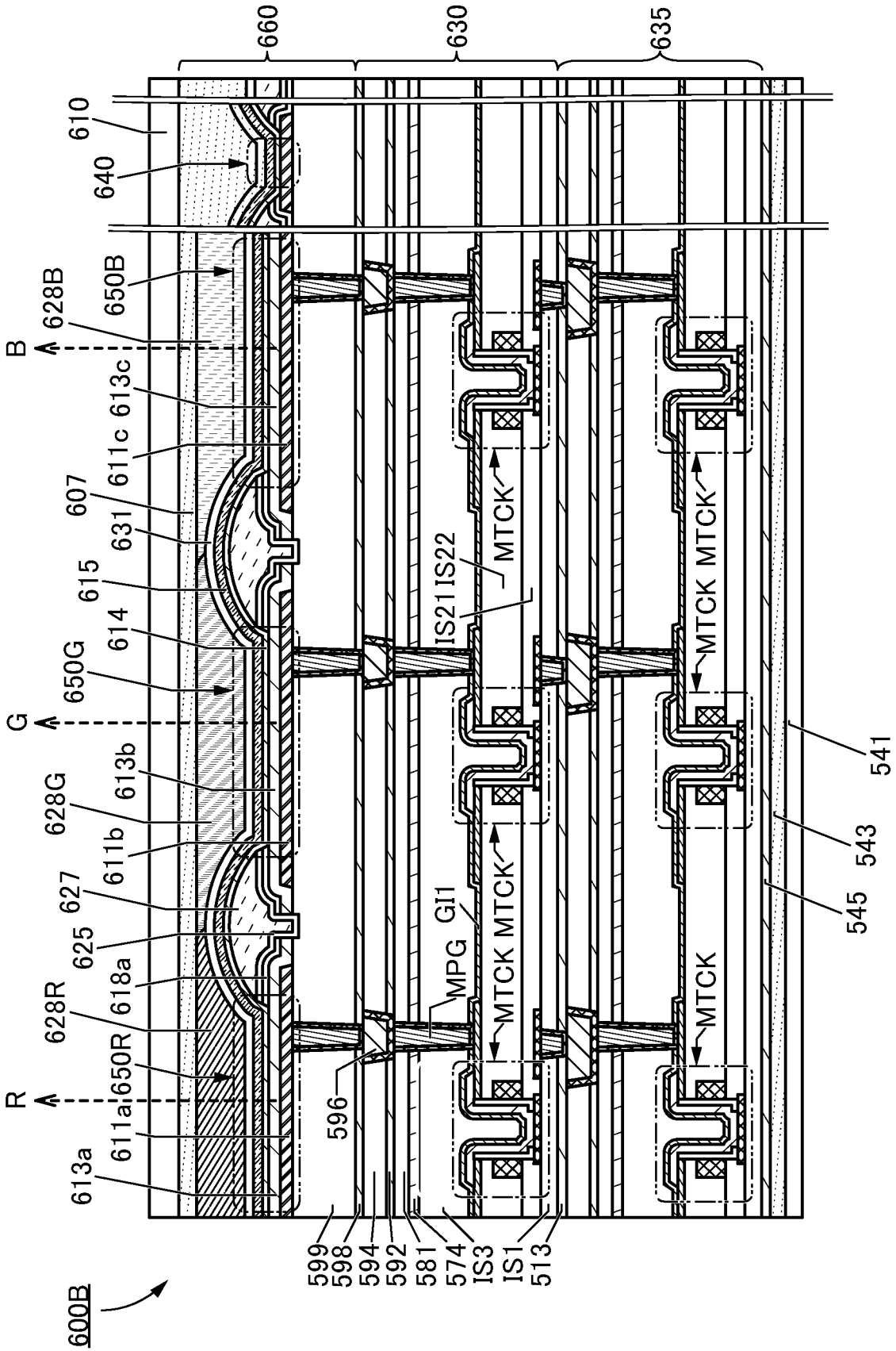

660
630
635
610
640
650B
628B
B
613c
611c
607
631
615
614
650G
G
613b
628G
611b
627
625
618a
628R
650R
R
611a
613a
600B
596
599
598
594
592
581
574
IS3
IS1
513
MPG
GI1
IS21
IS22
MTCK
541
543
545

図29A

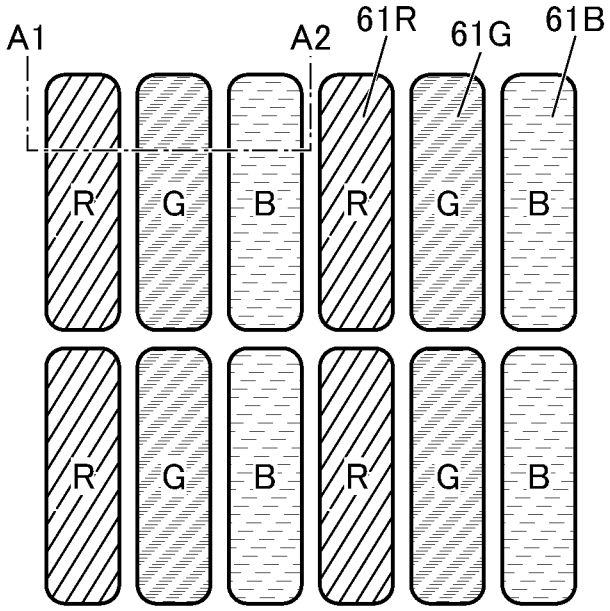


図29B

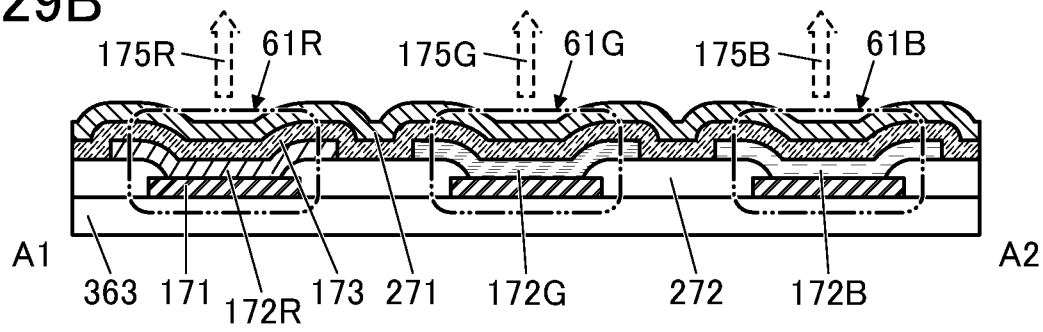


図29C

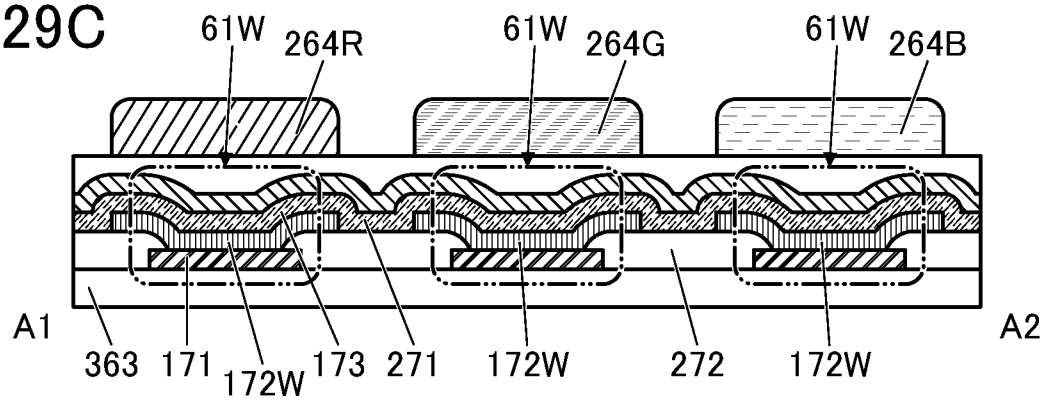


図30A

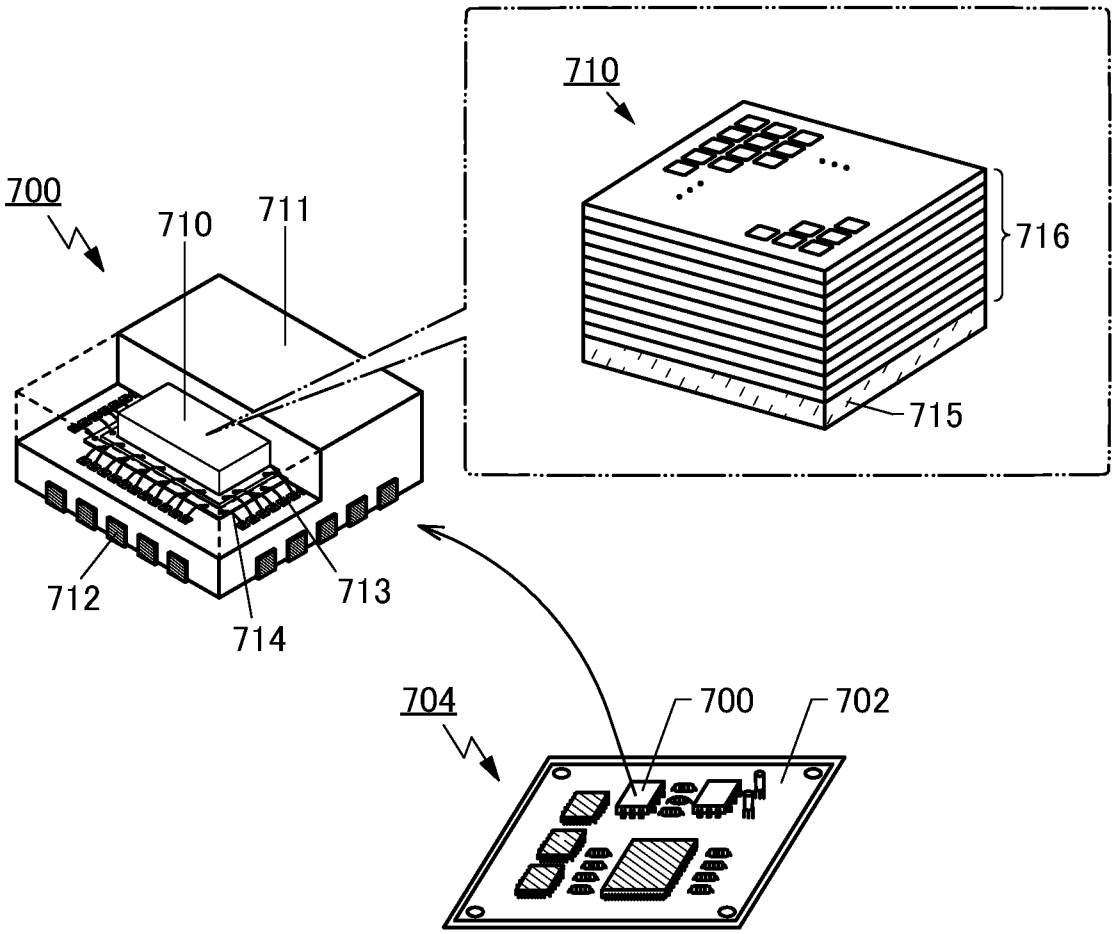

710
716
715
700
710
711
712
713
714
704
700
702

図30B

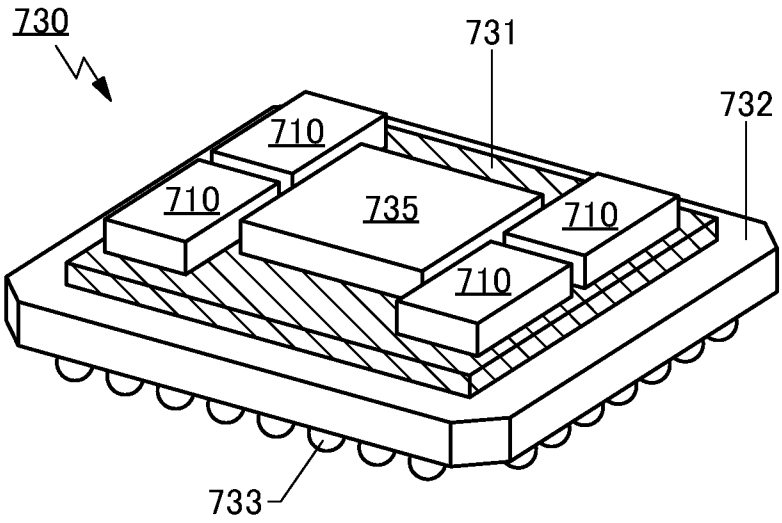

730
731
732
710
710
735
710
710
733

図31A

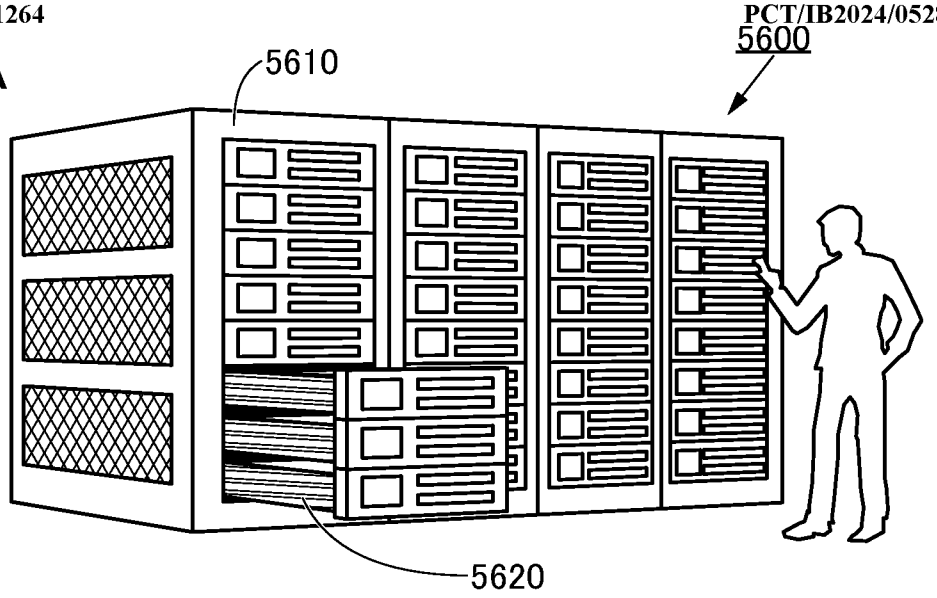


図31B

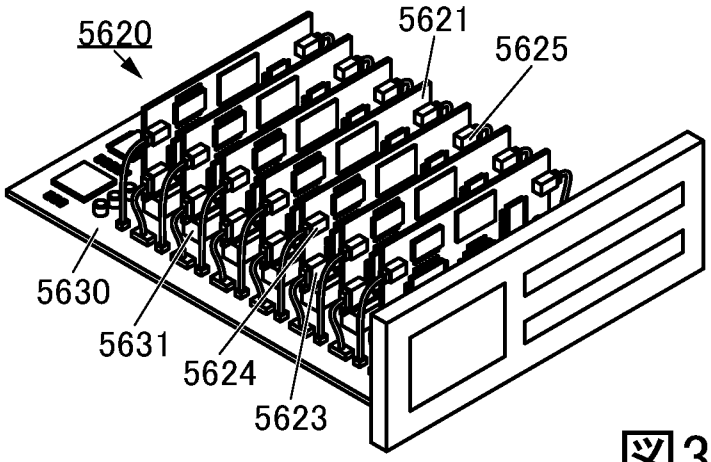


図31C

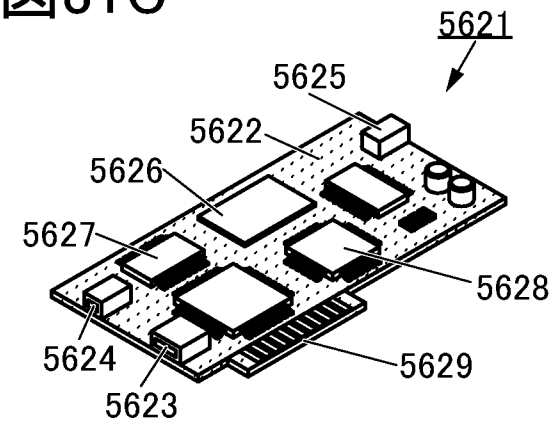


図31D

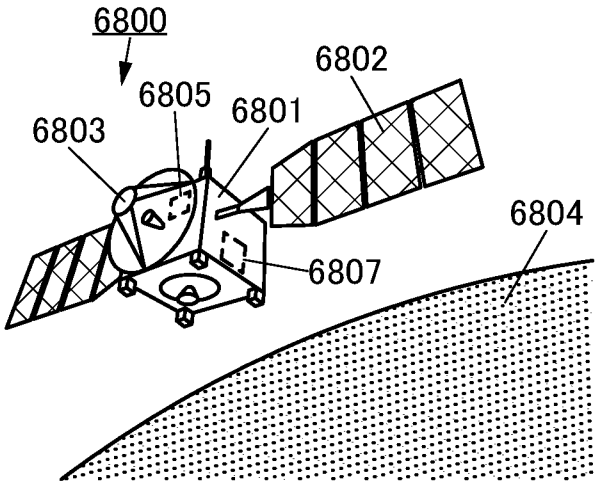


図31E

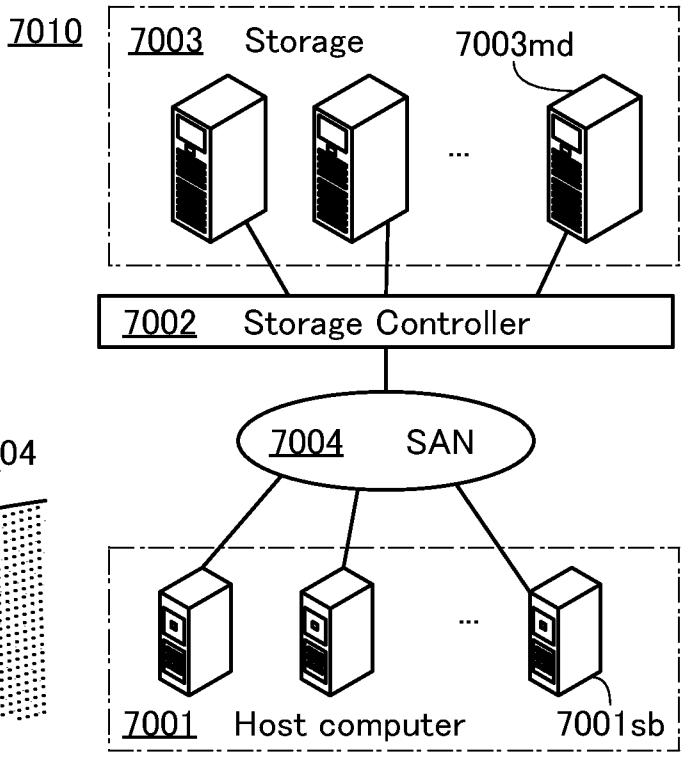


図32A

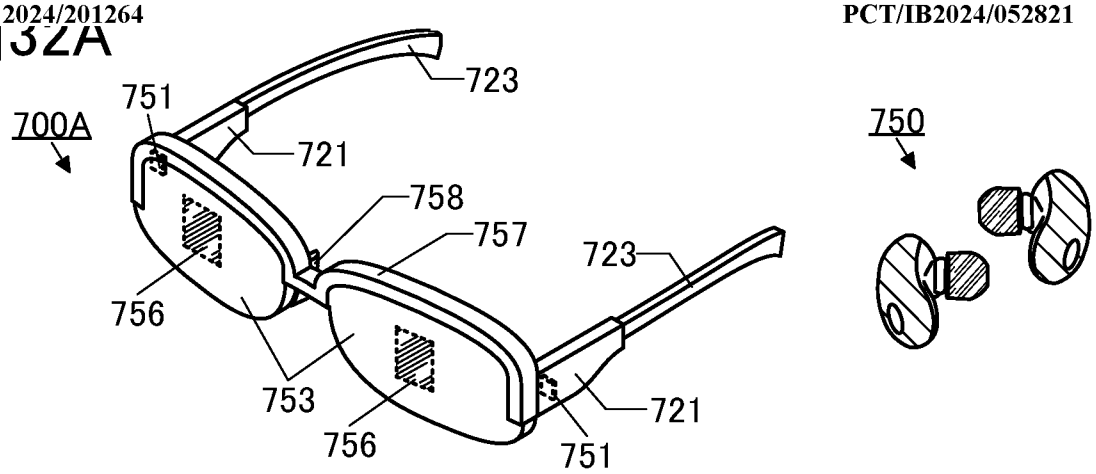


図32B

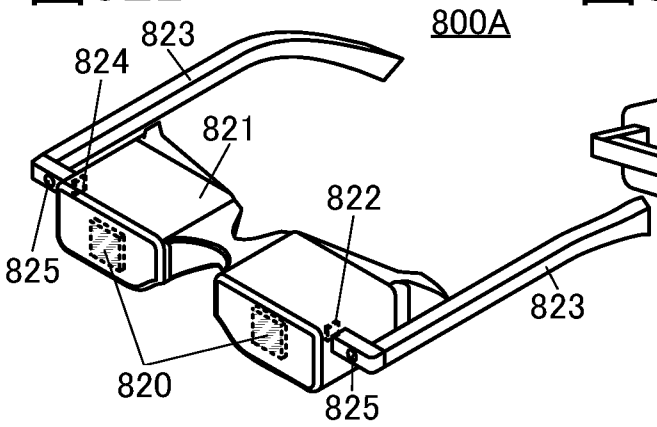


図32C

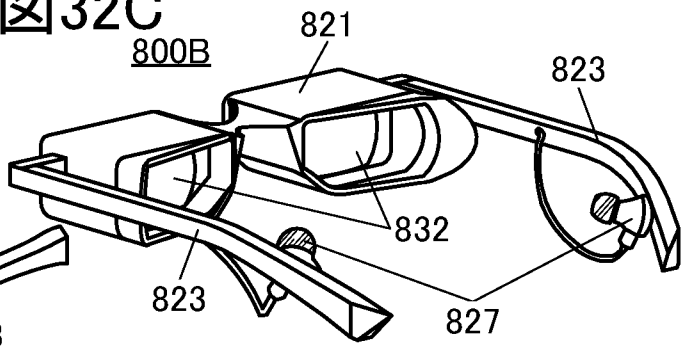


図32D

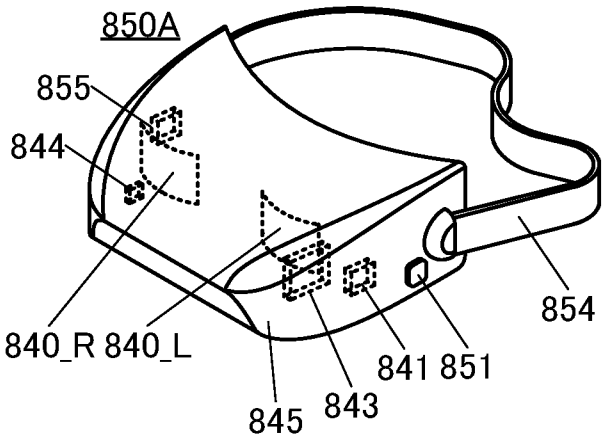


図32E

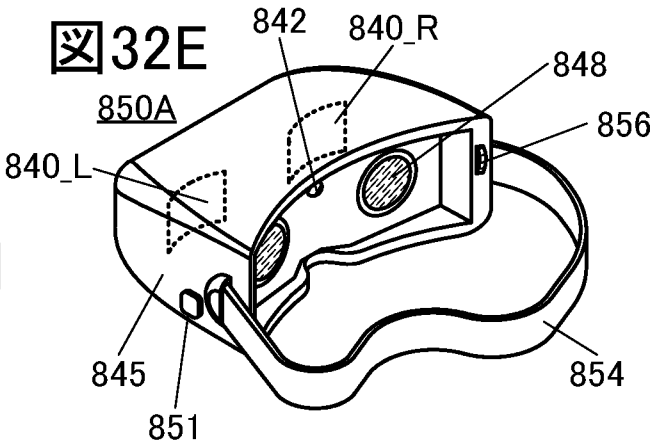


図32F

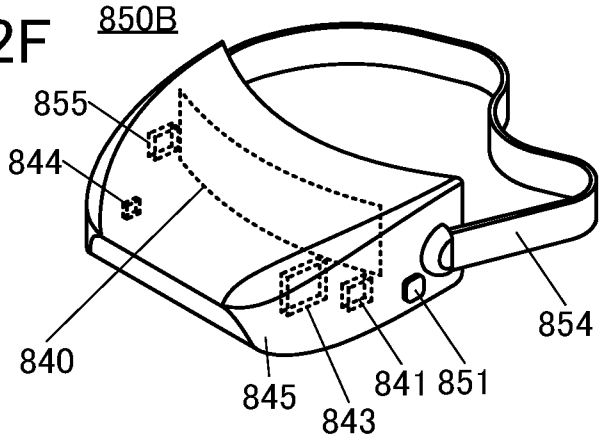


図33A

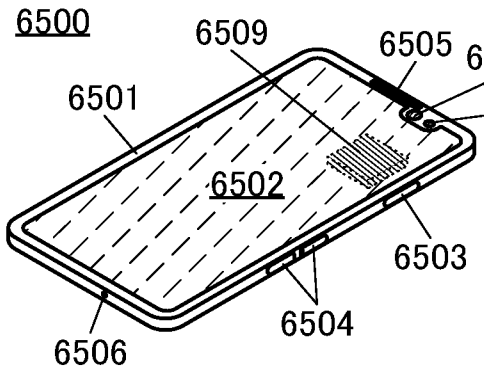


図33C

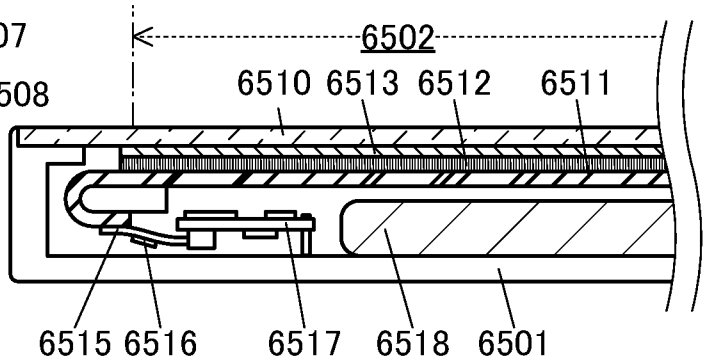


図33B

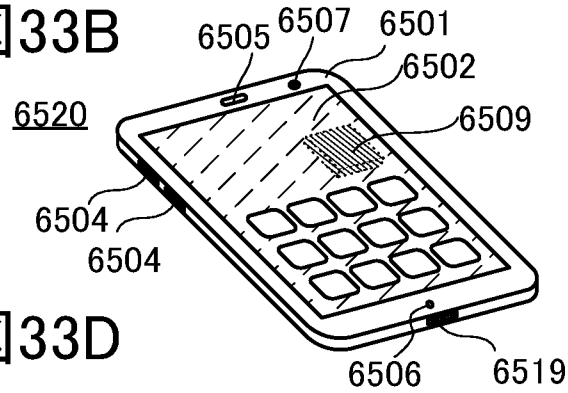


図33D

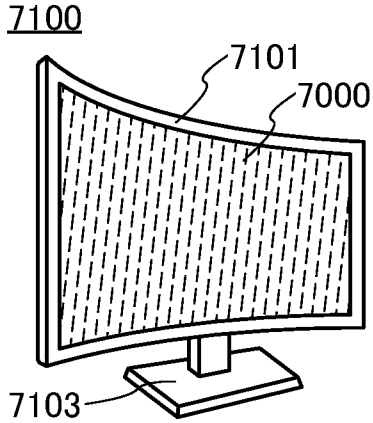


図33E

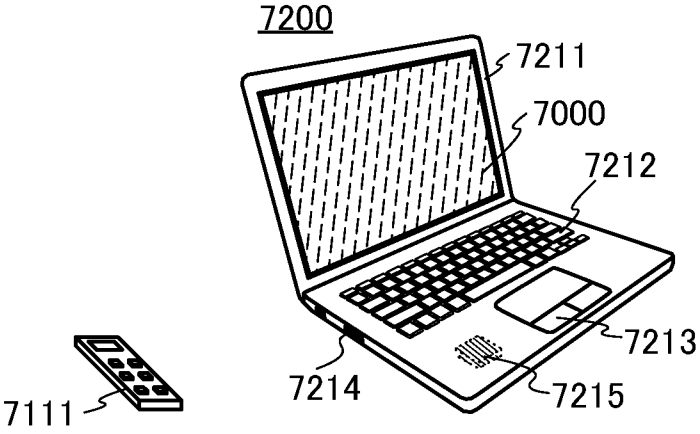


図33F

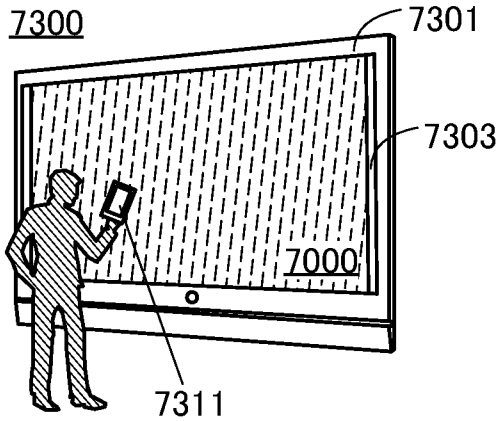


図33G

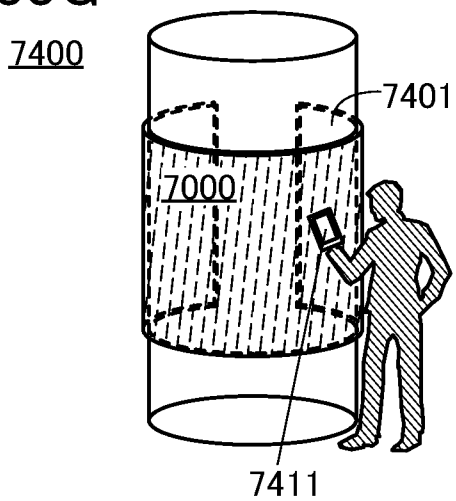


図34A

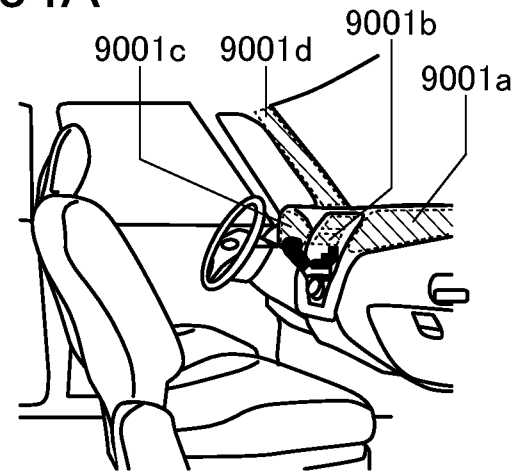


図34B

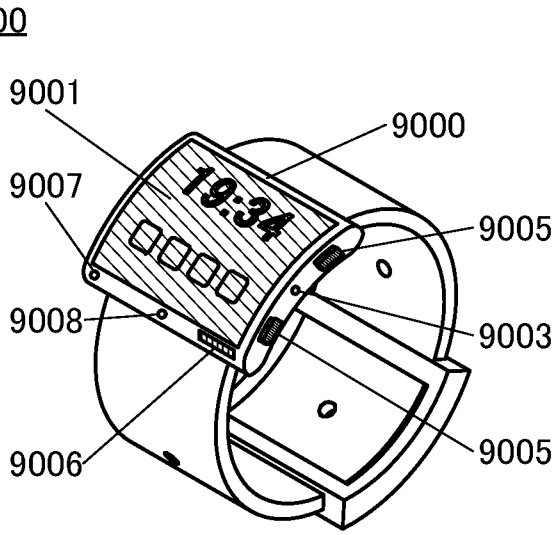


図34C

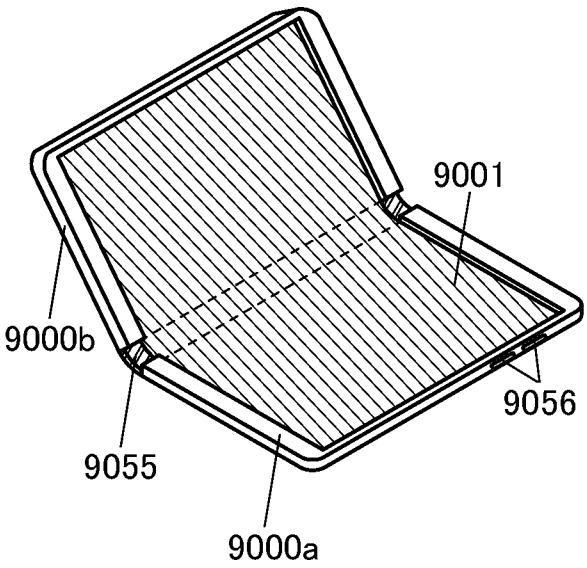


図34D

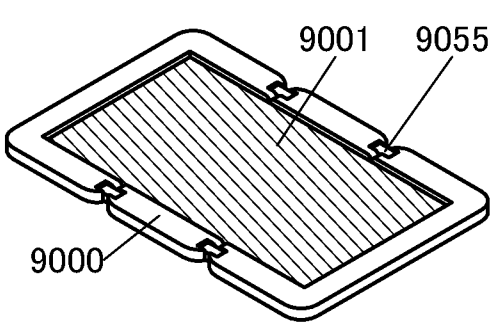


図34E

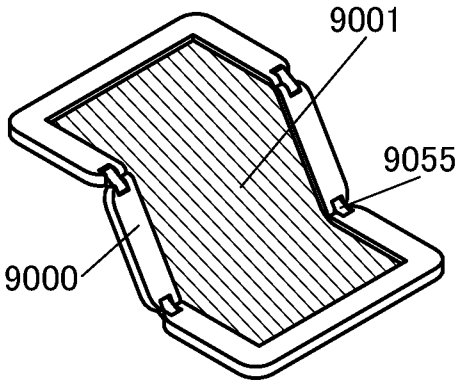


図34F

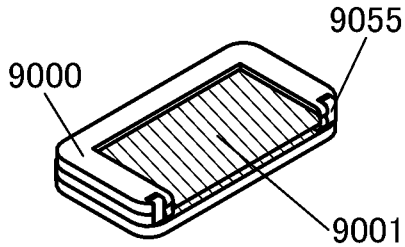


図35A

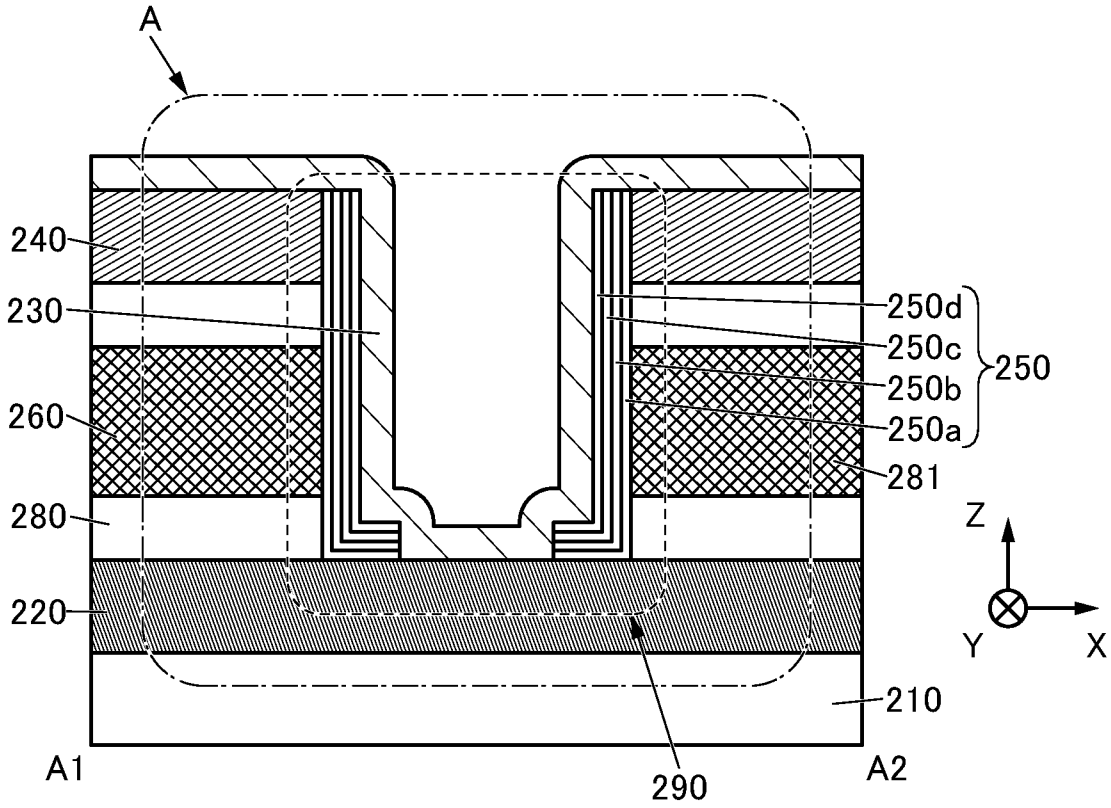
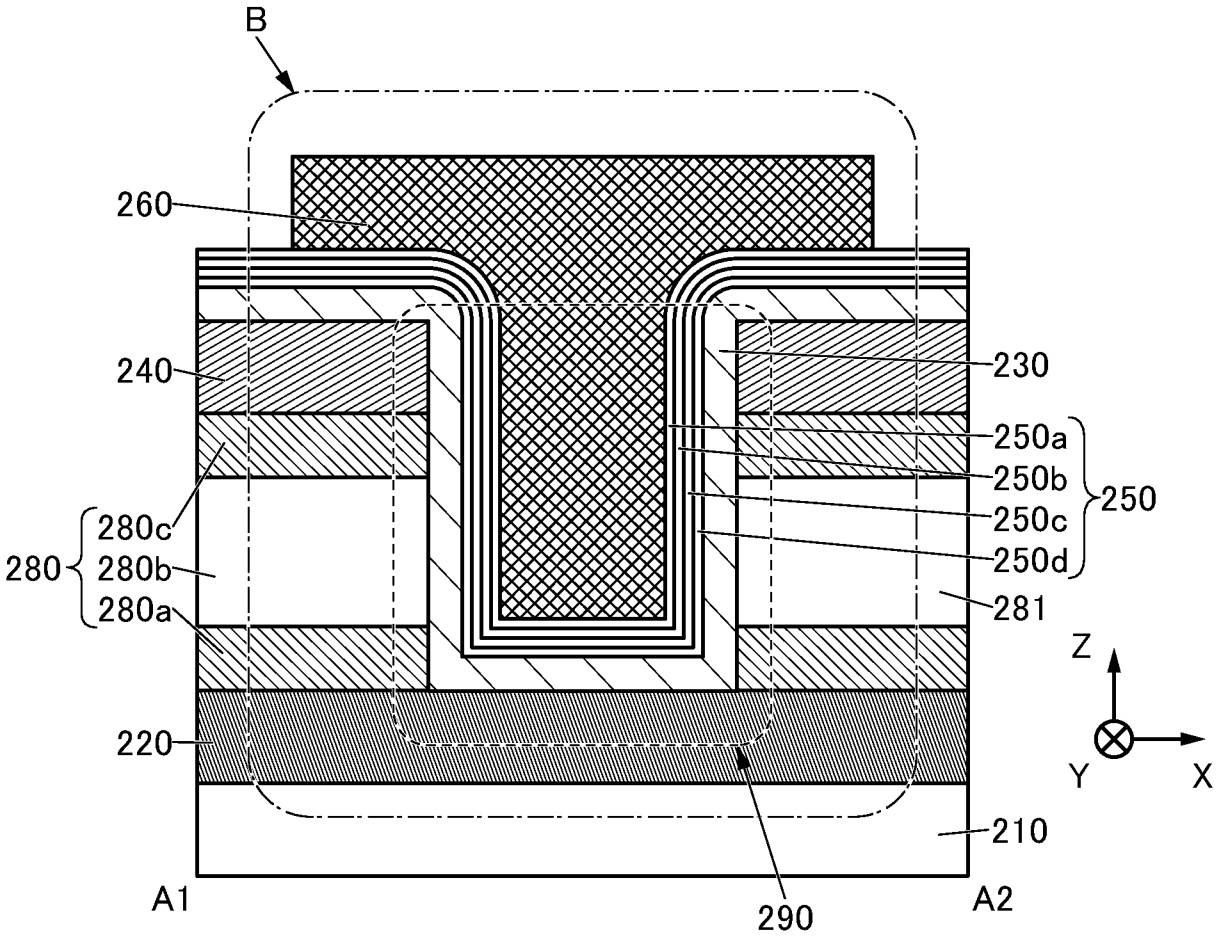

A
240
230
260
280
220
250d
250c
250b
250a
250
281
Z
Y
X
210
A1
290
A2

図35B


B
260
240
230
250a
250b
250c
250d
250
280c
280
280b
280a
281
Z
Y
X
220
210
A1
290
A2

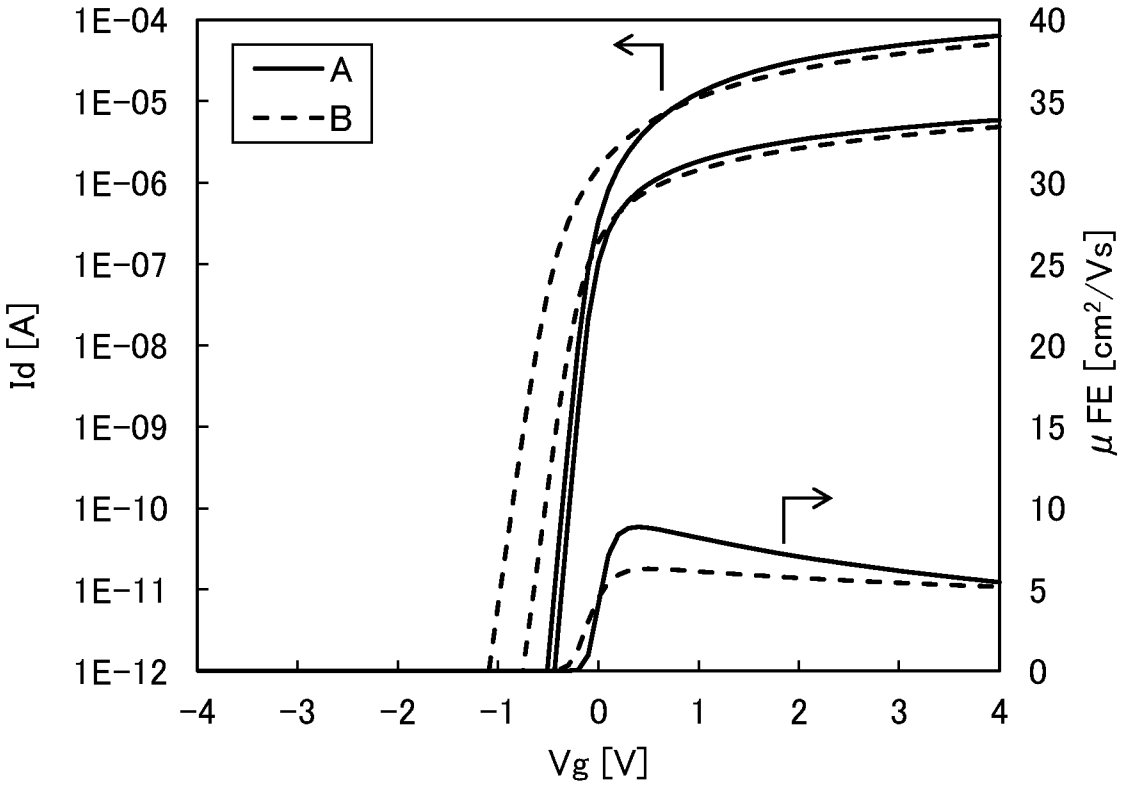

1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
A
B
40
35
30
25
20
15
10
5
0
μ FE [cm²/Vs]
−4
−3
−2
−1
0
1
2
3
4
Vg [V]

図37A

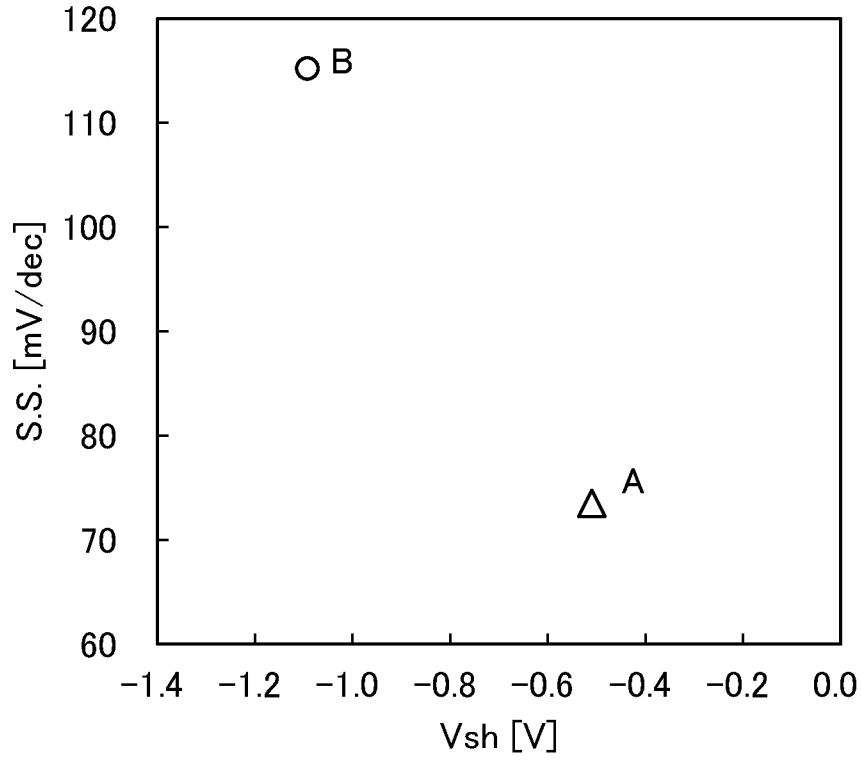

120
110
100
90
80
70
60
S.S. [mV/dec]
B
A
−1.4
−1.2
−1.0
−0.8
−0.6
−0.4
−0.2
0.0
Vsh [V]

図37B

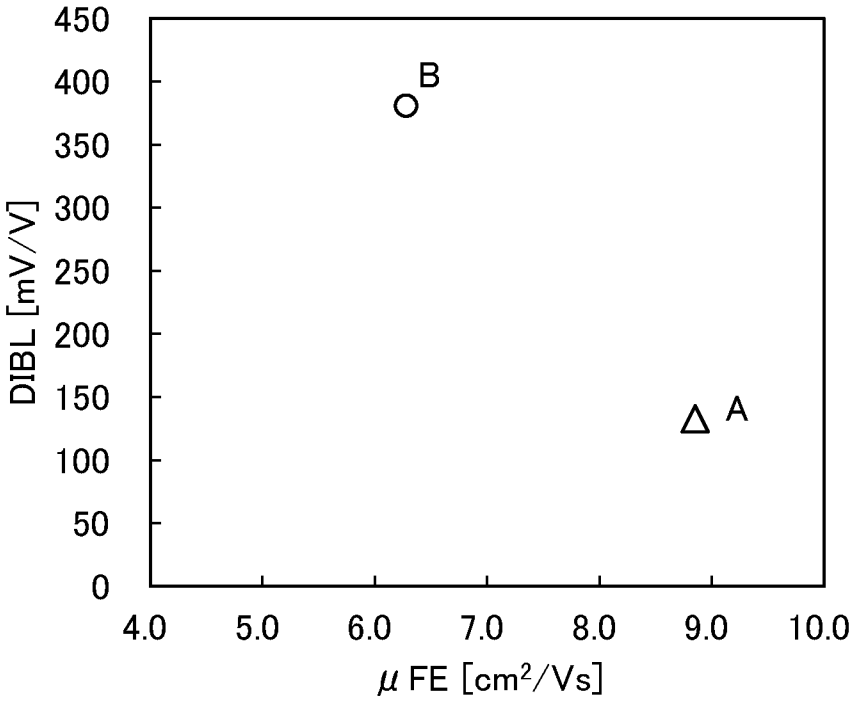
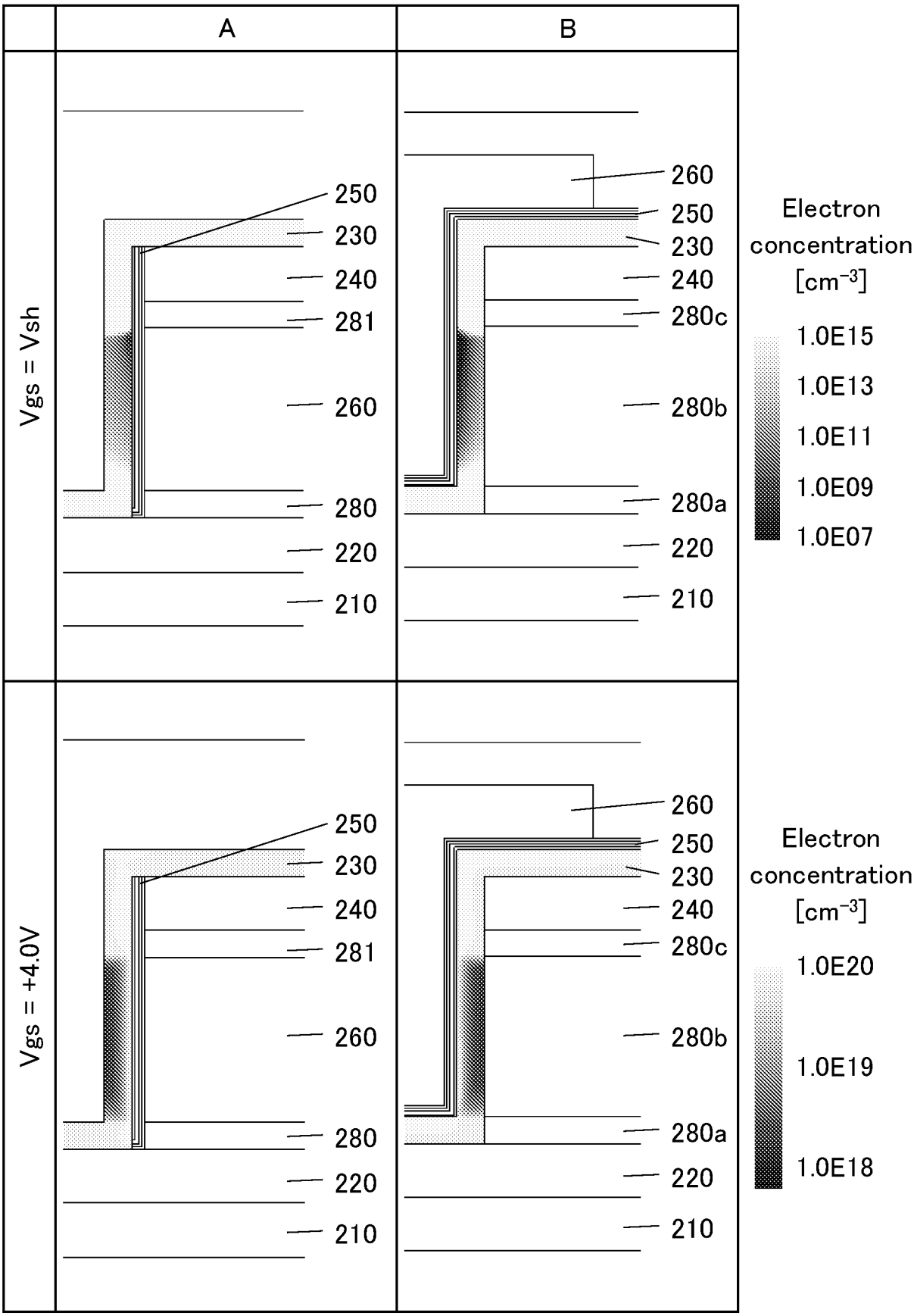

450
400
350
300
250
200
150
100
50
0
DIBL [mV/V]
B
A
4.0
5.0
6.0
7.0
8.0
9.0
10.0
μ FE [cm²/Vs]

図38


A
B
Vgs = Vsh
Vgs = +4.0V
250
230
240
281
260
280
220
210
280c
280b
280a
Electron concentration [cm^{-3}]
1.0E15
1.0E13
1.0E11
1.0E09
1.0E07
1.0E20
1.0E19
1.0E18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/052821

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 29/786***(2006.01)i; ***H10B 53/20***(2023.01)i; ***H10B 53/30***(2023.01)i

FI: H10B12/00 671A; H01L27/088 E; H01L29/78 618B; H01L29/78 627C; H01L29/78 626A; H01L27/088 331E; H01L29/78 617K; H01L29/78 618C; H10B53/20; H10B53/30; H01L29/78 616T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00; H01L21/336; H01L21/8234; H01L27/088; H01L29/786; H10B53/20; H10B53/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-49605 A (KIOXIA CORP) 29 March 2022 (2022-03-29) paragraphs [0005], [0011], [0013]-[0015], [0086], [0090]-[0092], fig. 1, 9	1-8
A		9-10
Y	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) paragraphs [0013], [0014], [0048]-[0054], fig. 1(A)-1(C)	1-8
A		9-10
Y	JP 2020-150233 A (KIOXIA CORP.) 17 September 2020 (2020-09-17) paragraphs [0004], [0022], [0023], [0043]-[0055], [0059], [0071], [0098], [0101], fig. 2, 6	1-8
A		9-10

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 June 2024	**18 June 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/052821

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-179596 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 25 September 2014 (2014-09-25) paragraphs [0010], [0270]-[0272], fig. 15(B)	6-7
A		1-5, 8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/052821

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-49605 A	29 March 2022	US 2022/0085212 A1 paragraphs [0024], [0026]-[0028], [0104], [0109]-[0111], fig. 1, 9 US 2022/0406934 A1 CN 114267740 A	
JP 2016-149552 A	18 August 2016	US 2016/0233343 A1 paragraphs [0013], [0014], [0073]-[0079], fig. 1A-1C WO 2016/128859 A1	
JP 2020-150233 A	17 September 2020	US 2020/0294554 A1 paragraphs [0042], [0043], [0066]-[0078], [0082], [0096], [0125], [0128], fig. 2, 6	
JP 2014-179596 A	25 September 2014	US 2014/0225105 A1 paragraphs [0013], [0300]-[0302], fig. 15B KR 10-2014-0101681 A	

国際調査報告

国際出願番号
PCT/IB2024/052821

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10B 12/00(2023.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H10B 53/20(2023.01)i; H10B 53/30(2023.01)i
FI: H10B12/00 671A; H01L27/088 E; H01L29/78 618B; H01L29/78 627C; H01L29/78 626A; H01L27/088 331E; H01L29/78 617K; H01L29/78 618C; H10B53/20; H10B53/30; H01L29/78 616T

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10B12/00; H01L21/336; H01L21/8234; H01L27/088; H01L29/786; H10B53/20; H10B53/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2022-49605 A (キオクシア株式会社) 29.03.2022 (2022-03-29) [0005], [0011], [0013] - [0015], [0086], [0090] - [0092], 図1, 9	1-8
A		9-10
Y	JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016-08-18) [0013] - [0014], [0048] - [0054], 図1(A) - 1(C)	1-8
A		9-10
Y	JP 2020-150233 A (キオクシア株式会社) 17.09.2020 (2020-09-17) [0004], [0022] - [0023], [0043] - [0055], [0059], [0071], [0098], [0101], 図2, 6	1-8
A		9-10
Y	JP 2014-179596 A (株式会社半導体エネルギー研究所) 25.09.2014 (2014-09-25) [0010], [0270] - [0272], 図15(B)	6-7
A		1-5,8

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
06.06.2024	18.06.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
宮本　博司 5F 6313
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/052821

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-49605 A	29.03.2022	US 2022/0085212 A1 [0024], [0026] - [0028], [0104], [0109] - [0111], 図1, 9 US 2022/0406934 A1 CN 114267740 A	
JP 2016-149552 A	18.08.2016	US 2016/0233343 A1 [0013] - [0014], [0073] - [0079], 図1A - 1C WO 2016/128859 A1	
JP 2020-150233 A	17.09.2020	US 2020/0294554 A1 [0042] - [0043], [0066] - [0078], [0082], [0096], [0125], [0128], 図2, 6	
JP 2014-179596 A	25.09.2014	US 2014/0225105 A1 [0013], [0300] - [0302], 図15B KR 10-2014-0101681 A	