

公告本

申請日期	85. 8. 13
案 號	85109796
類 別	H01L 21/314

(以上各欄由本局填註)

A4
C4

323388

323388

發明專利說明書

一、發明 名稱	中 文	用以製造絕緣層上有矽之裝置的方法
	英 文	METHOD FOR FABRICATING SILICON-ON-INSULATOR DEVICE
二、發明 創作人	姓 名	1. 崔起植 2. 高堯煥
	國 籍	韓 國
	住、居所	1. 韓國京畿道利川市夫鉢邑牙美里山136-1 2. 韓國京畿道利川市夫鉢邑牙美里山136-1
三、申請人	姓 名 (名稱)	現代電子產業股份有限公司
	國 籍	韓 國
	住、居所 (事務所)	韓國京畿道利川市夫鉢邑牙美里山136-1
	代 表 人 姓 名	鄭東洙

323388

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

韓 國 (地區) 申請專利，申請日期：(1)1995.08.21 案號：(1)95-25649，☐有 ☒無主張優先權
(2)1995.12.29 (2)95-66069

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

〔發明之背景〕

發明之領域

本發明係關於一種半導體製造方法，尤指一種用以製造絕緣層上有矽之裝置(SOI)的方法。

前技之描述

SOI晶圓可被應用於具甚高積體程度的半導體裝置，如十億級或更高級的DRAM。該等SOI晶圓包括一氧化物膜及形成於該氧化物膜上之一矽膜。這些SOI晶圓在製造於該矽膜之裝置中提供一理想的隔離。因此，其可獲得各種優點，如防止一閉鎖現象、降低熱電子效應、降低短通道效應等等……。

當使用該等SOI晶圓時，其亦有可能大大減少井形成過程中的步驟數。此導致了製造成本減低。

另一方面，SOI晶圓主要係使用一結合與蝕刻(BE)的方法，或者藉由注入氧氣之分隔(SIMOX)的方法來製造。然而，由於製造成本非常高，這些方法變得不實用。

第一圖說明依據傳統的BE方法來製造一SOI晶圓。依據該方法，兩片晶圓1、2首先被結合在一起，如第一圖所示。隨後，晶圓1或2(所述情形中為晶圓2)使用選擇研磨蝕刻磨光的製程被研磨，研磨後其上形成所需裝置之具約 $0.1\mu\text{m}$ 厚度的矽部位。

結果，被研磨的晶圓幾乎被浪費。再者，每次製造晶

五、發明說明(2)

圓時，依據 B E 方法，僅製造一個 S O I 晶圓。因此，製造 S O I 晶圓中存在的一個問題係效率甚低。

另外，此方法不是使用具良好原子結合力的介面 3，而是使用具不良原子結合力的介面 4。結果，存在的一個問題係半導體裝置製造的可靠度下降。

同時，總體金氧半導體場效電晶體 (M O S F E T) 典型地具有包括一閘極、一源極、一汲極與一矽基片的 4 端結構。然而，具一 S O I 結構的 M O S F E T 無需與矽基片連接的接點與連線，此與總體 M O S F E T 有所不同。因此，具一 S O I 結構的 M O S F E T 可具有一緊湊的晶片尺寸。

於 C M O S 裝置的製造中，沒有必要形成井。於該情形下，M O S F E T 鄰近的主動區互相隔離。因此，有可能防止一閉鎖現象的出現。

在一 S O I 裝置製造於一矽薄膜上並具較小厚度的情形下，其源極／汲極接面形成於整個矽薄膜的厚度上。該源極／汲極具有很小面積的接面電容。於此情形下，僅有周邊接面電容存在。

關於這一點，與總體 M O S F E T 相比，S O I 裝置呈現高速與低功率消耗的特性。

現在，配合第二圖描述一傳統技術的實例。

第二圖係為一剖視圖，說明依據一種傳統方法製造的 S O I 裝置。

五、發明說明 (3)

依據此方法，首先準備一第一矽基片 1 1，並於該第一矽基片 1 1 上形成一氧化矽膜 1 2。其後，一平台形狀的第二矽基片 1 3 形成於該氧化矽膜 1 2 上。

隨後，一襯墊氧化物膜（圖中未示）與一氮化物膜（圖中未示）依序形成於該第二矽基片 1 3 上。其後，該氮化物膜與襯墊氧化物膜使用一蝕刻光罩被蝕刻，以露出第二矽基片 1 3 上對應於一元件隔離區的部位，藉此形成一氧化物膜圖案與一襯墊氧化物膜圖案。

然後，第二矽基片 1 3 的裸露表面部分被氧化，藉此於該第二矽基片 1 3 上形成一場氧化物膜 1 4。

而後，氧化物膜與襯墊氧化物膜圖案依據地使用一蝕刻製程而被去除。

隨後，一閘極氧化物膜 1 5 與一多晶矽層依序地形成於該第二矽基片 1 3 上。然後，該多晶矽層被加圖案以形成一閘極 1 6。

然後，藉由使用閘極 1 6 作為一光罩，高濃度的雜質離子被植入第二矽基片 1 3，藉此形成摻雜區 1 7。

然後，一氧化物膜（圖中未示）形成於所獲得之結果結構的整個上表面上。該氧化物膜其後被蝕刻，藉此於閘極 1 6 的側壁上形成氧化物膜隔離層 1 8。

而後，一絕緣膜 1 9 形成於所獲得之結果結構之上。藉由使用一用以形成接觸孔的蝕刻光罩，絕緣膜 1 9 被蝕刻直至露出閘極 1 6 與第二矽基片 1 3，藉此形成一接觸

五、發明說明(4)

孔(圖中未示)。

最後，一金屬圖案20形成於具接觸孔之絕緣膜19的裸露表面上，該金屬圖案20係埋設於接觸孔內。

然而，具上述SOI結構的MOSFET存在各種問題，因為矽薄膜具有很小的厚度並且半導體基片上未形成接點。

例如，矽薄膜的厚度係作為一項改變MOSFET臨界電壓的因素。

此特性將被詳細描述。MOSFET的臨界電壓可被表述如下：

$$V_T = V_{FB} + Q_B / C_{OX}$$

此處， V_T 代表臨界電壓， V_{FB} 代表平帶電壓， Q_B 代表體電荷，及 C_{OX} 代表氧化物膜的電容。

參考以上等式，可以發現通道中的電荷量係依據矽薄膜的厚度來變化。具SOI結構之MOSFET的臨界電壓隨著矽薄膜厚度的減小而降低。因此，矽薄膜的厚度變化直接影響到具SOI結構之MOSFET的臨界電壓。

可藉由新近發展之技術來調整的矽薄膜的厚度範圍係為100 Å。此範圍在具SOI結構之MOSFET的情形下可導致對應於約0.1伏的臨界電壓變化。

另一方面，具上述SOI結構之MOSFET亦存在一個問題，即當飽和通道內的流動電荷碰撞到矽粒分子時將不會產生用以吸收少數載流子的途徑。此係因為半導體

五、發明說明 (5)

基片未具任何接點。結果，載流子經由場區流入源極／汲極，因此產生一導致汲極電流增大的頸結效應。

該一頸結效應限制了使用具一 S O I 結構之 M O S F E T 的電路的設計。通道區中產生的少數載流子可被聚集在半導體基片內，除非它們被快速地再結合。於此情形下，半導體基片的偏壓增大。結果，具 S O I 結構之 M O S F E T 的臨界電壓降低。

上述的兩種因素被視為與使用 S O I 裝置作為下一代半導體裝置所相關聯的最為重要的問題。

另一方面，第三圖係為一剖視圖，說明依據一種傳統平台蝕刻方法製造的 S O I M O S F E T 。

依據該方法，首先準備一第一矽基片 2 1，並於該第一半導體基片 2 1 上形成一氧化矽膜 2 2。其後，一平台形狀的第二矽基片 2 3 形成於該氧化矽膜 2 2 上。

隨後，一襯墊氧化物膜（圖中未示）形成於該第二矽基片 2 3 上。其後，該襯墊氧化物膜使用一蝕刻光罩被蝕刻，以露出第二矽基片 2 3 上對應於一元件隔離區的部位，藉此形成一襯墊氧化物膜圖案。然後使用該襯墊氧化物膜圖案作為一蝕刻阻擋劑，蝕刻該第二矽基片 2 3。

隨後，一閘極氧化物膜與一多晶矽層依序地形成於該第二矽基片 2 3 上。然後，該多晶矽層與閘極氧化物膜被依序地加圖案以形成一閘極氧化物膜圖案 2 4 與一閘極圖案 2 5。

五、發明說明(6)

藉由使用閘極圖案 2 5 與該閘極氧化物膜圖案 2 4 作為一光罩，高濃度的雜質離子被植入第二矽基片 2 3，藉此形成摻雜區 2 6。

然後，一氧化物膜（圖中未示）形成於所獲得之結果結構的整個上表面上。該氧化物膜其後被蝕刻，藉此於閘極圖案 2 5 的側壁上形成氧化物膜隔離層 2 7。

而後，一絕緣膜 2 8 形成於所獲得之結果結構之上。藉由使用一用以形成接觸孔的蝕刻光罩，絕緣膜 2 8 被蝕刻直至露出閘極圖案 2 5 與第二矽基片 2 3，藉此形成一接觸孔（圖中未示）。

最後，一金屬圖案 2 9 形成於具接觸孔之絕緣膜 2 8 的裸露表面上，該金屬圖案 2 9 係埋設於接觸孔內。

然而，第三圖的方法仍具有第二圖所示之製造 S O I 裝置所涉及的問題。再者，以一平台形式蝕刻的矽基片於其蝕刻表面具有 (111)-取向，因此改變了 S O I M O S F E T 的臨界電壓。結果，因為兩個臨界電壓存在於 M O S F E T 的次臨界區，故出現頸結效應。

上述傳統的 S O I 裝置製造方法存在以下問題。

在第一圖所示的方法中，被結合在一起的晶圓之一者幾乎被浪費掉。再者，每次製造時，僅製造一個 S O I 晶圓。所以，製造 S O I 晶圓的一個問題係效率很低。

更甚者，此方法使用具不良原子結合力的介面。結果，製造半導體裝置的可靠度降低。

五、發明說明(7)

另一方面，第二、三圖所示的傳統方法牽涉到頸結現象的出現，因為由於矽基片的厚度變化，臨界電壓難以控制。因此，依據第二、三圖之方法製造的半導體裝置的性能會下降。

[發明之概要]

因此，本發明之一目的係在於解決前技中牽涉的上述問題，並提供一種 S O I 裝置的製造方法，該方法可獲得更高的製造 S O I 晶圓的生產率，因此不僅達成大量生產，而且用於製造 S O I 晶圓的製程效率得以提高。

本發明的另一目的係在於提供一種 S O I 裝置的製造方法，該方法可消除半導體基片的浮置，因此達成使用 S O I 裝置之半導體裝置的性能提高。

依據本發明之一方面，一種用以製造絕緣層上有矽(S O I)之裝置的方法，包括步驟：準備複數個各具有大於典型晶圓厚度之厚度的晶圓，將用於後序晶圓處理製程之製程界限考慮在內；分別於各晶圓之上下表面上生成允許各晶圓被用作一 S O I 晶圓的氧化物膜；蝕刻生成於各晶圓之表面上將不會被使用的氧化物膜；依序地將該等晶圓疊置並結合一起；於矽的熔點溫度加熱該等疊置的晶圓；及切割該等疊置之晶圓的所需部分，藉此獲得各具一 S O I 結構的晶圓，該等晶圓包括各氧化物膜與形成於該氧化物膜上之矽。

依據本發明之另一方面，一種用以製造絕緣層上有矽

五、發明說明(8)

(S O I) 之裝置的方法，包括步驟：於一第一矽基片上形成一氧化矽膜；於該氧化矽膜上形成一第二矽基片；氧化該第二矽基片之露出部分約 90 % 或以下的厚度，藉此形成一場氧化物膜；於該場氧化物之下剩餘的第二矽基片內形成摻雜區；於一形成該第二矽基片元件形成部位上形成一閘極氧化物膜，並於該閘極氧化物膜上形成一閘極；使用該閘極作為一光罩，將低濃度的雜質離子植入該第二矽基片的相對側部位，藉此形成輕微摻雜區；於該閘極相對的側壁上形成氧化物膜隔離層；及使用該閘極、該等氧化物膜隔離層及該場氧化物膜作為一光罩，將高濃度的雜質離子植入該第二矽基片，藉此形成重度摻雜區。

〔附圖簡要描述〕

本發明的其它目的與方面將在以下參考附圖的實施例描述中變得更加清楚，其中：

第一圖係為一剖視圖，說明依據一種傳統 B E 方法的 S O I 晶圓的製造；

第二圖係為一剖視圖，說明依據一種傳統方法製造的一種 S O I 裝置；

第三圖係為一剖視圖，說明依據一種傳統的平台蝕刻方法而製造的 S O I M O S F E T ；

第四 A 至四 F 圖係為剖視圖，分別說明依據本發明之一實施例的一種 S O I 晶圓製造方法的依序步驟；及

第五 A 至五 F 圖係為剖視圖，分別說明依據本發明之

五、發明說明(7)

另一實施例的一種 S O I 晶圓製造方法的依序步驟。

[發明的詳細描述]

第四 A 至四 F 圖係為剖視圖，分別說明依據本發明之一實施例的一種 S O I 晶圓製造方法的依序步驟。

依據該方法，首先準備複數個厚晶圓 3 1，3 2 . . . N - 1 及 N。於第四 A 圖中，僅顯示晶圓 3 1。各晶圓具一 1 0 0 0 至 1 1 0 0 μ m 的厚度，其足以為後序的晶圓製造步驟提供一預期的製程界限。隨後，熱氧化物膜 3 1 a、3 1 b 生成於各晶圓的上下表面，如第四 A 圖所示。這些熱氧化物膜 3 1 a、3 1 b 需使用該晶圓作為一 S O I 晶圓。此處使用 8 英吋的晶圓，其典型地具有一約 7 1 0 ~ 7 4 0 μ m 的厚度。該熱氧化物膜 3 1 a、3 1 b 具一約 0 . 2 ~ 0 . 4 μ m 的生長厚度。

該生長於各晶圓表面，且並不用來製造一晶圓的熱氧化物膜，即所述情形中之熱氧化物膜 3 1 b 隨後使用一溼式或乾式蝕刻製程而被去除，如第四 B 圖中所示。

隨後，晶圓 3 1，3 2 . . . N - 1 及 N 被疊置並被結合一起，使各晶圓之剩餘的熱氧化物膜（晶圓 3 1 中為熱氧化物膜 3 1 a）作為該晶圓的上表面，如第四 C 圖中所示。於第四 C 圖中，依序地於晶圓 3 1 上被疊置的晶圓 3 2 . . . 及 N 之剩餘熱氧化物膜分別由參考圖號 3 2 a . . . N - 1 a 及 N a 表示。

如果可能，宜將晶圓疊置在一起同時製用晶圓的平坦

五、發明說明 (10)

區來校準晶圓的取向。為此，宜從一鑄塊中備製晶圓。

疊置的晶圓數大致被確定以獲得一所需的總高度，如几十厘米。

隨後，疊置的晶圓結構於一加熱爐中以接近矽熔點的溫度（如約 $1400 \sim 1500^{\circ}\text{C}$ 的溫度）被加熱，以增大疊置之晶圓 $31, 32 \cdots N-1$ 及 N 的結合力。

於加熱處理之後，所獲之薄片晶圓結構可被處理為一鑄塊。於此情形下，疊置的晶圓結構其後被一切削工具，如一內徑切片機，切割為複數片，如第四 D 圖所示。於第四 D 圖中，陰影區 34 表示晶圓結構被切割的區域。

如第四 E 圖所示（其為第四 D 圖之部位 A 的放大圖），切割係於各晶圓（除了最低的晶圓）之一部位上進行，與設於欲被切割之晶圓下的氧化物膜及設於該氧化物膜下之晶圓之間的介面 35 隔開約 $0.8 \sim 1.2 \mu\text{m}$ 的距離。此距離包括約 $0.3 \mu\text{m}$ 的氧化物膜厚度 a 與約 $0.5 \mu\text{m}$ 的氧化物膜上剩餘晶圓的厚度 b 。

於此情形下，由於切削工具 34 具約 $330 \mu\text{m}$ 的厚，被切割的各晶圓由於其厚度於切削工具 34 的厚度對應而被浪費。各晶圓之初始厚度之所以被控制在約 $1000 \sim 1100 \mu\text{m}$ 的原因係考慮到晶圓厚度之浪費，以允許晶圓具一 $710 \sim 740 \mu\text{m}$ 的最終厚度。

隨後，切割後所得的各晶圓片（第四 F 圖），即各 SOI 晶圓 36 之上層、薄矽部分被研磨，因為其上表面並

五、發明說明(11)

不平坦。各 S O I 晶圓 36 的研磨進行至薄矽部分的厚度對應於約 $0.1 \mu\text{m}$ 。

如以上描述所清楚見及者，S O I 晶圓可藉由準備具一厚度大於所需厚度的晶圓（考慮到用於後序製程之一製程界限）、將厚晶圓結合一起、並將所獲得的晶圓結構切割為所需片體來簡單地製造。因此，其不僅可有效地使用晶圓材料，並且可獲得生產率的提升。結果，達成大量生產。

當使用傳統的 B E 方法時，晶圓厚度的浪費約為 $730 \mu\text{m}$ ，因為晶圓被研磨至其具 $0.1 \mu\text{m}$ 的厚度。因此，本發明的方法相比於傳統 B E 方法，可減少 50% 或更多的矽的浪費，因為其矽的浪費響應於切削工具的厚度約為 $330 \mu\text{m}$ 。

儘管傳統方法使用研磨蝕刻與磨光製程來研磨一晶圓片，但本發明的方法可藉由僅使用切割與磨光製程來簡單地形成 S O I 晶圓。因此，其可能達成製程效率的提升。

依據傳統方法，設於矽層下的氧化物膜包括一具不良原子結合力的介面。相反地，依據本發明的氧化物膜包括一具良好原子結合力的介面。因此，其可能達成依據本發明使用 S O I 晶圓所製造的半導體裝置可靠性的提升。

另一方面，第五 A 至五 F 圖係為剖視圖，分別說明依據本發明之另一實施例的一種 S O I 晶圓製造方法的依序步驟。

五、發明說明 (12)

依據該方法，首先準備一第一矽基片 4 1，並於該第一半導體基片 4 1 上形成一氧化矽膜 4 2，如第五 A 圖所示。然後，於該氧化矽膜 4 2 上形成具一所需厚度的第二矽基片 4 3。

一襯墊氧化物膜（圖中未示）與一氮化物膜（圖中未示）依序形成於該第二矽基片 4 3 上。然後，使用一蝕刻光罩來蝕刻該氮化物膜與襯墊氧化物膜，以露出該第二矽基片 4 3 上對應於一元件隔離區的部位，藉此形成一襯墊氧化物膜圖案 4 4 與一氮化物膜圖案 4 5。

隨後，該第二矽基片 4 3 之裸露部分被氧化約 50 ~ 90 % 的厚度，藉此形成一場氧化物膜 4 6。

然後，該氮化物膜圖案 4 5 與襯墊氧化物膜圖案 4 4 被去除，如第五 B 圖所示。

隨後，一摻雜區 4 7 依據一通道阻塞植入製程而形成於該第二矽基片 4 3 上設於場氧化物膜 4 6 之下的部位。

隨後，一閘極氧化物膜 4 8 與一多晶矽層依序地形成於該第二矽基片 4 3 上。然後，加圖案於該多晶矽層以形成一閘極 4 9。

然後，藉由使用該閘極 4 9 作為一光罩，低濃度的雜質離子被植入第二矽基片 4 3，藉此形成輕微摻雜區 5 0。

然後，一氧化物膜（圖中未示）形成於所獲得之結果結構的整個上表面。該氧化物膜其後被蝕刻，藉此於該閘

五、發明說明(13)

極49之側壁上形成氧化物膜隔離層51。

藉由使用閘極49與氧化物膜隔離層51作為一光罩，高濃度的雜質離子被植入第二矽基片43，藉此形成重度摻雜區52。

隨後，一絕緣膜53形成於所獲得之結果結構之上。使用一用以形成接觸孔的蝕刻光罩，絕緣膜53被蝕刻直至露出閘極49或閘極氧化物膜48，藉此形成一接觸孔(圖中未示)。

一金屬圖案54其後形成於具接觸孔的絕緣膜的裸露表面上，該金屬圖案54係埋於該接觸孔內。

依據該方法，有可能解決由矽基片之浮置所引起的問題，因為摻雜區係藉由將雜質離子植入場氧化物膜下剩餘矽基片的部位至一所需厚度來形成。

如以上描述所清楚見及者，本發明提供一種SOI晶圓的製造方法，其包括結合複數個晶圓，各晶圓於其上表面具一氧化物膜，各晶圓的氧化物膜係為向上設置；加熱該所獲得之晶圓結構以形成一鑄塊；及將鑄塊切割為欲被用作SOI晶圓的片體。因此，其可能達成SOI晶圓製造中的生產率提升。結果，達成大量生產。

本發明又提供一種SOI裝置的製造方法，其包括於一場氧化物膜之下形成具一所需厚度的矽膜及將雜質離子植入該矽膜，藉此形成摻雜區。因此，其可能解決由半導體基片之浮置引起的問題。

五、發明說明 (14)

儘管本發明的較佳實施例已為說明之目的所揭示，那些熟悉此項技藝之人士應理解，未脫離如隨附之申請專利範圍所界定之本發明的範疇與精神的各種變更、添加與替代為可能的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

)

用以製造絕緣層上有矽之裝置的方法

一種 S O I 晶圓的製造方法，其包括結合複數個晶圓，各晶圓於其上表面具一氧化物膜，各晶圓的氧化物膜係為向上設置；加熱該結果之晶圓結構以形成一鑄塊；及將鑄塊切割為欲被用作 S O I 晶圓的片體。因此，其可能達成 S O I 晶圓製造中的生產率提升。結果，達成大量生產。本發明又提供一種 S O I 裝置的製造方法，其包括於一場氧化物膜之下形成具一所需厚度的矽膜及將雜質離子植入該矽膜，藉此形成摻雜區。因此，其可能解決由半導體基片之浮置引起的問題。

英文發明摘要(發明之名稱 METHOD FOR FABRICATING SILICON-ON-INSULATOR)
DEVICE

A method for fabricating an SOI wafer, which involves bonding a plurality of wafers each provided at its upper surface with an oxide film in such a manner that the oxide film of each wafer is upwardly disposed, heating the resulting wafer structure to form an ingot, and cutting the ingot into pieces which will be used as SOI wafers. Accordingly, it is possible to achieve an improvement in productivity in the fabrication of SOI wafers. As a result, mass production can be achieved. The invention also provides a method for fabricating an SOI device, which involves forming a silicon film having a desired thickness beneath a field oxide film and implanting impurity ions in the silicon film, thereby forming doped regions. Accordingly, it is possible to solve the problem caused by floating of the semiconductor substrate.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用以製造絕緣層上有矽 (silicon-on-insulator S O I) 之裝置的方法，包括步驟：

準備複數個各具有大於典型晶圓厚度之厚度的晶圓，將用於後序晶圓處理製程之製程界限考慮在內；

分別於各晶圓之上下表面上生成允許各晶圓被用作一 S O I 晶圓的氧化物膜；

蝕刻生成於各晶圓之表面上將不會被使用的氧化物膜；

依序地將該等晶圓疊置並結合一起；

於矽的熔點溫度加熱該等疊置的晶圓；及

切割該等疊置之晶圓的所需部分，藉此獲得各具有一 S O I 結構的晶圓，該等結構包括各氧化物膜與形成於該氧化物膜上之矽。

2. 如申請專利範圍第 1 項所述之方法，其中藉由考慮用於後序晶圓處理製程之製程界限而決定的各晶圓厚度範圍約為 $1000\ \mu\text{m}$ 至 $1100\ \mu\text{m}$ 。

3. 如申請專利範圍第 1 項所述之方法，其中各 S O I 晶圓所需的氧化物膜生成厚度範圍約為 $0.2\ \mu\text{m}$ 至 $0.4\ \mu\text{m}$ 。

4. 如申請專利範圍第 1 項所述之方法，其中該等疊置之晶圓上晶圓被切割的部位與晶圓的對應結合介面相隔約 0.8 至 $1.2\ \mu\text{m}$ 的距離。

六、申請專利範圍

5．如申請專利範圍第1項所述之方法，其中各晶圓被用作一厚度範圍約為 $710\mu\text{m}$ 至 $740\mu\text{m}$ 的8英吋晶圓。

6．如申請專利範圍第1項所述之方法，其中加熱疊置之晶圓的該步驟係於一範圍約 1400°C 至 1500°C 的溫度下進行。

7．如申請專利範圍第1項所述之方法，其中蝕刻生成於各晶圓之表面上將不會被使用的氧化物膜的該步驟係依據一溼式蝕刻製程來進行。

8．如申請專利範圍第1項所述之方法，其中蝕刻生成於各晶圓之表面上將不會被使用的氧化物膜的該步驟係依據一乾式蝕刻製程來進行。

9．一種用以製造絕緣層上有矽(SOI)之裝置的方法，包括步驟：

於一第一矽基片上形成一氧化矽膜；

於該氧化矽膜上形成一第二矽基片；

氧化該第二矽基片之露出部分約90%或以下的厚度，藉此形成一場氧化物膜；

於該場氧化物之下剩餘的第二矽基片內形成摻雜區；

於一形成該第二矽基片元件形成部位上形成一閘極氧化物膜，並於該閘極氧化物膜上形成一閘極；

使用該閘極作為一光罩，將低濃度的雜質離子植入該第二矽基片的相對側部位，藉此形成輕微摻雜區；

六、申請專利範圍

於該閘極相對的側壁上形成氧化物膜隔離層；及

使用該閘極、該等氧化物膜隔離層及該場氧化物膜作為一光罩，將高濃度的雜質離子植入該第二矽基片，藉此形成重度摻雜區。

10．如申請專利範圍第9項所述之方法，其中該場氧化物膜係藉由氧化該第二矽基片之露出部位約其厚度之50%~90%而形成。

11．如申請專利範圍第9項所述之方法，其中該氧化步驟係進行至該第二矽基片剩下約100~2000Å的厚度。

12．如申請專利範圍第9項所述之方法，其中該摻雜區形成步驟係依據一通道阻塞植入製程來進行。

13．如申請專利範圍第9項所述之方法，其中該氧化該第二矽基片的步驟係在形成一襯墊氧化物膜於形成第二矽基片之元件形成部位上並形成一氮化物膜於該襯墊氧化物膜上之後進行。

14．如申請專利範圍第9項所述之方法，更包括步驟：

於重度摻雜區形成之後，於所獲得之結果結構之整個表面上形成一絕緣膜；

選擇性地去除該絕緣膜，藉此形成用於露出該閘極與該重度摻雜區的接觸孔；及

形成一透過該接觸孔連接到該閘極與該等重度摻雜區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

之金屬圖案。

15. 如申請專利範圍第9項所述之方法，其中該場氧化物膜的形成係由選擇性地蝕刻該第二矽基片，使該第二矽基片剩下約10%的厚度，並將一氧化物膜埋於該第二矽基片被蝕刻之區域內的步驟來替代。

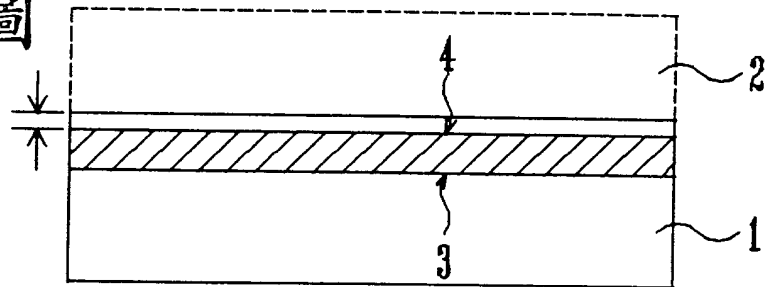
(請先閱讀背面之注意事項再填寫本頁)

裝

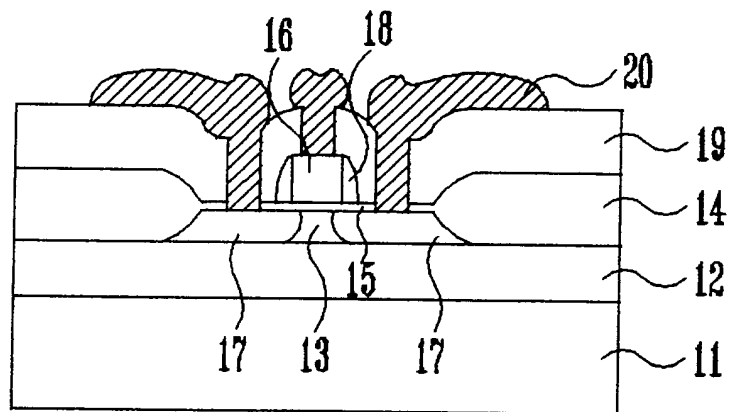
訂

線

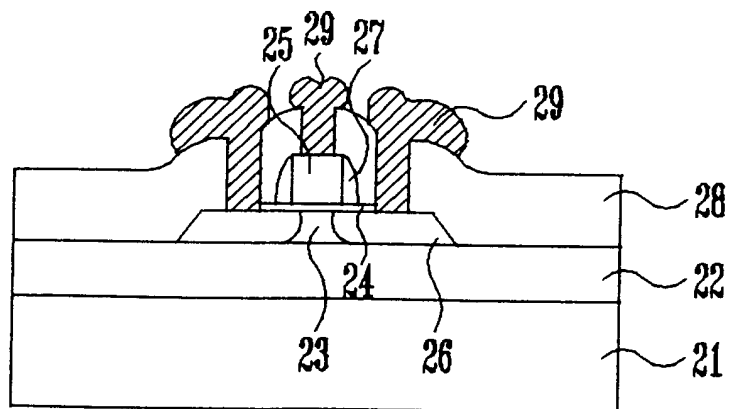
第 1 圖



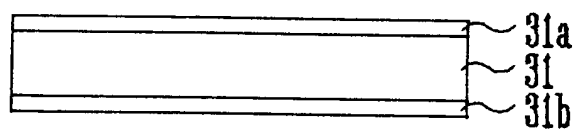
第 2 圖



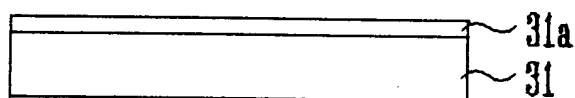
第 3 圖



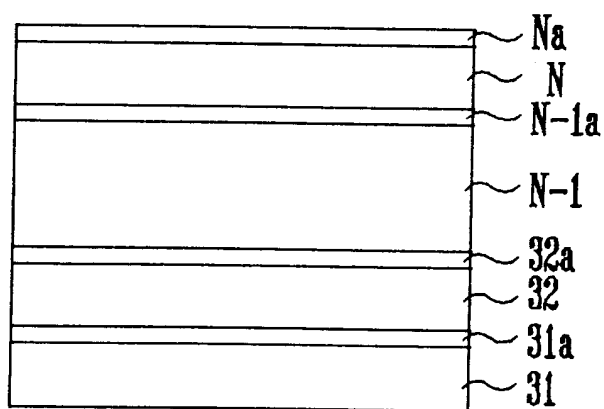
第 4a 圖



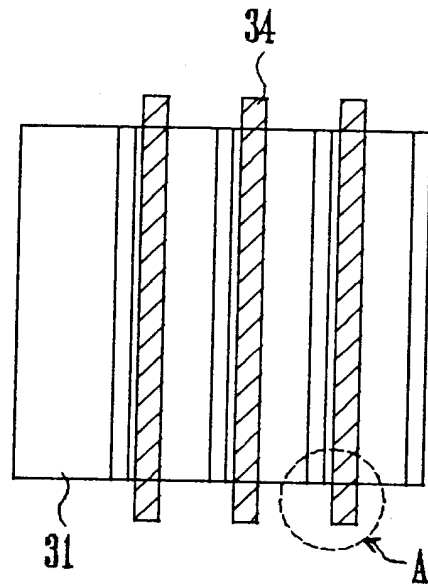
第 4b 圖



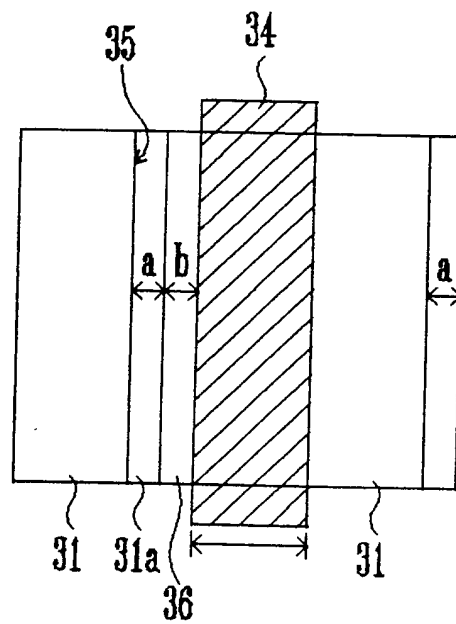
第 4c 圖



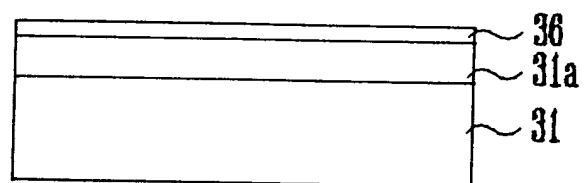
第 4d 圖



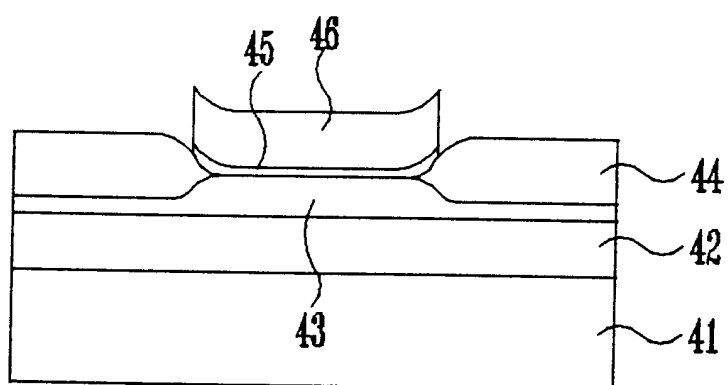
第 4e 圖



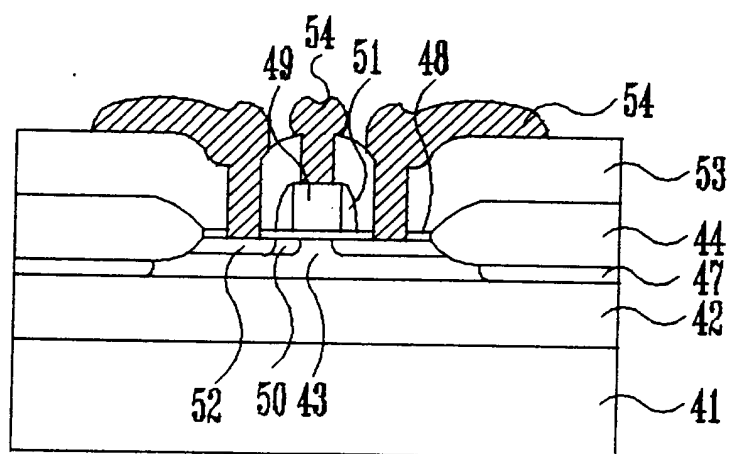
第 4f 圖



323388



第 5a 圖



第 5b 圖