



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월14일
 (11) 등록번호 10-1430490
 (24) 등록일자 2014년08월08일

(51) 국제특허분류(Int. Cl.)
 H04B 7/26 (2006.01) H04L 29/02 (2006.01)
 H04L 1/18 (2006.01)
 (21) 출원번호 10-2008-0084617
 (22) 출원일자 2008년08월28일
 심사청구일자 2013년08월27일
 (65) 공개번호 10-2009-0093763
 (43) 공개일자 2009년09월02일
 (30) 우선권주장
 61/032,412 2008년02월28일 미국(US)
 (뒷면에 계속)
 (56) 선행기술조사문헌
 US20060107171 A1
 JP2007142944 A

(73) 특허권자
엘지전자 주식회사
 서울특별시 영등포구 여의대로 128 (여의도동)
 (72) 발명자
김기환
 경기도 안양시 동안구 흥안대로81번길 77, LG제1
 연구단지 (호계동)
이문일
 경기도 안양시 동안구 흥안대로81번길 77, LG 제
 1연구단지 (호계동)
정재훈
 경기도 안양시 동안구 흥안대로81번길 77, LG제1
 연구단지 (호계동)
 (74) 대리인
김용인, 박영복

전체 청구항 수 : 총 20 항

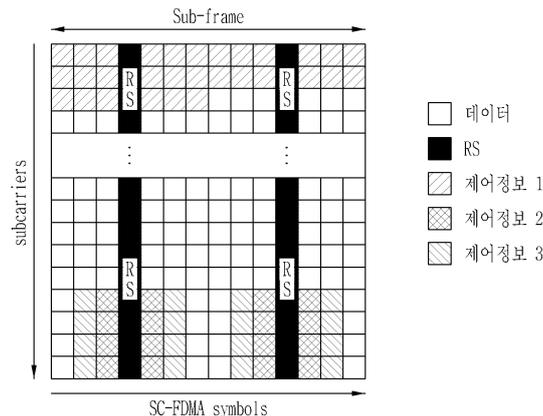
심사관 : 전용해

(54) 발명의 명칭 **데이터 정보와 제어 정보의 다중화 방법**

(57) 요약

무선 이동 통신 시스템에서 정보 심볼(systematic symbol)과 비(非)정보 심볼(non-systematic symbol)로 구성되는 데이터 정보 스트림과 3가지 종류 이상의 제어 정보 스트림을 다중화하는 방법이 제공된다. 이 다중화 방법은, 제어 정보 스트림이 사상되는 특정 자원 영역(specific resource area)에 정보 심볼이 사상되지 않도록, 상기 데이터 정보 스트림을 자원 영역에 사상하는 단계, 및 위의 제어 정보 스트림을 위의 특정 자원 영역에 사상하는 단계를 포함한다.

대표도 - 도7



(30) 우선권주장

61/035,054	2008년03월10일	미국(US)
61/036,066	2008년03월12일	미국(US)
61/041,929	2008년04월03일	미국(US)
61/041,973	2008년04월03일	미국(US)
61/047,404	2008년04월23일	미국(US)
61/048,297	2008년04월28일	미국(US)
61/050,732	2008년05월06일	미국(US)
61/051,398	2008년05월08일	미국(US)
61/060,126	2008년06월10일	미국(US)
61/126,326	2008년05월01일	미국(US)

특허청구의 범위

청구항 1

상향 링크 신호를 전송하는 방법에 있어서,

하나의 서브프레임 상의 복수의 SC-FDMA(Single Carrier Frequency Division Multiple Access) 심볼을 통해 상향 링크 신호를 전송하되,

상기 상향 링크 신호는 RI(Rank Information) 및 HARQ-ACK(Hybrid Automatic Repeat Request Acknowledgement)을 포함하고,

상기 복수의 SC-FDMA 심볼은 기준 신호(reference signal)에 대한 1개의 SC-FDMA 심볼 및 RI에 대한 2개의 SC-FDMA 심볼 및 HARQ-ACK에 대한 2개의 SC-FDMA 심볼을 포함하고,

상기 RI에 대한 2개의 SC-FDMA 심볼은 상기 기준 신호에 대한 SC-FDMA 심볼을 기준으로 하나의 SC-FDMA 심볼만큼 이격되어있고,

상기 HARQ-ACK에 대한 2개의 SC-FDMA 심볼은 상기 기준 신호에 대한 SC-FDMA 심볼과 연속적으로 배열되는 방법.

청구항 2

제 1 항에 있어서,

표준 CP(normal-Cyclic Prefix)가 적용된 경우, 상기 서브프레임은 하나의 슬롯을 포함하며, 상기 슬롯은 7개의 SC-FDMA 심볼을 포함하는 방법.

청구항 3

제 2 항에 있어서,

상기 기준 신호에 대한 SC-FDMA 심볼은 상기 슬롯 상에 4번째 SC-FDMA 심볼에 위치하는 방법.

청구항 4

제 2 항에 있어서,

상기 RI에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 2번째 및 6번째 SC-FDMA 심볼에 위치하는 방법.

청구항 5

제 2 항에 있어서,

상기 HARQ-ACK에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 3번째 및 5번째 SC-FDMA 심볼에 위치하는 방법.

청구항 6

제 1 항에 있어서,

확장 CP(extended-Cyclic Prefix)가 적용된 경우, 상기 서브프레임은 하나의 슬롯을 포함하며, 상기 슬롯은 6개의 SC-FDMA 심볼을 포함하는 방법.

청구항 7

제 6 항에 있어서,

상기 기준 신호에 대한 SC-FDMA 심볼은 상기 슬롯 상에 3번째 SC-FDMA 심볼에 위치하는 방법.

청구항 8

제 6 항에 있어서,

상기 RI에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 1번째 및 5번째 SC-FDMA 심볼에 위치하는 방법.

청구항 9

제 6 항에 있어서,

상기 HARQ-ACK에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 2번째 및 4번째 SC-FDMA 심볼에 위치하는 방법.

청구항 10

제 1 항에 있어서,

상기 상향 링크 신호는 PUSCH(Physical Uplink Shared Channel) 신호이며, 상기 PUSCH 신호는 UL-SCH(Uplink Shared Channel) 데이터를 포함하는 방법.

청구항 11

상향 링크 신호를 전송하는 무선 통신 장치에 있어서,

하나의 서브프레임 상의 복수의 SC-FDMA(Single Carrier Frequency Division Multiple Access) 심볼을 통해 상향 링크 신호를 전송하는 모듈을 포함하되,

상기 상향 링크 신호는 RI(Rank Information) 및 HARQ-ACK(Hybrid Automatic Repeat Request Acknowledgement)을 포함하고,

상기 복수의 SC-FDMA 심볼은 기준 신호(reference signal)에 대한 1개의 SC-FDMA 심볼 및 RI에 대한 2개의 SC-FDMA 심볼 및 HARQ-ACK에 대한 2개의 SC-FDMA 심볼을 포함하고,

상기 RI에 대한 2개의 SC-FDMA 심볼은 상기 기준 신호에 대한 SC-FDMA 심볼을 기준으로 하나의 SC-FDMA 심볼만큼 이격되어있고,

상기 HARQ-ACK에 대한 2개의 SC-FDMA 심볼은 상기 기준 신호에 대한 SC-FDMA 심볼과 연속적으로 배열되는 장치.

청구항 12

제 11 항에 있어서,

표준 CP(normal-Cyclic Prefix)가 적용된 경우, 상기 서브프레임은 하나의 슬롯을 포함하며, 상기 슬롯은 7개의 SC-FDMA 심볼을 포함하는 장치.

청구항 13

제 12 항에 있어서,

상기 기준 신호에 대한 SC-FDMA 심볼은 상기 슬롯 상에 4번째 SC-FDMA 심볼에 위치하는 장치.

청구항 14

제 12 항에 있어서,

상기 RI에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 2번째 및 6번째 SC-FDMA 심볼에 위치하는 장치.

청구항 15

제 12 항에 있어서,

상기 HARQ-ACK에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 3번째 및 5번째 SC-FDMA 심볼에 위치하는 장치.

청구항 16

제 11 항에 있어서,

확장 CP(extended-Cyclic Prefix)가 적용된 경우, 상기 서브프레임은 하나의 슬롯을 포함하며, 상기 슬롯은 6개의 SC-FDMA 심볼을 포함하는 장치.

청구항 17

제 16 항에 있어서,

상기 기준 신호에 대한 SC-FDMA 심볼은 상기 슬롯 상에 3번째 SC-FDMA 심볼에 위치하는 장치.

청구항 18

제 16 항에 있어서,

상기 RI에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 1번째 및 5번째 SC-FDMA 심볼에 위치하는 장치.

청구항 19

제 16 항에 있어서,

상기 HARQ-ACK에 대한 2개의 SC-FDMA 심볼은 상기 슬롯 상에 2번째 및 4번째 SC-FDMA 심볼에 위치하는 장치.

청구항 20

제 11 항에 있어서,

상기 상향 링크 신호는 PUSCH(Physical Uplink Shared Channel) 신호이며, 상기 PUSCH 신호는 UL-SCH(Uplink Shared Channel) 데이터를 포함하는 장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 무선 이동 통신 시스템에서 데이터 및 제어 시퀀스를 다중화하여 물리 채널에 사상하는 방법에 관한 것이다.

배경기술

[0002] MAC 계층(media access control layer)으로부터 물리 계층(physical layer)으로 전달되는 데이터 및 제어 시퀀스는, 부호화된(encoded) 후 무선 전송 링크(radio transmission link)를 통해 전송 및 제어 서비스(transport and control service)를 제공한다. 채널 코딩 방식(channel coding scheme)은, 오류 검출(error detection), 오류 정정(error correction), 레이트 매칭(rate matching), 인터리빙(interleaving), 그리고 전송 채널(transport channel) 정보 또는 제어 정보를 물리 채널에 사상하는 프로세스를 조합하여 이루어진다. MAC 계층으로부터 전달되는 데이터는 위의 채널 코딩 방식(channel coding scheme)에 의해 정보 비트(systematic bits)와 비정보 비트(non-systematic bits)를 포함하여 구성된다. 여기서, 비정보 비트는 패리티 비트(parity bits)일 수 있다.

[0003] 3GPP에 있어서, 업링크 전송 채널 중 UL-SCH 및 RACH는 각각 물리 채널 중 PUSCH 및 PRACH에 사상될 수 있다. 또한 업링크 제어 채널 정보 중 UCI는 PUCCH 및/또는 PUSCH에 사상될 수 있다. 다운링크 전송 채널 중 DL-SCH, BCH, PCH, 및 MCH는 각각 물리 채널 중 PDSCH, PBCH, PDSCH, 및 PMCH에 사상된다. 또한, 다운링크 제어 채널 정보 중 CFI, HI, 및 DCI는 각각 물리 채널 중 PCFICH, PHICH, 및 PDCCH에 사상된다. 상술한 전송 채널이 각각 물리 채널에 사상되기 위해서는 여러 가지의 처리과정을 거친다. 특히, UL-SCH등의 채널에서, 하나 이상의 전송 채널 또는 제어 정보에 대하여, CRC(cyclic redundancy check) 계산, 코드 블록 분할, 채널 코딩, 레이트 매칭, 및 코드 블록 연결을 위한 처리가 수행된다.

[0004] 도 1은 전송 채널 및/또는 제어 정보에 대한 처리 과정을 나타낸다. 매 전송 시구간(transmission time interval: TTI)마다 최대 하나의 전송 블록(transport block)의 형태를 갖는 데이터가 입력된다. 이 전송 블록

은 다음과 같이 처리될 수 있다. 우선, CRC 부가부(CRC attachment block)에서, 전송 블록의 형태를 갖는 데이터에 CRC가 부가된다. 코드 블록 분할부(code block segmentation block)에서는 CRC 부가된 데이터가 1개 이상의 코드 블록(code block)으로 분할된다. 채널 코딩부(channel coding block)에서는 분할된 각각의 코드 블록의 코드 블록 데이터 스트림(code block data stream)에 대하여 채널 코딩이 수행된다. 레이트 매칭부(rate matching block)에서는 각각의 채널 코딩된 데이터 스트림(channel coded data stream)에 대하여 레이트 매칭이 수행된다. 코드 블록 연결부(code block concatenation block)에서는 1개 이상의 레이트 매칭된 데이터 스트림(rate matched data stream)이 연결되어 부호화된 데이터 비트(encoded data bit)의 시퀀스를 형성한다. 한편, 별도의 채널 코딩부에서는 제어 정보에 대하여 채널 코딩을 수행하여 부호화된 제어 비트(encoded control bit)의 시퀀스를 형성한다. 데이터/제어 다중화부(data and control multiplexing block)에서는 위의 부호화된 데이터 비트의 시퀀스와 부호화된 제어 비트의 시퀀스를 다중화하여 다중화된 비트의 시퀀스를 출력한다.

[0005] 여기서, 변조 등급(modulation order; Q_m)에 따라서, 1개 이상의 비트가 1개의 심볼을 구성할 수 있다. 예를 들어, BPSK, QPSK, 16QAM, 및 64QAM은 각각 1비트, 2비트, 3비트, 및 4비트가 1개의 심볼을 구성한다. 그리고, SC-FDMA를 사용하는 시스템에서 1개의 자원 요소(resource element, RE)에는 1개의 심볼이 사상되므로, 심볼 단위로 설명할 수 있다. 따라서, 이 문헌에서 '부호화된 데이터 비트', '부호화된 제어 비트', 및 '다중화된 비트'라는 용어는, 설명의 편의를 위해, 변조 등급을 고려하여 각각 '부호화된 데이터 심볼', '부호화된 제어 심볼', 및 '다중화된 심볼'이라는 용어로 대체할 수 있다. 또한, '부호화된 데이터 비트', '부호화된 데이터 심볼', '부호화된 제어 비트', 및 '부호화된 제어 심볼'이라는 용어는 각각 설명의 편의를 위해 '데이터 비트', '데이터 심볼', '제어 비트', 및 '제어 심볼'로 줄여서 사용할 수 있다.

[0006] 제어 정보는 그 성격에 따라 1개 이상의 타입으로 분류될 수 있고, 분류된 타입의 개수에 따라 다양한 다중화 방식(multiplexing scheme)이 고려될 수 있다. 1가지 타입의 제어 정보만이 존재하는 경우에는, 데이터 정보와 제어 정보가 다중화될 때에 제어 정보가 데이터 정보를 덮어쓰거나 혹은 덮어쓰지 않을 수 있다. 2가지 타입의 제어 정보가 존재하는 경우에는 제1 타입의 제어 정보 및 제2 타입의 제어 정보로 나눌 수 있다. 제2 타입의 제어 정보가 제1 타입의 제어 정보보다 더 중요한 경우에는, 우선, 데이터 정보와 제어 정보들이 다중화될 때에 제1 타입의 제어 정보가 데이터 정보를 덮어쓰거나 혹은 덮어쓰지 않는 방식으로 다중화될 수 있고, 그 후에, 제2 타입의 제어 정보는 위와 같이 다중화된 데이터 정보 및/또는 제1 타입의 제어 정보를 덮어쓰거나 혹은 덮어쓰지 않을 수 있다.

[0007] 도 2는 3GPP의 UL-SCH에 대한 전송 채널 처리 과정의 일실시예를 나타낸 것이다. 도 2는 $C \times R$ (예컨대, $C=14$)의 행렬 구조로서 파악될 수 있는데, 이하 이러한 구조를 "자원 요소들의 집합"이라고 지칭한다. 여기서, 가로 방향으로 시간 영역에서 연속된 C 개의 심볼이 배열되며, 세로 방향으로 주파수 영역에서의 R 개의 가상 부반송파(virtual sub-carrier)가 배열된다. 자원 요소들의 집합에서, 가상 부반송파는 서로 인접하여 배열되어 있지만, 각각의 가상 부반송파에 대응되는 각각의 물리 채널 상의 반송파는 주파수 영역에서 비연속될 수 있다. 이하, 이 문헌에서 자원 요소들의 집합과 관련된 가상 부반송파는 부반송파라는 용어로 줄여 사용한다. 표준 CP(표준 순환 전치; normal cyclic prefix) 구조에서는 14개($C=14$)의 심볼이 1개의 서브프레임을 구성하지만, 확장 CP(확장 순환 전치; extended cyclic prefix) 구조에서는 12개($C=12$)의 심볼이 1개의 서브프레임을 구성할 수 있다. 즉, 도 2는 표준 CP 구조를 가정한 것이고, 만일 확장 CP 구조를 갖는다면 도 2는 $C=12$ 인 행렬 구조를 가질 수 있다. 도 2를 참조하면, 1개의 서브프레임 당 '심볼의 개수' * '부반송파의 개수' = $C \times R = M$ 개의 심볼이 사상될 수 있다. 즉, 1개의 서브 프레임 당 M 개의 자원 요소(Resource Element)에 M 개의 심볼이 사상될 수 있다. 그런데, M 개의 자원 요소에는 데이터 심볼과 제어 심볼이 다중화되어 생성된 다중화된 심볼뿐만 아니라, RS(Reference Signal) 심볼 및/또는 SRS(Sounding RS) 심볼이 사상될 수 있다. 따라서, K 개의 RS(Reference Signal) 심볼 및/또는 SRS(Sounding RS) 심볼이 사상되는 경우에는, $M-K$ 개의 다중화된 심볼이 사상될 수 있다.

[0008] 도 2는 두 가지 종류의 제어 정보, 즉, 제어 정보 1, 제어 정보 2가 자원 요소들의 집합에 사상되는 예를 나타낸다. 도 2를 참조하면, 다중화된 심볼의 시퀀스는 시간 우선 사상(time-first mapping) 방법에 의해 사상된다. 즉, 첫번째 부반송파의 첫번째 심볼 위치부터 오른쪽으로 순차적으로 사상된다. 하나의 부반송파에 대한 사상이 끝나면 그 다음의 부반송파의 첫번째 심볼 위치부터 오른쪽으로 순차적으로 사상된다. 이하, '심볼'은 'SC-FDMA 심볼'을 지칭할 수 있다. 제어 정보 1과 데이터 정보는, '제어 정보 1' → '데이터 정보'의 순서에 의해 시간 우선 사상 방법으로 사상된다. 제어 정보 2는 '마지막 부반송파' → '첫번째 부반송파'의 순서로, RS 심볼의 양 옆의 심볼에만 사상된다. 여기서 마지막 부반송파는 도 2의 자원 요소들의 집합에서 가장 아래쪽에 있

는 부반송파를 지칭하며, 첫번째 부반송파는 가장 위쪽에 있는 부반송파를 지칭한다. 여기서, 제어 정보 1은 데이터 정보와 레이트 매칭(rate matching)되어 사상되고, 제어 정보 2는 위의 레이트 매칭되어 사상된 제어 정보 1 및/또는 데이터 정보를 펀처링(puncturing)하여 사상된다. 여기서, 데이터 정보는 보통 하나의 전송 블록(transport block)으로부터 분할된 여러 개의 코드 블록이 순차적으로 연결되어 형성될 수 있다.

[0009] 데이터 정보와 제어 정보를 다중화할 때에 다음을 고려해야 한다. 첫째, 다중화하는 규칙은 제어 정보의 양과 종류, 유무에 의해 변경되지 않아야 한다. 둘째, 제어 정보가 레이트 매칭에 의해 데이터와 다중화되거나, 또는 제어 정보가 데이터 및/또는 다른 종류의 제어 정보를 펀처링하는 경우에 순환 버퍼(circular buffer)의 다른 데이터의 전송에 영향이 없어야 한다. 셋째, 다음(next) 잉여 버전에 대한 순환 버퍼의 시작 시점은 제어 정보의 유무에 영향을 받지 않아야 한다. 넷째, HARQ(Hybrid Automatic Repeat reQuest) 전송방식에 있어서 HARQ 버퍼 변조(buffer corruption)를 회피할 수 있어야 한다. 또한, 다중화된 정보를 데이터 채널에 사상하는 방법에 있어서 특정 종류의 제어 정보는 좋은 성능을 발휘할 수 있는 RS에 가까운 자원 요소에 사상되어야 한다.

[0010] 도 2의 방법에서는 2가지 종류의 제어 정보가 데이터 정보와 함께 가상 물리 채널에 사상되므로, 또 다른 종류의 제어 정보를 함께 사상하기 위해서는 새로운 규칙이 요구된다. 또한, 도 2의 방법에서는 제어 정보 2가 데이터 정보 및/또는 제어 정보 1을 펀처링할 때에, 마지막 코드 블록부터 하게 된다.

발명의 내용

해결 하고자하는 과제

[0011] 본 발명의 목적은, 상술한 종래 기술의 문제점을 해결하고 무선 이동 통신 시스템의 성능을 향상시키기 위해, 제어 정보의 유무 및 종류를 고려한 일정한 규칙에 의해 제어 정보를 사상하는 방법을 제공하는 것이다.

과제 해결수단

[0012] 상술한 과제를 해결하기 위하여, 본 발명의 일 양상에 따른 무선 이동 통신 시스템에서 데이터 정보 및 복수의 제어 정보를 다중화하는 방법은, (a) 랭크 정보로 구성된 제1 벡터 시퀀스를, 위의 데이터 정보 및 복수의 제어 정보를 다중화하기 위한 행렬의 마지막 행부터 시작하여 위쪽 방향으로 이동하면서 위의 행렬 중 한 세트의 4개의 열(one set of 4 columns)에 기록하는 단계, CQI/PMI 정보 및 UL-SCH의 부호화된 정보인 위의 데이터 정보가 다중화되어 생성되는 제2 벡터 시퀀스를, 위의 행렬의 첫번째 행(row '0')부터 시작하여 아래쪽 방향으로 이동하면서 그리고 각각의 행 내에서는 첫번째 열(column '0')에서 시작하여 오른쪽 방향으로 이동하면서, 위의 단계 (a)에 의해 기록된 위의 행렬의 요소를 건너 뛰면서 기록하는 단계, 및 (c) HARQ-ACK 정보로 구성된 제3 벡터 시퀀스를, 위의 행렬의 마지막 행부터 시작하여 위쪽 방향으로 이동하면서 위의 행렬 중 위의 한 세트의 4개의 열과는 상이한(different) 다른 세트의 4개의 열(another set of 4 columns)에 기록하는 단계를 포함한다. 이 때, 위의 제1 벡터 시퀀스, 위의 제2 벡터 시퀀스, 및 위의 제3 벡터 시퀀스의 각각의 벡터 요소는 Q_m 개의 비트로 구성되고, 위의 제1 벡터 시퀀스, 위의 제2 벡터 시퀀스, 및 위의 제3 벡터 시퀀스의 각각의 벡터 요소는 Q_m 개의 행에 걸쳐 기록되며, 위의 행렬의 열의 개수는 하나의 서브프레임 내에서 PUSCH에 의해 전달되는 SC-FDMA 심볼의 개수와 동일할 수 있다. 이때, 위의 데이터 정보 및 복수의 제어 정보가 표준 CP 구성(normal cyclic prefix configuration)에 의해 전송되는 경우에는, 위의 한 세트의 4개의 열은 열 인덱스 '1', '4', '7', 및 '10'에 해당하는 4개의 열이며, 위의 다른 세트의 4개의 열은 열 인덱스 '2', '3', '8', 및 '9'에 해당하는 4개의 열일 수 있다. 이때, 위의 제1 벡터 시퀀스는 각각의 행 내에서 열 인덱스 '1', '10', '4', '7'의 순서대로 기록되며, 위의 제3 벡터 시퀀스는 각각의 행 내에서 열 인덱스 '2', '9', '8', '3'의 순서대로 기록될 수 있다. 또한, 위의 데이터 정보 및 복수의 제어 정보가 확장 CP 구성(extended cyclic prefix configuration)에 의해 전송되는 경우에는, 위의 한 세트의 4개의 열은 열 인덱스 '0', '3', '5', 및 '8'에 해당하는 4개의 열이며, 위의 다른 세트의 4개의 열은 열 인덱스 '1', '2', '6', 및 '7'에 해당하는 4개의 열일 수 있다. 이때, 위의 제1 벡터 시퀀스는 각각의 행 내에서 열 인덱스 '0', '8', '5', '3'의 순서대로 기록되며, 위의 제3 벡터 시퀀스는 각각의 행 내에서 열 인덱스 '1', '7', '6', '2'의 순서대로 기록될 수 있다. 이때, QPSK가 사용되는 경우에는 위의 $Q_m=2$ 이고, 16QAM가 사용되는 경우에는 위의 $Q_m=4$ 이고, 64QAM가 사용되는 경우에는 위의 $Q_m=6$ 일 수 있다. 이때, 위의 행렬의 요소의 총 개수는, UL-SCH 데이터와 CQI/PMI 데이터에 대해 할당된 부호화된 비트의 총 개수(H)에 부호화된 모든 RI 블록에 대한 부호화된 비트의 총 개수(Q_{RI})를 곱한 결과와 동일할 수 있다. 이때, 위의 단계 (a)는 위의 데이터 정보가 전송되는 서브프레임에서 랭크 정보가 전송될 때에만 수행되며, 위의 단계 (c)는 위의 데이터 정보가 전송되는 서브프레임에서 HARQ-ACK정보가 전

송될 때에만 수행될 수 있다. 이때, 위의 제1 벡터 시퀀스, 위의 제2 벡터 시퀀스, 및 위의 제3 벡터 시퀀스는 각각 시퀀스 내의 첫번째 벡터 요소부터 순차적으로 기록될 수 있다. 이때, 위의 행렬로부터 열 단위(column by column)로 출력되는 비트 시퀀스는 자원 요소 사상부(resource element mapper)에 입력되는 심볼을 생성하기 위해 사용될 수 있다.

[0013] 상술한 CQI/PMI 정보 및 UL-SCH의 부호화된 정보인 데이터 정보는 무선 이동 통신 장치의 데이터-제어 다중화부(data and control multiplexing unit)에서 다중화될 수 있다. 또한, 상술한 랭크 정보로 구성된 제1 벡터 시퀀스, 상기 데이터-제어 다중화부로부터 출력되는 제2 벡터 시퀀스, 및 HARQ-ACK 정보로 구성된 제3 벡터 시퀀스를 다중화하기 위한 행렬은 무선 이동 통신 장치의 채널 인터리버(channel interleaver)에서 생성될 수 있다.

[0014] 본 발명의 다른 양상에 따른 무선 이동 통신 시스템에서, 데이터 정보 및 복수의 제어 정보를 다중화하는 방법은, (a) 제1 제어 정보가 물리 자원 요소들의 집합 중 기준 신호가 사상되는 자원 요소로부터 시간 축에서 1개의 자원 요소만큼 이격된 자원 요소에 사상되도록, 위의 물리 자원 요소들의 집합에 사상되는 입력 정보를 생성하기 위한 행렬 상에 위의 제1 제어 정보를 자원 요소 단위로 사상하는 단계, (b) 제2 제어 정보와 데이터 정보가 다중화되어 형성되는 시퀀스가 위의 사상된 제1 제어 정보를 덮어쓰지 않도록, 위의 행렬 상에 위의 시퀀스를 자원 요소 단위로 사상하는 단계, 및 (c) 제3 제어 정보가 위의 물리 자원 요소들의 집합 중 위의 기준 신호가 사상되는 자원 요소로부터 시간 축에서 인접한 자원 요소에 사상되도록, 위의 행렬 상에 위의 제3 제어 정보를 자원 요소 단위로 사상하는 단계를 포함한다. 이때, 위의 단계 (a)에서, 위의 제1 제어 정보는 위의 행렬의 마지막 행에서 시작하여 위쪽 방향으로 사상되거나, 또는 위의 제1 제어 정보는 위의 행렬의 마지막 열을 포함하여 위의 제1 제어 정보가 사상되도록 위의 행렬의 특정 열에서 시작하여 아래쪽 방향으로 사상되고, 위의 단계 (b)에서, 위의 시퀀스는 위의 행렬의 첫번째 행에서 시작하여 아래쪽 방향으로 사상되며, 위의 단계 (c)에서, 위의 제3 제어 정보는 위의 행렬의 마지막 행에서 시작하여 위쪽 방향으로 사상되거나, 또는 위의 제3 제어 정보는 위의 행렬의 마지막 열을 포함하여 위의 제3 제어 정보가 사상되도록 위의 행렬의 특정 열에서 시작하여 아래쪽 방향으로 사상될 수 있다. 또한, 위의 단계 (b)에서, 각각의 행 내에 사상되는 위의 시퀀스의 심볼은, 위의 각각의 행에서 왼쪽 방향, 오른쪽 방향, 또는 특정 순서에 의해 사상될 수 있다. 또한, 위의 단계 (a)에서, 각각의 행에 사상되는 위의 제1 제어 정보의 심볼은 위의 각각의 행 내에서, 위의 1개의 자원 요소만큼 이격된 자원 요소에 대응하는 위의 행렬의 요소에서 왼쪽 방향, 오른쪽 방향, 또는 특정 순서에 의해 사상되고, 위의 단계 (c)에서, 각각의 행에 사상되는 위의 제3 제어 정보의 심볼은 위의 각각의 행 내에서, 위의 인접한 자원 요소에 대응하는 위의 행렬의 요소에서 왼쪽 방향, 오른쪽 방향, 또는 특정 순서에 의해 사상될 수 있다.

[0015] 이때, 위의 제1 제어 정보는, RI(rank indication)에 관한 정보이며, 위의 제2 제어 정보는, CQI 및 PMI 중 하나 이상을 포함하는 정보이며, 위의 제3 제어 정보는, HARQ의 응답인 ACK/NACK에 관한 정보일 수 있다. 또한, 위의 물리 자원 요소들의 집합은 C개의 심볼 구간 및 R개의 부반송파로 구성되며, 위의 C개의 심볼 구간의 전체 길이는 2개의 슬롯으로 구성되는 1개의 서브프레임의 길이와 동일하며, 위의 기준 신호는 위의 C개의 심볼 구간 중 서로 인접하지 않는 2개의 심볼 구간에 사상되며, 위의 2개의 심볼 구간은 각각 위의 2개의 슬롯의 각각에 하나씩 할당되며, 위의 행렬은 (C-2)개의 열과 R개의 행으로 구성되며, 위의 행렬의 각 요소는 위의 물리 자원 요소들의 집합 중 위의 2개의 심볼 구간을 제외한 영역의 각 자원 요소에 1 대 1로 대응되고, 위의 다중화 방법은, 위의 단계 (b) 이전에, 위의 제2 제어 정보 이후에 위의 데이터 정보가 배열되도록 위의 제1 제어 정보와 위의 데이터 정보를 배열하여 위의 시퀀스를 형성하는 단계를 더 포함하며, 위의 단계 (a)는 위의 제1 제어 정보가 존재할 때에만 수행되며, 위의 단계 (c)는 위의 제3 제어 정보가 존재할 때에만 수행될 수 있다.

[0016] 상술한 제2 제어 정보와 데이터 정보는 무선 이동 통신 장치의 데이터-제어 다중화부(data and control multiplexing unit)에서 다중화 될 수 있고, 데이터-제어 다중화로부터 출력되는 시퀀스 및 복수의 제어 정보는 무선 이동 통신 장치의 채널 인터리버(channel interleaver)에서 다중화 될 수 있다.

효 과

[0017] 본 발명에 의해, 데이터와 제어 정보를 다중화하여 사상함에 있어서, 제어 정보의 유무 및 종류가 고려된 일정한 다중화 및 사상 규칙이 제공된다.

발명의 실시를 위한 구체적인 내용

[0018] 이하 본 발명에 따른 바람직한 실시형태들을 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면과 함께 이하에 개시되는 상세한 설명은 본 발명의 예시적인 실시형태를 설명하고자 하는 것이며, 본 발명이 실시될 수

있는 유일한 실시형태를 나타내고자 하는 것이 아니다. 이하의 상세한 설명은 본 발명의 완전한 이해를 돕기 위해 구체적인 세부사항을 포함한다. 그러나, 당업자는 본 발명이 이러한 구체적 세부사항 없이도 실시될 수 있음을 알 것이다. 예를 들어, 이하의 설명에서 일정 용어를 중심으로 설명하나, 이들 용어에 한정될 필요는 없으며 임의의 용어로서 지칭되는 경우에도 동일한 의미를 나타낼 수 있다. 또한, 본 명세서 전체에서 동일하거나 유사한 구성요소에 대해서는 동일한 도면 부호를 사용하여 설명한다.

- [0019] 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 단순히 본 명세서 작성의 용이함만이 고려되어 부여되는 것으로서, 그 자체로 특별히 중요한 의미 또는 역할을 부여하는 것은 아니다. 따라서, 상기 "모듈" 및 "부"는 서로 혼용되어 사용될 수도 있음을 유념해야 한다.
- [0020] 실제 구현에 있어서 블록도 상의 구성요소 각각이 둘 이상의 하드웨어 칩으로 나뉘어져 구성될 수 있고, 둘 이상의 구성요소들이 하나의 하드웨어칩로 통합되어 구성될 수도 있다.
- [0021] 이하 설명되는 본 발명에 의한 실시예는 3GPP의 전송 채널, 특히 UL-SCH에 대한 전송 채널 처리를 위해 사용될 수 있다.
- [0022] 제어 정보는 여러 가지 종류로 분류될 수 있다. 이때, 분류하는 기준은 임의의 기준에 의할 수 있고, 또는 제어 정보의 중요도를 기준으로 삼을 수도 있다. 여기서 중요도는 어떤 타입의 제어 정보의 전송이 실패할 경우에 무선 이동 통신 시스템의 성능에 미치는 영향의 정도를 평가하여 결정될 수 있다. 복수 종류의 제어 정보가 존재할 때에 무선 이동 통신 시스템의 성능을 향상시키기 위한 새로운 다중화 방식이 요구된다. 예를 들어, 더 중요한 타입의 제어 정보는 덜 중요한 타입의 제어 정보에 의해 덮여 쓰여지지 않는 방식으로 다중화 될 수 있다.
- [0023] 본 발명에서 제어 정보 1은, 예컨대 채널의 품질을 나타내는 정보인 CQI(Channel Quality Information)와 프리코딩(pre-coding)에 사용되는 코드북(codebook)의 인덱스 정보인 PMI(Precoding Matrix Index)의 조합인 CQI/PMI일 수 있다. 이 제어 정보 1은 레이트 매칭에 의해 데이터 정보와 다중화될 수 있다. 본 발명에서 제어 정보 2는, 예컨대 HARQ 응답인 ACK/NACK (ACKnowledgement/Negative ACKnowledgement)일 수 있다. 이 제어 정보 2는 데이터 정보 또는 제어 정보 1을 평처링하여 다중화될 수 있다. 본 발명에서 제어 정보 3은, 예컨대 전송 스트림의 개수를 나타내는 정보인 RI(Rank Indication 또는 Rank Information)일 수 있다. 이 제어 정보 3은, 데이터 정보 또는 제어 정보 1을 평처링하거나, 또는 데이터 정보 및/또는 제어 정보 1과 레이트 매칭되는 방식으로 다중화 될 수 있다.
- [0024] 본 발명에서 제시되는 실시예는 자원 요소들의 집합 상의 부반송파 축 및 심볼 축(시간 축)에 대해서 상하좌우 반대 구조로 변형되고 적용될 수 있다. 이하, 본 발명의 실시예에서 '심볼'은 SC-FDMA 심볼일 수 있다.
- [0025] 본 발명에서 '평처링'은 여러 개의 비트(또는 심볼)로 이루어지는 시퀀스에서 특정 비트(또는 심볼)를 제거하고 새로운 비트(또는 심볼)를 삽입하는 처리를 지칭한다. 즉, 정보의 일부를 다른 정보로 대체하는 것으로써, 데이터 정보 또는 제어 정보가 다중화될 때, 평처링하는 정보가 평처링되는 정보의 비트(또는 심볼)를 대체하는 것을 말한다. 평처링 방법에 의하면 새로운 정보를 삽입하고도 전체 비트(또는 심볼)의 길이는 그대로 유지되며, 평처링되는 정보의 부호화율(code rate)에 영향을 준다.
- [0026] 본 발명에서 '레이트 매칭(rate matching)'은 데이터 정보의 부호화율을 조정하는 것으로써, 데이터 정보 또는 제어 정보가 다중화될 때, 각 정보의 위치가 변경될 수는 있어도 다중화 되기 이전의 비트(또는 심볼) 자체에는 영향을 주지 않는다. 즉, 여기서, 제어 정보 1과 데이터 정보가 '레이트 매칭'된다는 것은, 레이트 매칭되는 제어 정보와 데이터 정보의 양의 합이 일정한 크기를 갖도록 처리하는 것을 의미한다. 따라서, 전송되어야 하는 제어 정보 1의 양이 늘어나는 경우에는, 제어 정보 1과 레이트 매칭되는 데이터 정보의 양은 그만큼 감소하게 된다.
- [0027] 도 3 내지 도 6은, 본 발명의 도 7에 의한 실시예를 설명하기 위해 공통적으로 사용될 용어를 정의하기 위한 도면이다.
- [0028] 이하 설명되는 도 3 내지 도 7에 도시된 자원 요소들의 집합은 표준 CP의 구성을 전제로 한 것이며, 설명을 위하여, $C \cdot R = M$ 개의 자원 요소로 구성된다고 가정한다. 여기서 'C'는 시간축 방향으로 배열되는 '심볼 구간'의 개수를 나타내며, 'R'은 가상 주파수 방향으로 배열되는 R개의 '부반송파'의 개수를 나타낸다. 여기서, '심볼 구간'은 하나의 심볼이 존재하는 시 구간(time period)을 의미하며, 따라서 하나의 심볼 구간의 길이는 하나의 심볼의 길이와 동일하다.

- [0029] 또한, 이하 설명을 위하여, 자원 요소들의 집합 전체 영역에서, 위에서 첫번째 열(row)에 위치한 부반송파를 '부반송파 0'로 정의하고, 마지막 열(row)에 위치한 부반송파를 '부반송파 R-1'로 정의한다. 즉, 전송 대역 내의 처음에 해당하는 부반송파는 '부반송파 0'로 정의하고, 그 아래 방향으로 '부반송파 1', '부반송파 2', 등으로 정의하고, 마지막에 해당하는 부반송파를 '부반송파 R-1'로 정의할 수 있다.
- [0030] 도 3의 (a), 도 3의 (b), 도 4의 (a), 도 4의 (b)는 이하 본 발명의 실시예를 설명하기 위한 개념을 설명하기 위한 도면이다. 이하, 본 문헌에서, '첫번째 부반송파' 및 '마지막 부반송파'라는 용어는 전체 자원 요소들의 집합의 일부 또는 전부에 대해 정의되는 특정 시간-주파수 영역(이하, '영역 A')에 관련되어 사용된다. 영역 A는 전체 자원 요소들의 집합 내의 임의의 영역을 가리키며, 영역 A 내의 각 자원 요소는, 도 4의 (b)와 같이, 시간 또는 주파수 상에서 서로 이격되어 있을 수 있다. 영역 A의 '첫번째 부반송파'는 영역 A 중 가장 위에 있는 열의 부반송파를 의미하며, 영역 A의 '마지막 부반송파'는 영역 A 중 가장 아래에 있는 열의 부반송파를 의미한다. 또한, '첫번째 자원 요소'('F') 및 '마지막 자원 요소'('L')는 영역 A에 관련되어 사용된다. 즉, 영역 A의 '첫번째 자원 요소'는 영역 A의 첫번째 부반송파 중에서 시간적으로 가장 앞서는 자원 요소, 즉 가장 왼쪽 행에 있는 자원 요소를 지칭하며, 영역 A의 '마지막 자원 요소'는 영역 A의 마지막 부반송파 중에서 시간적으로 가장 나중에 위치하는 자원 요소, 즉 가장 오른쪽 행에 있는 자원 요소를 지칭한다. 또한, 1개의 부반송파 내에서 첫번째 자원 요소는 그 부반송파 내에서 시간적으로 가장 앞서는 자원 요소를 지칭하며, 마지막 자원 요소는 그 부반송파 내에서 시간적으로 가장 나중에 위치하는 자원 요소를 지칭한다.
- [0031] 도 5의 (a)를 참조하면, RS는 서로 인접하지 않는 'RS 심볼 구간(0)' 및 'RS 심볼 구간(1)'로 구성되는 'RS 심볼 구간(RS symbol interval)'에 사상된다. 'RS 심볼 구간 영역'은 RS 심볼 구간에 위치한 2*R개의 자원 요소를 포함하는 영역이다. RS 심볼 구간 영역은 다시 'RS 심볼 구간 영역(0)' 및 'RS 심볼 구간 영역(1)'으로 나누어 정의할 수 있다. 'RS 심볼 구간 영역(0)' 및 'RS 심볼 구간 영역(1)'은 각각 주파수 방향으로 N개의 자원 요소를 갖는다.
- [0032] 도 5의 (b)를 참조하면, '제1 심볼 구간'은 RS 심볼 구간에서 0개의 심볼 구간만큼 이격되어 있는 4개의 심볼 구간으로 정의 된다. '제1 심볼 구간 영역'은 제1 심볼 구간에 위치한 4*R개의 자원 요소를 포함하는 영역이다. 따라서 도 3 내지 도 6에서 '제1 심볼 구간 영역'은 '제1 심볼 구간 영역(0)', '제1 심볼 구간 영역(1)', '제1 심볼 구간 영역(2)', 및 '제1 심볼 구간 영역(3)'으로 다시 나누어 정의할 수 있다.
- [0033] 도 5의 (c)를 참조하면, '제2 심볼 구간'은 RS 심볼 구간에서 1개의 심볼 구간만큼 이격되어 있는 4개의 심볼 구간으로 정의된다. '제2 심볼 구간 영역'은 제2 심볼 구간에 위치한 4*R개의 자원 요소를 포함하는 영역이다. 따라서, 도 3 내지 도 6에서 '제2 심볼 구간 영역'은 '제2 심볼 구간 영역(0)', '제2 심볼 구간 영역(1)', '제2 심볼 구간 영역(2)', 및 '제2 심볼 구간 영역(3)'으로 다시 나누어 정의할 수 있다.
- [0034] 도 3 내지 도 7에 도시된 RS 심볼 구간의 위치는 RS 심볼 구간(0)과 RS 심볼 구간(1)이 서로 이격된 상태를 유지하면서 변경될 수 있기 때문에, 제1 심볼 구간과 제2 심볼 구간은 RS 심볼 구간과의 상대적인 위치에서 이해되어야 한다.
- [0035] 위의 'RS 심볼 구간 영역', '제1 심볼 구간 영역', '제2 심볼 구간 영역'은 각각 상술한 '영역 A'의 일 예로서 간주될 수 있다.
- [0036] 본 발명의 상세한 설명에 있어서, '순방향 사상 순서'란 용어는, 상술한 영역 A에 관련되어 사용된다. 영역 A 내의 특정 자원 요소로부터 순방향 사상 순서에 의하며 사상된다는 것은, 영역 A 내에서, 위의 특정 자원 요소가 속한 부반송파로부터 위에서 아래 방향의 순서로 사상하고, 각 부반송파 내에서는 시간의 흐름에 따라 사상하는, 즉, 왼쪽 행부터 오른쪽 행의 방향의 순서로 사상하는, 2차원(2-dimensional) 사상 방법을 말한다. 예를 들어, 도 3의 (a)의 자원 요소들의 집합의 전체 영역의 첫번째 자원 요소로부터 순방향 사상 순서에 의해 사상하게 되면, 부반송파 0에서 부반송파 N-1의 순서로 화살표(점선)의 방향에 따라 사상하게 된다(도 6의 (a) 참조). 반대로 '역방향 사상 순서'라는 용어는, 위의 순방향 사상 순서와는 반대 순서로 사상하는 방법을 나타내기 위한 것이다. 즉, 영역 A내의 특정 자원 요소로부터 역방향 사상 순서에 의하며 사상된다는 것은, 영역 A 내에서, 위의 특정 자원 요소가 속한 부반송파로부터 아래쪽에서 위쪽 방향의 순서로 사상하고, 각 부반송파 내에서는 시간의 흐름에 거슬러 사상하는, 즉 오른쪽 행으로부터 왼쪽 행의 방향의 순서로 사상하는, 2차원(2-dimensional) 사상 방법을 말한다. 예컨대, 도 3의 (a)의 자원 요소들의 집합의 전체 영역의 마지막 첫번째 자원 요소로부터 역방향 사상 순서에 의해 사상하게 되면, 부반송파 N-1에서 부반송파 0의 순서로 화살표(점선)의 방향에 따라 사상하게 된다(도 6의 (b) 참조).

- [0037] 이하 설명되는 도 3 내지 도 7에 도시된 자원 요소들의 집합은 표준 CP의 구성을 전제로 한 것이지만, 12개의 심볼로 구성되는 확장 CP의 구성을 전제로 하더라도 동일한 방식으로 설명될 수 있다는 것을 이해할 수 있다.
- [0038] 도 7은 본 발명의 일 실시예에 따른, 데이터 정보 및 제어 정보를 자원 요소들의 집합 상에 다중화하여 사상하는 방법을 나타낸다.
- [0039] 도 7에서, 제어 정보 1은, 전체 자원 요소들의 집합 내에서, RS가 사상되는 자원 요소를 제외하고, 첫번째 자원 요소를 포함한 가장 앞부분의 연속적인 1개 이상의 자원 요소에 사상될 수 있다. 제어 정보 2는 상술한 제1 심볼 구간 영역에 사상되고, 제어 정보 3은 상술한 제2 심볼 구간 영역에 사상된다. 즉, 제어 정보 2는 RS가 사상되는 심볼 구간의 전후에 인접하는 심볼 구간에 사상되고, 제어 정보 3은 RS가 사상되는 심볼 구간으로부터 1개의 심볼 구간만큼 떨어져 있는 심볼 구간에 사상된다. 제어 정보 2는, 제1 심볼 구간 영역에서 순방향 또는 역방향 또는 특정 사상 순서에 의해 사상될 수 있다. 제어 정보 3은, 제2 심볼 구간 영역에서 순방향 또는 역방향 또는 특정 사상 순서에 의해 사상될 수 있다.
- [0040] 이때, 제어 정보 3이 ping-pong하는 방식으로 다중화 된다면, 제어 정보 3이 제2 심볼 구간 영역에 사상시켜, 즉, 제어 정보 2가 사상되는 자원 요소의 옆에 있는 자원 요소에 사상시켜 제어 정보 1이 ping-pong되는 것을 감소시킬 수 있는 장점이 있다.
- [0041] 도 7에서 제어 정보 1은 데이터 정보를 ping-pong하지 않는다. 즉, 제어 정보 1은 데이터 정보와 레이트 매칭된다. 또한, 서로 다른 성격의 제어 정보가 연결된 형태로 구성될 수 있다. 제어 정보 2는 제1 심볼 구간 영역에서 데이터 정보 및/또는 제어 정보 1을 ping-pong할 수 있다. 제어 정보 3은 제2 심볼 구간 영역에서 데이터 정보 및/또는 제어 정보 1을 ping-pong할 수 있다. 또는 제어 정보 2 및/또는 제어 정보 3은 데이터 정보에 대한 레이트 매칭을 통해 확보한 자원 요소를 통해 전송될 수도 있다. 예를 들어, 제어 정보 2는 데이터 정보 및 제어 정보 1을 ping-pong하고, 제어 정보 3은 데이터 정보 및/또는 제어 정보 1과 레이트 매칭되어 데이터 정보 및/또는 제어 정보 1 사이에 삽입되는 형태로 사상될 수 있다.
- [0042] 만약, 제어 정보 2의 심볼의 개수가 제1 심볼 구간 영역의 자원 요소의 개수보다 많을 경우에는, 제어 정보 2는 제1 심볼 구간 영역 바깥에서도 제어 정보 1을 ping-pong 할 수 있다. 또한, 제어 정보 3의 심볼의 개수가 제2 심볼 구간 영역의 자원 요소의 개수보다 많을 경우에는, 제어 정보 3은 제2 심볼 구간 영역 바깥에서도 제어 정보 1을 ping-pong 할 수 있다.
- [0043] 상술한 도 7에 의한 실시예에서, 위의 제어 정보 1은 상기 자원 요소들의 집합 상에 사상되기 이전에 데이터 정보와 다중화될 수 있다. 즉, 제어 정보 1 다음에 데이터 정보가 배열되도록, 제어 정보 1과 데이터 정보를 다중화하여 다중화된 스트림을 생성할 수 있다. 그 다음, 위의 다중화된 스트림을 상기 자원 요소들의 집합의 전체 영역의 첫번째 자원 요소부터 순방향 사상 순서에 의해 사상하거나, 반대로 상기 자원 요소들의 집합의 전체 영역의 마지막 자원 요소로부터 역방향 사상 순서에 의해 사상할 수 있다. 이와 같은 방법에 의해, 제어 정보 1은 상술한 바와 같이 자원 요소들의 집합의 전체 영역 내에서, RS가 사상되는 자원 요소를 제외하고, 첫번째 자원 요소 또는 마지막 자원 요소를 포함한 연속적인 1개 이상의 자원 요소에 사상될 수 있다. 또한, 제어 정보 1이 존재하지 않는 경우에도 상술한 실시예들이 사용될 수 있다는 것을 이해할 수 있다. 또한, 만약 제어 정보 2가 존재하지 않는 경우에는 제어 정보 1과 제어 정보 3은 도 7에서 제어 정보 2가 빠진 상태로 사상되고, 제어 정보 3가 존재하지 않을 경우에는 제어 정보 1과 제어 정보 2는 도 7에서 제어 정보 3이 빠진 상태로 사상될 수 있다.
- [0044] 이하, 도 7에 의한 방법에서, 제어 정보 3의 위치를 표 1부터 표 9을 참조하여 더 자세히 설명한다.
- [0045] 도 7에 의한 방법에 있어서, 제어 정보 3의 위치, 즉, 제2 심볼 구간은 아래에 예시적으로 나열한 표 1 내지 표 9 중 어느 하나에 의해 정의될 수 있다. 표 1 내지 표 9는, CP의 구성 및 SRS의 구성에 따라 제어 정보 3이 사상될 수 있는 심볼 구간을 나타낸다. 비록, 도 7에서는 표준 CP를 가정하였지만, 확장 CP의 경우에도 동일한 방법을 사용할 수 있다.
- [0046] 도 8의 (a)는 표준 CP가 사용되는 일 실시예에 의한 구성을 나타내고, 도 8의 (b)는 확장 CP가 사용되는 일 실시예에 의한 구성을 나타낸다.
- [0047] 보통, 데이터 정보와 제어 정보가 사용 가능한 심볼 구간은 CP의 구성 및 SRS의 구성에 의해 변경될 수 있다. 표준 CP가 사용되는 경우에는, 도 8의 (a)에 도시된 바와 같이, 1개의 서브 프레임은 14개의 심볼 구간으로 이루어진다. 이 때, 표 1 내지 표 9에서는 14개의 심볼 구간 중 4번째('④')와 11번째('⑪') 심볼 구간에 RS가

위치하는 경우를 가정한다. 또한, 확장 CP가 사용되는 경우에는, 도 8의 (b)에 도시된 바와 같이, 1개의 서브프레임은 12개의 심볼 구간으로 이루어진다. 이 때, 표 1 내지 표 7에서는 12개의 심볼 구간 중 4번째('④')와 10번째('⑩') 심볼 구간에 RS가 위치하는 경우를 가정한다. 한편, 위의 가정과는 달리, RS가 위치하는 심볼 구간은 표 1 내지 표 9의 경우와 다르게 변경될 수 있으며, 이 때에 데이터 정보 및 제어 정보가 사상될 수 있는 심볼 구간은 표 1 내지 표 9의 경우와 다르게 변경될 수 있다는 것을 이해하여야 한다.

[0048] 표 1 내지 표 9에서, "Column Set"이라고 표기된 행의 '{ }'안에 표기된 숫자는 제어 정보 3이 사상될 수 있는 심볼 구간을 나타낸다. 단, 이 숫자는 도 8의 (a) 및 도 8의 (b)에서 RS가 사상되는 심볼 구간을 제외하고 할당된 것이다. 즉, '{ }'안에 표기된 숫자는 도 8의 (a) 및/또는 도 8의 (b)의 하단에 배열된 숫자에 대응하는 심볼 구간을 나타낸다. '{ }'안에 표기된 숫자는, 표준 CP의 경우에는 '0' 내지 '11'의 값을 가질 수 있고, 확장 CP의 경우에는 '0' 내지 '9'의 값을 가질 수 있다.

[0049] 또한, 표 1 내지 표 9에는, SRS가 첫번째 심볼 구간에 사상되는 구성과 마지막 심볼 구간에 사상되는 구성이 포함되어 있다. 표 1 내지 표 9에 적혀 있는 "First SC-FDMA symbol"은 SRS가 첫번째 심볼에 사상되는 경우를 지칭하며, "Last SC-FDMA symbol"은 SRS가 마지막 심볼에 사상되는 경우를 지칭하며, "No SRS"는 SRS가 사상되지 않는 경우를 지칭한다.

표 1

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	First SC-FDMA symbol	{0, 3, 6, 9}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 6, 9}
	First SC-FDMA symbol	{0, 3, 5, 8}
	Last SC-FDMA symbol	{1, 4, 6} or {1, 4, 5, 6} or {0, 1, 4, 6} or {0, 1, 4, 5}

[0050]

[0051] 표 1에서, 확장 CP의 Last SC-FDMA symbol에서, 여러 가지 "Column set" 중 하나를 사용할 수 있다.

표 2

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	First SC-FDMA symbol	{0, 3, 6, 9}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 6, 9}
	First SC-FDMA symbol	{0, 3, 5, 8}
	Last SC-FDMA symbol	{1, 4, 6, 9}

[0052]

[0053] 확장 CP의 경우, 예외적으로 SRS가 마지막 심볼 구간에 사상되는 것이 허용되지 않거나, 또는 허용되더라도 SRS가 탈락(drop)될 수 있다. 이러한 경우, 표 2와 같이, "Last SC-FDMA symbol"이 "No SRS"와 동일한 "Column set"을 가질 수 있다.

표 3

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	First SC-FDMA symbol	{0, 3, 6, 9}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 6, 9}
	First SC-FDMA symbol	{0, 3, 5, 8}
	Last SC-FDMA symbol	{1, 4, 5, 6}

[0054]

[0055]

표 3의 확장 CP의 "Last SC-FDMA symbol"의 구성은, SRS 때문에 제어 정보 3이 사상되는 심볼 구간의 위치가 변경될 수 있음을 나타낸다.

표 4

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	First SC-FDMA symbol	{0, 3, 6, 9}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 6, 9}
	First SC-FDMA symbol	{0, 3, 5, 8}
	Last SC-FDMA symbol	{1, 4, 6, 9}

[0056]

[0057]

확장 CP의 경우, 예외적으로 SRS가 마지막 심볼 구간에 사상되는 것이 허용되지 않거나, 또는 허용되더라도 SRS가 탈락(drop)될 수 있다. 표 4에서 확장 CP에서 "Last SC-FDMA symbol" SRS가 예외적으로 허용되지 않거나 허용되어도 "Last SC-FDMA symbol" SRS를 drop 할 수 있을 경우에 사용될 수 있고, first SC-FDMA symbol SRS가 사용되지 않는 경우에는 first SC-FDMA symbol 부분("Column set" 포함)이 빠진 상태로 구성될 수 있다.

표 5

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 6, 9}
	Last SC-FDMA symbol	{1, 4, 6, 9}

[0058]

[0059]

도 8의 (a) 및 도 8의 (b)를 참조하면, 표 5에서 각 "Column set"의 구성이 상술한 제2 심볼 구간 영역에 대응된다는 것을 확인할 수 있다. 즉, 각 구성에 있어서, 제어 정보 3은 RS가 사상되는 심볼 구간으로부터 1개의 심볼 구간만큼 떨어져 있는 심볼 구간에 사상된다는 것을 알 수 있다. 이때, 확장 CP에서 "Last SC-FDMA symbol" 구성의 경우에 숫자 9는 SRS의 위치를 나타내지만, 예외적으로 SRS가 마지막 심볼 구간에 사상되는 것이 허용되지 않거나, 또는 허용되더라도 SRS가 탈락(drop)되는 경우에는 이와 같은 구성을 사용할 수 있다. 또한, SRS 구성에는 상관없이 각 CP 구성에서의 "Column set"의 위치가 동일하므로 표 5를 구성할 때에 SRS 구성이 없는 형태로 표시할 수 있다.

표 6

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 6, 9}
	Last SC-FDMA symbol	{1, 4, 6, 5}

[0060]

[0061]

도 8의 (a) 및 도 8의 (b)를 참조하면, 표 6에서 확장 CP에서 "Last SC-FDMA symbol" 구성을 제외한 각 구성이 상술한 제2 심볼 구간 영역에 대응된다는 것을 확인할 수 있다. 또한, 표 6의 각 구성에 의하면, 제어 정보 3은 상술한 제1 심볼 구간의 자원 요소에는 사상되지 않는 것을 알 수 있다. 표 6에서 확장 CP에서 "Last SC-FDMA symbol" 구성에서 제어 정보 3은 심볼 구간 '9'에 사상되지 않는다. 그 이유는, SRS가 심볼 구간 '9'의 위치에 사상되기 때문이다. 표 6을 표 5와 비교하여 보면, 확장 CP에서 "Last SC-FDMA symbol" 구성이 서로 다른 것을 확인할 수 있다. 즉, 표 5에서는 심볼 구간 '9'에 위치하던 제어 심볼 3은 표 6에서는 RS가 사상되는 심볼 구간에 인접하지 않는 심볼 구간인 심볼 구간 '5'에 사상된다. 표 6의 확장 CP에서 "Last SC-FDMA symbol" 구성에서 "Column set"이 {1, 4, 6, 5}의 순서로 표시된 것은, 심볼 구간 '6'이 심볼 구간 '5'보다 RS가 사상되는 심볼 구간에 더 가깝기 때문에, 심볼 구간 '6'이 심볼 구간 '5'에 비해 우선권을 가질 수 있다는 것을 뜻한다. 즉, 각 심볼 구간에 균일하게 제어 정보를 채우는 과정에서 심볼 구간 '6'과 심볼 구간 '5' 중 하나의 심볼 구간에만 제어 정보를 채워야 하는 경우에 심볼 구간 '6'이 우선권을 가질 수 있다는 뜻이다. 그러나, 비록 "Column set"이 {1, 4, 6, 5}의 순서로 표시되는 경우에도, 우선권은 {1, 4, 5, 6}의 순서를 가질 수 있다. 중요한 것은 제어 정보 3이 사상되는 심볼 구간의 위치이다.

표 7

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 6, 5}
	Last SC-FDMA symbol	{1, 4, 6, 5}

[0062]

[0063]

도 8의 (a) 및 도 8의 (b)를 참조하면, 표 7에서 확장 CP의 각 구성이 상술한 제2 심볼 구간 영역에 대응된다는 것을 확인할 수 있다. 또한, 표 7의 각 구성에 의하면, 제어 정보 3은 상술한 제1 심볼 구간의 자원 요소에는 사상되지 않는 것을 알 수 있다. 표 5, 표 6과는 달리, 표 7에서는 확장 CP의 경우 SRS 구성에 관계없이 동일한 "Column set" 구성을 갖는다. 표 6의 확장 CP에서 "Last SC-FDMA symbol" 구성에서 "Column set"이 {1, 4, 6, 5}의 순서로 표시된 것은, 심볼 구간 '6'이 심볼 구간 '5'보다 RS가 사상되는 심볼 구간에 더 가깝기 때문에, 심볼 구간 '6'이 심볼 구간 '5'에 비해 우선권을 가질 수 있다는 것을 뜻한다. 즉, 각 심볼 구간에 균일하게 제어 정보를 채우는 과정에서 심볼 구간 '6'과 심볼 구간 '5' 중 하나의 심볼 구간에만 제어 정보를 채워야 하는 경우에 심볼 구간 '6'이 우선권을 가질 수 있다는 뜻이다. 그러나, 비록 "Column set"이 {1, 4, 6, 5}의 순서로 표시되는 경우에도, 우선권은 {1, 4, 5, 6}의 순서를 가질 수 있다. 중요한 것은 제어 정보 3이 사상되는 심볼 구간의 위치이다. 표 7에서는, SRS의 구성에 상관없이, 각 CP 내에서 동일한 "Column set"을 갖기 때문에 표 7을 SRS 구성이 없는 형태로 표시할 수 있다.

[0064]

도 9의 (a) 및 도 9의 (b)는 예시적인 확장 CP에서의 구조이다. 이는 아래의 표 8 및 표 9에 의한 구성을 설명하기 위한 도면이다.

표 8

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{0, 3, 5, 8}
	Last SC-FDMA symbol	{0, 3, 5, 8}

[0065]

[0066]

표 8은, 확장 CP에서 RS가 사상되는 심볼 구간이 변경되었을 때의 구성을 나타낸다. 특히, 표 8에서는, 심볼 구간 중 3번째('③')와 9번째('⑨') 심볼 구간에 RS가 위치하는 경우를 가정한다(도 9의 (a) 참조). 표 8의 확장 CP의 구성에 의하면, 제어 정보 3은 RS가 사상되는 심볼 구간에서 1개의 심볼 구간만큼 떨어진 심볼 구간에 사상된다. 즉, 상술한 제2 심볼 구간에 사상된다. 표 8의 구성을 참조하면, 제어 정보 3이 사상되는 심볼 구간의 위치는 RS, SRS의 위치에 따라 수정될 수 있다는 것을 알 수 있다.

표 9

CP configuration	SRS configuration	Column Set
Normal	No SRS	{1, 4, 7, 10}
	Last SC-FDMA symbol	{1, 4, 7, 10}
Extended	No SRS	{1, 4, 5, 8}
	Last SC-FDMA symbol	{1, 4, 5, 8}

[0067]

[0068]

표 9는, 확장 CP에서 RS가 사상되는 심볼 구간이 변경되었을 때의 구성을 나타낸다. 특히, 표 9에서는, 심볼 구간 중 4번째('④')와 9번째('⑨') 심볼 구간에 RS가 위치하는 경우를 가정한다(도 9의 (b) 참조).

[0069]

도 10 및 도 11은 각각 표준 CP 및 확장 CP의 경우에, 1개의 서브프레임 내에서 SRS 및 RS가 할당되는 위치의 일 예를 나타낸 것이다.

[0070]

도 10 및 도 11은 각각 도 8의 (a) 및 도 9의 (b)에 대응되며, SRS가 사상되지 않는 경우 또는 SRS가 마지막 심볼에 사상되는 경우를 나타낸 것이다. 제어 정보 3은 심볼을 기준으로 변조 등급을 고려하여 RS가 사상되는 심볼 구간과 1개의 심볼 길이만큼 떨어져서 사상된다. 따라서, 도 10에서는, 제어 정보 3은 1, 4, 7, 10의 인덱스를 갖는 심볼 구간에 사상되고, 도 11에서는, 제어 정보 3은 1, 4, 6, 9의 인덱스를 갖는 심볼 구간에 사상된다.

[0071]

도 12는 하나의 부반송파 내에서 제어 정보 2 및/또는 제어 정보 3이 시간 방향으로 사상되는 순서를 나타낸 것이다.

[0072]

제어 정보 2 및 제어 정보 3은 각각 부반송파마다 최대 4개의 자원 요소에 사상될 수 있다. 도 12는 하나의 부반송파 내의 4개의 자원 요소에 대해 심볼이 사상되는 순서를 나타낸다. CP의 형태에 따라 각 제어 정보가 사상되는 심볼의 번호가 변경될 수는 있지만, 인덱싱 순서는 도 12와 같이 상대적으로 결정할 수 있다. 도 12에서는 부호화 후의 심볼의 개수가 10개, SRS가 없는 표준 CP를 예로 나타낸 것이다.

[0073]

이하, 도 12의 (a) 내지 도 12의 (f)에 대하여, 제어 정보 2를 기준으로 설명한다.

[0074]

도 12의 (a)에서는, 제1 심볼 구간 영역의 마지막 부반송파로부터 위쪽 방향의 순서로 사상하되, 각 부반송파 내에서는 시간의 흐름에 따라 사상한다. 이때, 제1 심볼 구간 영역의 마지막 부반송파 내의 사용 가능한 4개의 자원 요소에 제어 정보 2가 모두 사상되도록 한다.

[0075]

도 12의 (b)에서는, 제어 정보 2의 심볼의 개수를 고려하여 제1 심볼 구간 영역의 특정 부반송파로부터 아래쪽 방향으로 사상하되, 각 부반송파 내에서는 시간의 흐름에 따라 사상하는 방법을 나타낸다. 이때, 상기 특정 부반송파 내의 사상 가능한 4개의 자원 요소에 제어 정보 2가 모두 사상되고, 제1 심볼 구간 영역의 마지막 부반송파 내의 자원 요소에도 제어 정보 2가 사상되도록 한다.

[0076]

도 12의 (c)는, 제어 정보 2의 심볼의 개수를 고려하여 제1 심볼 구간 영역의 특정 부반송파로부터 아래쪽 방향으로 사상하되, 각 부반송파 내에서는 시간의 흐름에 따라 사상하는 방법을 나타낸다. 이때, 제1 심볼 구간 영역의 마지막 부반송파 내의 사상 가능한 4개의 자원 요소에 제어 정보 2가 모두 사상이 되도록 한다.

[0077]

도 12의 (d)는, 제1 심볼 구간 영역의 마지막 부반송파로부터 위쪽 방향의 순서로 사상하되, 각 부반송파 내에서는 시간의 흐름을 거슬러 사상하는 방법을 나타낸다. 이때, 제1 심볼 구간 영역의 마지막 부반송파 내의 사상 가능한 4개의 자원 요소에 제어 정보 2가 모두 사상이 되도록 한다.

[0078]

도 12의 (e)는, 제어 정보 2의 심볼의 개수를 고려하여 제1 심볼 구간 영역의 마지막 부반송파로부터 위쪽 방향의 순서로 사상하되, 각 부반송파 내에서는 시간의 흐름을 거슬러 사상하는 방법을 나타낸다. 이때, 가장 위쪽의 부반송파 내의 사상 가능한 4개의 자원 요소에 제어 정보 2가 모두 사상이 되도록 한다.

[0079]

도 12의 (f)는, 도 12의 (d)에 의한 방법을 변형하여, 각 부반송파 내에서 4개의 자원 요소에 사상하는 순서를 변형한 방법이다. 즉, 각 부반송파 내에서 시간의 흐름을 거슬러 사상하는 배치 방법을, 우측으로 1만큼 순환 쉬프트(cyclic shift)하여 사상하는 방법이다. 또한, 2 또는 3만큼 순환 쉬프트하여 사상할 수도 있다.

[0080] 이상, 도 12의 (a) 내지 도 12의 (f)에 대하여, 제어 정보 2를 기준으로 설명하였지만, 제어 정보 3에 대해서도 동일한 방식으로 적용할 수 있다는 것을 이해할 수 있다.

[0081] 도 13 내지 도 15는 도 12의 방법을 더 자세히 설명하는 도면으로서, 도 12에 의한 방법을 C*R의 행렬 구조를 갖는 자원 요소들의 집합에 적용한 예를 나타낸다. 도 13의 (a) 및 도 13의 (b)는 각각 도 12의 (a) 및 도 12의 (b)에 대응하고, 도 14의 (a) 및 도 14의 (b)는 각각 도 12의 (c) 및 도 12의 (d)에 대응하고, 그리고 도 15의 (a) 및 도 15의 (b)는 각각 도 12의 (e) 및 도 12의 (f)에 대응된다.

[0082] 이상, 도 2 내지 도 15에서는 데이터 정보와 제어 정보가 사상되는 위치와 RS가 사상되는 위치의 상대적인 관계를 나타내기 위하여, RS가 사상되는 자원 요소를 포함하는 물리 자원 요소들의 집합을 이용하여 설명하였다. 여기서, 상술한 실시예들은 물리 자원 요소들의 집합에서 RS가 사상되는 자원 요소를 제외한 시간-주파수 행렬의 구조를 이용하여 설명할 수 있다는 것을 이해할 수 있다.

[0083] 상술한 도 2 내지 도 15의 물리 자원 요소들의 집합 상에 사상되어 출력되는 데이터 및 제어 정보들은, 3GPP TS 36.211의 PUSCH의 처리에 관한 내용과 같이, 스크램블링(scrambling)되고 변조 사상(modulation mapping)된 후 변환 프리코더(Transform precoder)를 거쳐 자원 요소 사상부(Resource element mapper)에 입력될 수 있다. 또한, 이 출원서에 기재된 영문 약어(abbreviation)들은 3GPP TS 36.212에 기재된 약어들을 참조한 것이다.

[0084] 이하, 본 발명에 따른 도 7에 의한 방법에서, 제어 정보인 CQI/PMI 및 RI를 데이터 정보와 다중화 하는 일 실시예를 3GPP TS 36.212 V8.2.0에 대하여 적용하는 방법을 기술한다.

[0085] 이하, $f_0, f_1, f_2, \dots, f_{G-1}$ 는 입력 데이터를 나타내고, $q_0, q_1, q_2, \dots, q_{Q-1}$ 는 입력 랭크 정보(RI)를 나타내고, $\xi_0, \xi_1, \xi_2, \dots, \xi_{H'-1}$ 는 다중화된 출력을 나타낸다. 여기서 $H' = G + Q'$ 이다.

[0086] 아래 기술하는 처리 단계를 거쳐 다중화 할 수 있다.

[0087] 1. 아래 공식에 의해 서브프레임(subframe) 당 심볼의 개수를 결정한다.

[0088]
$$N_{\text{symb}}^{\text{PUSCH}} = (2 \cdot (N_{\text{symb}}^{\text{UL}} - 1) - N_{\text{SRS}}) \cdot$$

[0089] 여기서, $N_{\text{symb}}^{\text{PUSCH}}$ 은 1개의 서브프레임에서 PUSCH를 전달하는 SC-FDMA의 심볼의 개수이다. 그리고, $N_{\text{symb}}^{\text{UL}}$ 은 1개의 업링크 슬롯 내의 심볼의 개수이다. 그리고 N_{SRS} 는 1개의 서브프레임 내에서 SRS 전송을 위해 사용되는 심볼의 개수이다.

[0090] 2. 아래 공식에 의해, 데이터 정보의 변조 심볼의 개수(G')를 결정한다.

[0091]
$$G' = G / Q_{m1} \quad (Q_{m1}: \text{데이터의 변조 등급(modulation order)})$$

[0092] 3. 아래 공식에 의해 랭크 정보의 변조 심볼의 개수(Q')를 결정한다.

[0093]
$$Q' = Q / Q_{m2} \quad (Q_{m2} \text{는 랭크 정보의 변조 등급})$$

[0094] 4. 랭크 정보의 변조 심볼이 차지하는 부반송파의 개수(K)를 결정한다.

[0095]
$$K = \text{ceil}(Q' / \text{랭크 정보를 위한 자원의 최대 개수})$$

[0096] 5. 심볼 당 랭크 정보의 변조 심볼의 개수를 결정한다.

[0097] 랭크 정보가 위치하는 심볼 당 들어갈 수 있는 양을 계산하는데, Q'을 기반으로 각 랭크 정보가 위치하는 심볼 위치에서 'floor'과 'ceil'을 조합하거나 심볼에서 가질 수 있는 수로 나누어 나머지에 따라 결정하는 방법 등을 이용하여 랭크 정보가 위치할 수 있는 각 심볼이 가질 수 있는 랭크 정보의 변조 심볼의 수를 결정한다. 이때, 최대한 2개의 슬롯에 균등하게 나눌 수 있으며, 또한 앞쪽 슬롯에서 뒤쪽 슬롯의 방향 또는 그 역방향으로 배당할 수 있다.

[0098]

6. 데이터 정보와 랭크 정보의 변조 심볼을 다중화한다.

[0099]

궁극적으로 랭크 정보는 부반송파의 제일 아랫쪽부터 쌓아 올리는 형태가 되어야 하므로, 데이터 정보는 시간 우선 방식으로 매핑되면서, 랭크 정보가 해당 심볼에서 매핑되어야 한다. 이때, 데이터 정보는 맨 윗부분의 부반송파부터 매핑되므로 전체 부반송파 개수에서 2번의 결과를 빼게 되면 랭크 정보가 위치할 수 있는 부반송파의 위치를 알 수 있으므로 이때부터 3번에서 결정된 심볼 개수를 고려하여 랭크 정보를 매핑한다. 이를 의사 코드(pseudo code)로 나타내면 다음과 같다.

[0100]

=====

[0101]

For (0번 부반송파부터 마지막 부반송파까지) {

[0102]

 If (현재 부반송파 번호가 전체 부반송파 개수에서 K를 뺀 값보다 작으면)

[0103]

{

[0104]

 for (SC-FDMA 심볼 0에서부터 서브프레임 당 SC-FDMA 심볼의 수까지)

[0105]

 {

[0106]

 데이터를 1 심볼씩 출력으로 매핑

[0107]

 SC-FDMA 심볼 카운트 증가

[0108]

 데이터 심볼 카운트 증가

[0109]

 }

[0110]

 else {

[0111]

 for (SC-FDMA 심볼 0에서부터 서브프레임 당 SC-FDMA 심볼의 수까지)

[0112]

 {

[0113]

 if (4번에서 계산된 해당 SC-FDMA 심볼에서 랭크 정보의 변조 심볼의 수가 0이면) {

[0114]

 데이터를 1 심볼씩 출력으로 매핑

[0115]

 SC-FDMA 심볼 카운트 증가

[0116]

 데이터 심볼 카운트 증가

[0117]

 }

[0118]

 else {

[0119]

 랭크 정보를 1 심볼씩 출력으로 매핑

[0120]

 SC-FDMA 심볼 카운트 증가

[0121]

 랭크 정보 카운트 증가

[0122]

 4번에서 계산된 해당 SC-FDMA 심볼에서 랭크 정보의 변조 심볼의 수를 1 삭제

[0123]

 }

[0124]

 }

[0125]

}

[0126]

 부반송파의 카운트 증가

[0127]

}

[0128]

=====

[0129]

랭크 정보가 평처링이 아닌 레이트 매칭 방법 등으로 인하여 데이터 사이에 위치하는 방법에 관한 세부 사항은 전체 또는 부분적으로 변형하여 사용될 수 있다.

[0130] 이하, 본 발명에 따른 도 7에 의한 방법에서, 제어 정보인 CQI/PMI 및 RI를 데이터 정보와 다중화 하는 일 실시 예를 3GPP TS 36.212 V8.2.0에 대하여 적용하는 다른 방법을 기술한다.

[0131] 아래의 방법은 예를 든 것으로 RI의 양이 CQI/PMI가 차지한 자원을 침범하지 않는 경우(RI가 점유하는 심볼을 포함하는 부반송파의 개수와 CQI/PMI가 점유하는 부반송파의 수가 서브프레임 당 PUSCH 전송을 위해 사용되는 전체 부반송파의 수를 초과하지 않음)를 가정한 것이다. 따라서, RI, CQI/PMI, 및 데이터 정보의 양은 서로를 침범하지 않는 크기로 고려해야 한다. 만약, 서로를 침범하는 경우가 있다면, RI는 CQI/PMI를 평처링하는 방식을 취하여, 아래 방법을 수정하여 사용할 수 있다.

[0132] 여기서, $q_0, q_1, q_2, q_3, \dots, q_{Q-1}$ 는 CQI/PMI 입력을 나타내며, $f_0, f_1, f_2, f_3, \dots, f_{G-1}$ 은 데이터 정보의 입력을 나타내며, $q_0^{RANK}, q_1^{RANK}, q_2^{RANK}, \dots, q_{Q_{RANK}-1}^{RANK}$ (코드 비트) 또는 $q_0^{RANK}, q_1^{RANK}, q_2^{RANK}, \dots, q_{Q_{RANK}-1}^{RANK}$ (벡터 시퀀스, 변조 등급이 고려된 심볼 형태)는 RI 입력을 나타낸다. 그리고, $g_0, g_1, g_2, \dots, g_{H'-1}$ 은 출력을 나타낸다. 여기서, RI가 코드 비트인 경우에는 $H=(G+Q+Q_{RANK})$, $H'=H/Q_m$ 이고, RI가 벡터 시퀀스인 경우에는 $H'=H/Q_m+Q'_{RANK}$ 이다.

[0133] $N_{symbol}^{PUSCH} = (2 \cdot (N_{symbol}^{UL} - 1) - N_{SRS})$ 는 PUSCH 전송을 위한, 서브프레임 당 심볼의 개수를 나타낸다. $N_{sc}^{PUSCH} = H' / N_{symbol}^{PUSCH}$ 은 1개의 서브프레임 내에서 PUSCH를 운반하는 부반송파의 개수를 나타낸다.

[0134] 1개의 서브캐리어 내에서 랭크 정보를 위해 사용되는 부반송파의 개수는 다음과 같이 2가지로 나누어 표시될 수 있다. 즉, RI가 코드 비트인 경우는 $N_{sc}^{RANK} = \lceil (Q_{RANK} / Q_m) / 4 \rceil$ 와 같이 표시될 수 있다. 여기에서 4는 RI를 위한 자원의 최대 개수이고, 그 수로 딱 나누어 떨어지는 경우에는 올림/내림을 기호를 쓰지 않을 수 있다. 다른 계는, RI가 벡터 시퀀스인 경우에는 $N_{sc}^{RANK} = \lceil Q'_{RANK} / 4 \rceil$ 와 같이 표시할 수 있다. 여기에서 4는 RI를 위한 자원의 최대 개수이고, 그 수로 딱 나누어 떨어지는 경우에는 올림/내림을 기호를 쓰지 않을 수 있다.

[0135] 1개의 서브프레임 내에서 PUSCH를 운반하는 i번째 심볼 내의 비트/벡터 시퀀스로 부호화된 랭크 정보의 개수를 n_i 로 나타낸다.

[0136] 표준 CP를 갖는 서브프레임에 대해 PUSCH를 운반하는 각각의 심볼에게 사상되는 랭크 정보를 위한 부호화된 비트/벡터 시퀀스의 개수는 표 10 내지 표 12을 참조하면 된다. 표 10은 표준 CP를 갖는 서브프레임에서의 n_i 의 값을 나타낸다. 표 11는 SRS가 없는 확장 CP를 갖는 서브프레임에서의 n_i 값을 나타낸다. 표 12는 마지막 심볼에 SRS를 갖는 확장 CP를 갖는 서브프레임에서의 n_i 값을 나타낸다.

표 10

i	0	1	2	3	4	5	6	7	8	9	10	11
	0	$\lceil \lceil Q_{RANK} / 2 \rceil / 2 \rceil$	0	0	$\lceil \lceil Q_{RANK} / 2 \rceil / 2 \rceil$	0	0	$\lceil \lceil Q_{RANK} / 2 \rceil / 2 \rceil$	0	0	$\lceil \lceil Q_{RANK} / 2 \rceil / 2 \rceil$	0
		or			or			or			or	
		$\lceil \lceil Q'_{RANK} / 2 \rceil / 2 \rceil$			$\lceil \lceil Q'_{RANK} / 2 \rceil / 2 \rceil$			$\lceil \lceil Q'_{RANK} / 2 \rceil / 2 \rceil$			$\lceil \lceil Q'_{RANK} / 2 \rceil / 2 \rceil$	

[0137] 표 10에서는, 2개의 슬롯과 RI가 위치할 수 있는 심볼에 가급적 균일(even)하게 나누는 것을 목적으로 한다. 이때 균일하게 사용하는 방법은 올림/내림/모듈로(modulo)등을 이용하여 할 수 있고, 필요시 RI가 위치할 수 있는 심볼의 위치 우선도에 따라 변경될 수 있다. 즉, i 가 $1 > 4 > 7 > 10$ 또는 $1 > 7 > 4 > 10$ or $4 > 7 > 1 > 10$ 등등 여러 조합에 의하여 그 개수가 1 정도에서 차이가 날 수 있으며, 그에 따라 위의 표를 수정할 수 있다. 또한 Q_{RANK} 와 Q'_{RANK} 의 두 가지 경우를 언급하였는데, RI가 코딩된 비트인 경우에는 Q_{RANK} 를 이용한 식을 사용하고, RI가 벡터 시퀀스인 경우에는 Q'_{RANK} 를 이용한 식을 사용할 수 있다.

표 11

i	0	1	2	3	4	5	6	7	8	9
	0	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$	0	0	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$	0	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$	0	0	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$
		or			or		or			or
		$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$			$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$		$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$			$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$

[0139]

[0140]

표 11에서는 2개의 슬롯과 RI가 위치할 수 있는 심볼에 가급적 균일하게 나누는 것을 목적으로 한다. 이때 균일하게 사용하는 방법은 올림/내림/모듈로등을 이용하여 할 수 있고, 필요시 RI가 위치할 수 있는 심볼의 위치 우선도에 따라 변경될 수 있다. 즉, i가 1>4>6>9 or 1>6>4>9 or 4>6>1>9 등등 여러 조합에 의하여 그 개수가 1 정도에서 차이가 날 수 있으며, 그에 따라 위의 표를 수정할 수 있다. 또한 Q_{RANK} 와 Q'_{RANK} 의 두 가지 경우를 언급하였는데, RI가 코드 비트인 경우에는 Q_{RANK} 를 이용한 식을 사용할 수 있고, RI가 벡터 시퀀스인 경우에는 Q'_{RANK} 를 이용한 식을 사용할 수 있다.

표 12

i	0	1	2	3	4	5	6	7	8
	0	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$	0	0	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$	$\lfloor \lfloor Q_{RANK} / 2 \rfloor / 2 \rfloor$	0	0
		or			or	or	or		
		$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$			$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$	$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$	$\lfloor \lfloor Q'_{RANK} / 2 \rfloor / 2 \rfloor$		

[0141]

[0142]

표 12에서는 2개의 슬롯과 RI가 위치할 수 있는 심볼에 가급적 균일하게 나누는 것을 목적으로 한다. 이때 균일하게 사용하는 방법은 올림/내림/모듈로 등을 이용하여 할 수 있고, 필요시 RI가 위치할 수 있는 SC-FDMA symbol의 위치 우선도에 따라 변경될 수 있다. 즉, i가 1>4>6>5 or 1>6>4>5 or 4>6>1>5 등등 여러 조합에 의하여 그 개수가 1 정도에서 차이가 날 수 있으며, 그에 따라 위의 표를 수정할 수 있다. 또한 Q_{RANK} 와 Q'_{RANK} 의 두 가지 경우를 언급하였는데, RI가 코드 비트인 경우에는 Q_{RANK} 를 이용한 식을 사용할 수 있고, RI가 벡터 시퀀스인 경우에는 Q'_{RANK} 를 이용한 식을 사용할 수 있다.

[0143]

제어 정보, 랭크 정보 및 데이터 정보는 다음과 같이 다중화될 수 있다.

[0144] =====
 set i, j, k, l, m to 0
 while l < H]-N_{sc}^{RANK}
 if j < Q -- CQI/PMI
 g_k = [q_j ... q_{j+Q_m-1}]^T
 j = j + Q_m
 else -- data
 g_k = [f_i ... f_{i+Q_m-1}]^T
 i = i + Q_m
 end if
 k = k + 1
 l = l + 1
end while

while l < H'
 if n_{l mod N_{syms}^{PUSCH}} > 0 -- RANK
 g_k = [q_m^{RANK} ... q_{m+Q_m-1}^{RANK}]^T
 m = m + Q_m
 n_{l mod N_{syms}^{PUSCH}} = n_{l mod N_{syms}^{PUSCH}} - Q_m
 else -- data
 g_k = [f_i ... f_{i+Q_m-1}]^T
 i = i + Q_m
 end if
 k = k + 1
 l = l + 1
end while

[0145]

[0146] =====

[0147] 위에서 RI가 코드 비트인 경우에는 $g_k = [q_m^{RANK} \dots q_{m+Q_m-1}^{RANK}]^T$, $m = m + Q_m$, $n_{l \bmod N_{syms}^{PUSCH}} = n_{l \bmod N_{syms}^{PUSCH}} - Q_m$ 를 사용할 수 있고, 벡터 시퀀스인 경우에는 $g_k = q_m^{RANK}$, $m = m + 1$, $n_{l \bmod N_{syms}^{PUSCH}} = n_{l \bmod N_{syms}^{PUSCH}} - 1$ 를 사용할 수 있다.

[0148] 이하, 본 발명에 따른 도 7에 의한 방법에서, 제어 정보인 CQI/PMI 및 RI를 데이터 정보와 다중화 하는 일 실시 예를 3GPP TS 36.212 V8.2.0에 대하여 적용하는 또 다른 방법을 기술한다.

[0149] 도 16은 본 발명의 일 실시예에 따른 UL-SCH 전송 채널을 위한 처리 구조를 나타낸다. 데이터는 매 전송 시간 구간(TTI)마다 최대 하나의 전송 블록의 형태를 가지고 부호화 유닛에 도달한다. 그리고 도 16을 참조하면, 전송 블록에 CRC를 부착하는 단계, 코드 블록을 분할하고 분할된 코드 블록에 CRC를 부착하는 단계, 데이터와 제어 정보에 대해 채널 코딩하는 단계, 레이트 매칭하는 단계, 코드 블록을 연결하는 단계, 데이터와 제어 정보를 다중화하는 단계, 및 채널 인터리빙하는 단계를 거칠 수 있다.

[0150] 이하, 전송 블록에 CRC를 부착하는 단계에 대하여 설명한다. CRC를 사용함으로써 UL-SCH 전송 블록에 대해 오류 검출을 할 수 있다. 전송 블록 전체를 사용하여 CRC 패리티 비트를 계산한다. 계층 1로 전달되는 전송 블록

내의 비트를 $a_0, a_1, a_2, a_3, \dots, a_{A-1}$ 로 표시하고, 패리티 비트는 $p_0, p_1, p_2, p_3, \dots, p_{L-1}$ 로 표시한다. A는 전송 블록의 크기이고, L은 패리티 비트의 개수이다. 패리티 비트들은, L을 24 비트로 설정하고 생성기 다항식 $g_{CRC24A}(D)$ 를 사용하여 3GPP TS 36.212 V8.2.0의 5.1.1절에 따라 계산되어 UL-SCH 전송 블록에 부착될 수 있다.

[0151] 이하, 코드 블록 분할 및 코드 블록 CRC 부착에 대하여 설명한다. 코드 블록 분할부에 입력되는 비트를

$b_0, b_1, b_2, b_3, \dots, b_{B-1}$ 로 표시한다. 여기서, B는 전송 블록 내의 비트의 개수이다(CRC 포함). 코드 블록 분할 및 코드 블록 CRC 부착은 3GPP TS 36.212 V8.2.0의 5.1.2절에 따라 수행된다. 코드 블록 분할 이후의 비트는 $c_{r0}, c_{r1}, c_{r2}, c_{r3}, \dots, c_{r(K_r-1)}$ 로 표시된다. 여기서, r은 코드 블록 넘버이고, K_r 은 코드 블록 넘버 r의 비트의 개수이다.

[0152] 이하, UL-SCH의 채널 코딩에 대하여 설명한다. 코드 블록들은 채널 코딩 블록에 전달된다. 한 개의 코드 블록 내에 있는 비트들은 $c_{r0}, c_{r1}, c_{r2}, c_{r3}, \dots, c_{r(K_r-1)}$ 로 표시된다. 여기서, r은 코드 블록 넘버이고, K_r 은 코드 블록 넘버 r에 있는 비트의 개수이다. 코드 블록들의 총 개수는 C로 표시되며, 각 코드 블록은 각각 3GPP TS 36.212 V8.2.0의 5.1.3.2절에 따라 터보 부호화된다. 부호화된 이후의 비트들은 $d_{r0}^{(i)}, d_{r1}^{(i)}, d_{r2}^{(i)}, d_{r3}^{(i)}, \dots, d_{r(D_r-1)}^{(i)}$ 으로 표시된다. 여기서, i=0, 1, 2이고, D_r 은 코드 블록 넘버 r의 i번째 스트림의 비트의 개수이다. 즉, $D_r = K_r / 4$ 이다.

[0153] 이하, 레이트 매칭에 대하여 설명한다. 터보 부호화된 블록들은 레이트 매칭 블록으로 전달된다. 부호화된 이후의 비트들은 $d_{r0}^{(i)}, d_{r1}^{(i)}, d_{r2}^{(i)}, d_{r3}^{(i)}, \dots, d_{r(D_r-1)}^{(i)}$ 으로 표시된다. 여기서, i=0, 1, 2이고, D_r 은 코드 블록 넘버 r의 i번째 스트림의 비트의 개수이다. 코드 블록의 총 개수는 C로 표시되고, 각 코드 블록은 각각 3GPP TS 36.212 V8.2.0의 5.1.4.1절에 따라 레이트 매칭된다. 레이트 매칭 이후의 비트들은 $e_{r0}, e_{r1}, e_{r2}, e_{r3}, \dots, e_{r(E_r-1)}$ 으로 표시된다. 여기서 r은 코드 블록 넘버이고, E_r 은 코드 블록 넘버 r에 대해 레이트 매칭된 비트들의 개수이다.

[0154] 이하, 코드 블록 연결에 대하여 설명한다. 코드 블록 연결 블록에 입력되는 비트들은 $e_{r0}, e_{r1}, e_{r2}, e_{r3}, \dots, e_{r(E_r-1)}$ 으로 표시된다. 여기서 r=0, ..., C-1이고, E_r 은 r번째 코드 블록에 대한 레이트 매칭된 비트들의 개수이다. 코드 블록 연결은 3GPP TS 36.212 V8.2.0의 5.1.5절에 의해 수행될 수 있다. 코드 블록 연결된 이후의 비트들은 $f_0, f_1, f_2, f_3, \dots, f_{G-1}$ 으로 표시된다. 여기서 G는, 제어 정보가 UL-SCH 전송과 다중화될 때에, 제어 전송을 위해 사용되는 비트들을 제외한, 전송을 위한 코드 비트들의 총 개수이다.

[0155] 이하, 제어 정보의 채널 코딩에 대하여 설명한다. 제어 데이터는 채널 품질 정보(CQI 및/또는 PMI), HARQ-ACK 및 랭크 지시자(rank indication)의 형태로 코딩 유닛에 도달한다. 제어 정보의 전송을 위해 서로 다른 개수의 코딩된 심볼들을 할당함으로써 제어 정보에 대한 서로 다른 코딩 레이트를 얻을 수 있다. 제어 데이터가 PUSCH에서 전송될 때에, HARQ-ACK에 대한 채널 코딩, 랭크 지시자, 및 채널 품질 정보 $o_0, o_1, o_2, \dots, o_{O-1}$ 에 대한 채널 코딩은 독립적으로 수행된다.

[0156] 만일 HARQ-ACK가 1비트의 정보, 즉 $[o_0^{ACK}]$ 로 구성된다면, HARQ-ACK는 우선 표 13에 의해 부호화된다. 만일, HARQ-ACK가 2비트의 정보, 즉 $[o_1^{ACK} \ o_0^{ACK}]$ 로 구성된다면, HARQ-ACK는 우선 표 14에 의해 부호화된다.

표 13

Q_m	Encoded HARQ-ACK
2	$[o_0^{ACK} \ x]$
4	$[o_0^{ACK} \ x \ x \ x]$
6	$[o_0^{ACK} \ x \ x \ x \ x \ x]$

[0157]

표 14

Q_m	Encoded HARQ-ACK
2	$[o_1^{ACK} o_0^{ACK}]$
4	$[o_1^{ACK} o_0^{ACK} x x]$
6	$[o_1^{ACK} o_0^{ACK} x x x x]$

[0158]

[0159]

(위 표의 'x'는 코딩된 비트들의 스크램블링을 수행할 때에 비트들을 이 값을 가지고 서로 다르게 취급하기 위한 영역(placeholder)이다. 이것은 PUSCH에서 ACK 전송을 위해 사용되는 성상화 크기(constellation size)를 QPSK로 한정한다.)

[0160]

비트 시퀀스 $q_0^{ACK}, q_1^{ACK}, q_2^{ACK}, \dots, q_{Q_{ACK}-1}^{ACK}$ 는 복수의 인코딩된 HARQ-ACK 블록들을 연결하여 얻게 된다. 여기서, Q_{ACK} 는 모든 인코딩된 HARQ-ACK 블록들에 대한 코딩된 비트의 총 개수이다. HARQ-ACK 정보에 대한 채널 코딩의 벡터 시퀀스 출력은 $q_0^{ACK}, q_1^{ACK}, \dots, q_{Q_{ACK}-1}^{ACK}$ 로 표시된다. 여기서, $Q'_{ACK} = Q_{ACK} / Q_m$ 이고, 다음의 절차에 의해 얻을 수 있다.

[0161]

```

=====
Set i, k to 0
while i < Q_{ACK}
    q_k^{ACK} = [q_i^{ACK} ... q_{i+Q_m-1}^{ACK}]^T
    i = i + Q_m
    k = k + 1
end while
    
```

[0162]

[0163]

```

=====
    
```

[0164]

랭크 지시자(RI)에 대하여, 만일 RI가

[0165]

만일 RI가 1비트의 정보, 즉 $[o_0^{RI}]$, 로 구성된다면, RI는 우선 표 15에 의해 부호화된다. 만일, RI가 2비트의 정보, 즉 $[o_0^{RI} o_1^{RI}]$, 로 구성된다면, RI는 우선 표 16에 의해 부호화된다. 여기서, $o_2^{RI} = (o_0^{RI} + o_1^{RI}) \bmod 2$ 이다.

표 15

Q_m	Encoded RI
2	$[o_0^{RI} x]$
4	$[o_0^{RI} x x x]$
6	$[o_0^{RI} x x x x x]$

[0166]

표 16

Q_m	Encoded RI
2	$[o_0^{RI} o_1^{RI} o_2^{RI} o_0^{RI} o_1^{RI} o_2^{RI}]$
4	$[o_0^{RI} o_1^{RI} x x o_2^{RI} o_0^{RI} x x o_1^{RI} o_2^{RI} x x]$
6	$[o_0^{RI} o_1^{RI} x x x x o_2^{RI} o_0^{RI} x x x x o_1^{RI} o_2^{RI} x x x x]$

[0167]

[0168]

표 15 및 표 16의 'x'는, 랭크 정보를 운반하는 변조 심볼들의 유클리디언 거리를 최대화하는 방식으로 RI 비트들을 스크램블링하기 위한, 3GPP TS 36.211를 위한 위치이다.

[0169] 비트 시퀀스 $q_0^{RI}, q_1^{RI}, q_2^{RI}, \dots, q_{Q_{RI}-1}^{RI}$ 는 복수의 인코딩된 RI 블록들의 연결에 의해 얻을 수 있다. 여기서, Q_{RI} 는 모든 인코딩된 RI 블록들이 코딩된 비트들의 총 개수이다. 인코딩된 RI 블록의 마지막 연결은, 총 비트 시퀀스 길이가 Q_{RI} 와 동일하게 되도록 부분적으로 수행될 수 있다. 랭크 정보에 대한 채널 코딩의 벡터 시퀀스 출력은

$\underline{q}_0^{RI}, \underline{q}_1^{RI}, \dots, \underline{q}_{Q_{RI}-1}^{RI}$ 으로 표시된다. 여기서 $Q_{RI}' = Q_{RI} / Q_m$ 이며, 아래의 절차에 의해 얻을 수 있다.

[0170] =====

Set i, k to 0

while $i < Q_{RI}$

$$\underline{q}_k^{RI} = [q_i^{RI} \dots q_{i+Q_m-1}^{RI}]^T$$

$$i = i + Q_m$$

$$k = k + 1$$

end while

[0171]

[0172] =====

[0173] 채널 품질 제어 정보(CQI 및/또는 RI)에 대하여, 만일 페이로드(payload) 크기가 11 비트 이하인 경우에는, 채널 품질 정보의 채널 코딩은 입력 시퀀스 $o_0, o_1, o_2, \dots, o_{O-1}$ 를 가지고 3GPP TS 36.212 V8.2.0의 5.2.3.3절에 따라 수행된다. 만일, 페이로드 크기가 11 비트보다 크다면, 채널 품질 정보의 레이트 매칭 및 채널 코딩은 입력 시퀀스 $o_0, o_1, o_2, \dots, o_{O-1}$ 를 가지고 3GPP TS 36.212 V8.2.0의 5.1.3.1절 및 5.1.4.2절에 따라 수행된다.

채널 품질 정보의 채널 코딩에 대한 출력 시퀀스는 $q_0, q_1, q_2, q_3, \dots, q_{Q-1}$ 로 표시된다.

[0174] 이하, 데이터/제어 다중화에 대하여 설명한다. 제어 및 데이터 다중화는, HARQ-ACK 정보가 두 개의 슬롯에 모두 존재하며, HARQ-ACK 정보가 복조 RS의 주위의 자원에 사상되도록 수행된다. 또한, 다중화는, 제어 및 데이터 정보가 서로 다른 변조 심볼들에게 사상되도록 해야 한다. 데이터/제어 다중화에 대한 입력은 $q_0, q_1, q_2, q_3, \dots, q_{Q-1}$ 으로 표시되는 제어 정보의 코딩된 비트들 및 $f_0, f_1, f_2, f_3, \dots, f_{G-1}$ 으로 표시되는 UL-SCH의 코

딩된 비트들이다. 데이터/제어 다중화 처리의 출력은 $\underline{x}_0, \underline{x}_1, \underline{x}_2, \underline{x}_3, \dots, \underline{x}_{H'-1}$ 으로 표시될 수 있다. 여기서,

$H = (G + Q)$ 이고 $H' = H / Q_m$ 이고, $\underline{x}_i, i = 0, \dots, H' - 1$ 는 길이 Q_m 의 행 벡터들이다. H는 UL-SCH 데이터 및 CQI/PMI 데이터를 위해 할당된 코딩된 비트들이 총 개수이다.

[0175] $N_{\text{symb}}^{\text{PUSCH}} = (2 \cdot (N_{\text{symb}}^{\text{UL}} - 1) - N_{\text{SRS}})$ 는 PUSCH 전송을 위한 서브프레임 당 심볼의 개수를 나타낸다. 제어 정보 및 데이터는 아래와 같은 처리를 통해 다중화된다.

```
[0176] =====
Set  $i, j, k$  to 0

while  $j < Q$  -- 우선 제어 정보를 배치
 $\underline{g}_k = [g_j \dots g_{j+Q_m-1}]^T$ 
     $j = j + Q_m$ 
     $k = k + 1$ 
end while

while  $i < G$  -- 그 다음 데이터를 배치
 $\underline{g}_k = [f_i \dots f_{i+Q_m-1}]^T$ 
     $i = i + Q_m$ 
     $k = k + 1$ 
end while
```

[0177]

```
[0178] =====
```

[0179] 이하, 채널 인터리버에 대해 설명한다. 채널 인터리버는 3GPP TS 36.211의 PUSCH에 대해 사상되는 자원 요소와 연관되어 설명된다. 채널 인터리버는 전송 파형 상에서 변조 심볼의 시간 우선 사상 방법으로 구현된다. 이때, HARQ-ACK 정보는 하나의 서브프레임 중 2개의 슬롯에 모두 존재하게 되며, 업링크 복조 RS 주위의 자원에 사상된다. 채널 인터리버의 입력은 $\underline{g}_0, \underline{g}_1, \underline{g}_2, \dots, \underline{g}_{H'-1}$, $q_{0}^{RI}, q_{1}^{RI}, q_{2}^{RI}, \dots, q_{Q_{RI}-1}^{RI}$, 및 $q_{0}^{ACK}, q_{1}^{ACK}, q_{2}^{ACK}, \dots, q_{Q_{ACK}-1}^{ACK}$ 으로 표시된다. 서브프레임의 변조 심볼의 개수는 $H'' = H' + Q_{RI}'$ 로 표시된다. 채널 인터리버의 출력 비트 시퀀스는 아래와 같이 유도된다.

[0180] (1) 행렬의 행의 개수를 $C_{max} = N_{sym}^{PUSCH}$ 로 할당한다. 행렬의 행은 좌측에서 우측으로 0, 1, 2, ..., $C_{max} - 1$ 로 넘버링된다.

[0181] (2) 행렬의 열의 개수를 $R_{max} = (H'' \cdot Q_m) / C_{max}$ 로 할당한다. 그리고 $R'_{max} = R_{max} / Q_m$ 으로 정의한다. 직각 행렬(rectangular matrix)의 열은 위에서 아래로 0, 1, 2, ..., $R'_{max} - 1$ 로 넘버링된다.

[0182] (3) 만일 랭크 정보가 이 서브프레임 내에서 전송되면, 벡터 시퀀스 $q_{0}^{RI}, q_{1}^{RI}, q_{2}^{RI}, \dots, q_{Q_{RI}-1}^{RI}$ 가 표 17에 표시된 행에 기록된다. 단, 마지막 열부터 시작하여 Q_m 개의 열을 한세트에 기록되며, 아래의 의사코드에 따라 위쪽으로 이동하면서 기록된다.

```
[0183] =====
```

```
Set  $r$  to  $R'_{max} - 1$ 

while  $i < Q_{RI}'$ 
     $c_{RI} = \text{Column Set}(j)$ 

     $y_{r \times C_{max} + c_{RI}} = q_i^{RI}$ 

     $i = i + 1$ 
     $r = R'_{max} - 1 - \lfloor i/4 \rfloor$ 
     $j = (j + 3) \bmod 4$ 

end while
```

[0184]

[0185] =====

[0186] (4) 입력 벡터 시퀀스, 즉 $y_k = \underline{g}_k$ ($k=0, 1, \dots, H'-1$), 을 $(R_{max} \times C_{max})$ 행렬 내에 기록한다. 단, 행 0 내의 벡터 y_0 부터 시작하여 Q_m 개의 열을 한 세트로 기록하고, 열 0부터 열 $(Q_m - 1)$ 까지 기록하되, 이미 기록된 행렬 요소는 건너뛰면서 기록한다

$$\begin{bmatrix}
 y_0 & y_1 & y_2 & \dots & y_{C_{max}-1} \\
 y_{C_{max}} & y_{C_{max}+1} & y_{C_{max}+2} & \dots & y_{2C_{max}-1} \\
 \vdots & \vdots & \vdots & \ddots & \vdots \\
 y_{(R'_{max}-1) \times C_{max}} & y_{(R'_{max}-1) \times C_{max}+1} & y_{(R'_{max}-1) \times C_{max}+2} & \dots & y_{(R'_{max}-1) \times C_{max}-1}
 \end{bmatrix}$$

[0188] (5) HARQ-ACK 정보가 이 서브프레임 내에서 전송된다면, 벡터 시퀀스 $q_0^{ACK}, q_1^{ACK}, q_2^{ACK}, \dots, q_{Q_{ACK}-1}^{ACK}$ 는 표 18에 표시된 행들에 기록된다. 단, 마지막 열에서부터 시작하여 위로 이동하면서 Q_m 개의 열을 하나의 세트로 하여 기록한다. 이 동작은 (4)에서 기록된 채널 인터리버의 일부 요소들을 덮어쓸 수 있다.

[0189] (6) 블록 인터리버의 출력은 $(R_{max} \times C_{max})$ 행렬로부터 행마다(column by column) 읽어낸 비트 시퀀스이다. 채널 인터리버 이후의 비트는 $h_0, h_1, h_2, \dots, h_{H+Q_m-1}$ 로 표시된다.

표 17

CP configuration	Column Set
Normal	{1, 4, 7, 10}
Extended	{0, 3, 5, 8}

[0190]

표 18

CP configuration	Column Set
Normal	{2, 3, 8, 9}
Extended	{1, 2, 6, 7}

[0191]

[0192] 상술한 본 발명에 의한 실시예들은, 3GPP의 UL-SCH에 사용될 수 있지만, 이에 한정 되는 것이 아니라는 것을 이해하여야 한다.

[0193] 이상에서 설명된 실시예들은 본 발명의 구성요소들과 특징들이 소정 형태로 결합된 것들이다. 각 구성요소 또는 특징은 별도의 명시적 언급이 없는 한 선택적인 것으로 고려되어야 한다. 각 구성요소 또는 특징은 다른 구성요소나 특징과 결합되지 않은 형태로 실시될 수 있다. 또한, 일부 구성요소들 및/또는 특징들을 결합하여 본 발명의 실시예를 구성하는 것도 가능하다. 본 발명의 실시예들에서 설명되는 동작들의 순서는 변경될 수 있다. 어느 실시예의 일부 구성이나 특징은 다른 실시예에 포함될 수 있고, 또는 다른 실시예의 대응하는 구성 또는 특징과 교체될 수 있다. 특허청구범위에서 명시적인 인용 관계가 있지 않은 청구항들을 결합하여 실시예를 구성하거나 출원 후의 보정에 의해 새로운 청구항으로 포함시킬 수 있음은 자명하다.

[0194] 본 발명에 따른 실시예는 다양한 수단, 예를 들어, 하드웨어, 펌웨어(firmware), 소프트웨어 또는 그것들의 결합 등에 의해 구현될 수 있다. 하드웨어에 의한 구현의 경우, 본 발명의 일 실시예는 하나 또는 그 이상의 ASICs(application specific integrated circuits), DSPs(digital signal processors), DSPDs(digital signal processing devices), PLDs(programmable logic devices), FPGAs(field programmable gate arrays), 프로세서, 콘트롤러, 마이크로 콘트롤러, 마이크로 프로세서 등에 의해 구현될 수 있다.

[0195] 펌웨어나 소프트웨어에 의한 구현의 경우, 본 발명의 일 실시예는 이상에서 설명된 기능 또는 동작들을 수행하

는 모듈, 절차, 함수 등의 형태로 구현될 수 있다. 소프트웨어 코드는 메모리 유닛에 저장되어 프로세서에 의해 구동될 수 있다. 상기 메모리 유닛은 상기 프로세서 내부 또는 외부에 위치하여, 이미 공지된 다양한 수단 에 의해 상기 프로세서와 데이터를 주고 받을 수 있다.

[0196] 본 발명은 본 발명의 정신 및 필수적 특징을 벗어나지 않는 범위에서 다른 특정한 형태로 구체화될 수 있음은 당업자에게 자명하다. 따라서, 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니 되고 예시적인 것으로 고려되어야 한다. 본 발명의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다.

산업이용 가능성

[0197] 본 발명은 무선 이동 통신 시스템의 단말기, 기지국, 또는 기타 다른 장비에 사용될 수 있다.

도면의 간단한 설명

[0198] 도 1은 전송 채널 및/또는 제어 정보에 대한 처리 과정을 나타낸다.

[0199] 도 2는 3GPP의 UL-SCH에 대한 전송 채널 처리 과정의 일 실시예를 나타낸 것이다.

[0200] 도 3 내지 도 6은 본 발명의 도 7에 의한 실시예를 설명하기 위해 공통적으로 사용될 용어를 정의하기 위한 도면이다.

[0201] 도 7는 본 발명의 일 실시예에 따른, 데이터 정보 및 제어 정보를 자원 요소들의 집합 상에 다중화하여 사상하는 방법을 나타낸다.

[0202] 도 8의 (a) 및 도 8의 (b)는 표준 CP가 사용되는 일 실시예 및 확장 CP가 사용되는 일 실시예에 의한 구성을 나타낸다.

[0203] 도 9의 (a) 및 도 9의 (b)는 확장 CP에서의 예시적인 구조이다.

[0204] 도 10 및 도 11은 각각 표준 CP 및 확장 CP의 경우에, 1개의 서브프레임 내에서 SRS 및 RS가 할당되는 위치의 일 예를 나타낸 것이다.

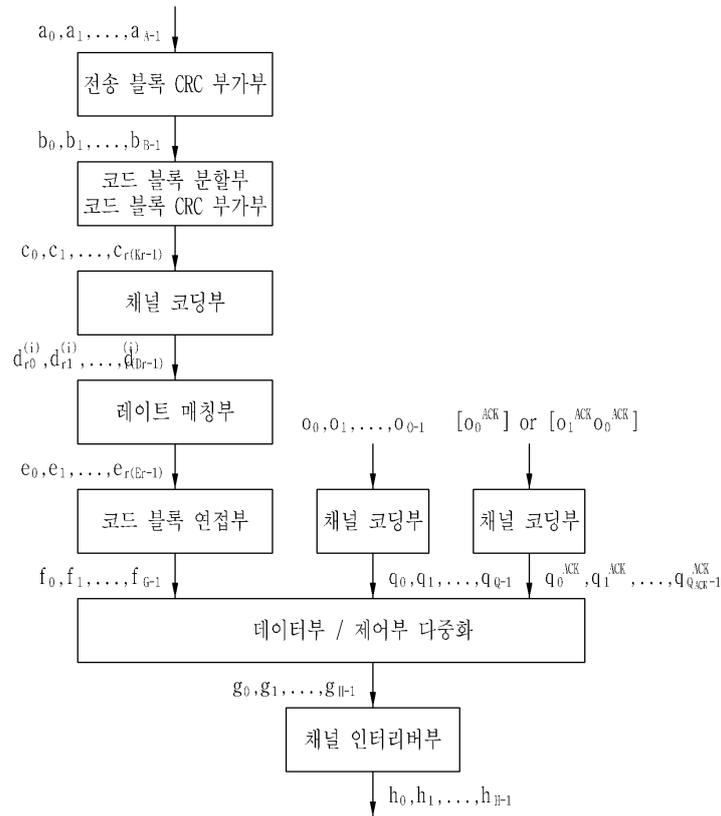
[0205] 도 12는 하나의 부반송파 내에서 제어 정보 2 및/또는 제어 정보 3이 시간 방향으로 사상되는 순서를 나타낸 것이다.

[0206] 도 13 내지 도 15는, 도 12의 방법을 더 자세히 설명하는 도면으로서, 도 12에 의한 방법을 C*R의 행렬 구조를 갖는 자원 요소들의 집합에 적용한 예를 나타낸다.

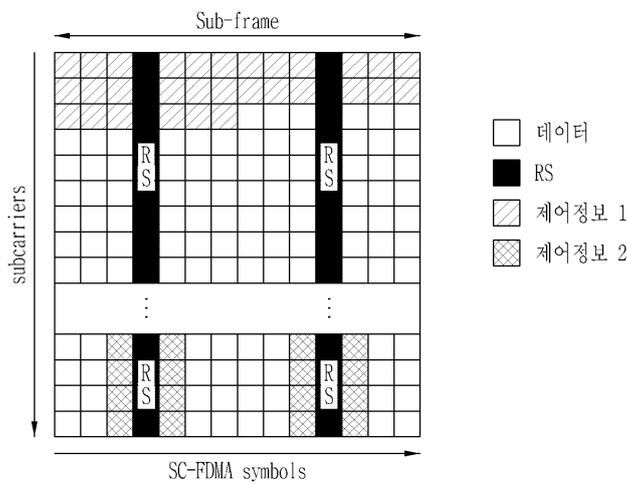
[0207] 도 16은 본 발명의 일 실시예에 따른 UL-SCH 전송 채널을 위한 처리 구조를 나타낸다.

도면

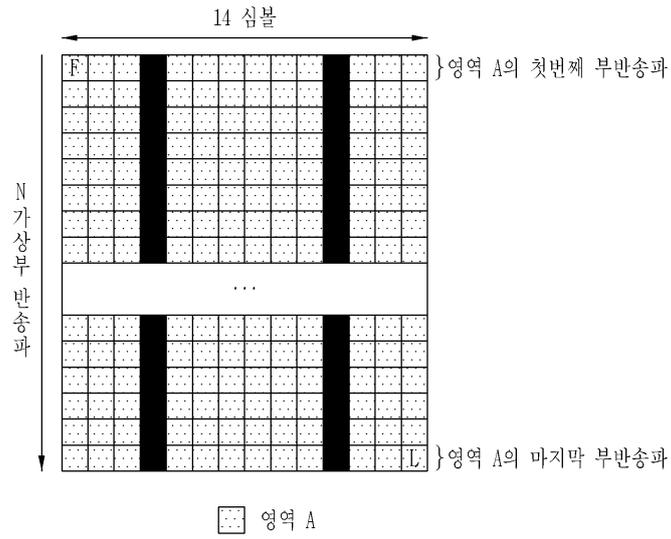
도면1



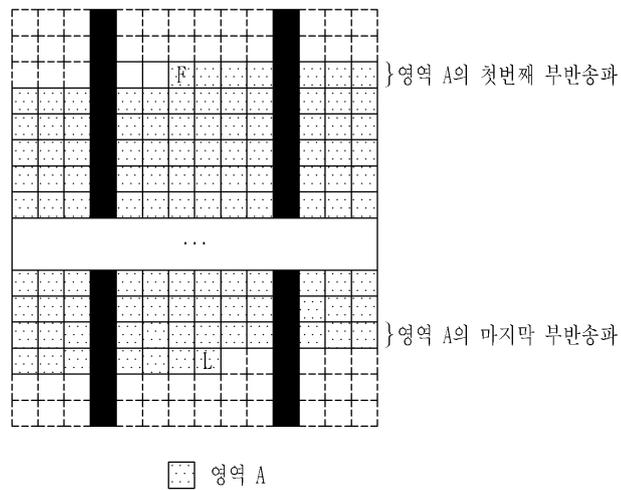
도면2



도면3

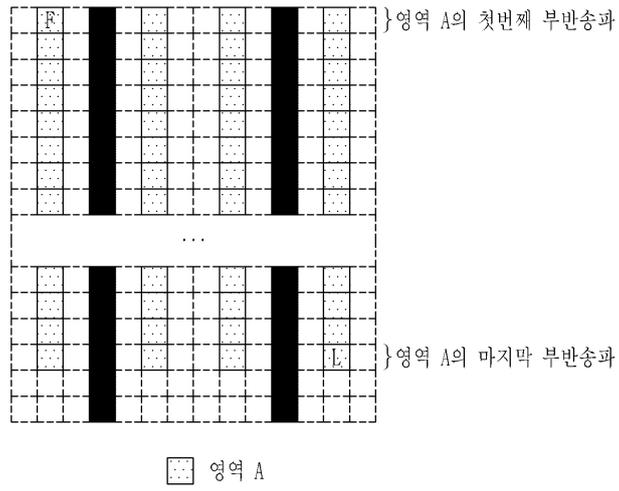


(a)

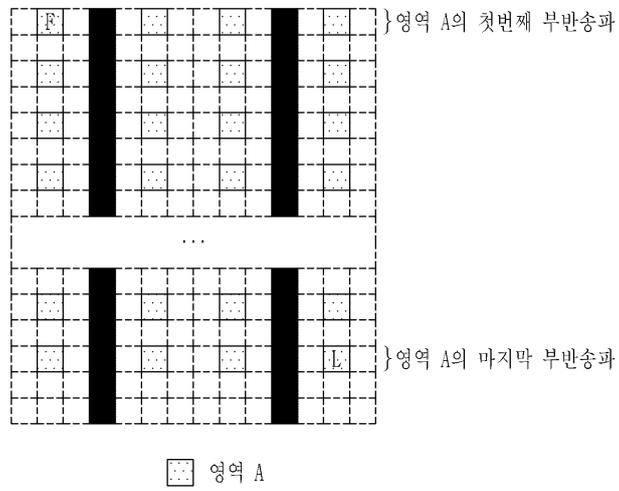


(b)

도면4

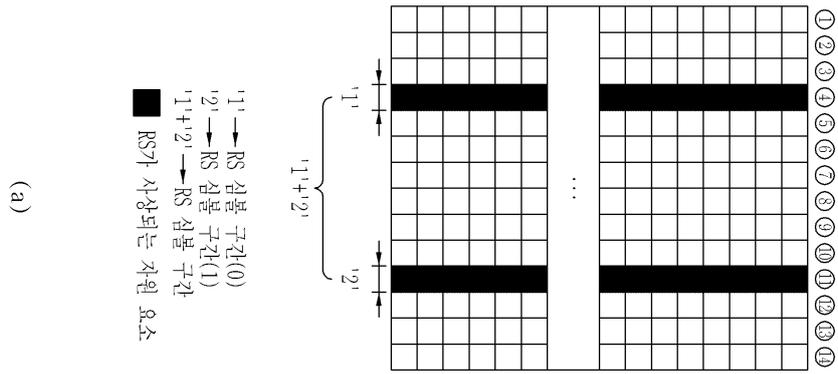


(a)

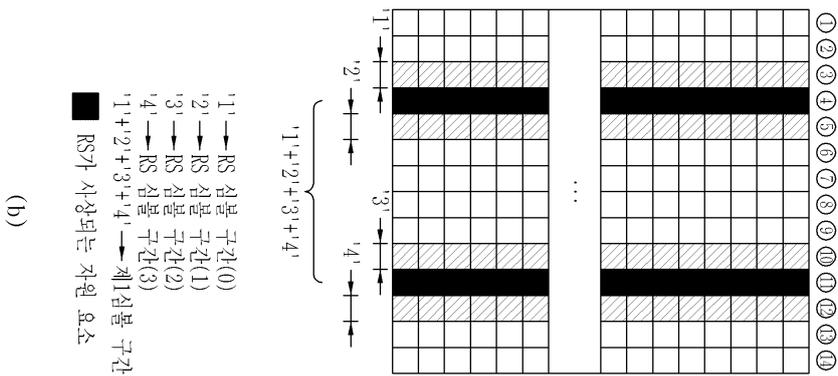


(b)

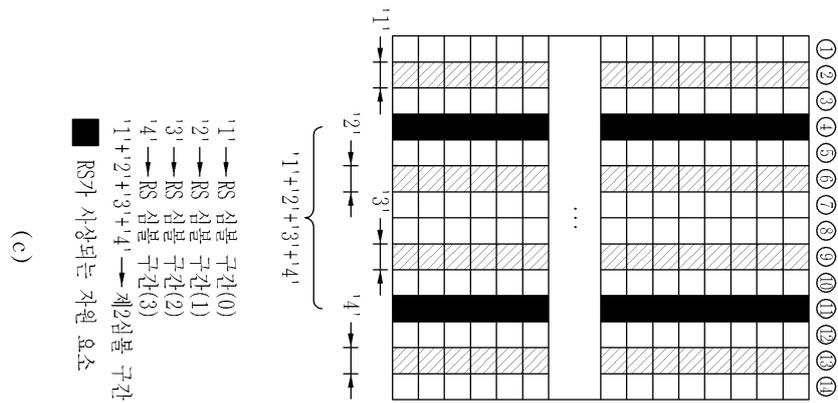
도면5



(a)

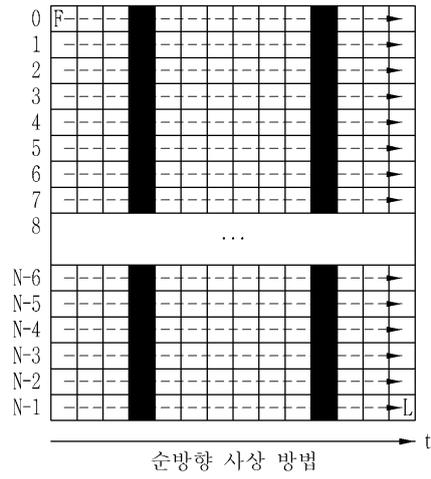


(b)

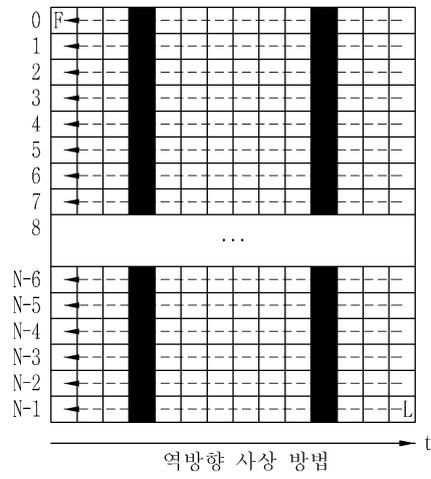


(c)

도면6

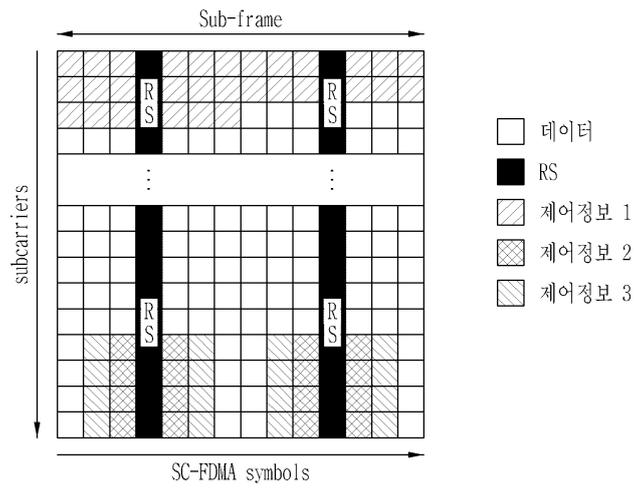


(a)

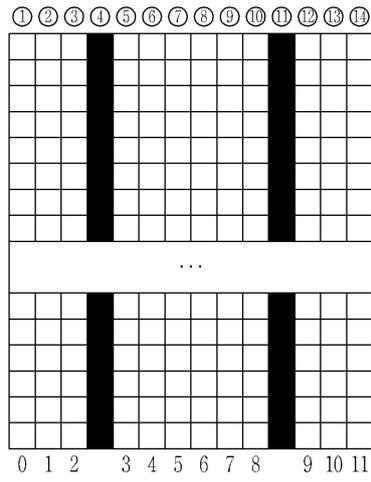


(b)

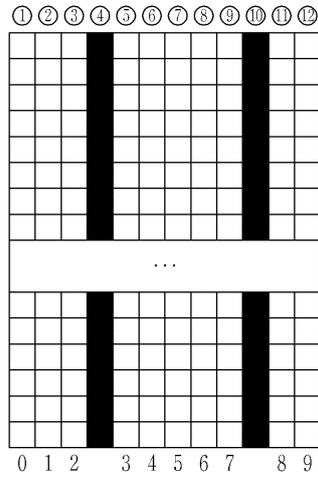
도면7



도면8

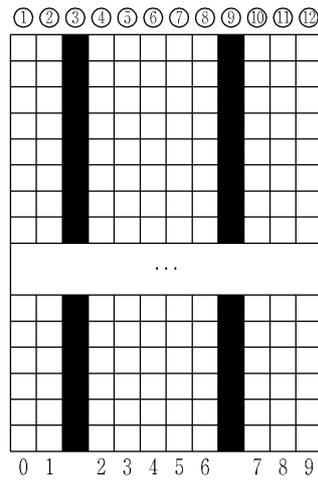


(a)

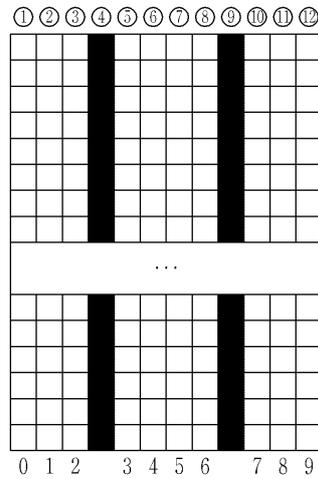


(b)

도면9

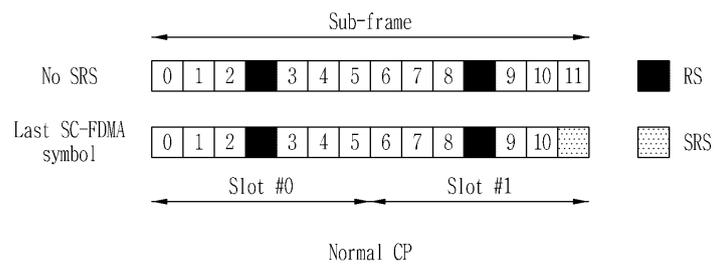


(a)

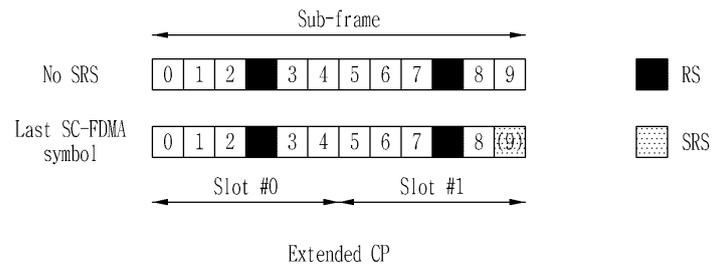


(b)

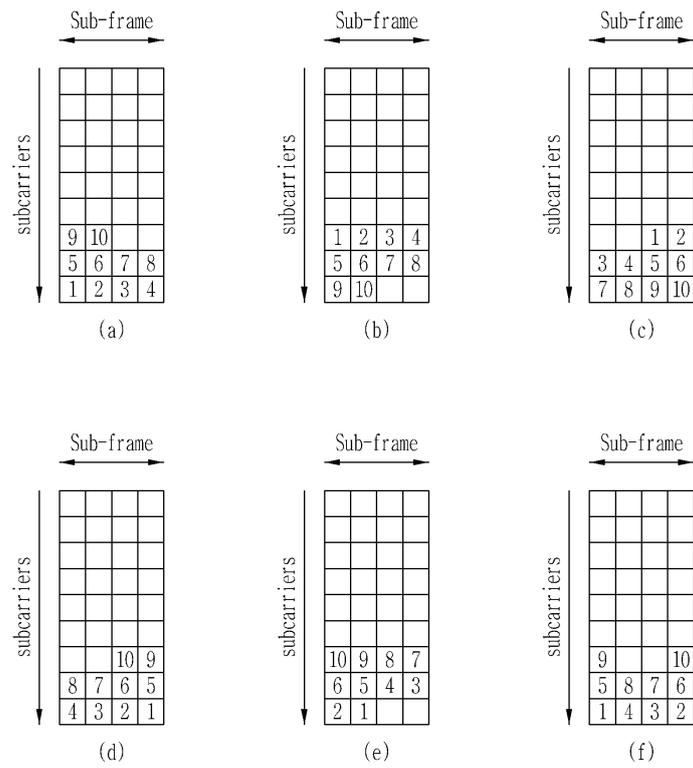
도면10



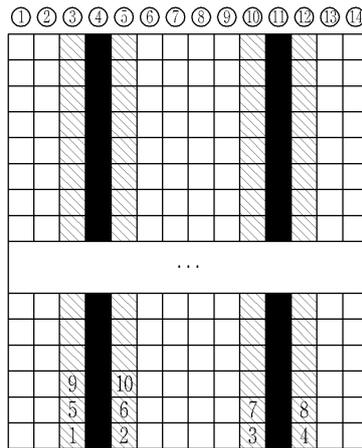
도면11



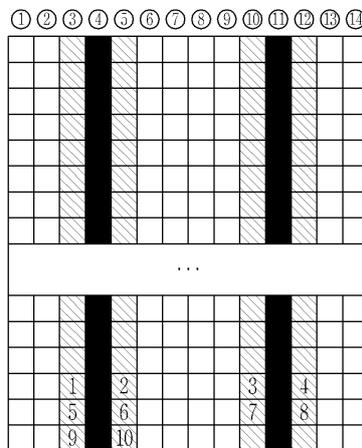
도면12



도면13

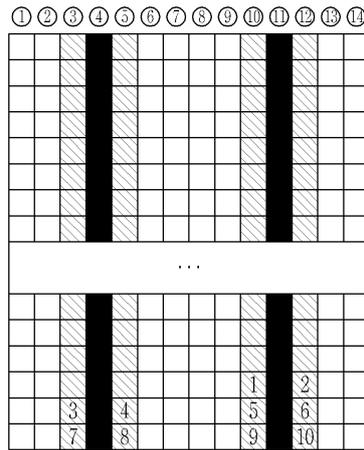


(a)

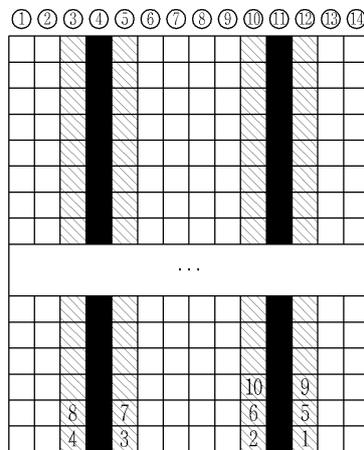


(b)

도면14

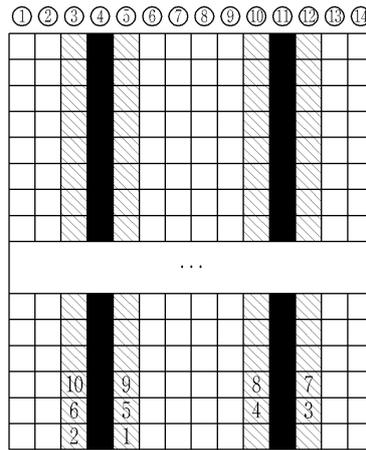


(a)

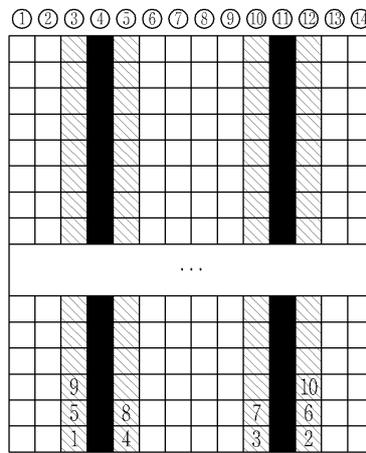


(b)

도면15



(a)



(b)

도면16

