

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年3月17日(17.03.2016)



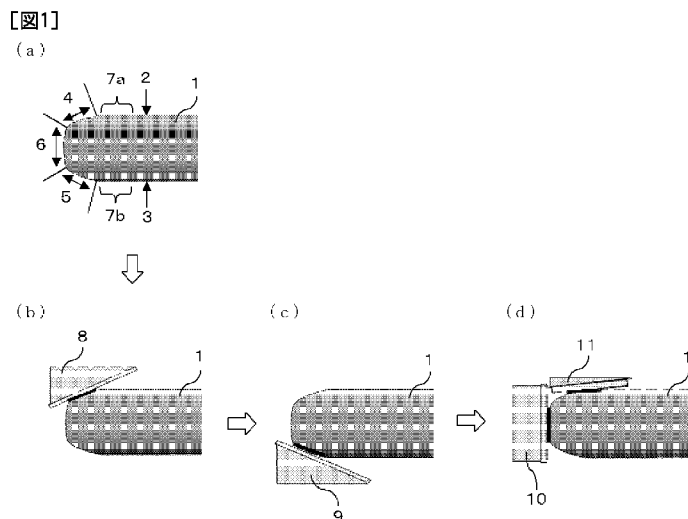
(10) 国際公開番号
WO 2016/038800 A1

- (51) 国際特許分類:
H01L 21/304 (2006.01) H01L 21/02 (2006.01)
B24B 9/00 (2006.01) H01L 27/12 (2006.01)
- (21) 国際出願番号: PCT/JP2015/004130
- (22) 国際出願日: 2015年8月19日(19.08.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-185325 2014年9月11日(11.09.2014) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 宮沢 祐毅 (MIYAZAWA, Yuki); 〒3878555 長野県千曲市大字屋代1393番地長野電子工業株式会社内 Nagano (JP). 木田 隆広 (KIDA, Takahiro); 〒3878555 長野県千曲市大字屋代1393番地長野電子工業株式会社内 Nagano (JP).
- (74) 代理人: 好宮 幹夫 (YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野7丁目6番11号第一下谷ビル8F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: METHOD FOR PROCESSING SEMICONDUCTOR WAFER, METHOD FOR MANUFACTURING BONDED WAFER, AND METHOD FOR MANUFACTURING EPITAXIAL WAFER

(54) 発明の名称: 半導体ウェーハの加工方法、貼り合わせウェーハの製造方法、及びエピタキシャルウェーハの製造方法



(57) Abstract: The present invention is a method for processing a semiconductor wafer that has an upper surface, an underside surface, and a peripheral edge with chamfer parts comprising an upper-surface-side chamfer surface, an underside-surface-side chamfer surface, and an end face, said method involving mirror-polishing the upper-surface-side chamfer surface, the underside-surface-side chamfer surface, the end face, and each of the outermost peripheral parts of the semiconductor wafer adjacent to the upper-surface-side or under-surface-side chamfer surface. This method comprises: mirror-polishing the end face and mirror-polishing the upper-surface-side or under-surface-side outermost peripheral part in the same step after a step of mirror-polishing the upper-surface-side chamfer surface and a step of mirror-polishing the under-surface-side chamfer surface have been carried out; and adjusting the roll-off amount of the upper-surface-side or under-surface-side outermost peripheral part during the mirror-polishing of the end face and outermost peripheral part carried out in the same step. Consequently, the method for processing a semiconductor wafer allows the outermost peripheral part to be formed into a desired sag shape with high precision without causing deformation of the section of the semiconductor wafer on the inner side of the outermost peripheral part, and allows processing to be carried out without the shape of the end face of the processed semiconductor wafer becoming sharp.

(57) 要約:

[続葉有]

WO 2016/038800 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、表面及び裏面を有し、周縁端部に、表面側の面取り面、裏面側の面取り面、及び端面からなる面取り部を有する半導体ウェーハの表面側の面取り面、裏面側の面取り面、端面、及び表面又は裏面の面取り面に隣接する最外周部の各部を鏡面研磨する半導体ウェーハの加工方法において、表面側の面取り面を鏡面研磨する工程及び裏面側の面取り面を鏡面研磨する工程よりも後に、端面の鏡面研磨及び、表面又は裏面の最外周部の鏡面研磨を同一工程で行い、該同一工程で行う端面及び最外周部の鏡面研磨により、表面又は裏面の最外周部のロールオフ量を調整する半導体ウェーハの加工方法である。これにより、半導体ウェーハの最外周部より内側の形状を崩さずに、最外周部に所望のダレ形状を精度良く形成でき、かつ加工後の半導体ウェーハの端面の形状が鋭利にならないように加工できる半導体ウェーハの加工方法を提供が提供される。

明 細 書

発明の名称：

半導体ウェーハの加工方法、貼り合わせウェーハの製造方法、及びエピタキシャルウェーハの製造方法

技術分野

[0001] 本発明は、半導体ウェーハの加工方法、貼り合わせウェーハの製造方法、及びエピタキシャルウェーハの製造方法に関する。

背景技術

[0002] SOIウェーハの製法として、SOI層を形成するボンドウェーハに、主に水素イオンを注入して剥離用イオン注入層を形成し、絶縁膜を介してベースウェーハと貼り合わせた後、剥離用イオン注入層でボンドウェーハを剥離して薄膜化する方法（イオン注入剥離法）が主に行われているが、ボンドウェーハの剥離時において外周欠陥が発生する問題が生じていた。このような外周欠陥への対応策として、貼り合わせ用のウェーハ（ボンドウェーハ、ベースウェーハ）の貼り合わせる面側の最外周部にダレ形状（ロールオフ量が正の値となる形状）を形成することが知られている（特許文献1）。

[0003] また、エピタキシャルウェーハの製造において、エピタキシャル成長用基板（エピサブとも呼ばれる）上にエピタキシャル層の形成を行った際には、最外周部がハネ形状（ロールオフ量が負の値となる形状）になる傾向にあるため、エピタキシャル成長用基板のハネ形状が形成される部分に予めダレ形状を形成しエピタキシャル層形成後の平坦度を制御することが求められていた。

[0004] そのため、貼り合わせ用のウェーハやエピタキシャル成長用基板の製造において、従来はウェーハ主表面の研磨工程で研磨時間を延長してダレ形状を形成していた。しかし、このような方法では、ダレ形状を形成するためにウェーハ主表面の研磨時間を延長することで最外周部より内側の形状が悪化してしまうという問題があった。ここでいう形状の悪化は、例えば平坦度SF

QR (Site Front least squares Range) の最大値であるSFQRmaxの値によって表され、SFQRmaxの値が大きいほどウェーハの最外周部より内側の形状が悪化していることを意味する。SFQRmaxが大きくなるとデバイス工程におけるデフォーカスを悪化させる要因にもなるため、一般的に、平坦度SFQRmaxは小さい方が良く、従って、ウェーハの最外周部より内側の形状を崩さずに（平坦度SFQRmaxを大きくせずに）、所望のダレ形状を精度良く形成できる方法が求められていた。

[0005] 上記のような問題の解決策として、特許文献2には、エピタキシャル成長用基板の製造において、半導体ウェーハ主表面の研磨時間延長によるダレ形状の形成を行わない方法が記載されている。具体的には、この方法は、図13(a)、(b)に示したように、半導体ウェーハ101の表面102側の面取り面、裏面103側の面取り面、及び端面からなる面取り部108、及び裏面103側の面取り面に隣接する最外周部の4分割した領域を、それぞれに対応する4つの研磨パッド（表面側面取り面の研磨パッド104、裏面側面取り面の研磨パッド105、端面の研磨パッド106、及び裏面の最外周部の研磨パッド107）を備える研磨装置を用いて研磨する方法である。これにより、面取部108の鏡面研磨と同時にダレ形状を形成する。しかしながら、このような方法では、面取部近傍の4分割した領域を一度に研磨できるメリットがある反面、図15に示したように半導体ウェーハ101の面取部の先端形状（端面109の形状）が鋭利になるという問題があった。例えばこのような方法で加工を行ったウェーハを貼り合わせ用のウェーハに用いた場合、後工程のイオン注入を行う際に遠心力発生時に面取り部の先端で応力集中が起き、割れが多発する不具合が発生していた。

先行技術文献

特許文献

[0006] 特許文献1：特開2007-273942号公報

特許文献2：特開2012-109310号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明は、上記問題を解決するためになされたものであり、半導体ウェーハの最外周部より内側の形状を崩さずに、最外周部に所望のダレ形状を精度良く形成でき、かつ加工後の半導体ウェーハの端面の形状が鋭利にならないように加工できる半導体ウェーハの加工方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するために、本発明では、表面及び裏面を有し、周縁端部に、表面側の面取り面、裏面側の面取り面、及び端面からなる面取り部を有する半導体ウェーハの前記表面側の面取り面、前記裏面側の面取り面、前記端面、及び表面又は裏面の前記面取り面に隣接する最外周部の各部を鏡面研磨する半導体ウェーハの加工方法において、

前記表面側の面取り面を鏡面研磨する工程及び前記裏面側の面取り面を鏡面研磨する工程よりも後に、前記端面の鏡面研磨及び、前記表面又は裏面の最外周部の鏡面研磨を同一工程で行い、

該同一工程で行う端面及び最外周部の鏡面研磨により、前記表面又は裏面の最外周部のロールオフ量を調整する半導体ウェーハの加工方法を提供する。

[0009] このような半導体ウェーハの加工方法であれば、半導体ウェーハの最外周部より内側の形状を崩さずに、最外周部に所望のダレ形状を精度良く形成でき、かつ加工後の半導体ウェーハの端面の形状が鋭利にならないように半導体ウェーハを加工することができる。なお、本発明における最外周部とは、ウェーハ端面を始点として半径方向に最大30mm程度までの任意の範囲であり、この範囲はユーザーの仕様により異なる。

[0010] またこのとき、前記同一工程で行う端面及び最外周部の鏡面研磨は、前記端面の鏡面研磨を行う研磨ピース（A）と、前記表面又は裏面の最外周部の鏡面研磨を行う研磨ピース（B）とが、それぞれ1枚以上、前記半導体ウェーハの周囲を取り囲む位置に配置された研磨装置を用いて、前記研磨ピース

(A)、(B)に対して前記半導体ウェーハを相対的に回転させることで行うことが好ましい。

[0011] このような方法であれば、端面及び最外周部の鏡面研磨を同一工程でより容易に行うことができる。

[0012] またこのとき、前記ロールオフ量の調整を、前記研磨ピース(B)が複数枚配置された研磨装置を用い、前記表面又は裏面の最外周部に接触する前記研磨ピース(B)の数を変更することで行うことが好ましい。

[0013] このような方法であれば、半導体ウェーハの表面又は裏面の最外周部のロールオフ量の調整をより容易に行うことができる。

[0014] またこのとき、前記同一工程で行う端面及び最外周部の鏡面研磨を、前記研磨ピース(A)と前記研磨ピース(B)の配置された枚数の合計が12枚以上である研磨装置を用いて行うことが好ましい。

[0015] このような研磨装置を用いることで、半導体ウェーハの表面又は裏面の最外周部のロールオフ量の調整をより細かく行うことができる。

[0016] またこのとき、前記同一工程で行う端面及び最外周部の鏡面研磨の工程において前記ロールオフ量の測定を行い、前記測定したロールオフ量が所望の値でなければ、前記同一工程で行う端面及び最外周部の鏡面研磨の研磨条件を調整しながら、前記同一工程で行う端面及び最外周部の鏡面研磨、及び前記ロールオフ量の測定を繰り返し行い、前記測定したロールオフ量が所望の値であれば、前記同一工程で行う端面及び最外周部の鏡面研磨を終了する方法によってロールオフ量を調整することができる。

[0017] またこのとき、前記表面側の面取り面を鏡面研磨する工程及び前記裏面側の面取り面を鏡面研磨する工程と、前記端面の鏡面研磨及び、前記表面又は裏面の最外周部の鏡面研磨を同一工程で行う工程、との間に、前記半導体ウェーハの前記表面にエピタキシャル層を形成する工程を行うこともできる。

[0018] この方法によれば、面取り面が鏡面研磨された半導体ウェーハにエピタキシャル成長してエピタキシャルウェーハを作製した際のエピタキシャルウェーハの外周部のロールオフ量を調整できるので、エピタキシャルウェーハに

形成されやすいハネ形状を低減し、最外周部の平坦度が良好なエピタキシャルウェーハを得ることができる。

[0019] また、本発明では、上記の半導体ウェーハの加工方法によって加工され、前記表面又は裏面の最外周部のロールオフ量が調整された半導体ウェーハを、ボンドウェーハ及びベースウェーハのいずれか又は両方に用い、前記ロールオフ量が調整された面を貼り合わせ面とし、イオン注入剥離法によって貼り合わせウェーハを製造する貼り合わせウェーハの製造方法を提供する。

[0020] このような貼り合わせウェーハの製造方法であれば、最外周部に所望のダレ形状を形成した貼り合わせ用のウェーハを貼り合わせることで、ボンドウェーハの剥離時における外周欠陥の発生が抑制された貼り合わせウェーハを製造することができる。

[0021] また、本発明では、前記鏡面研磨する半導体ウェーハとして、半導体ウェーハの表面にエピタキシャル層が形成されたエピタキシャルウェーハであって、該エピタキシャルウェーハの前記エピタキシャル層が形成された表面側の最外周部のロールオフ量が負の値であるものを用い、前記エピタキシャルウェーハに対し、上記の半導体ウェーハの加工方法を施すことによって、前記エピタキシャルウェーハの最外周部を平坦化するエピタキシャルウェーハの製造方法を提供する。

[0022] このようなエピタキシャルウェーハの製造方法であれば、エピタキシャル層の形成によってエピタキシャルウェーハの最外周部に形成されるハネ形状を研磨することで、最外周部の平坦度が制御されたエピタキシャルウェーハを製造することができる。

[0023] 更に、本発明では、上記の半導体ウェーハの加工方法によって加工され、前記表面の最外周部のロールオフ量が正の値に調整された半導体ウェーハに対し、該半導体ウェーハの表面にエピタキシャル層を形成するエピタキシャルウェーハの製造方法を提供する。

[0024] このようなエピタキシャルウェーハの製造方法であれば、エピタキシャル成長用基板のハネ形状が形成される部分に予め所望のダレ形状を形成してお

くことで、最外周部の平坦度が制御されたエピタキシャルウェーハを製造することができる。

発明の効果

[0025] 以上のように、本発明の半導体ウェーハの加工方法であれば、半導体ウェーハの最外周部より内側の形状を崩さずに、最外周部のロールオフ量を調整して最外周部に所望のダレ形状を精度良く形成でき、かつ加工後の半導体ウェーハの端面の形状が鋭利にならないように半導体ウェーハを加工することができる。また、このような半導体ウェーハの加工方法を貼り合わせウェーハの製造に適用することで、ボンドウェーハの剥離時における外周欠陥の発生が抑制された貼り合わせウェーハを製造することができる。更に、このような半導体ウェーハの加工方法をエピタキシャルウェーハの製造に適用することで、最外周部の平坦度が制御されたエピタキシャルウェーハを製造することができる。

図面の簡単な説明

[0026] [図1]本発明の半導体ウェーハの加工方法の一例の流れの中の各段階を示す断面図である。

[図2]本発明の半導体ウェーハの加工方法に用いられる加工設備の一例を示す概略図である。

[図3]本発明において端面及び最外周部の鏡面研磨に用いられる研磨装置の一例を示す概略図である。

[図4] (a) ロールオフ量の定義の一例を示す説明図である。(b) ロールオフ量の定義の他の例を示す説明図である。

[図5]本発明の半導体ウェーハの加工方法において (a) 手動調整で接触する研磨ピース (B) の数を変更する場合と、(b) 自動調整で接触する研磨ピース (B) の数を変更する場合の一例を示すフロー図である。

[図6]本発明の半導体ウェーハの加工方法の別の一例を示すフロー図である。

[図7]本発明の貼り合わせウェーハの製造方法の一例を示すフロー図である。

[図8]本発明のエピタキシャルウェーハの製造方法の一例を示すフロー図であ

る。

[図9]本発明のエピタキシャルウェーハの製造方法によるハネ形状の除去を示す概略図である。

[図10]本発明のエピタキシャルウェーハの製造方法の別の一例を示すフロー図である。

[図11]エピタキシャルウェーハの製造方法において（a）本発明の半導体ウェーハの加工方法によって半導体ウェーハに予めダレ形状を形成した例と、（b）予めダレ形状を形成しなかった例を示す概略断面図である。

[図12]本発明の半導体ウェーハの加工方法によって加工した半導体ウェーハの面取り部の断面形状を示す概略断面図である。

[図13]従来の半導体ウェーハの加工方法に用いられる研磨装置の一例を示す概略図であり、（a）は半導体ウェーハの主面側から見た図であり、（b）は各研磨パッドの半導体ウェーハに対する位置を模式的に示す図である。

[図14]従来の半導体ウェーハの加工方法に用いられる加工設備の一例を示す概略図である。

[図15]従来の半導体ウェーハの加工方法によって加工した半導体ウェーハの面取り部の断面形状を示す概略断面図である。

発明を実施するための形態

[0027] 上述のように、半導体ウェーハの最外周部より内側の形状を崩さずに、最外周部に所望のダレ形状を精度良く形成でき、かつ加工後の半導体ウェーハの端面の形状が鋭利にならないように加工できる半導体ウェーハの加工方法の開発が求められていた。

[0028] 本発明者らは、上記課題について鋭意検討を重ねた結果、半導体ウェーハの面取部を分けた3つの領域、即ち、表面側の面取り面、裏面側の面取り面、及び端面の3つの領域、並びにこれらに更に表面又は裏面の面取り面に隣接する最外周部を加えた4つの領域の鏡面研磨を行う際に、例えば（1）表面側の面取り面、（2）裏面側の面取り面、（3）端面及び最外周部の3ステップでこれらの領域の鏡面研磨加工を行うことで、半導体ウェーハの最外

周部より内側の形状を崩さずに、所望のダレ形状を精度良く形成でき、かつ加工後の半導体ウェーハの端面の形状が鋭利にならないことを見出し、本発明を完成させた。

[0029] 即ち、本発明は、表面及び裏面を有し、周縁端部に、表面側の面取り面、裏面側の面取り面、及び端面からなる面取り部を有する半導体ウェーハの前記表面側の面取り面、前記裏面側の面取り面、前記端面、及び表面又は裏面の前記面取り面に隣接する最外周部の各部を鏡面研磨する半導体ウェーハの加工方法において、

前記表面側の面取り面を鏡面研磨する工程及び前記裏面側の面取り面を鏡面研磨する工程よりも後に、前記端面の鏡面研磨及び、前記表面又は裏面の最外周部の鏡面研磨を同一工程で行い、

該同一工程で行う端面及び最外周部の鏡面研磨により、前記表面又は裏面の最外周部のロールオフ量を調整する半導体ウェーハの加工方法である。

[0030] 以下、図面を参照しながら本発明について詳細に説明するが、本発明はこれらに限定されるものではない。

[0031] [半導体ウェーハの加工方法]

本発明の半導体ウェーハの加工方法の一例として、図1を参照しながら本発明の半導体ウェーハの加工方法について説明する。この半導体ウェーハの加工方法では、図1(a)に示した半導体ウェーハ1の鏡面研磨を行う。半導体ウェーハ1は、表面2及び裏面3を有し、周縁端部に、表面側の面取り面4、裏面側の面取り面5、及び端面6からなる面取り部を有し、更に表面側の面取り面4に隣接する表面の最外周部7a、及び裏面側の面取り面5に隣接する裏面の最外周部7bを有する。面取り部とは、面取り加工が施された部分を指す。表面側の面取り面4及び裏面側の面取り面5は、表面2及び裏面3に対し略斜面となっている部分である。端面6とは、面取り部のうち表面側の面取り面4及び裏面側の面取り面5を除いた部分であり、表面2及び裏面3に対し略垂直な部分である。ただし、端面6は若干の曲面であってもよい。表面側の面取り面4及び裏面側の面取り面5と、端面6との境は図

1 (a) に示すように通常、滑らかに形成される。表面の最外周部 7 a 及び裏面の最外周部 7 b はそれぞれ表面 2 及び裏面 3 の一部を構成し、同一平面を有する。ただし、外周側に向かって若干のダレ又はハネがあってもよい。

[0032] 図 1 の半導体ウェーハの加工方法では、まず、表面側の面取り面の鏡面研磨を行う研磨ピース 8 を備える研磨装置を用いて表面側の面取り面 4 の鏡面研磨を行う (図 1 (b)、工程 (1))。次に、裏面側の面取り面の鏡面研磨を行う研磨ピース 9 を備える研磨装置を用いて裏面側の面取り面 5 の鏡面研磨を行う (図 1 (c)、工程 (2))。その後、端面の鏡面研磨を行う研磨ピース 10 及び表面の最外周部の鏡面研磨を行う研磨ピース 11 を備える研磨装置を用いて端面 6 及び表面の最外周部 7 a の鏡面研磨を同一工程で行い、表面の最外周部 7 a のロールオフ量を調整する (図 1 (d)、工程 (3))。

[0033] なお、(1) 表面側の面取り面 4 を鏡面研磨する工程と (2) 裏面側の面取り面 5 を鏡面研磨する工程は、別々に行ってもよいし、同時に行ってもよい。また、別々に行う場合はどちらを先に行ってもよい。

[0034] また、図 1 (d) では工程 (3) として表面の最外周部 7 a を端面 6 とともに鏡面研磨する場合を示しているが、この工程 (3) では、表面の最外周部の鏡面研磨を行う研磨ピース 11 の代わりに裏面の最外周部の鏡面研磨を行う研磨ピースを用いて、表面の最外周部 7 a の代わりに裏面の最外周部 7 b を鏡面研磨してもよい。

[0035] このような本発明の半導体ウェーハの加工方法は、より具体的には、例えば図 2 に示されるような加工設備を用いて実施することができる。図 2 の加工設備は、ローダー／アンローダー 21、ノッチ研磨ユニット 22、表面側の面取り面研磨ユニット 23 a、裏面側の面取り面研磨ユニット 23 b、端面及び最外周部研磨ユニット 23 c、洗浄ユニット 24、並びにロボット稼働エリア 25 を備えている。この加工設備は、表面側の面取り面研磨ユニット 23 a で表面側の面取り面 4 を鏡面研磨し (工程 (1))、次に裏面側の面取り面研磨ユニット 23 b で裏面側の面取り面 5 を鏡面研磨した (工程 (

2)) 後、端面及び最外周部研磨ユニット 2 3 c で端面 6 及び表面の最外周部 7 a を鏡面研磨する（工程（3））。

[0036] 従来の半導体ウェーハの加工方法では、例えば図 1 4 に示されるような、ローダー／アンローダー 1 2 1、ノッチ研磨ユニット 1 2 2、表面側の面取り面研磨ユニット 1 2 3 a、裏面側の面取り面研磨ユニット 1 2 3 b、端面研磨ユニット 1 2 3 c、洗浄ユニット 1 2 4、及びロボット稼働エリア 1 2 5 を備えた加工設備を用いて半導体ウェーハ 1 0 1 の加工を実施していた。その一方で、本発明の半導体ウェーハの加工方法では上述のように端面の鏡面研磨と最外周部の鏡面研磨を同一工程で行うため、端面研磨ユニット 1 2 3 c（図 1 4）の代わりに図 2 のように端面及び最外周部研磨ユニット 2 3 c を導入した加工設備を用いて加工を行うことが好ましい。

[0037] また、上述の同一工程で行う端面及び最外周部の鏡面研磨は、例えば図 3（a）～（c）に示すような端面の鏡面研磨を行う研磨ピース 1 0（以下、研磨ピース（A）ともいう）と、表面（又は裏面）の最外周部の鏡面研磨を行う研磨ピース 1 1（以下、研磨ピース（B）ともいう）とが、それぞれ 1 枚以上、半導体ウェーハの周囲を取り囲む位置に配置された研磨装置を用いて、研磨ピース（A）、（B）に対して半導体ウェーハ 1 を相対的に回転させることで行うことが好ましい。このような方法であれば、端面及び最外周部の鏡面研磨を同一工程で容易に行うことができる。

[0038] 図 3（a）は研磨装置の全体図を示している。図 3（b）は研磨ピース（A）が半導体ウェーハ 1 の端面を鏡面研磨する様子を示す概略断面図である。図 3（c）は研磨ピース（B）が半導体ウェーハ 1 の表面の最外周部を鏡面研磨する様子を示す概略断面図である。

[0039] なお、鏡面研磨は、研磨ピース（A）、（B）を回転させて半導体ウェーハを鏡面研磨してもよいし、半導体ウェーハを回転させて鏡面研磨してもよいし、両方行ってもよい。

[0040] また、研磨ピース（B）と接触する半導体ウェーハの最外周部の幅（半径方向）は、端面より最大で 3 0 m m 程度とすることが好ましい。

[0041] また、図3(c)に示すように、半導体ウェーハ1を上端31から下端32に揺動幅33で上下動させ、この揺動幅を変えることで表面の最外周部の鏡面研磨を行う研磨ピース11(又は11')と半導体ウェーハ1(又は1')の接触部分34(又は34')の接触する角度を制御でき、ロールオフ量を調整することができる。また、ロールオフ量の調整は、研磨ピース11(又は11')自体の角度、ウェイト35(又は35')、研磨時間の調整によっても行うことができる。このとき、図3(b)に示すように、半導体ウェーハ1の位置(例えば上端31及び下端32)によっては、端面が鏡面研磨されることは変わらない。

[0042] また、研磨ピース(B)が複数枚配置された研磨装置を用い、表面又は裏面の最外周部に接触する研磨ピース(B)の数を変更することでロールオフ量の調整を行うこともできる。このような方法であれば、半導体ウェーハの表面又は裏面の最外周部のロールオフ量の調整を容易に行うことができるため、好ましい。

[0043] なお、表面又は裏面の最外周部に接触する研磨ピース(B)の数を変更する際は、取り付ける研磨ピース(B)の数を変更(手動調整)してもよいし、取り付けるピースの枚数は変更せずに、ストッパーで最外周部に接触する研磨ピース(B)の数を変更(自動調整)してもよい。

[0044] 上記の手動調整を行う場合は、例えば表1のようにしてロールオフ量を調整することができる。

[表1]

ロールオフ量(nm)	取り付けピース枚数			最外周部に接触するピース枚数
	端面(A)	最外周部(B)	合計	
0	12	0	12	0
160	10	2	12	2
300	8	4	12	4
・	・	・	・	・
・	・	・	・	・

[0045] 上記の自動調整を行う場合は、例えば表2のようにしてロールオフ量を調整することができる。

[表2]

ロールオフ量(nm)	取り付けピース枚数			最外周部に接触するピース枚数
	端面 (A)	最外周部 (B)	合計	
0	6	6	12	0
160	6	6	12	2
300	6	6	12	4
.

[0046] またこのとき、図3 (a) に示すように端面の鏡面研磨を行う研磨ピース10 (研磨ピース (A)) と、表面 (又は裏面) の最外周部の鏡面研磨を行う研磨ピース11 (研磨ピース (B)) の配置された枚数の合計が12枚以上である研磨装置を用いることで、半導体ウェーハの表面又は裏面の最外周部のロールオフ量の調整を細かく行うことができる。

[0047] ここで、ロールオフ量について図4を参照しながら説明する。図4 (a) は、形状測定装置であるDynasearch (Raytex社製) で用いられているロールオフ量の定義を示す図面であり、ここでは直径300mm (半導体ウェーハの外周端から中心までの長さが150mm) の半導体ウェーハを例に挙げてロールオフ量を説明する。半導体ウェーハの表面を測定面とし、半導体ウェーハの表面側の断面形状 (図4 (a) 中の「プロファイル」) における半導体ウェーハの外周端から中心に対して任意の距離離れた表面上の2点 (図4 (a) では、半導体ウェーハの中心から120mm離れた点P¹と140mm離れた点P²) 間を結ぶ直線をフィッティングラインとし、該フィッティングラインと断面形状との外周端側の最初の交点P³の高さ (Y¹) から、断面形状における半導体ウェーハの外周端から1mmの位置の点P⁴の高さ (Y²) を引いた値が、この半導体ウェーハのロールオフ量である。なお、測定箇所となる点P⁴の半導体ウェーハの外周端からの距離は1mmに限定されず、例えば0.5mm等にしてもよい。また、ロールオフ量が正

の値であればダレ形状であることを示し、ロールオフ量が負の値であればハネ形状であることを示す。

[0048] 図4 (b) は、鏡面研磨に用いられる研磨装置に内蔵された形状測定装置で用いられているロールオフ量の定義の例を示す図面であり、この図のように、単純に、外周部の任意の2点におけるウェーハ厚さの差をロールオフ量として定義する場合もあり、この場合のロールオフ量は、外周部の任意の2点（例えば、ウェーハ中心から147mm、149mmの位置）におけるウェーハ厚さ T_1 、 T_2 の差 ($T_2 - T_1$) を示している。

[0049] また、本発明の半導体ウェーハの加工方法では、同一工程で行う端面及び最外周部の鏡面研磨の工程においてロールオフ量の測定を行い、測定したロールオフ量が所望の値でなければ、同一工程で行う端面及び最外周部の鏡面研磨の研磨条件を調整しながら、同一工程で行う端面及び最外周部の鏡面研磨、及びロールオフ量の測定を繰り返し行い、測定したロールオフ量が所望の値であれば、同一工程で行う端面及び最外周部の鏡面研磨を終了する方法によってロールオフ量を調整することが好ましい。

[0050] 即ち、本発明の半導体ウェーハの加工方法は、例えば図5 (a) 又は図5 (b) のようなフローに沿って実施することが好ましい。図5 (a) は手動調整で接触する研磨ピース (B) の数を変更する場合のフローの例を示し、図5 (b) は自動調整で接触する研磨ピース (B) の数を変更する場合のフローの例を示す。

[0051] 図5 (a) のフローでは、加工を開始し (M1)、まず研磨前のロールオフ量を測定する (M2)。次に、端面及び最外周部の研磨ピース数を決定し、研磨装置に取り付ける (M3)。次に、表面側の面取り面の鏡面研磨 (M4-1)、裏面側の面取り面の鏡面研磨 (M4-2)、及び端面及び最外周部の鏡面研磨 (M4-3) を行う。次に、この時点でのロールオフ量 (研磨後のロールオフ量) を測定し (M5)、測定した研磨後のロールオフ量が所望の値になっているか判定する (M6)。測定した研磨後のロールオフ量が所望の値であれば加工を終了し (M7)、所望の値でなければ再度端面及び

最外周部の研磨ピース数を決定し、研磨装置に取り付ける工程（M3）を行う。続いて、再度工程（M4-1）～（M4-3）の鏡面研磨を行うが、このとき工程（M4-1）及び工程（M4-2）は省略して、工程（M4-3）のみ行ってもよい。続いて、再度研磨後のロールオフ量を測定し（M5）、測定した研磨後のロールオフ量が所望の値になっているか判定する（M6）。以降は上記と同様の工程を繰り返し、所望のロールオフ量となるまで加工を行う。

[0052] 上記フローの説明においては、所望のロールオフ量を得るために、M3工程での端面及び最外周部の研磨ピース数の決定を中心に説明したが、ロールオフ量は研磨ピース数以外の加工条件（研磨時間や回転速度など）でも変化するため、これらの加工条件についてもM4-3工程に投入する前に決定しておく必要がある。

そのため、M2工程で求めた研磨前ロールオフ量とM5工程で求めた研磨後ロールオフ量とから、M4-3工程の加工によるロールオフの変化量を算出し、その結果を次のM3工程にフィードバックすることによって、同一ウェーハの加工における2回目以降のM3工程、或いは、他のウェーハの加工におけるM3工程での加工条件（ピース数、研磨時間、回転速度など）を最適化することができる。

[0053] 図5（b）のフロー（A1～A7）は、上記の図5（a）のフローの端面及び最外周部の研磨ピース数を決定し、研磨装置に取り付ける工程（M3）を、ストッパーによって最外周部に接触する研磨ピース（B）の数を変更（自動調整）する工程（A3）に変更する以外は、図5（a）のフロー（M1～M7）と同様である。

[0054] このように、図5（a）又は図5（b）のようなフローに沿って本発明の半導体ウェーハの加工方法を実施することで、半導体ウェーハの最外周部に所望のダレ形状を更に精度良く形成できる。

[0055] 以上のように、本発明の半導体ウェーハの加工方法であれば、CMP（化学的機械研磨）工程（即ち、主表面の研磨工程）で研磨時間を延長せずに最

外周部のダレ形状の形成を行うことができる。そのため、半導体ウェーハの最外周部より内側の形状（平坦度 $S F Q R m a x$ ）を崩さずに、最外周部のロールオフ量を調整して最外周部に所望のダレ形状を精度良く形成できる。

[0056] また、上述のように、従来の半導体ウェーハの加工方法では、加工後の半導体ウェーハ 1 の端面 6 の形状が図 1 5 のように鋭利な形状になってしまい割れが多発する不具合が発生していたが、本発明の半導体ウェーハの加工方法であれば、加工後の半導体ウェーハ 1 の端面 6 の形状が図 1 2 のように鋭利でない形状になるように加工することができるため、割れの発生を抑制することができる。

[0057] [貼り合わせウェーハの製造方法]

また、本発明では、上記の半導体ウェーハの加工方法によって加工され、表面又は裏面の最外周部のロールオフ量が調整された半導体ウェーハを、ボンドウェーハ及びベースウェーハのいずれか又は両方に用い、ロールオフ量が調整された面を貼り合わせ面とし、イオン注入剥離法によって貼り合わせウェーハを製造する方法を提供する。

[0058] このような本発明の貼り合わせウェーハの製造方法は、例えば図 7 のようなフローに沿って実施することが好ましい。

[0059] 図 7 のフローでは、まずボンドウェーハを準備し（S 1 - 0）、両面研磨を行う（S 1 - 1）。次に、上述の本発明の半導体ウェーハの加工方法によって、ボンドウェーハの表面側の面取り面の鏡面研磨、裏面側の面取り面の鏡面研磨、及び同一工程で行う端面及び最外周部の鏡面研磨を行い、最外周部のロールオフ量を調整してダレ形状を形成する（S 1 - 2）。次に、貼り合わせ面の鏡面研磨を行い（S 1 - 3）、洗浄する（S 1 - 4）。洗浄後、BOX酸化を行い（S 1 - 5）、水素イオンを注入する（S 1 - 6）。

[0060] 一方で、ベースウェーハを準備し（S 2 - 0）、両面研磨を行う（S 2 - 1）。次に、従来の面取り部の鏡面研磨方法によって、ベースウェーハの表面側の面取り面の鏡面研磨、裏面側の面取り面の鏡面研磨、及び端面の鏡面研磨を行う（S 2 - 2）。次に、貼り合わせ面の鏡面研磨を行い（S 2 - 3

）、洗浄する（S2-4）。

[0061] このようにして用意したボンドウェーハ及びベースウェーハの貼り合わせ前洗浄を行い（S3）、ロールオフ量が調整された面を貼り合わせ面として貼り合わせる（S4）。次に、剥離熱処理を行って（S5）、ボンドウェーハを水素イオン注入層で剥離して貼り合わせウェーハを作製する（S6）。

[0062] なお、本発明の半導体ウェーハの加工方法によるダレ形状の形成は、上記のように工程（S1-2）においてボンドウェーハのみに行ってもよいし、その代わりに、工程（S2-2）においてベースウェーハのみに行ってもよい。また、工程（S1-2）及び工程（S2-2）において両ウェーハに対して行ってもよい。

[0063] また、本発明の半導体ウェーハの加工方法によって最外周部のロールオフ量を $+150\text{nm}$ 以上に調整したボンドウェーハ及び／又はベースウェーハを用いることが好ましい。

[0064] このような本発明の貼り合わせウェーハの製造方法であれば、最外周部に所望のダレ形状を形成した貼り合わせ用のウェーハを貼り合わせることで、ボンドウェーハの剥離時における外周欠陥の発生が抑制された貼り合わせウェーハを製造することができる。

[0065] [エピタキシャルウェーハの製造方法]

また、本発明では、鏡面研磨する半導体ウェーハとして、半導体ウェーハの表面にエピタキシャル層が形成されたエピタキシャルウェーハであって、該エピタキシャルウェーハのエピタキシャル層が形成された表面側の最外周部のロールオフ量が負の値であるものを用い、このエピタキシャルウェーハに対し、上記の半導体ウェーハの加工方法を施すことによって、エピタキシャルウェーハの最外周部を平坦化するエピタキシャルウェーハの製造方法を提供する。

[0066] このような本発明のエピタキシャルウェーハの製造方法は、例えば図8のようなフローに沿って実施することが好ましい。図8のフローでは、まず表面にエピタキシャル層が形成され、その最外周部にハネ形状（ロールオフ量

が負の値である形状)が形成されたエピタキシャルウェーハを準備し(E 1-1)、上述の本発明の半導体ウェーハの加工方法によって、エピタキシャルウェーハの表面側の面取り面の鏡面研磨、裏面側の面取り面の鏡面研磨、及び同一工程で行う端面及び最外周部の鏡面研磨を行い、エピタキシャルウェーハの最外周部のハネ形状を除去して平坦化する(E 1-2)。次に、主表面の鏡面研磨を行い(E 1-3)、洗浄する(E 1-4)。

[0067] このような本発明のエピタキシャルウェーハの製造方法であれば、図9(a)に示すように、エピタキシャル成長用基板(エピサブ)42の表面にエピタキシャル層43を形成することによってエピタキシャルウェーハ41の最外周部に形成されるハネ形状を研磨することで、エピタキシャルウェーハ41の最外周部の平坦度が制御されたエピタキシャルウェーハ45(図9(b))を製造することができる。

[0068] 更に、本発明では、上記の半導体ウェーハの加工方法によって加工され、表面の最外周部のロールオフ量が正の値に調整された半導体ウェーハに対し、該半導体ウェーハの表面にエピタキシャル層を形成するエピタキシャルウェーハの製造方法を提供する。

[0069] このような本発明のエピタキシャルウェーハの製造方法は、例えば図10のようなフローに沿って実施することが好ましい。図10のフローでは、まずエピタキシャル成長用基板として半導体ウェーハを準備し、両面研磨を行う(E 2-1)。次に、上述の本発明の半導体ウェーハの加工方法によって、半導体ウェーハの表面側の面取り面の鏡面研磨、裏面側の面取り面の鏡面研磨、及び同一工程で行う端面及び最外周部の鏡面研磨を行い、半導体ウェーハの表面の最外周部のロールオフ量を正の値に調整する(E 2-2)。即ち、ダレ形状を形成しておく。次に、主表面の鏡面研磨を行い(E 2-3)、洗浄した後(E 2-4)、半導体ウェーハの表面にエピタキシャル層を形成する(E 2-5)。

[0070] 図11(b)に示すようにエピタキシャル成長用基板である半導体ウェーハ151にこのようなダレ形状を形成しない場合は、エピタキシャル層15

3の形成によって、エピタキシャルウェーハ155の最外周部にハネ形状が形成されてしまう。一方、上記本発明のエピタキシャルウェーハの製造方法であれば、エピタキシャル層53を形成した場合にハネ形状が形成される部分に相当する部分であり、エピタキシャル成長用基板である半導体ウェーハ51の表面の最外周部に、予め所望のダレ形状を形成しておくことで、図11(a)のようにエピタキシャルウェーハ55の最外周部の平坦度が制御され、ハネ形状を有さないエピタキシャルウェーハ55を製造することができる。

[0071] また、本発明では、表面側の面取り面を鏡面研磨する工程及び裏面側の面取り面を鏡面研磨する工程と、端面の鏡面研磨及び、表面又は裏面の最外周部の鏡面研磨を同一工程で行う工程、との間に、半導体ウェーハの表面にエピタキシャル層を形成する工程を行うこともできる。

[0072] より具体的には、例えば図6に示されるようなフローで行うことができる。図6のフローでは、両面研磨後、表面側面取り面の鏡面研磨、裏面側面取り面の鏡面研磨を行う。次に、必要に応じて端面の鏡面研磨を行った後、主表面の鏡面研磨を行い、洗浄する。その後、表面にエピタキシャル層を形成した後、端面及び最外周部の鏡面研磨を行う。

[0073] このような方法であれば、面取り面が鏡面研磨された半導体ウェーハにエピタキシャル成長してエピタキシャルウェーハを作製した際のエピタキシャルウェーハの外周部のロールオフ量を調整できるので、エピタキシャルウェーハに形成されやすいハネ形状を低減し、最外周部の平坦度が良好なエピタキシャルウェーハを得ることができる。

[0074] 以上のように、本発明の半導体ウェーハの加工方法を貼り合わせウェーハの製造に適用することで、ボンドウェーハの剥離時における外周欠陥の発生が抑制された貼り合わせウェーハを製造することができる。また、本発明の半導体ウェーハの加工方法をエピタキシャルウェーハの製造に適用することで、エピタキシャルウェーハの最外周部の平坦度が制御されたエピタキシャルウェーハを製造することができる。

実施例

[0075] 以下、実施例及び比較例を用いて本発明を具体的に説明するが、本発明はこれらに限定されるものではない。

[0076] [実施例 1-1～1-4、比較例 1-1]

周縁端部に、表面側の面取り面、裏面側の面取り面、及び端面からなる面取り部を有する直径 300 mm、結晶方位<100>の Si 単結晶ウェーハに対し、Dynasearch (Raytex 社製) を用いて鏡面研磨前のロールオフ量の測定を行った。次に、この Si 単結晶ウェーハに対し、表面側の面取り面の鏡面研磨と裏面側の面取り面の鏡面研磨を行い、その後、端面の鏡面研磨と表面の最外周部の鏡面研磨を行ってダレ形状を形成し、その後主表面の鏡面研磨を行った。なお、端面の鏡面研磨と表面の最外周部の鏡面研磨は、端面の鏡面研磨を行う研磨ピース (A) と表面の最外周部の鏡面研磨を行う研磨ピース (B) の配置された枚数の合計が 12 枚である研磨装置を用いて研磨を行った。

[0077] 実施例 1-1～1-4 及び比較例 1-1 では、上記研磨ピース (A) と上記研磨ピース (B) の枚数を、それぞれ表 3 のような枚数とした研磨装置を用いて研磨を行った。即ち、実施例 1-1～1-4 では、端面及び表面の最外周部の鏡面研磨を同一工程で行ったが、比較例 1-1 では、端面のみの鏡面研磨を行った。また、実施例 1-1～1-4 及び比較例 1-1 では、それぞれ表 3 のような研磨時間 (実施例を 100 とした場合の相対値) で主表面の鏡面研磨を行った。

[0078] [比較例 1-2、1-3]

周縁端部に、表面側の面取り面、裏面側の面取り面、及び端面からなる面取り部を有する直径 300 mm、結晶方位<100>の Si 単結晶ウェーハに対し、Dynasearch (Raytex 社製) を用いて鏡面研磨前のロールオフ量の測定を行った。次に、この Si 単結晶ウェーハに対し、表面側の面取り部の鏡面研磨、裏面側の面取り部の鏡面研磨、端面の鏡面研磨を行った。表面の最外周部の鏡面研磨を行わず、主表面の鏡面研磨を行った。

この主表面の鏡面研磨を行う際に、研磨時間を延長してダレ形状を形成した。また、比較例 1-2、1-3 では、それぞれ表 3 のような研磨時間（実施例を 100 とした場合の相対値）で主表面の鏡面研磨を行った。

[0079] 上記のようにして鏡面研磨を行った実施例 1-1～1-4 及び比較例 1-1～1-3 のウェーハに対し、Dynasearch (Raytex 社製) を用いて鏡面研磨後のロールオフ量の測定を行い、鏡面研磨後のロールオフ量と鏡面研磨前のロールオフ量の差からロールオフ変化量を求めた。結果（比較例 1-1 を 1 とした場合の相対値）を表 3 に示す。

[0080] また、上記のようにして鏡面研磨を行った実施例 1-1～1-4 及び比較例 1-1～1-3 のウェーハに対し、Wafer Sight (KLA テンコール社製) を用いて、セルサイズ 26 mm×8 mm、外周除去 3 mm の条件で SFQRmax の測定を行い、SFQRmax 変化量を求めた。結果（比較例 1-1 を 1 とした場合の相対値）を表 3 に示す。

[0081] 更に、実施例 1-1～1-4 及び比較例 1-1～1-3 の条件で鏡面研磨を行った Si 単結晶ウェーハをボンドウェーハ及びベースウェーハとして用い、イオン注入剥離法により貼り合わせ SOI ウェーハを各条件 100 枚ずつ作製し、ボンドウェーハ剥離時の外周欠陥率（外周欠陥が発生した SOI ウェーハの発生率）を評価した。結果を表 3 に示す。

[0082] [表3]

	加工方法	ピース枚数		主表面 研磨時間 (相対値)	ロールオフ 変化量 (相対値)	SFQRmax 変化量 (相対値)	ボンドウェーハ 剥離時 外周欠陥率(%)
		端面 (A)	最外周部 (B)				
実施例 1-1	最外周加工	8	4	100	18.9	1.7	0%
実施例 1-2	最外周加工	9	3	100	14.6	1	0%
実施例 1-3	最外周加工	10	2	100	10	0.7	0%
実施例 1-4	最外周加工	11	1	100	5.5	1.3	3%
比較例 1-1	最外周加工	12	0	100	1	1	10%
比較例 1-2	主表面研磨 時間延長	-	-	500	6.6	51	1%
比較例 1-3	主表面研磨 時間延長	-	-	700	9.3	102	0%

[0083] 表3に示されるように、実施例1-1~1-4では、表面の最外周部の鏡面研磨を行う研磨ピース(B)の枚数を変更することでロールオフ変化量を自在に調整することができ、また平坦度を崩すことなく(SFQRmax変化量の値を大きくせずに)ダレ形状のあるSi単結晶ウェーハを作製することができた。

[0084] また、実施例1-1~1-4では、貼り合わせ用ウェーハにダレ形状を形成することにより、ボンドウェーハ剥離時の外周欠陥率を低減することができた。なお、形成したダレ形状(ロールオフ変化量)が大きいほど外周欠陥の発生が抑制されていた。

[0085] 一方、表3に示されるように、表面の最外周部の鏡面研磨を行う研磨ピース(B)の枚数を0枚とした比較例1-1では、ダレ形状を形成していないため、ボンドウェーハ剥離時の外周欠陥率が高くなった。

[0086] また、主表面の研磨時間を延長してダレ形状を形成した比較例1-2、1-3では、SFQRmax変化量が大きくなり、平坦度が崩れてしまった。

[0087] [実施例2、比較例2]

実施例1-4及び比較例1-1の条件で研磨したSi単結晶ウェーハをエピタキシャル成長用ウェーハとして用い、所定の成長条件(ダレ形状を形成していないSi単結晶ウェーハ上にエピタキシャル層を形成した際に、エピタキシャルウェーハの最外周部に約5.5のハネ形状が形成される成長条件(ロールオフ変化量が約-5.5))でエピタキシャル層の形成を行った。その結果、実施例1-4の条件で鏡面研磨したSi単結晶ウェーハにエピタキシャル層の形成を行って作製したエピタキシャルウェーハ(実施例2)のロールオフ変化量は+0.1であった。一方、比較例1-1の条件で鏡面研磨したSi単結晶ウェーハにエピタキシャル層の形成を行って作製したエピタキシャルウェーハ(比較例2)のロールオフ変化量は-4.5であった。

[0088] このように、エピタキシャル成長によって形成されるハネ形状の大きさを相殺するように、エピタキシャル成長用ウェーハに予めダレ形状を作り込んでおくことによって、最外周部のハネ形状が極めて抑制されたエピタキシャ

ルウェーハを得ることができた。

[0089] [実施例3]

上記の比較例2で作製したエピタキシャルウェーハ（ロールオフ変化量：-4.5）に対し、実施例1-4と同一条件で鏡面研磨（最外周加工）を行った。その結果、鏡面研磨後のエピタキシャルウェーハの最外周部のロールオフ変化量は+1.0となり、最外周部のハネ形状が極めて抑制されたエピタキシャルウェーハを得ることができた。

[0090] 以上のように、本発明の半導体ウェーハの加工方法であれば、半導体ウェーハの最外周部より内側の形状を崩さずに、最外周部のロールオフ量を調整して最外周部に所望のダレ形状を精度良く形成でき、かつ加工後の半導体ウェーハの端面の形状が鋭利にならないように半導体ウェーハを加工することができることが明らかとなった。また、このような半導体ウェーハの加工方法を貼り合わせウェーハの製造に適用することで、ボンドウェーハの剥離時における外周欠陥の発生が抑制された貼り合わせウェーハを製造することができ、更に、このような半導体ウェーハの加工方法をエピタキシャルウェーハの製造に適用することで、エピタキシャルウェーハの最外周部の平坦度が制御されたエピタキシャルウェーハを製造することができることが明らかとなった。

[0091] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

- [請求項1] 表面及び裏面を有し、周縁端部に、表面側の面取り面、裏面側の面取り面、及び端面からなる面取り部を有する半導体ウェーハの前記表面側の面取り面、前記裏面側の面取り面、前記端面、及び表面又は裏面の前記面取り面に隣接する最外周部の各部を鏡面研磨する半導体ウェーハの加工方法において、
- 前記表面側の面取り面を鏡面研磨する工程及び前記裏面側の面取り面を鏡面研磨する工程よりも後に、前記端面の鏡面研磨及び、前記表面又は裏面の最外周部の鏡面研磨を同一工程で行い、
- 該同一工程で行う端面及び最外周部の鏡面研磨により、前記表面又は裏面の最外周部のロールオフ量を調整することを特徴とする半導体ウェーハの加工方法。
- [請求項2] 前記同一工程で行う端面及び最外周部の鏡面研磨は、前記端面の鏡面研磨を行う研磨ピース（A）と、前記表面又は裏面の最外周部の鏡面研磨を行う研磨ピース（B）とが、それぞれ1枚以上、前記半導体ウェーハの周囲を取り囲む位置に配置された研磨装置を用いて、前記研磨ピース（A）、（B）に対して前記半導体ウェーハを相対的に回転させることを行うことを特徴とする請求項1に記載の半導体ウェーハの加工方法。
- [請求項3] 前記ロールオフ量の調整を、前記研磨ピース（B）が複数枚配置された研磨装置を用い、前記表面又は裏面の最外周部に接触する前記研磨ピース（B）の数を変更することで行うことを特徴とする請求項2に記載の半導体ウェーハの加工方法。
- [請求項4] 前記同一工程で行う端面及び最外周部の鏡面研磨を、前記研磨ピース（A）と前記研磨ピース（B）の配置された枚数の合計が12枚以上である研磨装置を用いて行うことを特徴とする請求項2又は請求項3に記載の半導体ウェーハの加工方法。
- [請求項5] 前記同一工程で行う端面及び最外周部の鏡面研磨の工程において前

記ロールオフ量の測定を行い、前記測定したロールオフ量が所望の値でなければ、前記同一工程で行う端面及び最外周部の鏡面研磨の研磨条件を調整しながら、前記同一工程で行う端面及び最外周部の鏡面研磨、及び前記ロールオフ量の測定を繰り返し行い、前記測定したロールオフ量が所望の値であれば、前記同一工程で行う端面及び最外周部の鏡面研磨を終了することを特徴とする請求項1から請求項4のいずれか一項に記載の半導体ウェーハの加工方法。

[請求項6] 前記表面側の面取り面を鏡面研磨する工程及び前記裏面側の面取り面を鏡面研磨する工程と、前記端面の鏡面研磨及び、前記表面又は裏面の最外周部の鏡面研磨を同一工程で行う工程、との間に、前記半導体ウェーハの前記表面にエピタキシャル層を形成する工程を行うことを特徴とする請求項1から請求項5のいずれか一項に記載の半導体ウェーハの加工方法。

[請求項7] 請求項1から請求項5のいずれか一項に記載の半導体ウェーハの加工方法によって加工され、前記表面又は裏面の最外周部のロールオフ量が調整された半導体ウェーハを、ボンドウェーハ及びベースウェーハのいずれか又は両方に用い、前記ロールオフ量が調整された面を貼り合わせ面とし、イオン注入剥離法によって貼り合わせウェーハを製造することを特徴とする貼り合わせウェーハの製造方法。

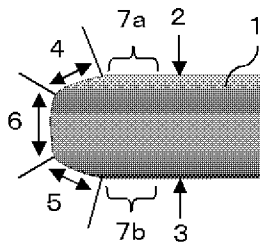
[請求項8] 前記鏡面研磨する半導体ウェーハとして、半導体ウェーハの表面にエピタキシャル層が形成されたエピタキシャルウェーハであって、該エピタキシャルウェーハの前記エピタキシャル層が形成された表面側の最外周部のロールオフ量が負の値であるものを用い、前記エピタキシャルウェーハに対し、請求項1から請求項5のいずれか一項に記載の半導体ウェーハの加工方法を施すことによって、前記エピタキシャルウェーハの最外周部を平坦化することを特徴とするエピタキシャルウェーハの製造方法。

[請求項9] 請求項1から請求項5のいずれか一項に記載の半導体ウェーハの加

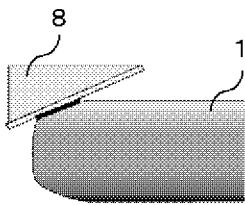
工方法によって加工され、前記表面の最外周部のロールオフ量が正の値に調整された半導体ウェーハに対し、該半導体ウェーハの表面にエピタキシャル層を形成することを特徴とするエピタキシャルウェーハの製造方法。

[図1]

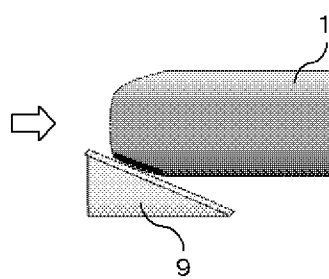
(a)



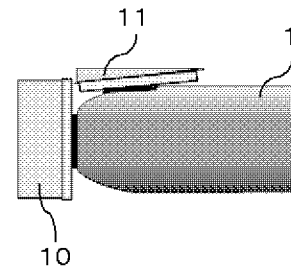
(b)



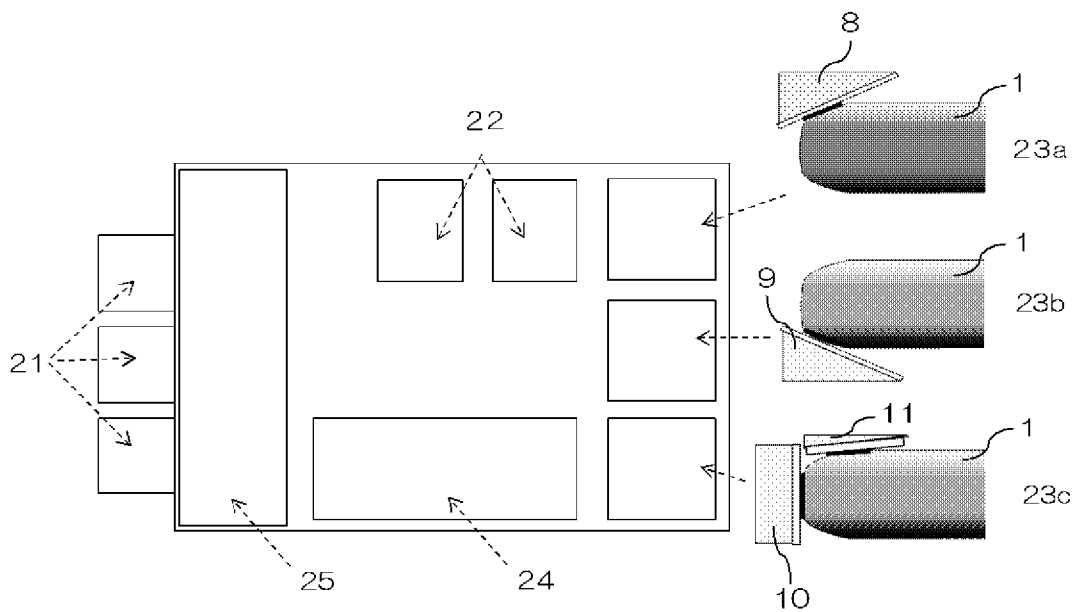
(c)



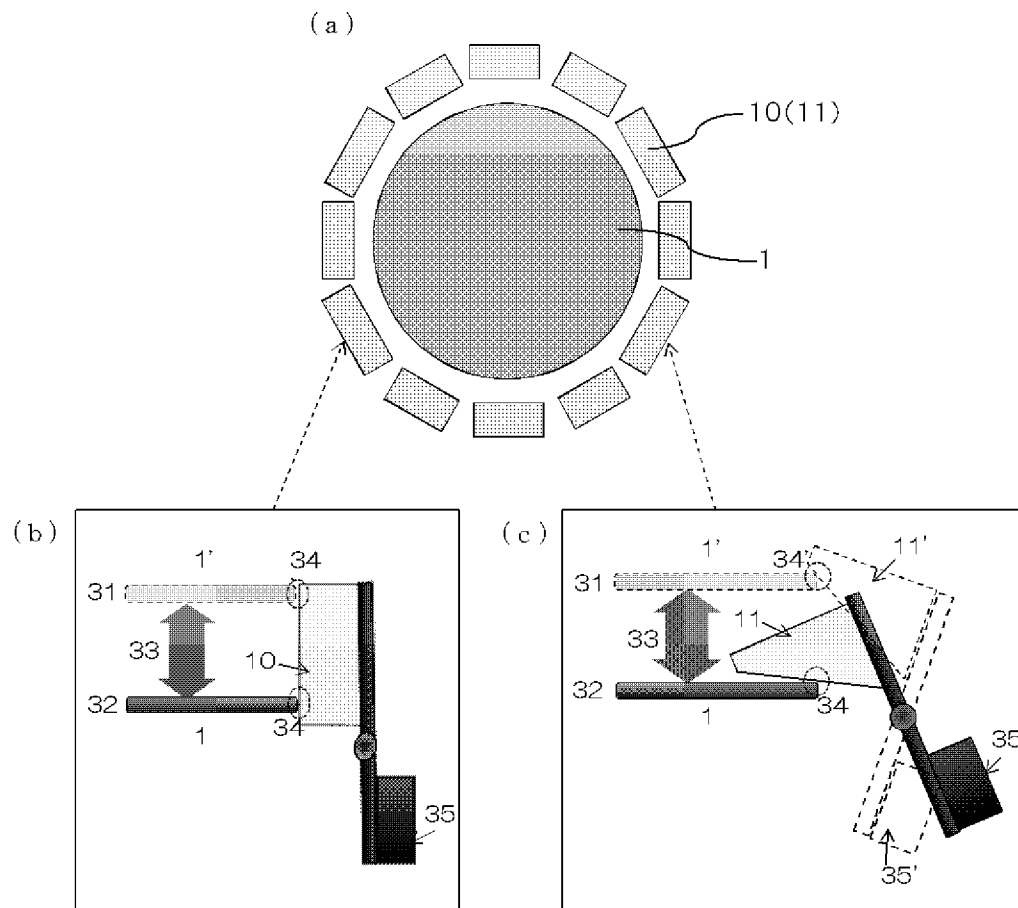
(d)



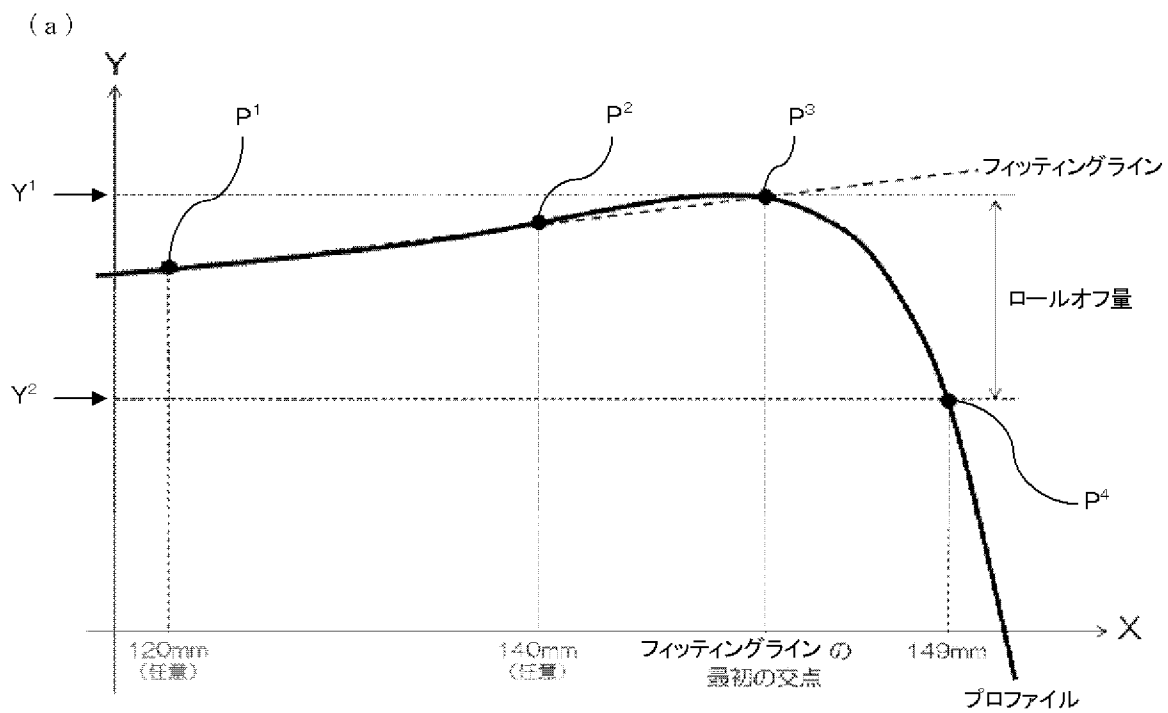
[図2]



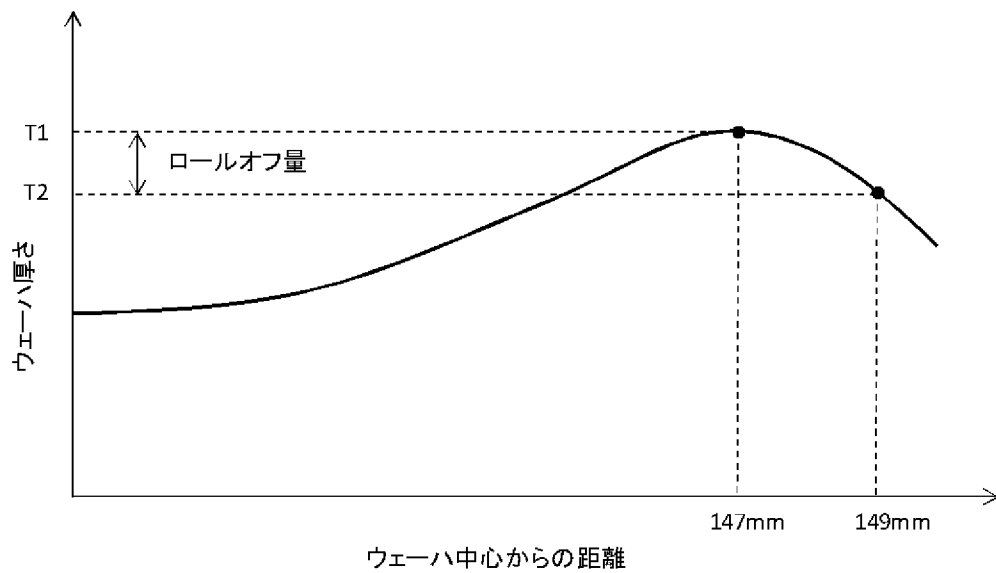
[図3]



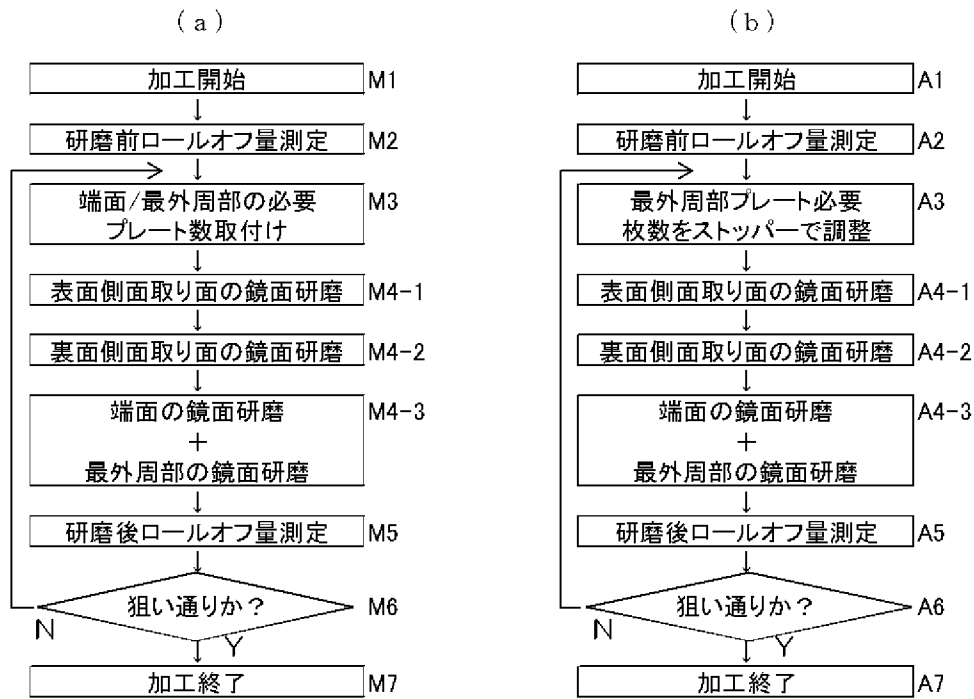
[図4]



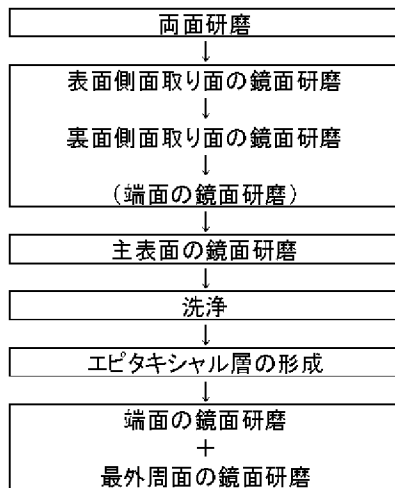
(b)



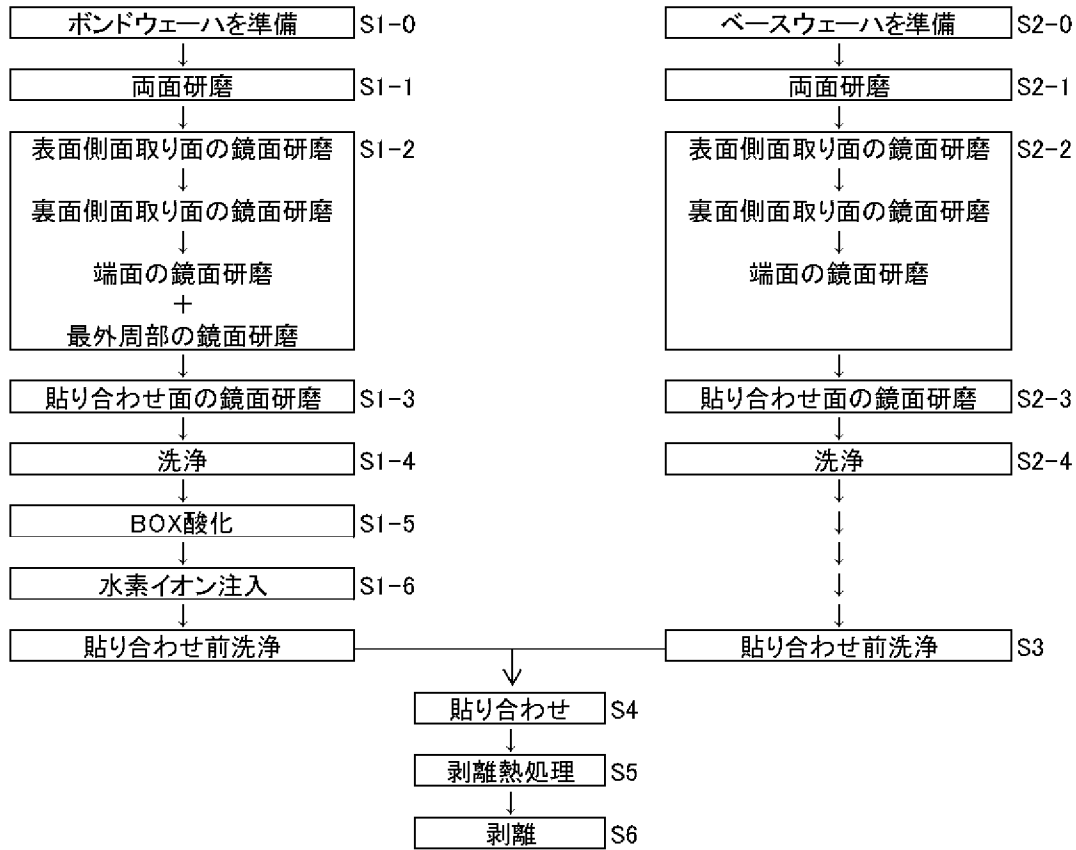
[図5]



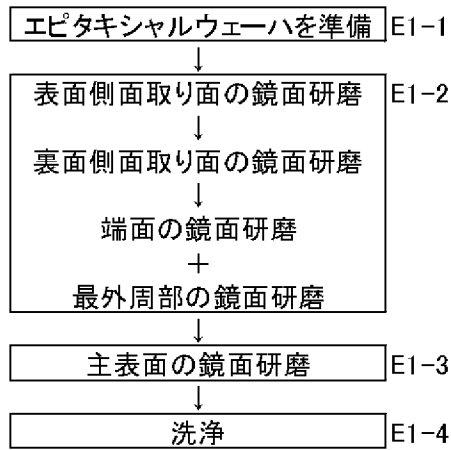
[図6]



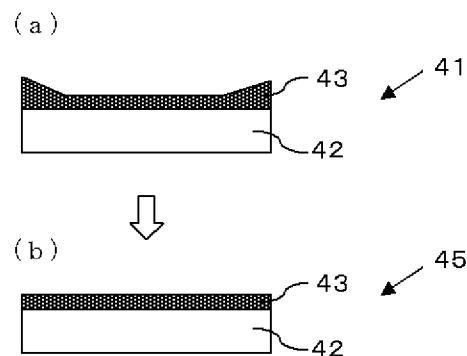
[図7]



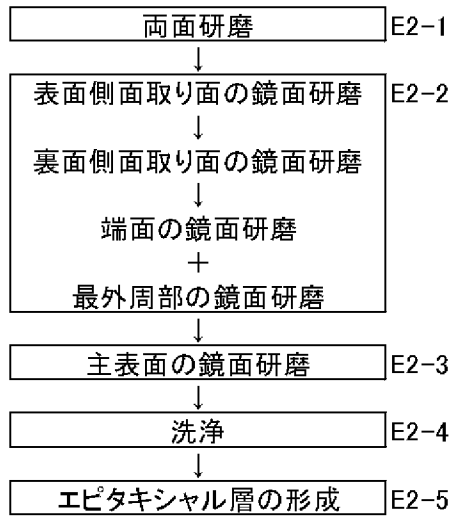
[図8]



[図9]

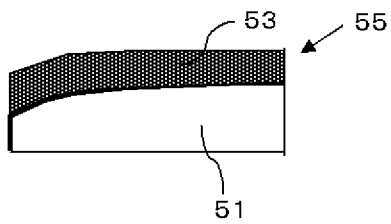


[図10]

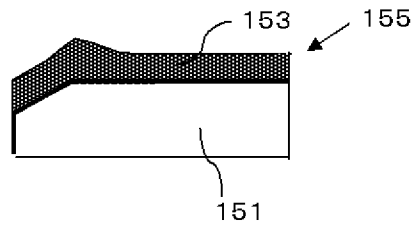


[図11]

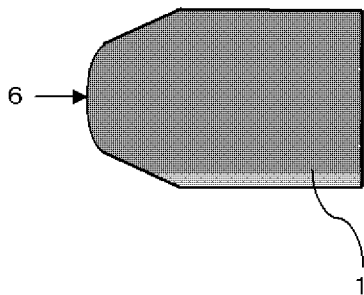
(a)



(b)

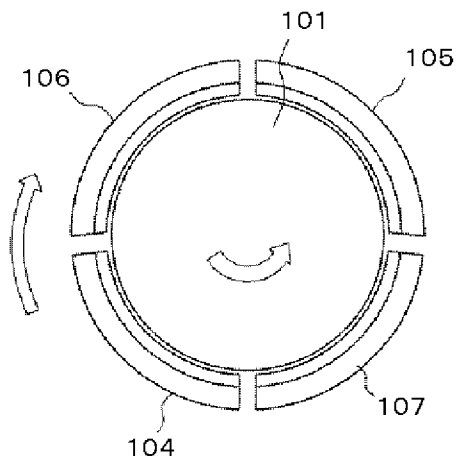


[図12]

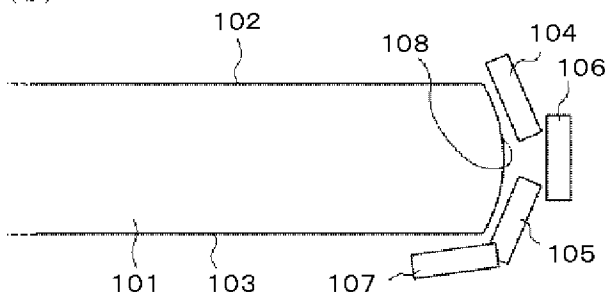


[図13]

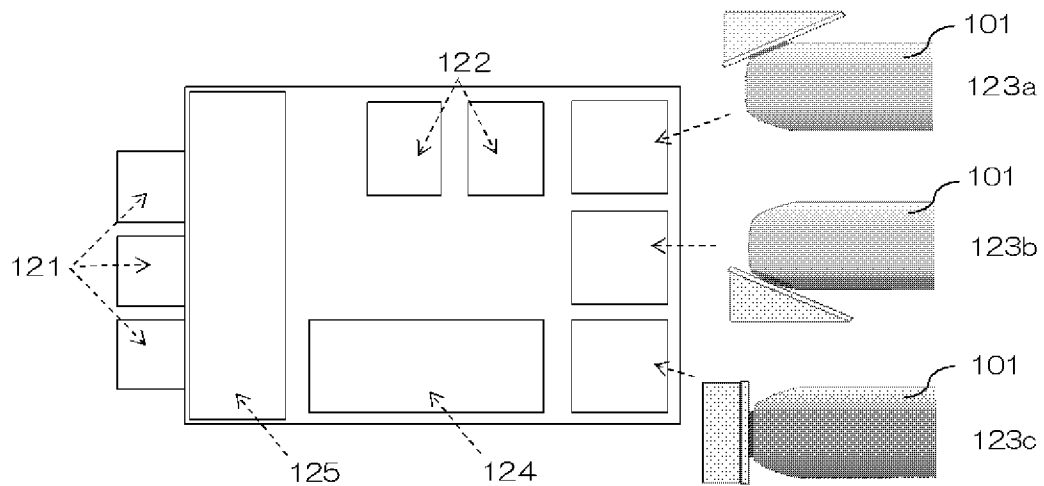
(a)



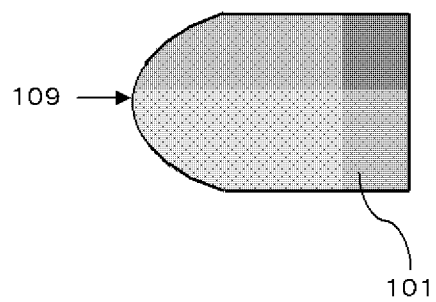
(b)



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/004130

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/304(2006.01)i, B24B9/00(2006.01)i, H01L21/02(2006.01)i, H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/304, B24B9/00, H01L21/02, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-109310 A (SUMCO Corp.), 07 June 2012 (07.06.2012), paragraphs [0041], [0042]; fig. 3 & US 2013/0264690 A1 & WO 2012/066761 A1 & DE 112011103769 T5 & TW 201232616 A1 & SG 190183 A1 & KR 10-2013-0091350 A	1-9
A	JP 2013-258227 A (Sumco Techxiv Corp.), 26 December 2013 (26.12.2013), paragraphs [0029] to [0033]; fig. 3 (Family: none)	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 September 2015 (24.09.15)	Date of mailing of the international search report 06 October 2015 (06.10.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/004130

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-345435 A (Shin-Etsu Handotai Co., Ltd., Nagano Electronics Industrial Co., Ltd.), 14 December 2001 (14.12.2001), paragraphs [0016] to [0022]; fig. 1, 2 & US 2003/0008478 A1 & WO 2001/073831 A1 & EP 1189266 A1	1-9

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/304(2006.01)i, B24B9/00(2006.01)i, H01L21/02(2006.01)i, H01L27/12(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/304, B24B9/00, H01L21/02, H01L27/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-109310 A (株式会社SUMCO) 2012.06.07, 段落[0041], [0042], 第3図 & US 2013/0264690 A1 & WO 2012/066761 A1 & DE 112011103769 T5 & TW 201232616 A1 & SG 190183 A1 & KR 10-2013-0091350 A	1-9
A	JP 2013-258227 A (SUMCO TECHXIV株式会社) 2013.12.26, 段落[0029]-[0033], 第3図 (ファミリーなし)	1-9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	24.09.2015	国際調査報告の発送日
		06.10.2015
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 平野 崇 電話番号 03-3581-1101 内線 3559	50 3657

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-345435 A (信越半導体株式会社, 長野電子工業株式会社) 2001.12.14, 段落[0016]-[0022], 第1, 2 図 & US 2003/0008478 A1 & WO 2001/073831 A1 & EP 1189266 A1	1-9